



(12) 发明专利申请



(10) 申请公布号 CN 117642856 A

(43) 申请公布日 2024. 03. 01

(21) 申请号 202280048900.6

(22) 申请日 2022.06.10

(30) 优先权数据

17/383,241 2021.07.22 US

(85) PCT国际申请进入国家阶段日

2024.01.10

(86) PCT国际申请的申请数据

PCT/US2022/033023 2022.06.10

(87) PCT国际申请的公布数据

W02023/003650 EN 2023.01.26

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 A·巴特 J·S·萨蒙

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 张宁 姚宗妮

(51) Int.Cl.

H01L 23/552 (2006.01)

H01L 25/00 (2006.01)

H01L 21/56 (2006.01)

H01L 23/00 (2006.01)

H01L 25/16 (2023.01)

H01L 25/03 (2006.01)

H01L 23/31 (2006.01)

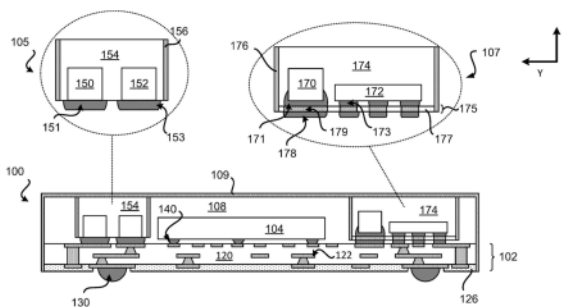
权利要求书3页 说明书16页 附图19页

(54) 发明名称

包括具有屏蔽件的块状器件的封装

(57) 摘要

本发明提供了一种封装,其包括基板、耦合到该基板的第一集成器件、耦合到该基板的第一块状器件、包封该第一集成器件和该第一块状器件的第二包封层。该第一块状器件包括第一电组件、第二电组件、至少部分地包封该第一电组件和该第二电组件的第一包封层、和耦合到该第一包封层的第一金属层。



横截面剖面视图

1. 一种封装, 包括:
基板;
耦合到所述基板的第一集成器件;
耦合到所述基板的第一块状器件, 所述第一块状器件包括:
第一电组件;
第二电组件;
包封所述第一电组件和所述第二电组件的第一包封层; 和
耦合到所述第一包封层的第一金属层; 和
至少部分地包封所述第一集成器件和所述第一块状器件的第二包封层。
2. 根据权利要求1所述的封装, 还包括耦合到所述第二包封层的第二金属层, 其中所述第二金属层位于所述第二包封层的外表面之上。
3. 根据权利要求2所述的封装, 其中所述第二金属层耦合到所述第一块状器件的所述第一金属层。
4. 根据权利要求2所述的封装, 其中所述第一金属层和/或所述第二金属层被配置为电磁干扰 (EMI) 屏蔽件。
5. 根据权利要求2所述的封装, 其中所述第一金属层和/或所述第二金属层被配置为耦合到地。
6. 根据权利要求1所述的封装,
其中所述第一块状器件还包括块状基板, 并且
其中所述第一电组件和所述第二电组件耦合到所述块状基板。
7. 根据权利要求1所述的封装,
其中所述第一电组件包括无源组件或集成器件, 并且
其中所述第二电组件包括另一无源组件或另一集成器件。
8. 根据权利要求1所述的封装, 其中所述第一块状器件包括多于两个电组件。
9. 根据权利要求1所述的封装, 还包括耦合到所述基板的第二块状器件, 其中所述第二块状器件包括:
第三电组件;
第四电组件;
包封所述第三电组件和所述第四电组件的第三包封层; 和
耦合到所述第三包封层的第三金属层, 其中所述第三金属层被配置为用于所述第二块状器件的屏蔽件。
10. 根据权利要求1所述的封装, 其中所述第一块状器件通过多个焊料互连耦合到所述基板。
11. 一种装置, 包括:
基板;
耦合到所述基板的第一集成器件;
耦合到所述基板的第一块状器件, 所述第一块状器件包括:
第一电组件;
第二电组件;

被配置为包封所述第一电组件和所述第二电组件的第一包封部件;和
耦合到所述第一包封部件的第一金属层;和

被配置为至少部分地包封所述第一集成器件和所述第一块状器件的第二包封部件。

12. 根据权利要求11所述的装置,还包括耦合到所述第二包封部件的第二金属层,其中所述第二金属层位于所述第二包封部件的外表面之上。

13. 根据权利要求12所述的装置,其中所述第二金属层耦合到所述第一块状器件的所述第一金属层。

14. 根据权利要求12所述的装置,其中所述第一金属层和/或所述第二金属层被配置为电磁干扰(EMI)屏蔽件。

15. 根据权利要求12所述的装置,其中所述第一金属层和/或所述第二金属层被配置为耦合到地。

16. 根据权利要求11所述的装置,
其中所述第一块状器件还包括块状基板,并且
其中所述第一电组件和所述第二电组件耦合到所述块状基板。

17. 根据权利要求11所述的装置,
其中所述第一电组件包括无源组件或集成器件,并且
其中所述第二电组件包括另一无源组件或另一集成器件。

18. 根据权利要求11所述的装置,其中所述第一块状器件包括多于两个电组件。

19. 根据权利要求11所述的装置,还包括耦合到所述基板的第二块状器件,其中所述第二块状器件包括:

第三电组件;

第四电组件;

被配置为包封所述第三电组件和所述第四电组件的第三包封部件;和

耦合到所述第三包封部件的第三金属层,其中所述第三金属层被配置为用于所述第二块状器件的屏蔽件。

20. 根据权利要求11所述的装置,其中所述装置包括选自由以下项组成的组的设备:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、计算机、可穿戴设备、膝上型计算机、服务器、物联网(IoT)设备和机动车辆工具中的设备。

21. 一种用于制造封装的方法,包括:

提供基板;

将第一集成器件耦合到所述基板;

将第一块状器件耦合到所述基板,所述第一块状器件包括:

第一电组件;

第二电组件;

包封所述第一电组件和所述第二电组件的第一包封层;和

耦合到所述第一包封层的第一金属层;以及

形成至少部分地包封所述第一集成器件和所述第一块状器件的第二包封层。

22. 根据权利要求21所述的方法,还包括在所述第二包封层的外表面之上形成第二金

属层。

23. 根据权利要求22所述的方法, 其中所述第二金属层耦合到所述第一块状器件的所述第一金属层。

24. 根据权利要求22所述的方法, 其中所述第一金属层和/或所述第二金属层被配置为电磁干扰 (EMI) 屏蔽件。

25. 根据权利要求21所述的方法,

其中所述第一块状器件还包括块状基板, 并且

其中所述第一电组件和所述第二电组件耦合到所述块状基板。

包括具有屏蔽件的块状器件的封装

[0001] 相关申请的交叉引用

[0002] 本申请要求于2021年7月22日在美国专利局提交的非临时申请序列号17/383,241的优先权和权益,该非临时申请的全部内容以引用方式并入本文中,如同其全文在下文完整地阐述一样并且用于所有适用目的。

技术领域

[0003] 各种特征涉及具有集成器件的封装。

背景技术

[0004] 封装可包括基板和集成器件。这些组件耦合在一起以提供可以执行各种电气功能的封装。电磁干扰(EMI)会影响组件和封装的总体性能。一直存在提供性能较好的封装以及减少封装中及其周围的EMI的影响的需求。

发明内容

[0005] 各种特征涉及具有集成器件的封装。

[0006] 一个示例提供了一种封装,其包括基板、耦合到该基板的第一集成器件、耦合到该基板的第一块状器件、至少部分地包封该第一集成器件和该第一块状器件的第二包封层。该第一块状器件包括第一电组件、第二电组件、包封该第一电组件和该第二电组件的第一包封层、以及耦合到该第一包封层的第一金属层。

[0007] 另一示例提供了一种装置,其包括基板、耦合到该基板的第一集成器件、耦合到该基板的第一块状器件、被配置为至少部分地包封该第一集成器件和该第一块状器件的第二包封部件。该第一块状器件包括第一电组件、第二电组件、被配置为包封该第一电组件和该第二电组件的第一包封部件和耦合到该第一包封部件的第一金属层。

[0008] 另一示例提供了一种用于制造封装的方法。该方法提供基板。该方法将第一集成器件耦合到该基板。该方法将第一块状器件耦合到该基板。该第一块状器件包括第一电组件、第二电组件、包封该第一电组件和该第二电组件的第一包封层、以及耦合到该第一包封层的第一金属层。该方法形成至少部分地包封该第一集成器件和该第一块状器件的第二包封层。

附图说明

[0009] 在结合附图理解下面阐述的详细描述时,各种特征、本质和优点会变得明显,在附图中,相像的附图标记贯穿始终作相应标识。

[0010] 图1示出了包括具有屏蔽件的至少一个块状器件的封装的横截面剖面视图。

[0011] 图2示出了包括具有屏蔽件的至少一个块状器件的封装的横截面平面视图。

[0012] 图3示出了具有屏蔽件的块状器件的横截面侧剖面视图。

[0013] 图4示出了具有屏蔽件的块状器件的另一横截面侧剖面视图。

- [0014] 图5示出了具有屏蔽件的块状器件的底部平面视图。
- [0015] 图6示出了具有屏蔽件的块状器件的顶部平面视图。
- [0016] 图7示出了具有屏蔽件和块状基板的块状器件的横截面侧剖面视图。
- [0017] 图8示出了具有屏蔽件和块状基板的块状器件的另一横截面侧剖面视图。
- [0018] 图9示出了具有屏蔽件和块状基板的块状器件的底部平面视图。
- [0019] 图10示出了具有屏蔽件和块状基板的块状器件的顶部平面视图。
- [0020] 图11示出了具有屏蔽件的块状器件的横截面侧剖面视图。
- [0021] 图12示出了具有屏蔽件的块状器件的另一横截面侧剖面视图。
- [0022] 图13示出了具有屏蔽件的块状器件的底部平面视图。
- [0023] 图14示出了具有屏蔽件的块状器件的顶部平面视图。
- [0024] 图15A至图15B示出了用于制造包括至少一个块状器件和屏蔽件的封装的示例性工序。
- [0025] 图16示出了用于制造包括至少一个块状器件和屏蔽件的封装的示例性工序。
- [0026] 图17A至图17B示出了用于制造具有屏蔽件的块状器件的示例性工序。
- [0027] 图18A至图18C示出了用于制造块状器件、块状基板和屏蔽件的示例性工序。
- [0028] 图19示出了用于制造具有屏蔽件的块状器件的方法的示例性流程图。
- [0029] 图20A至图20B示出了用于制造基板的示例性工序。
- [0030] 图21示出了用于制造基板的方法的示例性流程图。
- [0031] 图22示出了可以集成本文中所描述的管芯、电子电路、集成器件、集成无源器件 (IPD)、无源组件、封装、和/或器件封装的各种电子设备。

具体实施方式

[0032] 在以下描述中,给出了具体细节以提供对本公开的各个方面的透彻理解。然而,本领域普通技术人员将理解,没有这些具体细节也可以实践这些方面。例如,电路可能用框图示出以避免使这些方面湮没在不必要的细节中。在其他实例中,公知的电路、结构和技术可能不被详细示出以免湮没本公开的这些方面。

[0033] 本公开描述了一种封装,其包括基板、耦合到该基板的第一集成器件、耦合到该基板的第一块状器件、至少部分地封装该第一集成器件和该第一块状器件的第二包封层。该第一块状器件包括第一电组件(例如,第一电器件)、第二电组件(例如,第二电器件)、封装该第一电组件和该第二电组件的第一包封层、和耦合到该第一包封层的第一金属层,其中该第一金属层被配置为用于该第一块状器件的屏蔽件(例如,电磁干扰(EMI)屏蔽件)。电组件(例如,电器件)的示例包括无源组件(例如,电容器)和/或集成器件(例如,半导体管芯)。使用具有屏蔽件的块状器件有助于为块状器件和/或封装中的其他组件(例如,第一集成器件)提供屏蔽。例如,用于第一块状器件的屏蔽件可以被配置为用于第一集成器件的屏蔽件,从而有助于防止通过第一块状器件的电流干扰通过封装的第一集成器件的电流,和/或有助于防止通过封装的第一集成器件的电流干扰通过第一块状器件的电流。另外,封装的该配置还可有助于减小封装的大小和/或占用面积,同时仍然提供改进的封装性能。

[0034] 包括块状器件和屏蔽件的示例性封装

[0035] 图1示出了包括具有电磁干扰(EMI)屏蔽件的至少一个块状器件的封装100的横截

面剖面视图。封装100包括基板102、集成器件104、块状器件105、块状器件107、包封层108和金属层109。块状器件105和/或块状器件107可以是受屏蔽块状器件的示例。

[0036] 基板102包括至少一个介电层120、多个互连122、以及阻焊层126。基板102可包括第一表面(例如,顶表面)和第二表面(例如,底表面)。多个焊料互连130可以耦合到基板102。例如,所述多个焊料互连130可以耦合到所述多个互连122。

[0037] 集成器件104通过多个焊料互连140耦合到基板102的第一表面。块状器件105可以是第一块状器件。块状器件105通过多个焊料互连151和/或多个焊料互连153耦合到基板102的第一表面。块状器件105通过多个焊料互连151和/或多个焊料互连153耦合到所述多个互连122。块状器件107可以是第二块状器件。块状器件107通过多个焊料互连178耦合到基板102的第一表面。块状器件107通过多个焊料互连178耦合到所述多个互连122。

[0038] 包封层108可以是第二包封层。包封层108可以位于集成器件104、块状器件105、块状器件107和/或基板102之上和/或周围。包封层108可以至少部分地包封集成器件104、块状器件105和块状器件107。包封层108可以包括模制件、树脂和/或环氧树脂。包封层108可以是包封部件(例如,第二包封部件)。可以通过使用压缩和转移模制工艺、片材模制工艺、或液态模制工艺来提供包封层108。

[0039] 金属层109可以是第二金属层。金属层109位于并耦合到包封层108的外表面。例如,金属层109可以位于包封层108的外表面的顶部部分和/或侧部部分之上。金属层109可以位于基板102的侧部部分之上。金属层109可以包括一个或多个金属层。如下文将进一步描述的,金属层109可以耦合到块状器件105的金属层和/或块状器件107的金属层。金属层109可以被配置为耦合到地。金属层109可以被配置为用于封装100的EMI屏蔽件(例如,EMI屏蔽件装置)。例如,金属层109可以被配置为用于封装100的适形屏蔽件。金属层109可以有助于防止封装100外部的信号干扰在封装100内部行进的电流和/或信号。

[0040] 块状器件105包括至少两个电组件(例如,至少两个电器件)。块状器件107包括至少两个电组件(例如,至少两个电器件)。电组件(例如,电器件)的示例包括无源组件(例如,电容器)和/或集成器件(例如,半导体管芯)。

[0041] 块状器件105包括无源组件150(例如,第一电容器)、无源组件152(例如,第二电容器)、包封层154和金属层156。无源组件150可以是第一电组件的示例。无源组件152可以是第二电组件的示例。包封层154可以包封无源组件150和无源组件152。包封层154可以是第一包封层。包封层154可以包括模制件、树脂和/或环氧树脂。包封层154可以是包封部件(例如,第一包封部件)。

[0042] 金属层156可耦合到包封层154。金属层156可耦合到块状器件105的侧表面。金属层156可以是第一金属层。金属层156可以被配置为耦合到地。金属层156可以被配置为用于块状器件105的EMI屏蔽件(例如,EMI屏蔽件装置)。金属层156可被配置为封装100的EMI屏蔽件。金属层156可以为无源组件150和/或无源组件152提供屏蔽。金属层156还可以为集成器件104(和/或封装100中的任何其他组件)提供屏蔽。例如,金属层156可以有助于防止行进穿过无源组件150和/或无源组件152的电流干扰行进穿过集成器件104的电流和/或信号,反之亦然。金属层156可以被配置为用于封装100的区室化屏蔽件。金属层156可有助于防止封装100外部的信号干扰在块状器件105内部行进的电流和/或信号。金属层156可耦合到金属层109。

[0043] 块状器件107包括块状基板175、无源组件170(例如,第一电容器)、集成器件172、包封层174、以及金属层176。无源组件170可以是第一电组件的示例。集成器件172(例如,半导体管芯)可以是第二电组件的示例。包封层174可以包封无源组件170和集成器件172。包封层174可以是第三包封层。包封层174可包括模制件、树脂和/或环氧树脂。包封层174可以是包封部件(例如,第三包封部件)。包封层174可以位于块状基板175、无源组件170和集成器件172之上。

[0044] 块状基板175包括至少一个介电层177和多个互连179(例如,块状基板互连)。不同实现方式可将不同材料用于至少一个介电层177。例如,所述至少一个介电层177可以包括玻璃、石英和/或预浸层。无源组件170通过多个焊料互连171耦合到块状基板175。集成器件172通过多个焊料互连173耦合到块状基板175。块状基板175可以被配置为至少部分地提供EMI屏蔽。即,多个互连179中的一些互连可被配置为EMI屏蔽件。多个互连179中的一些互连可被配置为耦合到地。多个互连179中的一些互连可耦合到金属层176。块状器件107通过所述多个焊料互连178耦合到基板102的所述多个互连122。所述多个焊料互连178可以耦合到块状基板175的所述多个互连179。

[0045] 金属层176可以耦合到包封层174。金属层176可以耦合到块状器件107的侧表面。金属层176可以耦合到来自块状基板175的所述多个互连179的一些互连。金属层176可以是第一金属层。金属层176可以被配置为耦合到地。金属层176可以被配置为用于块状器件107的EMI屏蔽件(例如,EMI屏蔽件装置)。金属层176可以被配置为用于封装100的EMI屏蔽件。金属层176可以为无源组件170和/或集成器件172提供屏蔽。金属层176还可以为集成器件104(和/或封装100中的任何其他组件)提供屏蔽。例如,金属层176可以有助于防止行进穿过无源组件170和/或集成器件172的电流干扰行进穿过集成器件104的电流和/或信号,反之亦然。金属层176可被配置为封装100的区室化屏蔽件。金属层176可以有助于防止封装100外部的信号干扰在块状器件107内部行进的电流和/或信号。金属层176可以耦合到金属层109。

[0046] 图2示出了封装100的横截面平面视图。如图2所示,封装100包括集成器件104、块状器件105、块状器件107、无源组件270、无源组件272、包封层108和金属层109。集成器件104、块状器件105、块状器件107、无源组件270和无源组件272耦合到基板102(图2中未示出)。包封层108至少部分地包封集成器件104、块状器件105、块状器件107、无源组件270和无源组件272。包封层108可以位于基板102、集成器件104、块状器件105、块状器件107、无源组件270和/或无源组件272之上。

[0047] 块状器件105包括无源组件150、无源组件152、无源组件250、无源组件252、包封层154和金属层156。包封层154包封无源组件150、无源组件152、无源组件250和无源组件252。

[0048] 块状器件107包括无源组件170和集成器件172、包封层174和金属层176。

[0049] 金属层156横向围绕包封层154、无源组件150、无源组件152、无源组件250和无源组件252。金属层156可以将无源组件150、无源组件152、无源组件250和无源组件252与集成器件104、块状器件107、无源组件270和/或无源组件272屏蔽。类似地,金属层156可以将集成器件104、块状器件107、无源组件270和/或无源组件272与无源组件150、无源组件152、无源组件250和无源组件252屏蔽。

[0050] 金属层176横向围绕包封层174、无源组件170和集成器件172。金属层176可将无源

组件170和集成器件172与集成器件104、块状器件105、无源组件270和/或无源组件272屏蔽。类似地,金属层176可将集成器件104、块状器件105、无源组件270和/或无源组件272与无源组件170和/或集成器件172屏蔽。

[0051] 封装100的该配置有若干优点。第一,使用具有EMI屏蔽件的块状器件有助于通过减少和/或消除来自封装100的组件之间的干扰和/或来自封装100外部的组件的干扰来改善封装的性能。第二,使用具有EMI屏蔽件的块状器件有助于提供更紧凑的封装,因为封装100中的组件可以在封装100中彼此更靠近地放置,而不会不可避免地不利地影响封装100的性能。第三,使用具有预定义EMI屏蔽件的块状器件简化了封装的组装和制造期间的制造工艺。

[0052] EMI屏蔽件(例如,金属层156、金属层176、金属层109)可以被配置为在封装内的不同电路功能之间提供电隔离的法拉第笼。在这些块状器件上使用预先施加的区室屏蔽件可以提供优异的屏蔽,而不显著改变封装的现有布局。EMI屏蔽件可以是屏蔽件装置(例如,EMI屏蔽件装置)。

[0053] 注意,封装100可包括不同数目的块状器件,诸如一个或多个块状器件。此外,每个块状器件可以具有不同数量的电组件(例如,电器件、无源组件、集成器件),这些电组件与封装的其他组件和/或器件屏蔽。因此,本公开中示出的封装100的构型仅仅是示例性的。

[0054] 图3至图6示出了块状器件105的各个视图。图3示出了包括无源组件150、无源组件152、包封层154和金属层156的块状器件105的侧视图。多个焊料互连151耦合到无源组件150。多个焊料互连153耦合到无源组件152。在一些实现方式中,无源组件150的底部部分和/或无源组件152的底部部分可以与包封层154的底部部分对准。例如,无源组件150的底表面和/或无源组件152的底表面可以与包封层154的底表面对准。在一些实现方式中,无源组件150和/或无源组件152可以从包封层154的底表面突出,使得无源组件150的侧部部分的一部分和/或无源组件152的侧部部分的一部分不被包封层154覆盖。图4示出了包括无源组件150、无源组件250、包封层154和金属层156的块状器件105的另一侧视图。

[0055] 图5示出了包括无源组件150、无源组件152、无源组件250、无源组件252、包封层154和金属层156的块状器件105的底部平面视图。多个焊料互连可以耦合到无源组件150、无源组件152、无源组件250和/或无源组件252的端子。图6示出了包括金属层156的块状器件105的顶部平面视图。金属层156位于包封层154的表面之上。

[0056] 图7至图10示出了块状器件107的各个视图。图7示出了包括无源组件170、集成器件172、块状基板175、包封层174和金属层176的块状器件107的侧视图。多个焊料互连178耦合到块状基板175。包封层174位于块状基板175、无源组件170和集成器件172之上。金属层176位于包封层174的表面之上。块状基板175包括至少一个介电层177和多个互连179。所述多个焊料互连178耦合到来自所述多个互连179的一些互连。图8示出了包括无源组件170、集成器件172、块状基板175、包封层174和金属层176的块状器件107的另一侧视图。

[0057] 图9示出了包括无源组件170、集成器件172、块状基板175(其包括所述至少一个介电层177和所述多个互连179)、包封层174和金属层176的块状器件107的底部平面视图。多个焊料互连可以耦合到来自所述多个互连179的一些互连。图10示出了包括金属层176的块状器件107的顶部平面视图。金属层176位于包封层174的表面之上。

[0058] 在一些实现方式中,块状器件107可以在没有块状基板175的情况下实现。在一些

实现方式中,块状器件105可以在具有块状基板175的情况下实现,如针对块状器件107所描述的。

[0059] 图11至图14示出了块状器件1107的各个视图。块状器件1107可被实现在任何封装(例如,100)中。块状器件1107可以类似于块状器件107。然而,块状器件1107不包括块状基板175。图11示出了包括无源组件170、集成器件172、包封层174和金属层176的块状器件1107的侧视图。多个焊料互连171耦合到无源组件170。多个焊料互连173耦合到集成器件172。在一些实现方式中,无源组件170和/或集成器件172可以从包封层174的底表面突出,使得无源组件170的侧部部分的一部分和/或集成器件172的侧部部分的一部分不被包封层174覆盖。在一些实现方式中,无源组件170的底部部分和/或集成器件172 152的底部部分可以与包封层174的底部部分对准。例如,无源组件170的底表面和/或集成器件172的底表面可以与包封层174的底表面对准。图12示出了包括无源组件170、集成器件172、包封层174和金属层176的块状器件1107的另一侧视图。

[0060] 图13示出了包括无源组件170、集成器件172、包封层174和金属层176的块状器件1107的底部平面视图。多个焊料互连171可以耦合到无源组件170的端子。多个焊料互连173可以耦合到集成器件172。图14示出了包括金属层176的块状器件1107的顶部平面视图。金属层176位于包封层174的表面之上。

[0061] 集成器件(例如,104、172)可以包括管芯(例如,半导体裸管芯)。集成器件可包括功率管理集成电路(PMIC)。集成器件可包括应用处理器。集成器件可包括调制解调器。集成器件可以包括射频(RF)器件、无源器件、滤波器、电容器、电感器、天线、发射机、接收机、基于砷化镓(GaAs)的集成器件、表面声波(SAW)滤波器、体声波(BAW)滤波器、发光二极管(LED)集成器件、基于硅(Si)的集成器件、基于碳化硅(SiC)的集成器件、存储器、功率管理处理器、和/或其组合。集成器件(例如,104、172)可以包括至少一个电子电路(例如,第一电子电路、第二电子电路等)。集成器件可以是电组件和/或电器件的示例。

[0062] 已经描述了各种封装,现在将在下文描述用于制造封装的若干方法。

[0063] 用于制造包括块状器件和屏蔽件的封装的示例性工序

[0064] 在一些实现方式中,制造封装包括若干工艺。图15A至图15B示出了用于提供或制造封装的示例性工序。在一些实现方式中,图15A至图15B的工序可以用于提供或制造图1的封装100。然而,图15A至图15B的工艺可以用于制造本公开中所描述的任何封装。

[0065] 应当注意,图15A至图15B的工序可以组合一个或多个阶段以便简化和/或阐明用于提供或制造封装的工序。在一些实现方式中,各工艺的次序可被改变或修改。在一些实现方式中,一个或多个工艺可被替代或置换,而不会脱离本公开的范围。

[0066] 如图15A所示,阶段1示出了在提供基板102之后的状态。基板102包括至少一个介电层120、多个互连122、以及阻焊层126。不同实现方式可使用具有不同数目的金属层的不同基板。基板可包括无芯基板、有芯基板、或嵌入式迹线基板(ETS)。图20A至图20B示出并描述了制造基板的示例。

[0067] 阶段2示出了在将多个焊料互连1500耦合到基板102(例如,设置在基板之上)之后的状态。多个焊料互连1500可耦合到多个互连122中的至少一些互连。所述多个焊料互连1500可以表示所述多个焊料互连140、151、153和/或178。

[0068] 阶段3示出了集成器件104、块状器件105和块状器件107通过多个焊料互连1500耦

合到基板102之后的状态。块状器件105可以通过所述多个焊料互连151和/或153耦合到基板102。集成器件104可以通过所述多个焊料互连140耦合到基板102。块状器件107可以通过所述多个焊料互连178耦合到基板102。不同实现方式可以将不同的组件和/或器件耦合到基板102。其他组件和/或器件可以耦合到基板102。可以使用焊料回流工艺来将集成器件104、块状器件105和块状器件107耦合到基板102。

[0069] 阶段4示出了在基板102之上提供(例如,形成)包封层108之后的状态。包封层108可以包封块状器件105、集成器件104和块状器件107。包封层108可以包封耦合到基板102的其他器件和/或组件。包封层108可以包括模制件、树脂和/或环氧树脂。可以使用压缩模制工艺、转移模制工艺、或液态模制工艺来形成包封层108。包封层108可以是可光蚀刻的。包封层108可以是包封部件。如阶段4所示,包封层108使块状器件105的顶部部分和块状器件107的顶部部分暴露(例如,不被包封层108覆盖)。在一些实现方式中,包封层108可以被形成使得包封层108形成并位于块状器件105的顶部部分和/或块状器件107的顶部部分之上和/或周围。

[0070] 如图15B所示,阶段5示出了在已经移除块状器件105的一部分和块状器件107的一部分之后的状态。研磨工艺和/或抛光工艺可移除块状器件105的诸部分和/或块状器件107的诸部分。在一些实现方式中,块状器件105的金属层156的顶部部分和块状器件107的金属层176的顶部部分可以被移除,从而暴露包封层154和包封层174。包封层154的一部分和/或包封层174的一部分也可以被移除。在一些实现方式中,包封层108的一部分也可以被移除(例如,当在块状器件105和/或块状器件107之上存在包封层108时)。

[0071] 阶段6示出了在包封层108的外表面之上形成金属层109之后的状态。可使用溅射工艺和/或电镀工艺来形成金属层109并将其耦合到包封层108。可在包封层108的顶表面、包封层154的表面、包封层174的表面、包封层108的侧表面和基板102的侧表面之上形成金属层109。金属层109可以耦合到块状器件105的金属层156。金属层109可耦合到块状器件107的金属层176。金属层109可以被配置为耦合到地。

[0072] 阶段7示出了在将多个焊料互连130耦合到基板102之后的状态。可以使用焊料回流工艺来将所述多个焊料互连130耦合到基板102。

[0073] 块状器件的放置可以使用表面安装技术(SMT)来将块状器件放置在适当的位置。

[0074] 用于制造包括块状器件和屏蔽件的封装的方法的示例性流程图

[0075] 在一些实现方式中,制造包括块状器件和屏蔽件的封装包若干工艺。图16示出了用于提供或制造封装的方法1600的示例性流程图。在一些实现方式中,图16的方法1600可以用于提供或制造本公开中所描述的图1的封装100。然而,方法1600可以用于提供或制造本公开中所描述的任何封装(例如,100)。

[0076] 应当注意,图16的方法可以组合一个或多个工艺以便简化和/或阐明用于提供或制造封装的方法。在一些实现方式中,各工艺的次序可被改变或修改。

[0077] 该方法(在1605)提供基板(例如,102)。基板102可以由供应商提供或被制造。可以使用与图20A至图20B中示出的工艺类似的工艺来制造基板102。然而,不同实现方式可以使用不同的工艺来制造基板102。可以用于制造基板102的工艺的例子包括半加成工艺(SAP)和改良型半加成工艺(mSAP)。基板102包括至少一个介电层120、多个互连122和阻焊层126。基板102可以包括嵌入式迹线基板(ETS)。在一些实现方式中,所述至少一个介电层120可以

包括预浸层。图15A的阶段1示出并描述了提供基板的示例。

[0078] 该方法(在1610)在基板102之上提供多个焊料互连(例如,1500)。所述多个焊料互连1500可以耦合到来自所述多个互连122的至少一些互连。图15A的阶段2示出并描述了提供焊料互连的示例。

[0079] 该方法(在1615)将组件和/或器件耦合到基板102的第一表面。例如,集成器件104耦合到基板102的第一表面(例如,顶表面)。集成器件104可以通过多个焊料互连140耦合到基板102。块状器件105可以通过多个焊料互连151和/或153耦合到基板102的第一表面。块状器件107可以通过多个焊料互连178耦合到基板102的第一表面。可以使用焊料回流工艺来将集成器件104、块状器件105和块状器件107通过所述多个焊料互连耦合到基板102。图15A的阶段3示出并描述了将至少组件和/或器件耦合到基板的示例。

[0080] 该方法(在1620)在该基板(例如,102)之上形成包封层(例如,168)。包封层108可以设置并形成在基板102、集成器件104、块状器件105和块状器件107之上和/或周围。在一些实现方式中,可以使集成器件104、块状器件105和/或块状器件107的顶部部分被暴露。包封层108可以包封集成器件、器件和/或组件。包封层108可以包括模制件、树脂和/或环氧树脂。可以使用压缩模制工艺、转移模制工艺、或液态模制工艺来形成包封层108。包封层108可以是可光蚀刻的。包封层108可以是包封部件。图15A的阶段4示出并描述了形成包封层的示例。

[0081] 该方法(在1625)移除块状器件105的一部分和块状器件107的一部分。研磨工艺和/或抛光工艺可移除块状器件105的诸部分和/或块状器件107的诸部分。在一些实现方式中,块状器件105的金属层156的顶部部分和块状器件107的金属层176的顶部部分可以被移除,从而暴露包封层154和包封层174。包封层154的一部分和/或包封层174的一部分也可以被移除。在一些实现方式中,包封层108的一部分也可以被移除(例如,当在块状器件105和/或块状器件107之上存在包封层108时)。图15B的阶段5示出并描述了磨削以移除组件和/或包封层的一部分的示例。

[0082] 该方法(在1630)在包封层108的外表面之上形成金属层(例如,109)。可使用溅射工艺和/或电镀工艺来形成金属层109并将其耦合到包封层108。可在包封层108的顶表面、包封层154的表面、包封层174的表面、包封层108的侧表面和基板102的侧表面之上形成金属层109。金属层109可以耦合到块状器件105的金属层156。金属层109可耦合到块状器件107的金属层176。金属层109可以被配置为耦合到地。

[0083] 该方法(在1635)将多个焊料互连(例如,130)耦合到基板102。可以使用焊料回流工艺来将所述多个焊料互连130耦合到基板102。图15B的阶段7示出并描述了将焊料互连耦合到基板的示例。

[0084] 本公开中所描述的封装(例如,100)可以一次制造一个,或者可以一起制造(作为一个或多个晶片的一部分)并且随后切单成个体封装。

[0085] 根据设计和组装要求,可以使用若干块状组件构型,诸如带辅助模制可以与载体一起使用。块状器件可以使用SMT组装规则来耦合并且可以被设计成与带和实际组装工艺兼容。可能需要调整块状器件高度以考虑目标封装厚度,以允许与外部EMI屏蔽件进行电连接。

[0086] 用于制造具有屏蔽件的块状器件的示例性工序

[0087] 在一些实现方式中,制造块状器件包括若干工艺。图17A至图17B示出了用于提供或制造块状器件的示例性工序。在一些实现方式中,图17A至图17B的工序可以用于提供或制造块状器件105。然而,图17A至图17B的工艺可以用于制造本公开中所描述的任何块状器件。

[0088] 应当注意,图17A至图17B的工序可以组合一个或多个阶段以便简化和/或阐明用于提供或制造块状器件的工序。在一些实现方式中,各工艺的次序可被改变或修改。在一些实现方式中,一个或多个工艺可被替代或置换,而不会脱离本公开的范围。

[0089] 如图17A所示,阶段1示出了在提供带1700之后的状态。带1700可以包括粘合剂。需注意,也可以使用其他载体来代替带。

[0090] 阶段2示出了在将多个无源组件1710安装并耦合到带1700之后的状态。所述多个无源组件1710可以表示本公开中所描述的任何无源组件,诸如无源组件150、152、250和/或252。需注意,其他组件和/或器件也可以耦合到带1700。例如,集成器件(例如,104)可以安装并耦合到带1700。

[0091] 阶段3示出了在带1700之上形成包封层154之后的状态。包封层154可以包封无源组件1710。包封层154可以包括模制件、树脂和/或环氧树脂。可以使用压缩模制工艺、转移模制工艺、或液态模制工艺来形成包封层154。

[0092] 阶段4示出了在将包封层154切割和/或切块之后的状态,这在包封层154中创建了切割线1720(例如,腔)。可以使用锯子和/或激光来创建切割线1720。这创建了具有包封层和若干无源组件的若干分立块状器件。

[0093] 如图17B所示,阶段5示出了在将具有包封层和若干无源组件的分立块状器件从带1700解耦(例如,移除)并转移到载体1750之后的状态。分立块状器件可以被放置并耦合到载体1750。需注意,转移到载体可以是任选的。

[0094] 阶段6示出了在分立块状器件的包封层154之上(例如,在包封层154的表面之上)形成金属层156之后的状态。可以使用溅射工艺和/或电镀工艺来形成金属层156。

[0095] 阶段7示出了在将载体1750解耦之后的状态,从而留下多个块状器件105,每个块状器件具有多个无源组件、包封层154和金属层156。金属层156可以被配置为EMI屏蔽件。

[0096] 用于制造具有屏蔽件的块状器件的示例性工序

[0097] 在一些实现方式中,制造块状器件包括若干工艺。图18A至图18C示出了用于提供或制造块状器件的示例性工序。在一些实现方式中,图18A至图18C的工序可以用于提供或制造块状器件107。然而,图18A至图18C的工艺可被用来制造本公开中所描述的任何块状器件。

[0098] 应当注意,图18A至图18C的工序可以组合一个或多个阶段以便简化和/或阐明用于提供或制造块状器件的工序。在一些实现方式中,各工艺的次序可被改变或修改。在一些实现方式中,一个或多个工艺可被替代或置换,而不会脱离本公开的范围。

[0099] 如图18A中所示,阶段1示出了在提供块状基板175之后的状态。块状基板175可包括至少一个介电层177和多个互连179。不同实现方式可将不同材料用于至少一个介电层177。例如,至少一个介电层177可包括预浸层、玻璃和/或石英。图20A至图20B示出了制造基板的示例,其可以用于制造块状基板175。

[0100] 阶段2示出了在将多个无源组件170和多个集成器件172安装并耦合到块状基板

175之后的状态。需注意,其他组件和/或器件也可以耦合到块状基板175。所述多个无源组件170和多个集成器件172可以通过多个焊料互连(例如,171、173)耦合到块状基板175。可以使用焊料回流工艺来将所述多个无源组件170和多个集成器件172耦合到块状基板175。

[0101] 阶段3示出了在块状基板175和无源组件170和集成器件172之上形成包封层174之后的状态。包封层174可以包封无源组件170和集成器件172。包封层174可包括模制件、树脂和/或环氧树脂。可以使用压缩模制工艺、转移模制工艺、或液态模制工艺来形成包封层174。

[0102] 阶段4示出了在将块状基板175、所述多个无源组件170、所述多个集成器件172和包封层174耦合到载体1800之后的状态。

[0103] 如图18B所示,阶段5示出了在将包封层174切割和/或切块之后的状态,这在包封层174中创建了切割线1820(例如,腔)。可以使用锯子和/或激光来创建切割线1820。这创建了具有包封层和若干无源组件和/或集成器件的若干分立块状器件。

[0104] 阶段6示出了在将具有包封层和若干无源组件和/或集成器件的分立块状器件从载体1800解耦(例如,移除)并转移到载体1810之后的状态。分立块状器件可以被放置并耦合到载体1810。需注意,在一些实现方式中,转移到另一载体可以是任选的。

[0105] 阶段7示出了在分立块状器件的包封层174之上(例如,在包封层174的表面之上)形成金属层176之后的状态。可使用溅射工艺和/或电镀工艺来形成金属层176。

[0106] 阶段8示出了在将载体1810解耦之后的状态,从而留下多个块状器件107,每个块状器件具有块状基板175、至少一个无源组件、至少一个集成器件、包封层174和金属层176。金属层176可以被配置为EMI屏蔽件。块状基板175的至少一部分可以被配置为EMI屏蔽件。

[0107] 用于制造包括具有屏蔽件的块状器件的封装的方法的示例性流程图

[0108] 在一些实现方式中,制造具有屏蔽件的块状器件包括若干工艺。图19示出了用于提供或制造块状器件的方法1900的示例性流程图。在一些实现方式中,图19的方法1900可以用于提供或制造本公开中所描述的图1的块状器件107。将相对于制造块状器件107来描述方法1900。然而,方法1900可以用于提供或制造本公开中所描述的任何块状器件(例如,105、107)。

[0109] 应当注意,图19的方法可以组合一个或多个工艺以便简化和/或阐明用于提供或制造块状器件的方法。在一些实现方式中,各工艺的次序可被改变或修改。

[0110] 该方法可以(在1905)可任选地提供块状基板(例如,175)。块状基板175可以由供应商提供或被制造。块状基板175可包括至少一个介电层177和多个互连179。图18A的阶段1示出并描述了提供块状基板的示例。

[0111] 该方法(在1910)提供并耦合至少一个无源组件(例如,170)和/或至少一个集成器件(例如,172)。所述至少一个无源组件和/或所述至少一个集成器件可以耦合到块状基板175,或可以耦合到带或载体。所述至少一个无源组件和/或所述至少一个集成器件可以是电组件和/或电器件的示例。图18A的阶段2示出并描述了提供和/或耦合至少一个无源组件和/或至少一个集成器件的示例。

[0112] 该方法(在1915)在该块状基板(例如,175)、载体或带之上形成包封层(例如,174)。包封层174可以设置并形成在块状基板175和集成器件(例如,172)和/或无源组件(例如,170)之上和/或周围。包封层174可以包封集成器件和/或组件。包封层174可包括模制

件、树脂和/或环氧树脂。可以使用压缩模制工艺、转移模制工艺、或液态模制工艺来形成包封层174。包封层174可以是可光蚀刻的。包封层174可以是包封部件。图18A的阶段4示出并描述了形成包封层的示例。

[0113] 该方法(在1920)将包封层(例如,174)切块,这在包封层174中创建了切割线1820(例如,腔)。可以使用锯子和/或激光来创建切割线1820。这创建了具有包封层、无源组件和/或集成器件的若干分立块状器件。图18B的阶段5示出并描述了将包封层切块的示例。一旦切块完成,该方法可以将分立块状器件放置在(例如,转移到)载体上。图18B的阶段6示出并描述了将分立块状器件放置在载体上的示例。

[0114] 该方法(在1925)在分立块状器件的包封层174之上形成金属层(例如,176)。金属层可以形成并耦合到包封层174的外表面。可使用溅射工艺和/或电镀工艺来形成金属层176。金属层176可以被配置为EMI屏蔽件。图18C的阶段7示出并描述了形成金属层的示例。需注意,在制造块状器件的工艺期间,各种组件可以被解耦、转移和/或耦合到各种带和/或载体。然后,该方法可以将分立块状器件从载体解耦。图18C的阶段8示出并描述了将块状器件从载体解耦的示例。

[0115] 需注意,使用适当的设计规则和切块公差可以使在分立块状器件包封期间以及在封装包封期间出现空隙的风险最小化。

[0116] 需注意,打开封装上的焊接掩模以及适当的模流可以进一步降低模制空隙的风险。块状器件可以包括裸焊盘,这些裸焊盘可以更薄以在封装组装期间增加器件托起高度(stand-off),以进一步降低模制空隙的风险。

[0117] 用于制造基板的示例性工序

[0118] 在一些实现方式中,制造基板包括若干工艺。图20A至图20B示出了用于提供或制造基板的示例性工序。在一些实现方式中,图20A至图20B的工序可以用于提供或制造图1的基板102。然而,图20A至图20B的工艺可以用于制造本公开中所描述的任何基板。

[0119] 应当注意,图20A至图20B的工序可以组合一个或多个阶段以便简化和/或阐明用于提供或制造基板的工序。在一些实现方式中,各工艺的次序可被改变或修改。在一些实现方式中,一个或多个工艺可被替代或置换,而不会脱离本公开的范围。

[0120] 如图20A所示,阶段1示出了在提供载体2000并且在该载体2000之上形成金属层之后的状态。金属层可以被图案化以形成互连2002。可以使用镀敷工艺和蚀刻工艺来形成金属层和互连。在一些实现方式中,载体2000可以设置有金属层,该金属层被图案化以形成互连2002。在一些实现方式中,载体2000之上可以存在晶种层。晶种层可以位于形成互连2002的载体2000与金属层之间。

[0121] 阶段2示出了在载体2000和互连2002之上形成介电层2020之后的状态。可以使用沉积和/或层压工艺来形成介电层2020。介电层2020可以包括聚酰亚胺。然而,不同实现方式可以将不同材料用于介电层。

[0122] 阶段3示出了在介电层2020中形成多个腔2010之后的状态。可以使用蚀刻工艺(例如,光刻工艺)或激光工艺来形成所述多个腔2010。

[0123] 阶段4示出了在介电层2020之中和之上(包括在所述多个腔2010之中和之上)形成互连2012之后的状态。例如,可以形成过孔、焊盘和/或迹线。可使用镀敷工艺来形成互连。

[0124] 阶段5示出了在介电层2020之上形成另一介电层2022之后的状态。可以使用沉积

和/或层压工艺来形成介电层2022。介电层2022可以是与介电层2020相同的材料。然而,不同实现方式可以将不同材料用于介电层。

[0125] 如图20B所示,阶段6示出了在介电层2022中形成多个腔2030之后的状态。可以使用蚀刻工艺或激光工艺来形成腔2030。

[0126] 阶段7示出了在介电层2022之中和之上(包括在所述多个腔2030之中和之上)形成互连2014之后的状态。例如,可形成过孔、焊盘和/或迹线。可使用镀敷工艺来形成互连。

[0127] 注意到,阶段5至7可被迭代地重复以形成附加金属层和介电层。互连2002、2012和/或2014中的一些或全部可以限定基板102的多个互连122。介电层2020和2022可以由所述至少一个介电层120表示。

[0128] 阶段8示出了在将载体2000从所述至少一个介电层120解耦(例如,移除、磨掉)之后的状态,从而留下包括所述至少一个介电层120和所述多个互连122的基板102。

[0129] 阶段9示出了在基板102之上形成阻焊层124和阻焊层126之后的状态。可使用沉积工艺来形成阻焊层124和阻焊层126。在一些实现方式中,在所述至少一个介电层120之上可以不形成任何阻焊层或形成一个阻焊层。

[0130] 不同实现方式可使用不同工艺来形成(诸)金属层。在一些实现方式中,化学气相沉积(CVD)工艺和/或物理气相沉积(PVD)工艺用于形成(诸)金属层。例如,溅射工艺、喷涂工艺、和/或镀覆工艺可用来形成(诸)金属层。

[0131] 用于制造基板的方法的示例性流程图

[0132] 在一些实现方式中,制造基板包括若干工艺。图21示出了用于提供或制造基板的方法2100的示例性流程图。在一些实现方式中,图21的方法2100可以用于提供或制造图1的基板。例如,图21的方法可以用于制造基板102。

[0133] 应当注意,图21的方法2100可以组合一个或多个工艺以便简化和/或阐明用于提供或制造基板的方法。在一些实现方式中,各工艺的次序可被改变或修改。

[0134] 该方法(在2105)提供载体2000。不同实现方式可将不同材料用于载体。载体可以包括晶种层。载体可包括基板、玻璃、石英和/或载体带。图20A的阶段1示出并描述了所提供的载体的示例。

[0135] 该方法(在2110)在载体2000之上形成金属层。金属层可被图案化以形成互连。可使用镀敷工艺来形成金属层和互连。在一些实现方式中,载体可以包括金属层。在载体之上的金属层可以被图案化以形成互连(例如,2002)。图20A的阶段1示出并描述了在载体之上形成的金属层和互连的示例。

[0136] 该方法(在2115)在载体2000和互连2002之上形成介电层2020。可使用沉积和/或层压工艺来形成介电层。介电层2020可以包括聚酰亚胺。形成介电层还可以包括在介电层2020中形成多个腔(例如,2010)。可使用蚀刻工艺(例如,光刻)或激光工艺来形成该多个腔。图20A的阶段2至3示出并描述了形成介电层和该介电层中的腔的示例。

[0137] 该方法(在2120)在该介电层之中和之上形成互连。例如,可以在介电层2020之中和之上形成互连2012。可使用镀敷工艺来形成互连。形成互连可包括在介电层之上和/或介电层之中提供图案化金属层。形成互连还可包括在介电层的腔中形成互连。图20A的阶段4示出并描述了在介电层之中和之上形成互连的示例。

[0138] 该方法(在2125)在介电层2020和这些互连之上形成介电层2022。可使用沉积和/

或层压工艺来形成介电层。介电层2022可以包括聚酰亚胺。形成介电层还可以包括在介电层2022中形成多个腔(例如,2030)。可以使用蚀刻工艺或激光工艺来形成该多个腔。图20A至图20B的阶段5至6示出并描述了形成介电层和该介电层中的腔的示例。

[0139] 该方法(在2130)在该介电层之中和/或之上形成互连。例如,可以形成互连2014。可使用镀敷工艺来形成互连。形成互连可包括在介电层之上和介电层中提供图案化金属层。形成互连还可包括在介电层的腔中形成互连。图20B的阶段15示出并描述了在介电层之中和之上形成互连的示例。

[0140] 该方法可以形成附加介电层和附加互连,如在2125和2130所描述的。

[0141] 一旦形成所有介电层和附加互连,该方法就可以将载体(例如,2000)从介电层2020解耦(例如,移除、磨掉),从而留下基板。在一些实现方式中,该方法可以在基板之上形成阻焊层(例如,124、126)。

[0142] 不同实现方式可使用不同工艺来形成(诸)金属层。在一些实现方式中,化学气相沉积(CVD)工艺和/或物理气相沉积(PVD)工艺用于形成(诸)金属层。例如,溅射工艺、喷涂工艺、和/或镀覆工艺可用来形成(诸)金属层。

[0143] 示例性电子设备

[0144] 图22示出了可以集成有前述器件、集成器件、集成电路(IC)封装、集成电路(IC)器件、半导体器件、集成电路、管芯、中介体、封装、层叠封装(PoP)、系统级封装(SiP)、或片上系统(SoC)中的任一者的各种电子设备。例如,移动电话设备2202、膝上型计算机设备2204、固定位置终端设备2206、可穿戴设备2208、或机动车辆2210可以包括如本文中所描述的器件2200。器件2200可以是例如本文中所描述的器件和/或集成电路(IC)封装中的任一者。图22中示出的设备2202、2204、2206和2208、以及交通工具2210仅仅是示例性的。其他电子设备也能够以器件2200为特征,此类电子设备包括但不限于包括以下各项的一组设备(例如,电子设备):移动设备、手持式个人通信系统(PCS)单元、便携式数据单元(诸如个人数字助理)、启用全球定位系统(GPS)的设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元(诸如仪表读取装备)、通信设备、智能电话、平板计算机、计算机、可穿戴设备(例如,手表、眼镜)、物联网(IoT)设备、服务器、路由器、机动车辆(例如,自主交通工具)中实现的电子设备、或者存储或检索数据或计算机指令的任何其他设备,或者其任何组合。

[0145] 图1至图14、图15A至图15B、图16、图17A至图17B、图18A至图18C和/或图19至图22中示出的各组件、工艺、特征和/或功能中的一者或多者可以被重新安排和/或组合成单个组件、工艺、特征或功能,或者在若干组件、工艺或功能中实施。也可添加附加元件、组件、过程、和/或功能而不会脱离本公开。还应当注意,图1至图14、图15A至图15B、图16、图17A至图17B、图18A至图18C和/或图19至图22及其在本公开中的对应描述不限于管芯和/或IC。在一些实现方式中,图1至图14、图15A至图15B、图16、图17A至图17B、图18A至图18C和/或图19至图22及其对应描述可以用于制造、创建、提供和/或生产器件和/或集成器件。在一些实现方式中,器件可包括管芯、集成器件、集成无源器件(IPD)、管芯封装、集成电路(IC)器件、器件封装、集成电路(IC)封装、晶片、半导体器件、层叠封装(PoP)器件、散热器件和/或中介体。

[0146] 注意,本公开中的附图可以表示各种部件、组件、对象、器件、封装、集成器件、集成电路、和/或晶体管的实际表示和/或概念表示。在一些实例中,附图可以不是按比例。在

一些实例中,为了清楚起见,并未示出所有组件和/或部件。在一些实例中,附图中的各个部件和/或组件的定位、位置、大小、和/或形状可以是示例性的。在一些实现方式中,附图中的各个组件和/或部件可以是可任选的。

[0147] 措辞“示例性”在本文中用于意指“用作示例、实例、或示出”。在本文中被描述为“示例性”的任何实现方式或方面不必被解释为优于或胜过本公开的其他方面。同样,术语“方面”不要求本公开内容的全部方面都包括所论述的特征、优点或者操作模式。术语“耦合”在本文中用于指两个对象之间的直接或间接耦合(例如,机械耦合)。例如,如果对象A物理地接触对象B,并且对象B接触对象C,则对象A和C仍然可以被认为是相互耦合的,即使它们相互并没有直接地物理接触。耦合到对象B的对象A可耦合到对象B的至少一部分。术语“电耦合”可意指两个对象直接或间接耦合在一起,以使得电流(例如,信号、功率、接地)可以在两个对象之间传递。电耦合的两个对象在这两个对象之间可以有或者可以没有电流传递。术语“第一”、“第二”、“第三”和“第四”(和/或高于第四的任何事物)的使用是任意的。所描述的任何组件可以是第一组件、第二组件、第三组件或第四组件。例如,被称为第二组件的组件可以是第一组件、第二组件、第三组件或第四组件。术语“包封”、“进行包封”和/或任何派生意指对象可以部分地包封或完全包封另一对象。术语“顶部”和“底部”是任意的。位于顶部的组件可以处在位于底部的组件之上。顶部组件可被视为底部组件,反之亦然。如本公开所描述的,位于第二组件“之上”的第一组件可意味着第一组件位于第二组件上方或下方,这取决于底部或顶部被如何任意定义。在另一示例中,第一组件可位于第二组件的第一表面之上(例如,上方),而第三组件可位于第二组件的第二表面之上(例如,下方),其中第二表面与第一表面相对。进一步注意,如在本申请中在一个组件位于另一组件之上的上下文中所使用的术语“之上”可被用来表示组件在另一组件上和/或在另一组件中(例如,在组件的表面上或被嵌入在组件中)。由此,例如,第一组件在第二组件之上可表示:(1)第一组件在第二组件之上,但是不直接接触第二组件;(2)第一组件在第二组件上(例如,在第二组件的表面上);和/或(3)第一组件在第二组件中(例如,嵌入在第二组件中)。位于第二组件“中”的第一组件可以部分地位于第二组件中或者完全位于第二组件中。如本公开中所使用的术语“约‘值X’”或“大致为值X”意味着在“值X”的百分之十以内。例如,约1或大致为1的值将意味着在0.9-1.1范围中的值。

[0148] 在一些实现方式中,互连是器件或封装中允许或促成两个点、元件和/或组件之间的电连接的元件或组件。在一些实现方式中,互连可包括迹线、过孔、焊盘、柱、金属化层、重分布层、和/或凸块下金属化(UBM)层/互连。在一些实现方式中,互连可包括可被配置成为信号(例如,数据信号)、接地和/或功率提供电路路径的导电材料。互连可包括不止一个元件或组件。互连可以由一个或多个互连来定义。互连可包括一个或多个金属层。互连可以是电路的一部分。不同实现方式可使用不同工艺和/或工序来形成互连。在一些实现方式中,可使用化学气相沉积(CVD)工艺、物理气相沉积(PVD)工艺、溅射工艺、喷涂、和/或镀覆工艺来形成互连。

[0149] 还应注意,本文中所包含的各种公开可以作为被描绘为流程图、流图、结构图或框图的过程来描述。尽管流程图可以将操作描述为顺序过程,但是操作中的许多操作可以被并行或同时执行。另外,可以重新排列操作的次序。过程在其操作完成时中止。

[0150] 下文中描述了进一步示例以促进对本公开的理解。

[0151] 方面1:一种封装,所述封装包括:基板;耦合到所述基板的第一集成器件;耦合到所述基板的第一块状器件,所述第一块状器件包括:第一电组件;第二电组件;包封所述第一电组件和所述第二电组件的第一包封层;和耦合到所述第一包封层的第一金属层;和至少部分地包封所述第一集成器件和所述第一块状器件的第二包封层。

[0152] 方面2:根据方面1所述的封装,还包括耦合到所述第二包封层的第二金属层,其中所述第二金属层位于所述第二包封层的外表面之上。

[0153] 方面3:根据方面2所述的封装,其中所述第二金属层耦合到所述第一块状器件的所述第一金属层。

[0154] 方面4:根据方面2至3所述的封装,其中所述第一金属层和/或所述第二金属层被配置为电磁干扰(EMI)屏蔽件。

[0155] 方面5:根据方面2至4所述的封装,其中所述第一金属层和/或所述第二金属层被配置为耦合到地。

[0156] 方面6:根据方面1至5所述的封装,其中所述第一块状器件还包括块状基板,并且其中所述第一电组件和所述第二电组件耦合到所述块状基板。

[0157] 方面7:根据方面1至6所述的封装,其中所述第一电组件包括无源组件或集成器件,并且其中所述第二电组件包括另一无源组件或另一集成器件。

[0158] 方面8:根据方面1至7所述的封装,其中所述第一块状器件包括多于两个电组件。

[0159] 方面9:根据方面1至8所述的封装,还包括耦合到所述基板的第二块状器件,所述第二块状器件包括:第三电组件;第四电组件;包封所述第三电组件和所述第四电组件的第三包封层;和耦合到所述第三包封层的第三金属层,其中所述第三金属层被配置为用于所述第二块状器件的屏蔽件。

[0160] 方面10:根据方面1至9所述的封装,其中所述第一块状器件通过多个焊料互连耦合到所述基板。

[0161] 方面11:一种装置,包括:基板;耦合到所述基板的第一集成器件;耦合到所述基板的第一块状器件,所述第一块状器件包括:第一电组件;第二电组件;被配置为包封所述第一电组件和所述第二电组件的第一包封部件;和耦合到所述第一包封部件的第一金属层;和被配置为至少部分地包封所述第一集成器件和所述第一块状器件的第二包封部件。

[0162] 方面12:根据方面11所述的装置,还包括耦合到所述第二包封部件的第二金属层,其中所述第二金属层位于所述第二包封部件的外表面之上。

[0163] 方面13:根据方面12所述的装置,其中所述第二金属层耦合到所述第一块状器件的所述第一金属层。

[0164] 方面14:根据方面12至13所述的装置,其中所述第一金属层和/或所述第二金属层被配置为电磁干扰(EMI)屏蔽件。

[0165] 方面15:根据方面12至14所述的装置,其中所述第一金属层和/或所述第二金属层被配置为耦合到地。

[0166] 方面16:根据方面11至15所述的装置,其中所述第一块状器件还包括块状基板,并且其中所述第一电组件和所述第二电组件耦合到所述块状基板。

[0167] 方面17:根据方面11至16所述的装置,其中所述第一电组件包括无源组件或集成器件,并且其中所述第二电组件包括另一无源组件或另一集成器件。

[0168] 方面18:根据方面11至17所述的装置,其中所述第一块状器件包括多于两个电组件。

[0169] 方面19:根据方面11至18所述的装置,还包括耦合到所述基板的第二块状器件,所述第二块状器件包括:第三电组件;第四电组件;被配置为包封所述第三电组件和所述第四电组件的第三包封部件;和耦合到所述第三包封部件的第三金属层,其中所述第三金属层被配置为用于所述第二块状器件的屏蔽件。

[0170] 方面20:根据方面11至19所述的装置,其中所述装置包括选自由以下项组成的组的设备:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、计算机、可穿戴设备、膝上型计算机、服务器、物联网(IoT)设备和机动车辆中的设备。

[0171] 方面21:一种用于制造封装的方法,包括:提供基板;将第一集成器件耦合到所述基板;将第一块状器件耦合到所述基板,所述第一块状器件包括:第一电组件;第二电组件;包封所述第一电组件和所述第二电组件的第一包封层;和耦合到所述第一包封层的第一金属层;以及形成至少部分地包封所述第一集成器件和所述第一块状器件的第二包封层。

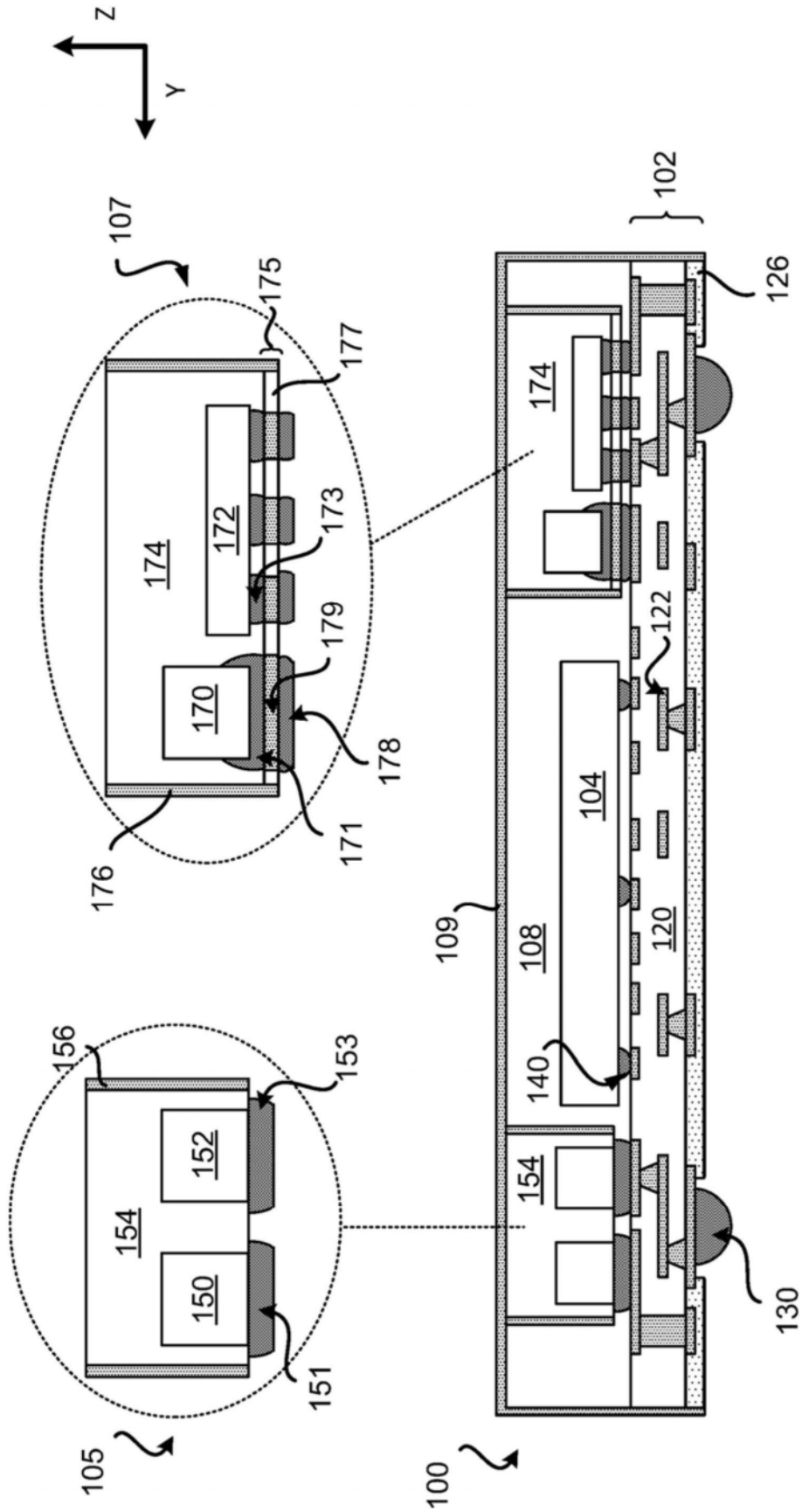
[0172] 方面22:根据方面21所述的方法,还包括在所述第二包封层的外表面之上形成第二金属层。

[0173] 方面23:根据方面22所述的方法,其中所述第二金属层耦合到所述第一块状器件的所述第一金属层。

[0174] 方面24:根据方面22至23所述的方法,其中所述第一金属层和/或所述第二金属层被配置为电磁干扰(EMI)屏蔽件。

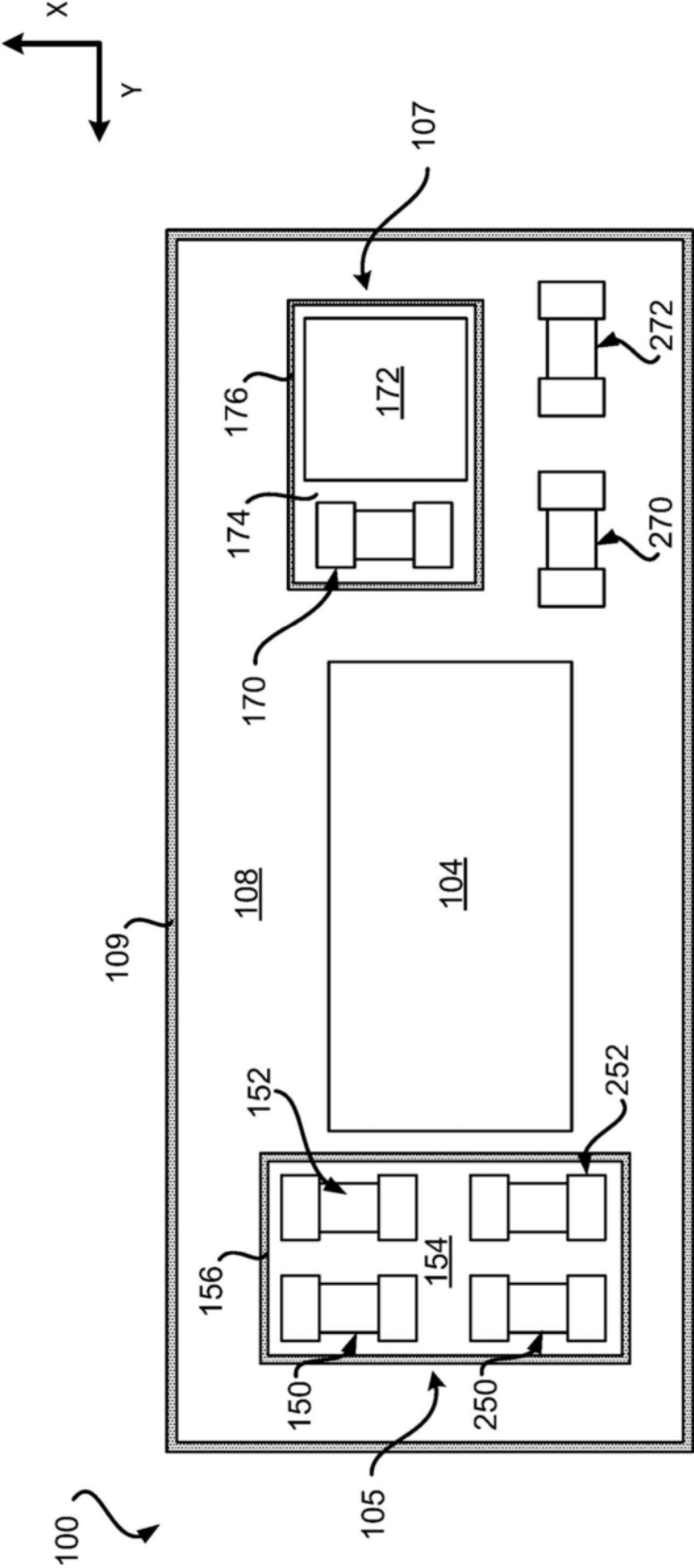
[0175] 方面25:根据方面21至24所述的方法,其中所述第一块状器件还包括块状基板,并且其中所述第一电组件和所述第二电组件耦合到所述块状基板。

[0176] 本文中所描述的本公开的各种特征可实现于不同系统中而不会脱离本公开。应当注意,本公开的以上各方面仅是示例,且不应被解释成限定本公开。对本公开的各方面的描述旨在是例示性的,而非限定所附权利要求的范围。由此,本公开的教导可以现成地应用于其他类型的装置,并且许多替换、修改和变形对于本领域技术人员将是显而易见的。



横截面剖面视图

图1



横截面平面视图

图2

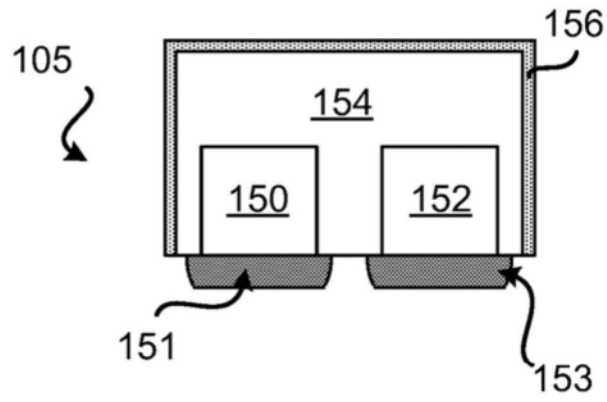


图3

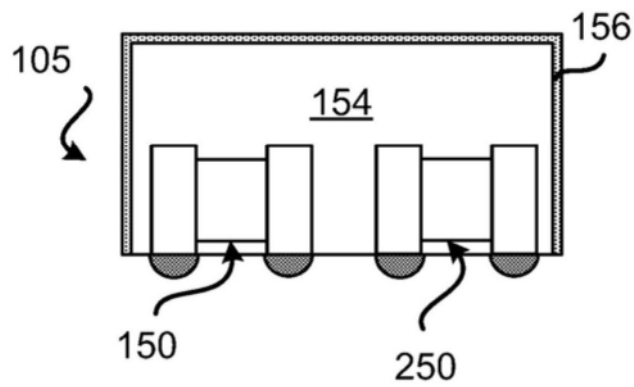


图4

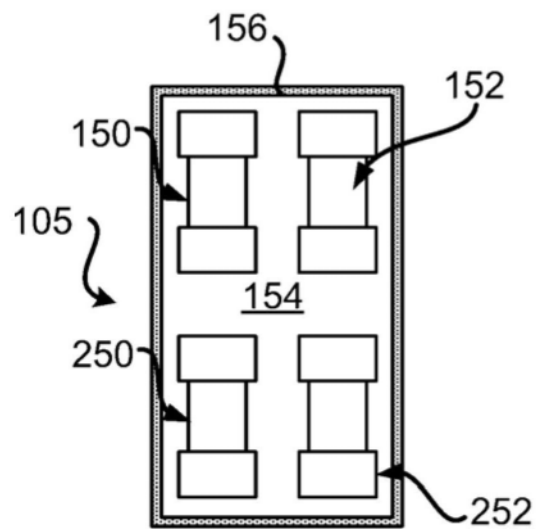


图5

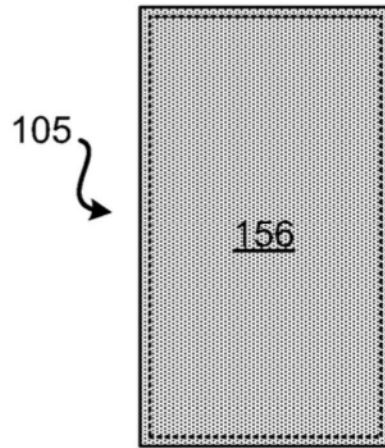


图6

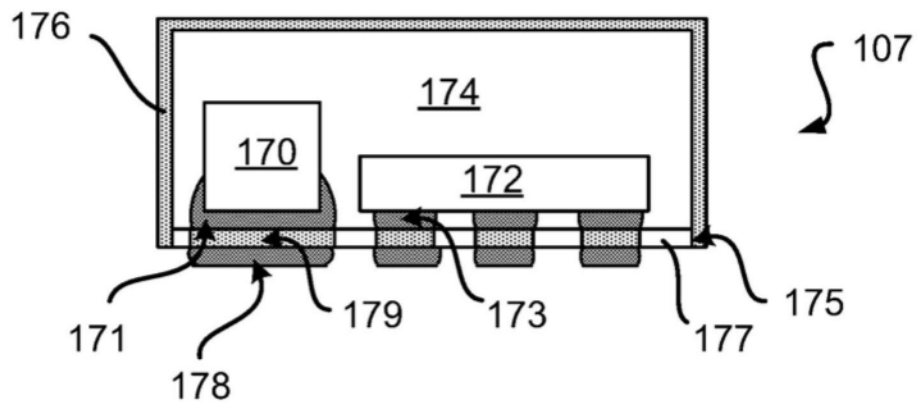


图7

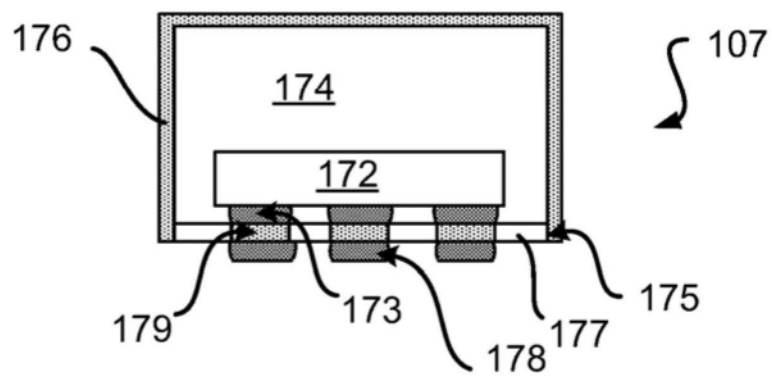


图8

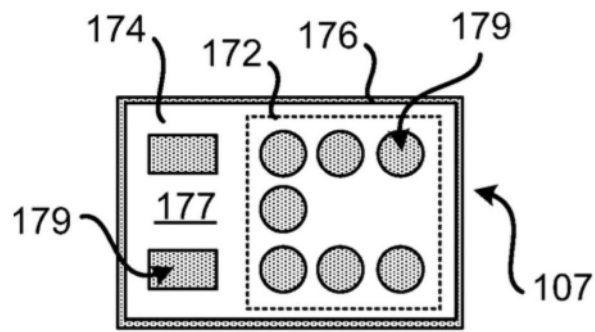


图9

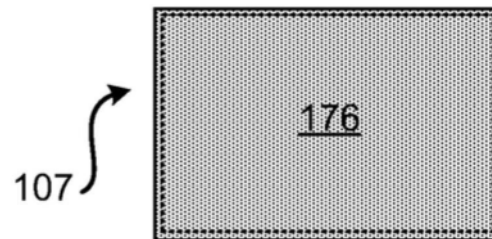


图10

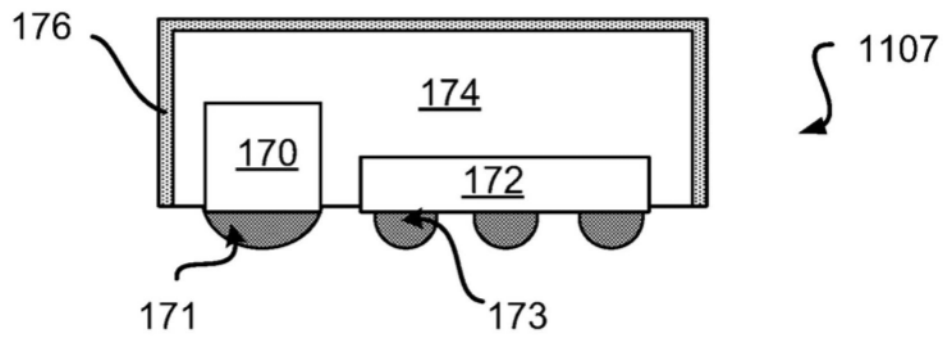


图11

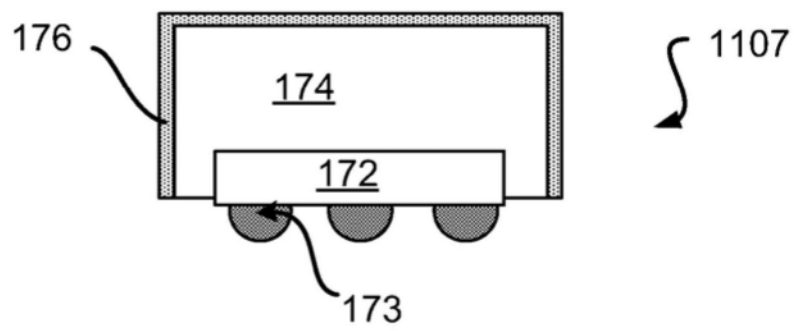


图12

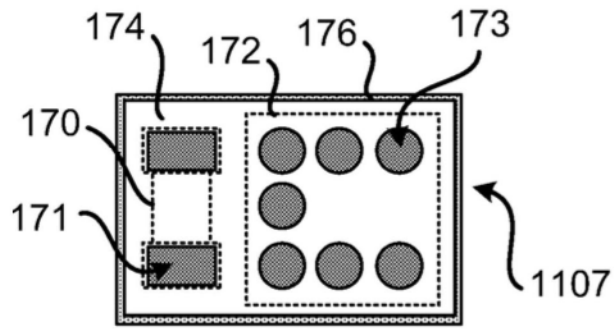


图13

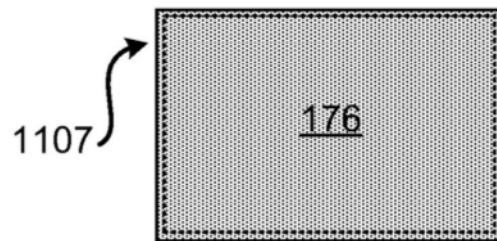


图14

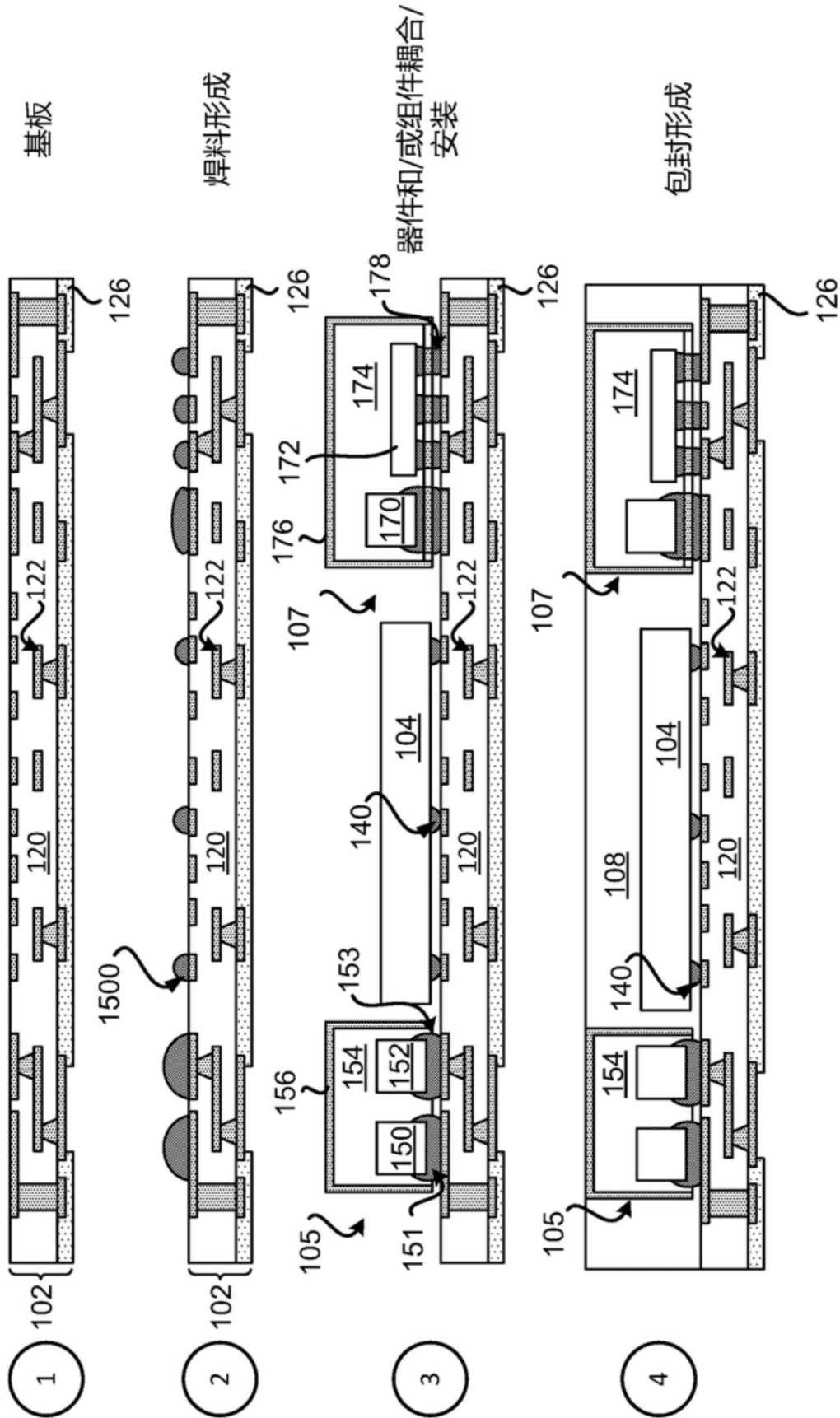


图15A

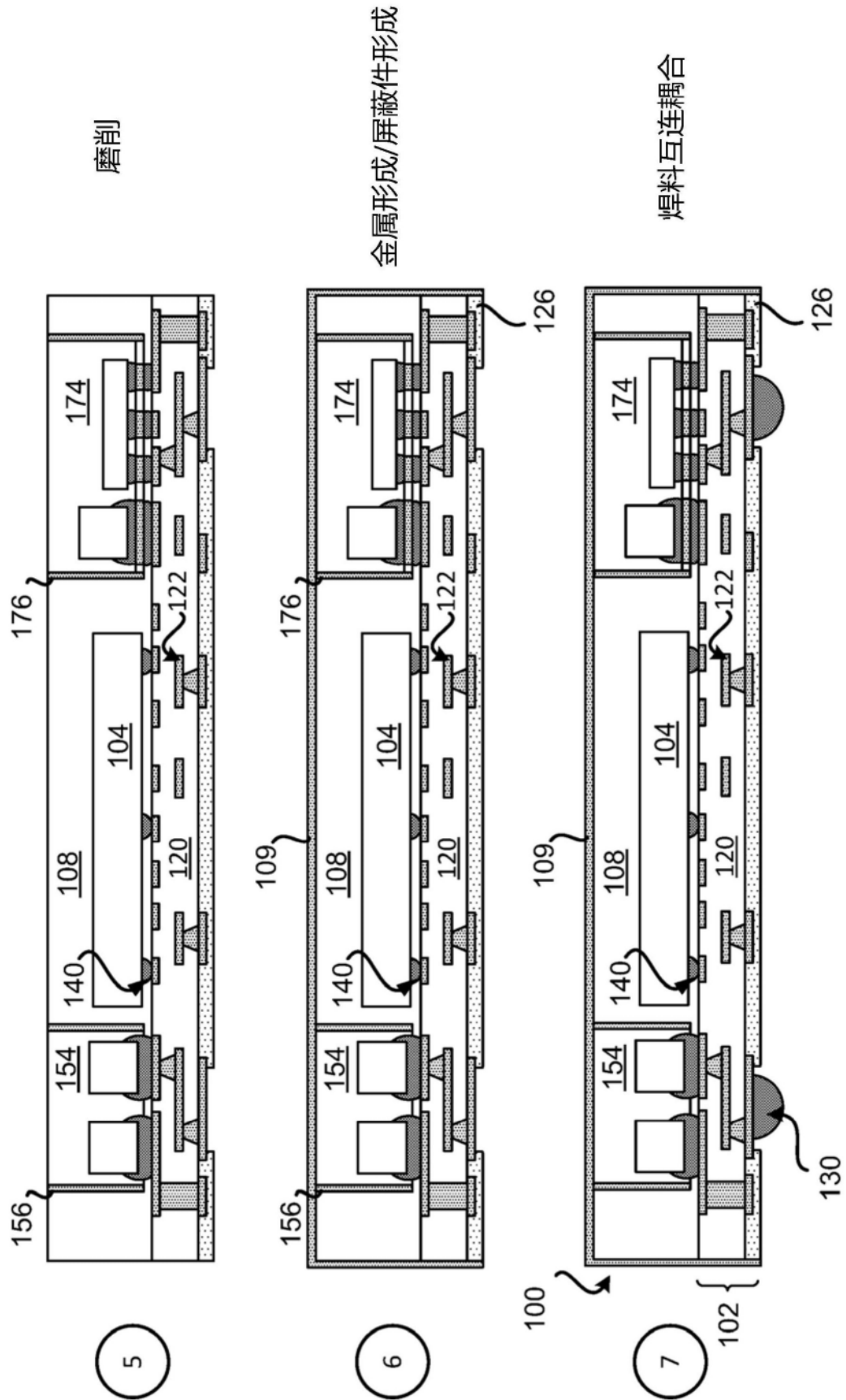


图15B

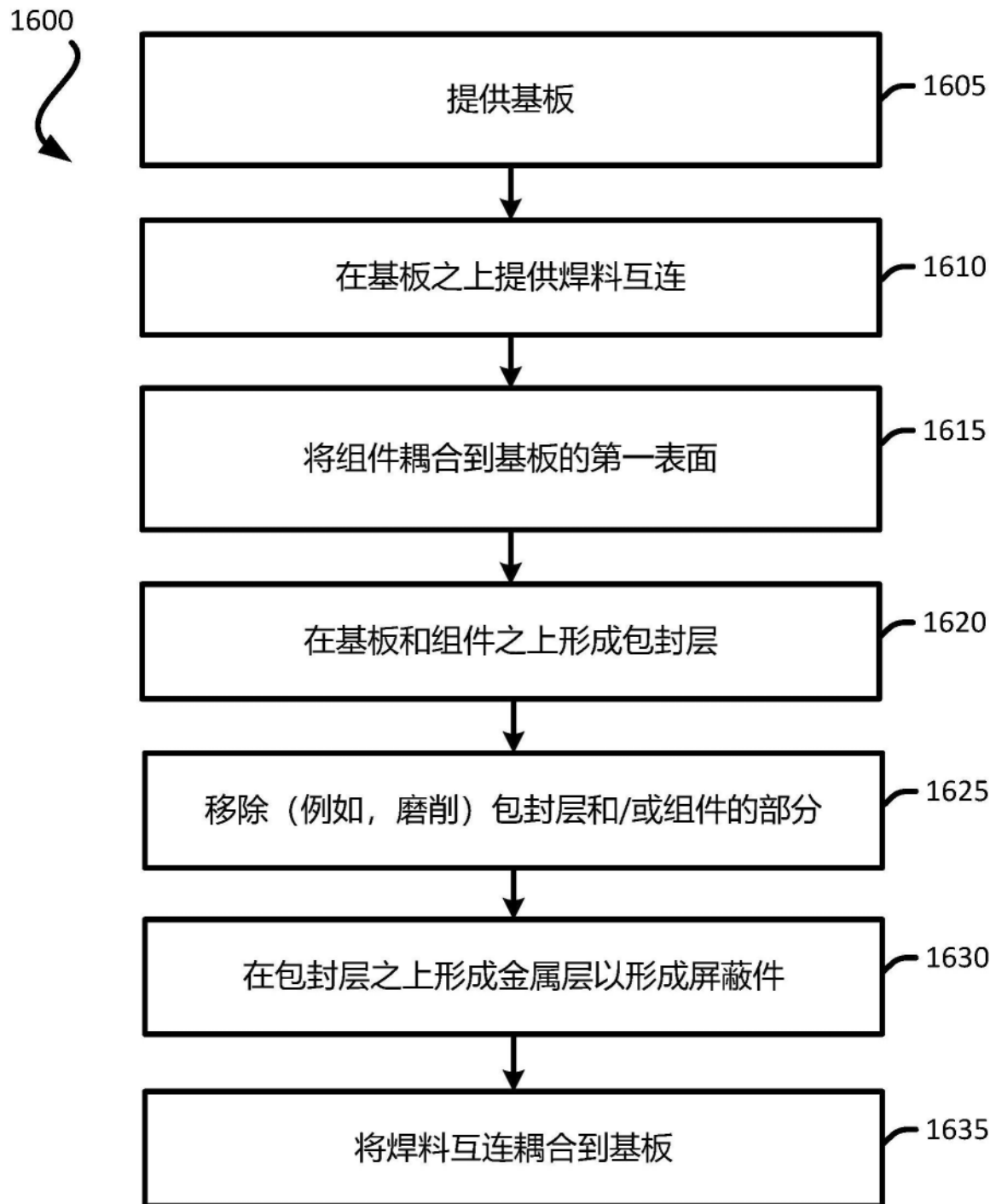


图16

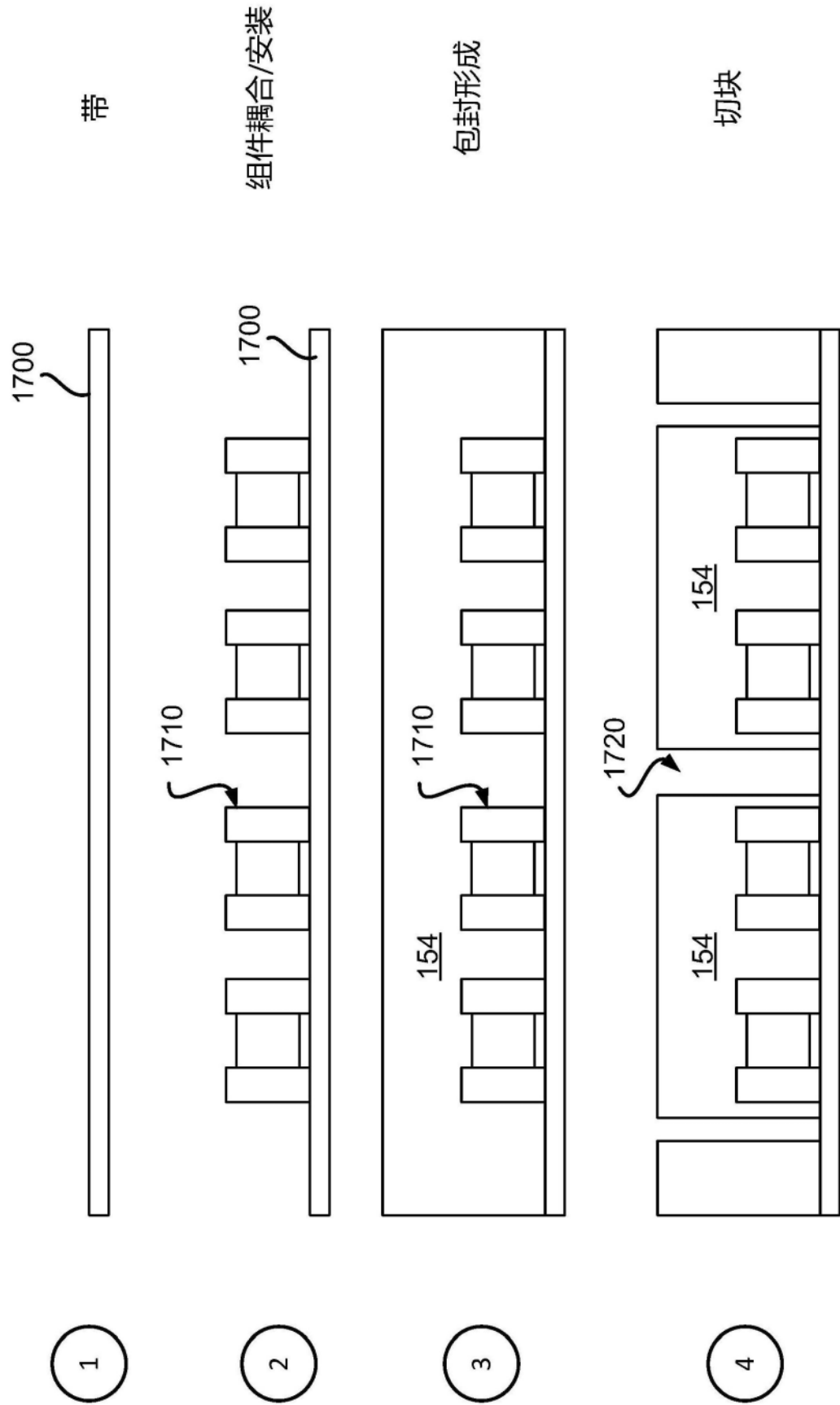


图17A

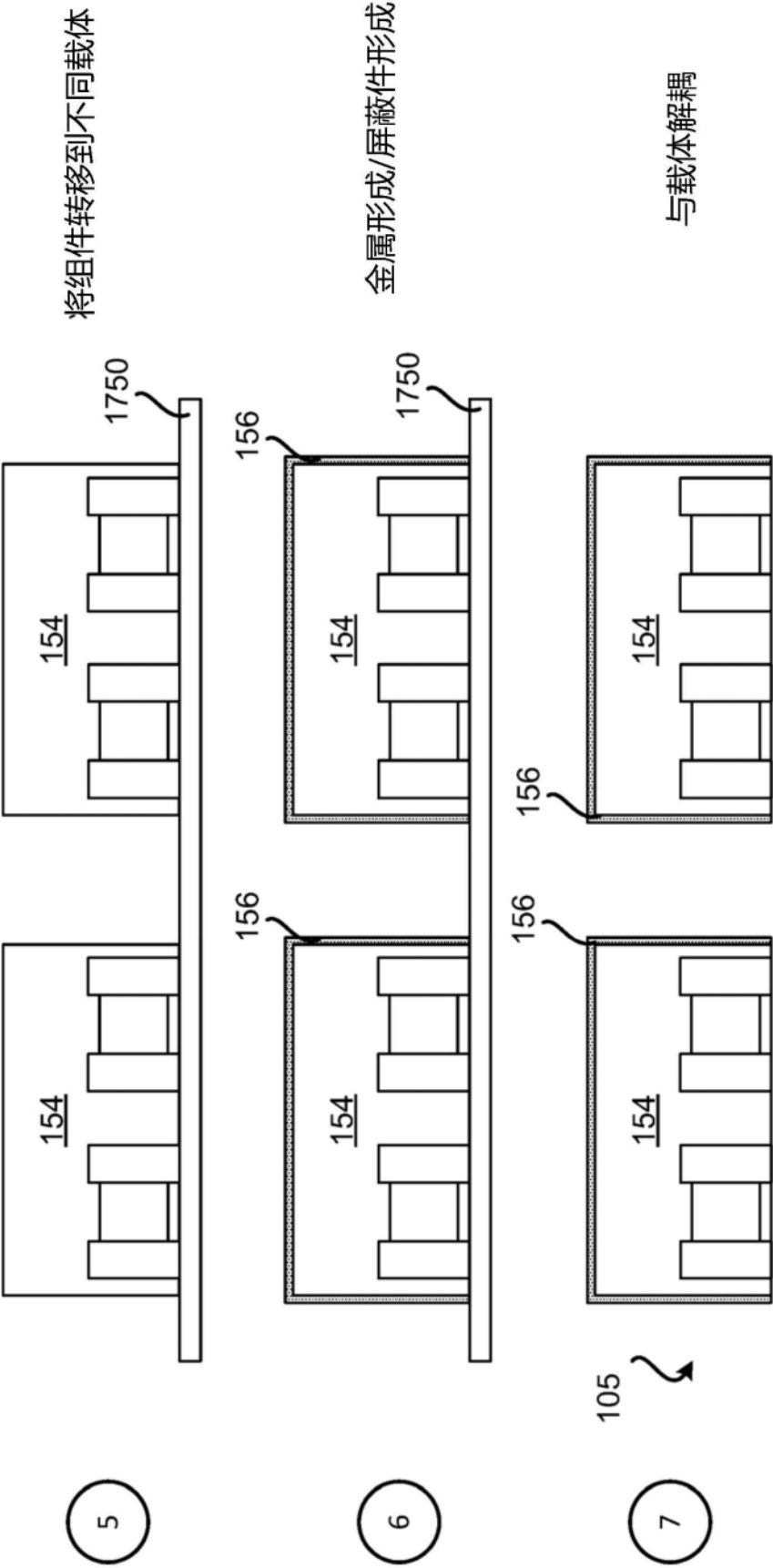


图17B

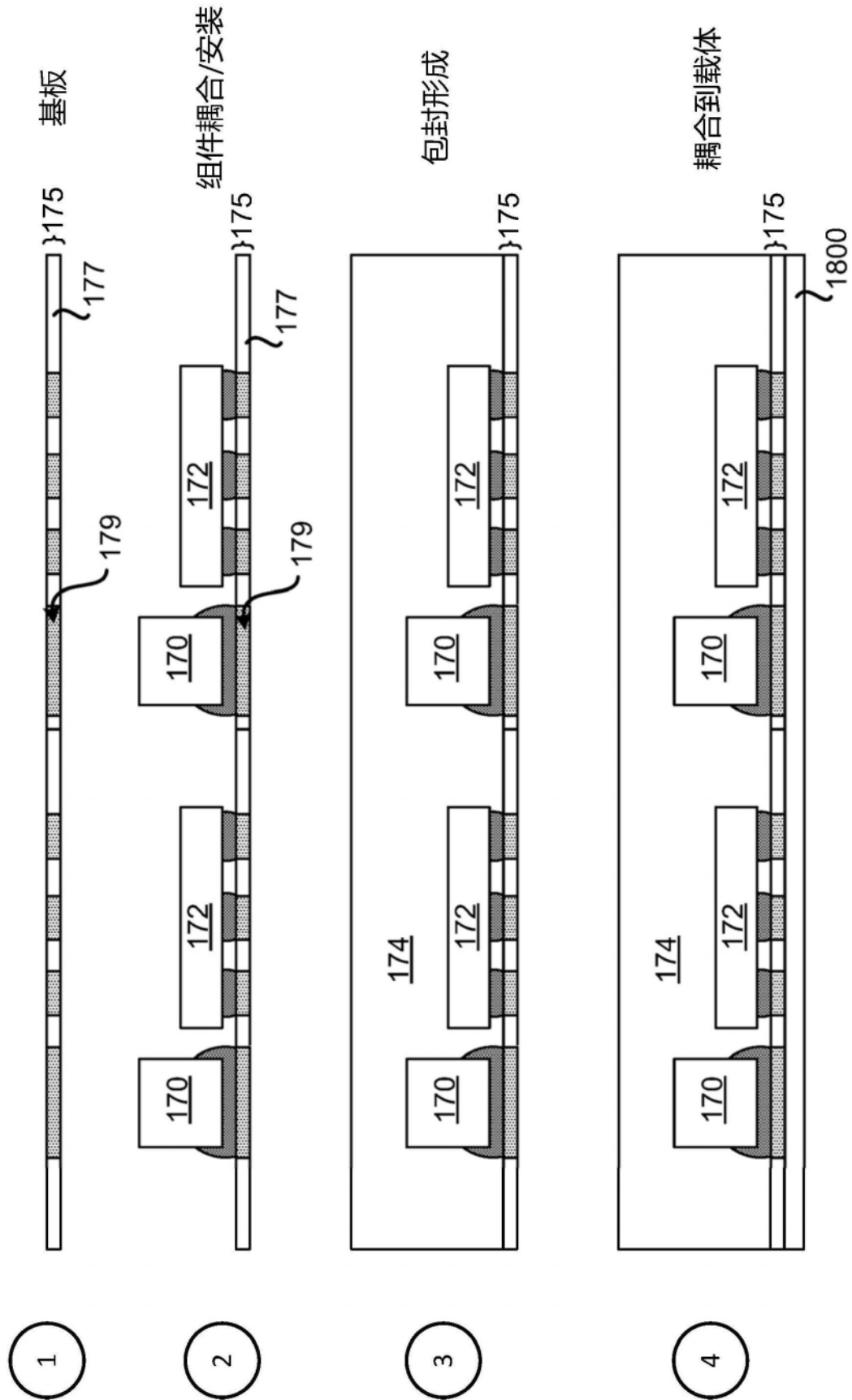


图18A

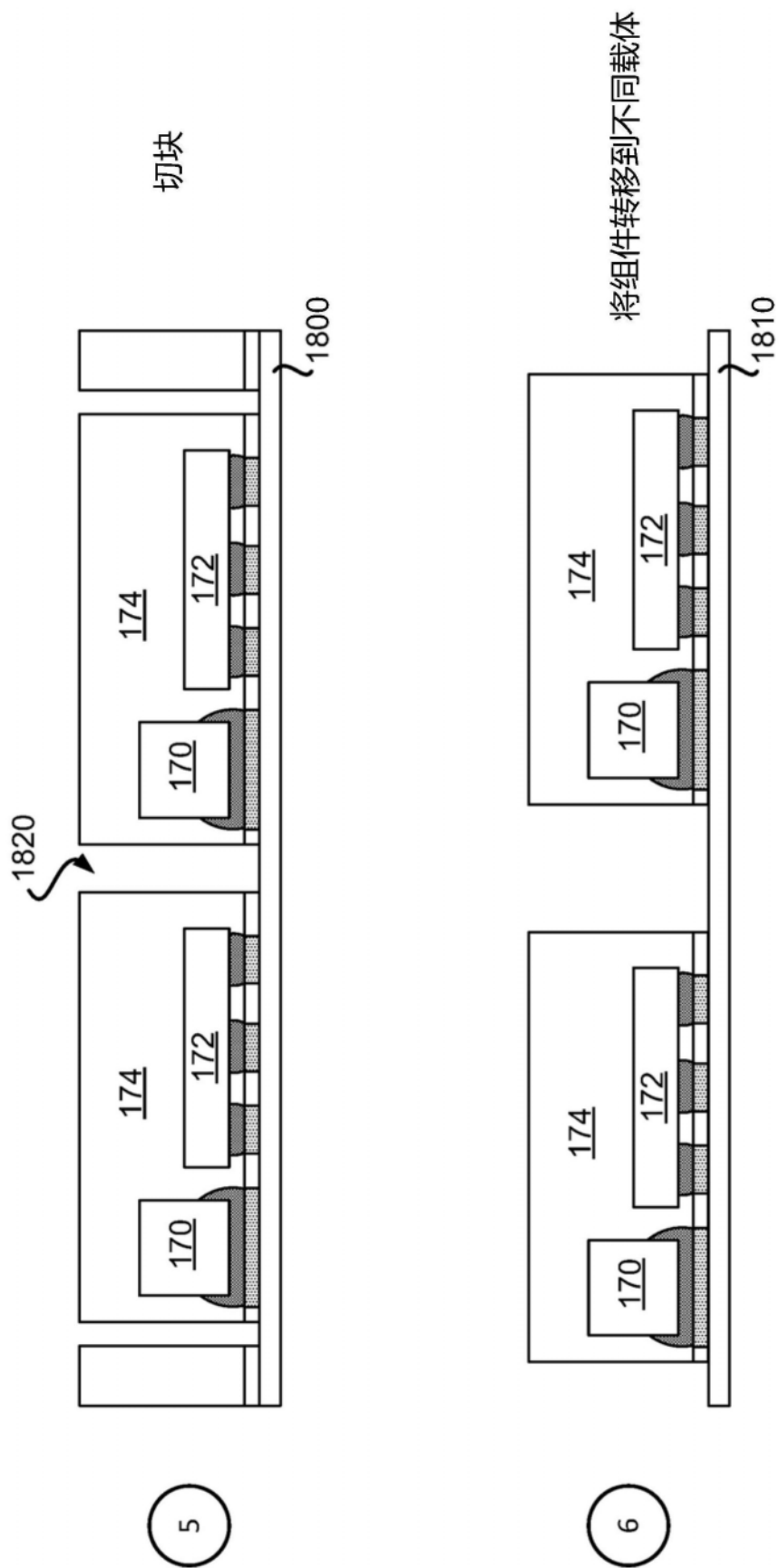


图18B

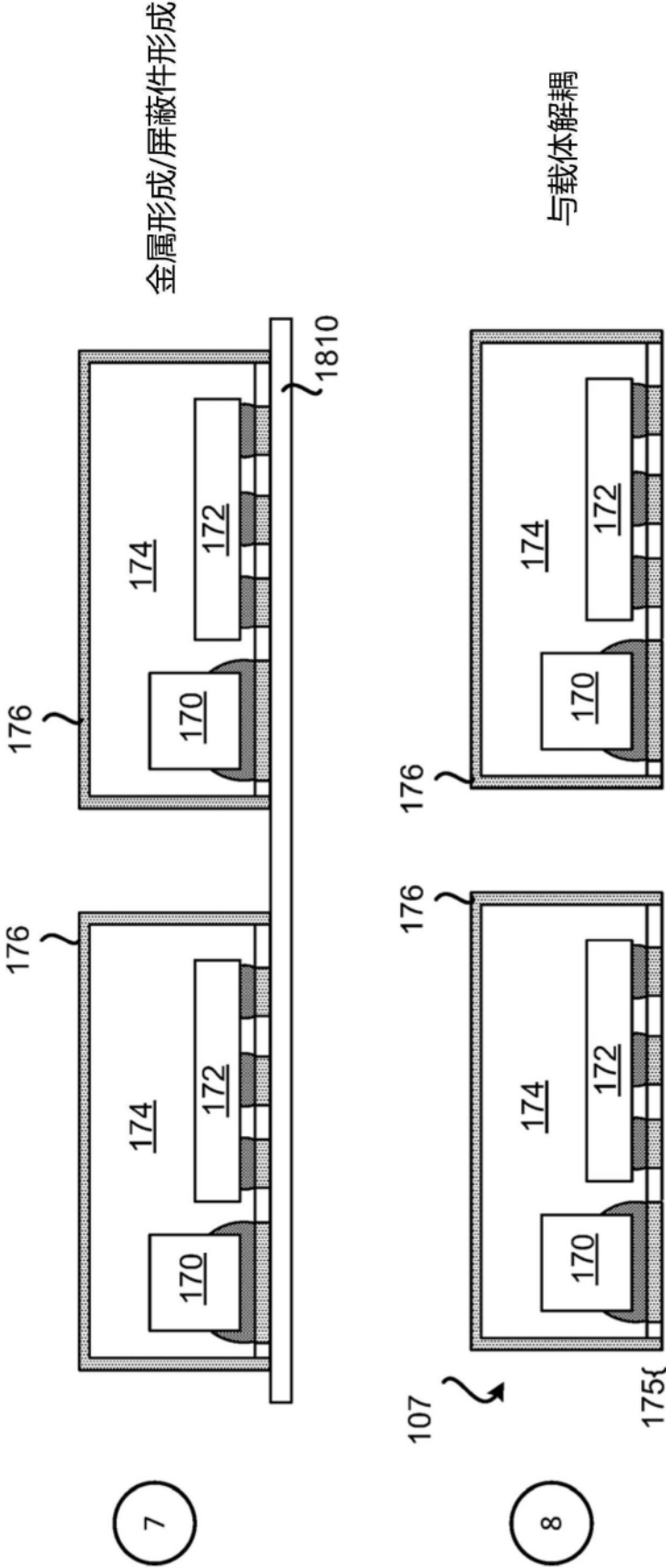


图18C

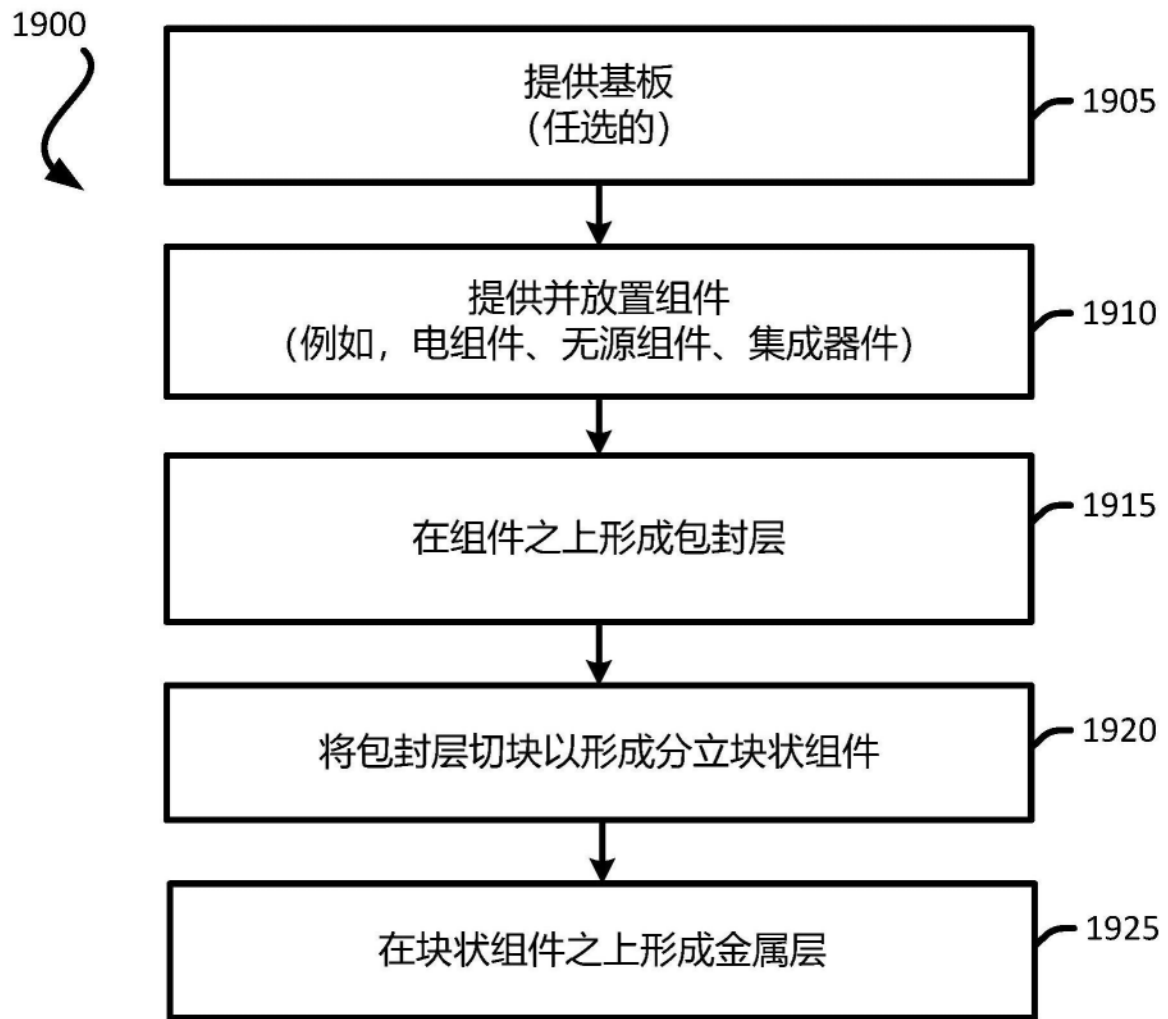


图19

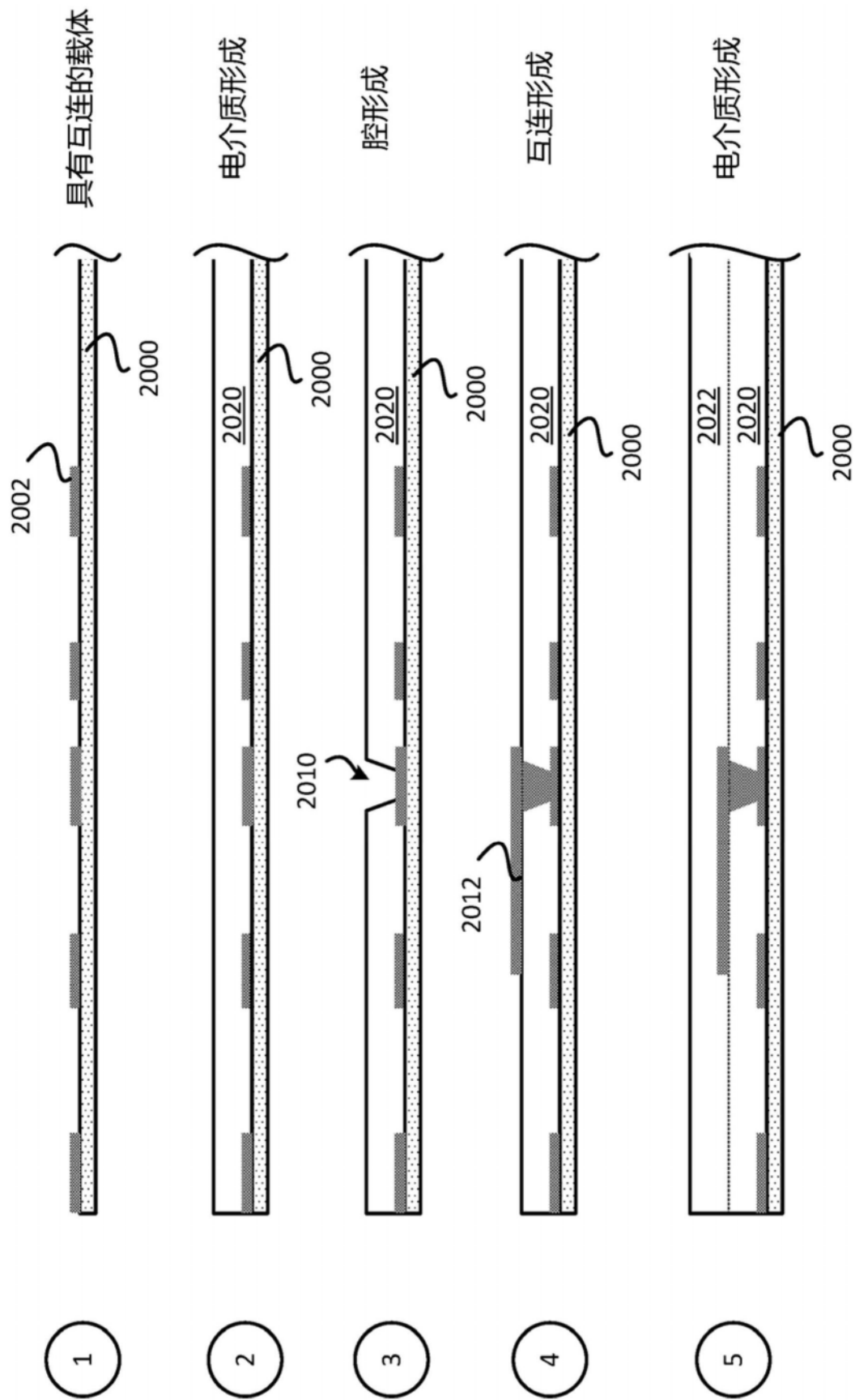


图20A

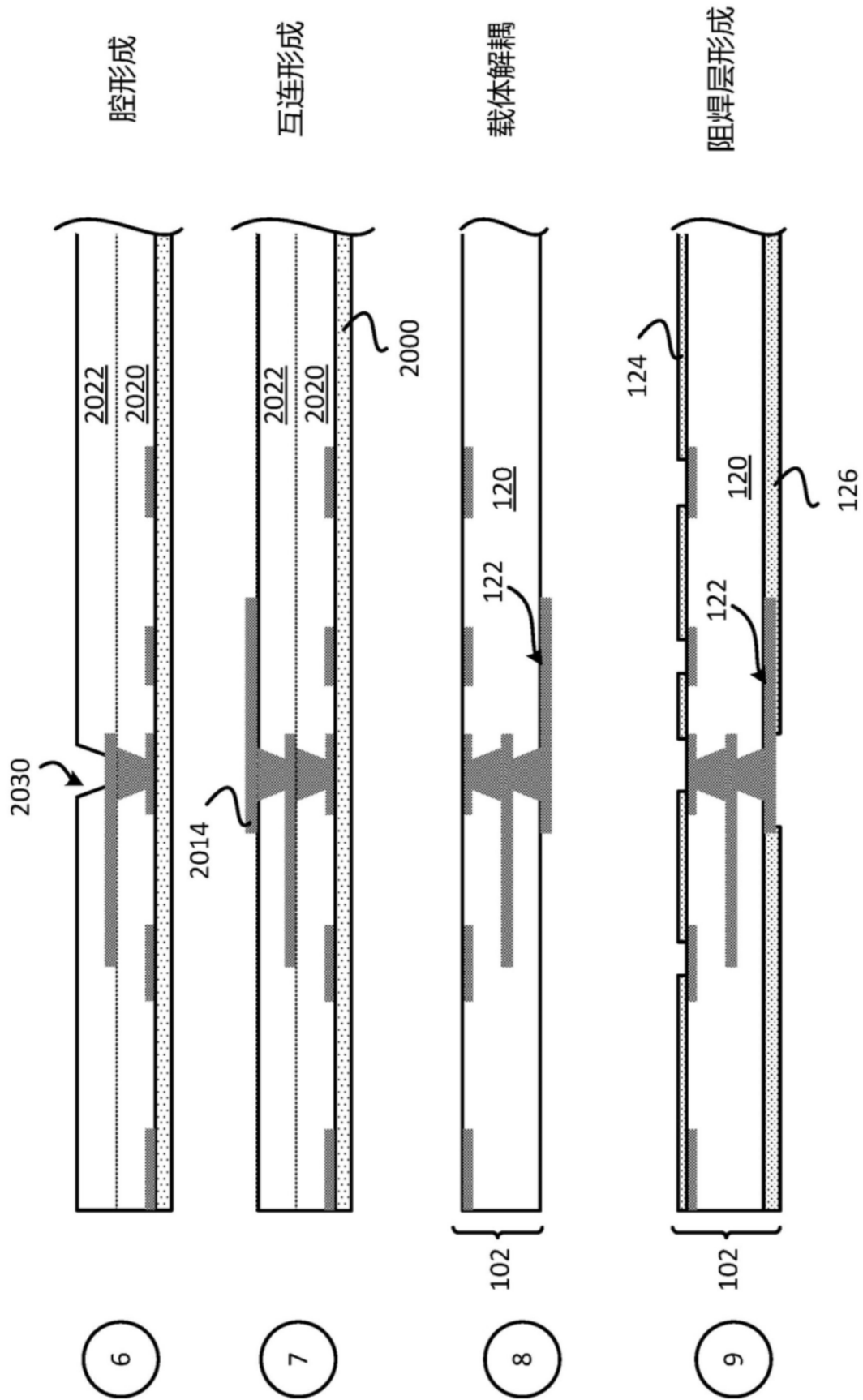


图20B

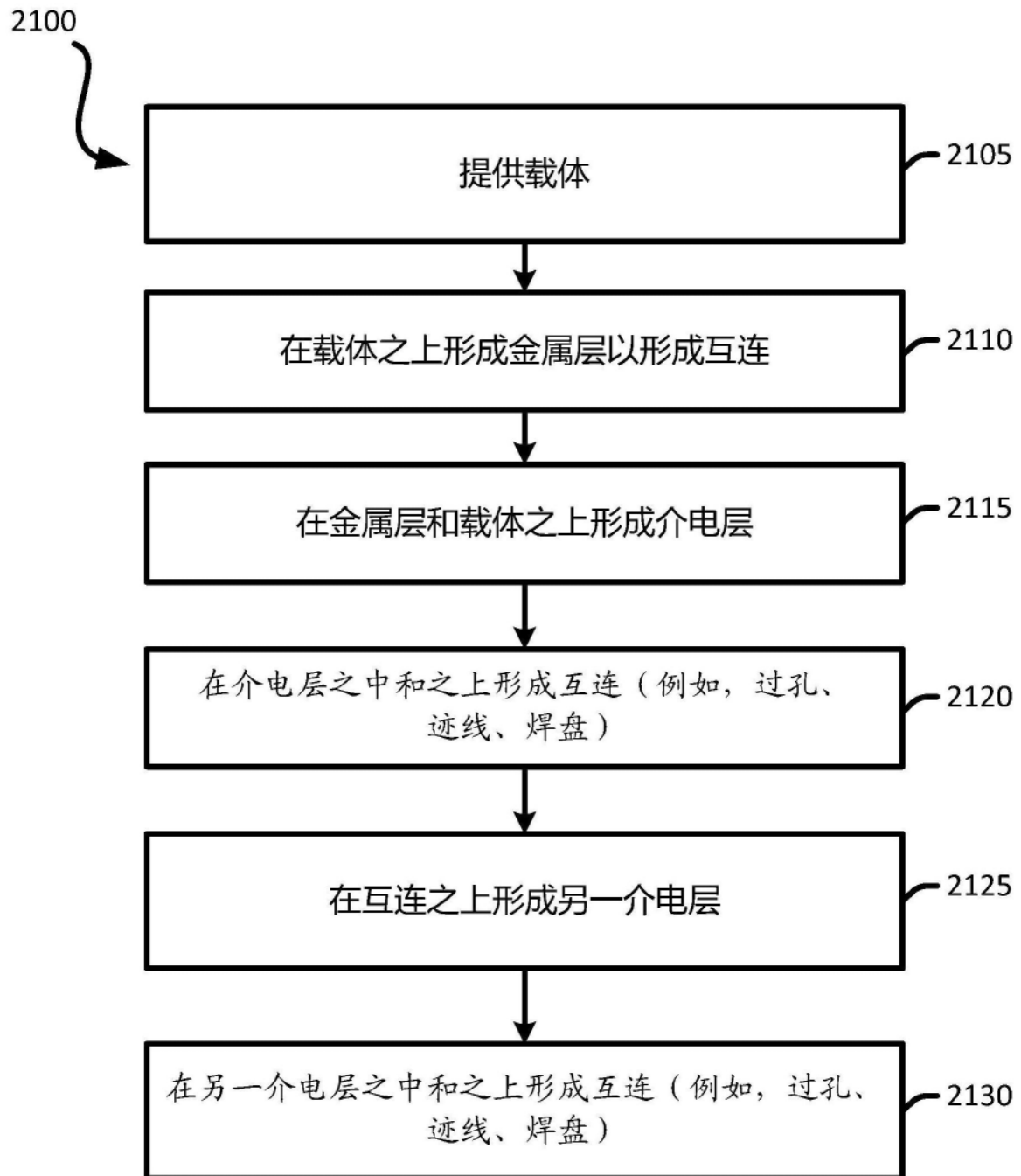


图21

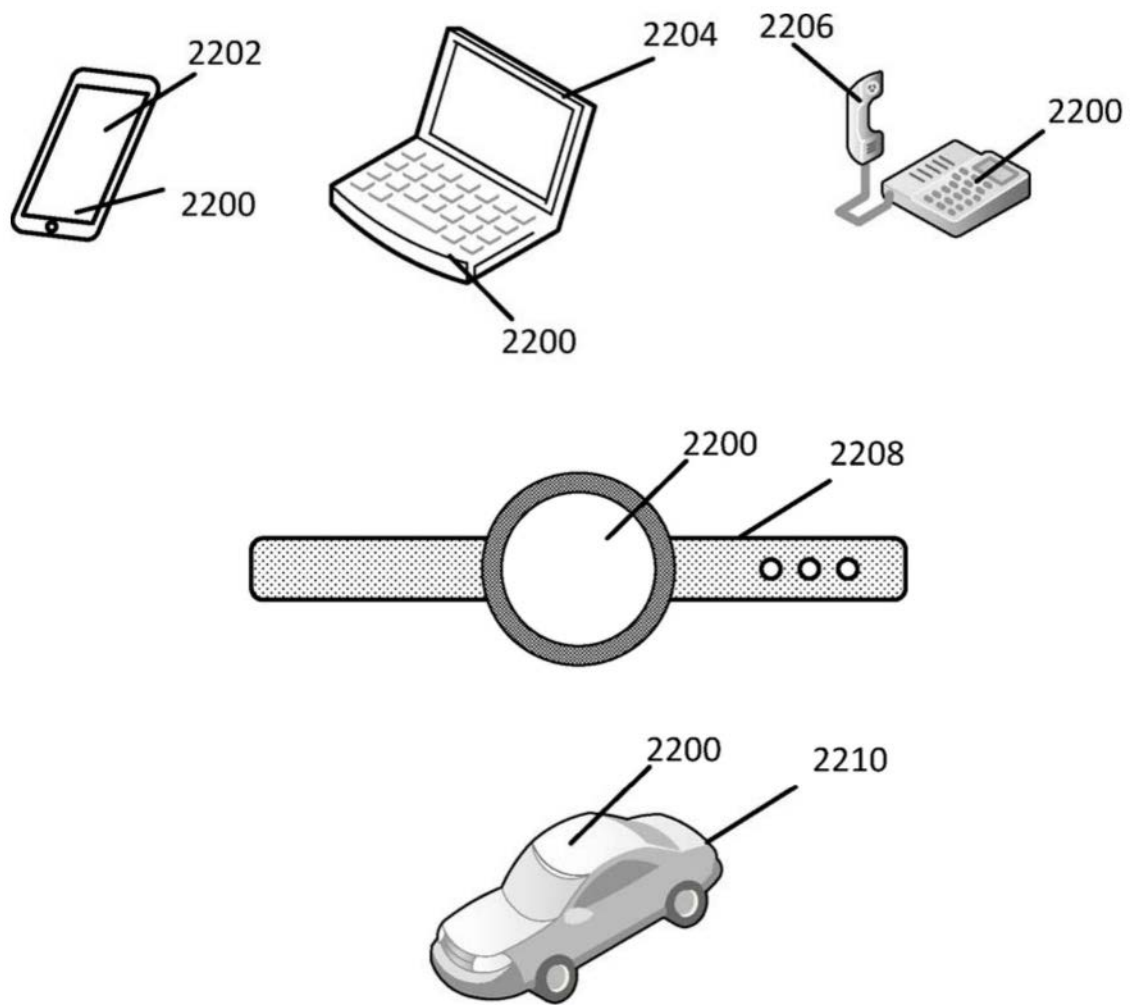


图22