

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年4月4日(04.04.2019)



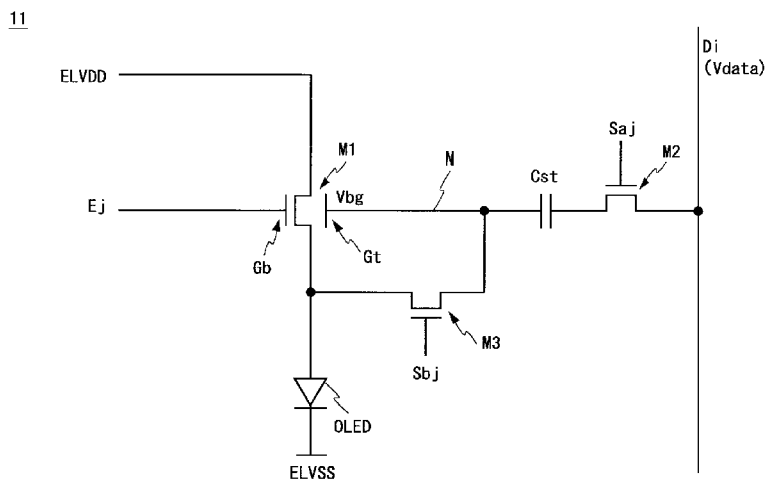
(10) 国際公開番号

WO 2019/064487 A1

- (51) 国際特許分類:
G09G 3/3233 (2016.01) *G09G 3/20* (2006.01)
- (21) 国際出願番号: PCT/JP2017/035458
- (22) 国際出願日: 2017年9月29日(29.09.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: シャープ株式会社(**SHARP KABUSHIKI KAISHA**) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 吉田 徳生(**YOSHIDA, Tokuo**).
- (74) 代理人: 島田 明宏, 外 (**SHIMADA, Akihiro et al.**); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** DISPLAY DEVICE AND DRIVING METHOD THEREOF

(54) 発明の名称: 表示装置およびその駆動方法



(57) **Abstract:** The present invention provides: a display device capable of driving, with small power consumption, a driving transistor at the time of displaying an image; and a method for driving the driving transistor. An organic EL display device according to the present invention applies, to a bottom gate electrode 2 of a driving transistor M1 having a double gate structure, a voltage for turning on/off the driving transistor M1, and a data voltage Vdata corresponding to a data signal is applied, as a back gate voltage Vbg, to a top gate electrode 6. Consequently, a voltage value fluctuation range is

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

reduced compared with the cases where the data voltage is applied to the bottom gate electrode 2.

(57) 要約: 本願は、画像を表示する際に駆動トランジスタを少ない消費電力で駆動することが可能な表示装置およびその駆動方法を提供する。有機EL表示装置は、ダブルゲート構造を有する駆動トランジスタM1のボトムゲート電極2に、駆動トランジスタM1をオン/オフするための電圧を印加し、データ信号に応じたデータ電圧Vdataはバックゲート電圧Vbgとしてトップゲート電極6に印加する。これにより、データ電圧をボトムゲート電極2に印加する場合に比べて電圧値の変動幅を小さくする。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は表示装置およびその駆動方法に関し、より詳しくは、有機EL (Electro Luminescence) 表示装置等の電流で駆動される表示素子を備えた表示装置に関する。

背景技術

[0002] 薄型、高画質、低消費電力の表示装置として、有機EL表示装置が知られている。有機EL表示装置では、電流で駆動される自発光型表示素子である有機EL素子（「有機発光ダイオード (Organic Light Emitting Diode: OLED)」または「表示素子」とも呼ばれる）および駆動トランジスタ等からなる複数の画素回路がマトリクス状に配置されている。

[0003] このような有機EL表示装置に含まれる従来の画素回路の構成について説明する。図6は、特許文献1に記載された画素回路111の構成を示す図であり、図7は、図6に示す画素回路111を駆動するためのタイミングチャートを示す図である。図6に示すように、画素回路111は、1個の有機EL素子OLED、3個のトランジスタM1～M3、ストレージキャパシタC_{st}、および補償用キャパシタC_{cp}を含む。これらのトランジスタM1～M3はすべてNチャンネル型トランジスタである。トランジスタM1は、有機EL素子OLEDに供給すべき駆動電流を制御するための駆動トランジスタであり、ボトムゲート端子G_bとトップゲート端子G_tとを有するダブルゲート構造のトランジスタである。トランジスタM2は、駆動トランジスタM1のボトムゲート端子G_bにデータ信号に応じた電圧（データ電圧）V_{data}を印加するために、データ信号線D_iに与えられたデータ電圧V_{data}でストレージキャパシタC_{st}を充電するための書込用トランジスタである。トランジスタM3は、輝度むらの原因となる駆動トランジスタM1のしきい値電圧のばらつきを補償する補償用キャパシタC_{cp}を充電するための

補償用トランジスタである。補償用キャパシタ C_{cp} に充電された電圧は、バックゲート電圧 V_{bg} としてトップゲート端子 G_t に印加されることにより、駆動トランジスタ M_1 のしきい値電圧のばらつきが補償される。

[0004] 次に、画素回路111の動作について説明する。図7に示すように、時刻 t_1 において、書込用トランジスタ M_2 の制御端子に接続された第1走査信号線 S_{aj} の電位がローレベルからハイレベルに変化する。これにより、書込用トランジスタ M_2 がオン状態になり、データ電圧 V_{data} としてプリセット電圧 V_{pre} がデータ信号線 D_i からストレージキャパシタ C_{st} に書き込まれる。その結果、プリセット電圧 V_{pre} が駆動トランジスタ M_1 のボトムゲート端子 G_b に与えられ、駆動トランジスタ M_1 はオン状態になる。

[0005] 同時に、補償用トランジスタ M_3 の制御端子に接続された第2走査信号線 S_{bj} の電位もローレベルからハイレベルに変化し、補償用トランジスタ M_3 はオン状態になる。このとき、駆動トランジスタ M_1 に接続されたハイレベル電源線 $ELVDD$ の電源電圧 VDD はハイレベルを維持している。このため、電流がハイレベル電源線 $ELVDD$ から駆動トランジスタ M_1 および補償用トランジスタ M_3 を介してノード N に流れ、補償用キャパシタ C_{cp} はハイレベルの電源電圧 VDD で充電される。補償用キャパシタ C_{cp} に充電されたハイレベルの電源電圧 VDD はバックゲート電圧 V_{bg} として駆動トランジスタ M_1 のトップゲート端子 G_t に印加される。このとき、ハイレベル電源線 $ELVDD$ の電源電圧 VDD およびローレベル電源線 $ELVSS$ の電源電圧 VSS はいずれもハイレベルであるため、有機 EL 素子 $OLED$ のアノード端子およびカソード端子に印加される電圧はいずれもハイレベルである。このため、有機 EL 素子 $OLED$ に電流は流れない。

[0006] 時刻 t_2 において、第1走査信号線 S_{aj} がハイレベルからローレベルに変化することによって書込用トランジスタ M_2 はオフ状態になる。このとき、ストレージキャパシタ C_{st} にはプリセット電圧 V_{pre} が書き込まれているので、駆動トランジスタ M_1 のボトムゲート端子 G_b にプリセット電圧

V_{pre} が印加され、駆動トランジスタM1はオン状態になる。ハイレベル電源線ELVDDの電源電圧VDDはハイレベルからローレベルに変化するので、補償用キャパシタCc pから補償用トランジスタM3および駆動トランジスタM1を介してハイレベル電源線ELVDDに電流が流れる。これにより、ボトムゲート端子Gbに印加されるバックゲート電圧 V_{bg} が低下し始め、駆動トランジスタM1のしきい値電圧が上昇し始める。

[0007] その後、駆動トランジスタM1のボトムゲート端子Gbにプリセット電圧 V_{pre} が印加されなくなる時刻t3まで、駆動トランジスタM1を介してハイレベル電源線ELVDDに電流が流れ、それに伴ってバックゲート電圧 V_{bg} は低下する。時刻t3において、バックゲート電圧 V_{bg} がしきい値電圧と等しくなると、駆動トランジスタM1に電流が流れなくなり、バックゲート電圧 V_{bg} の低下も止まる。駆動トランジスタM1のしきい値電圧は、このときのバックゲート電圧 V_{bg} に応じた所定の値になり、そのばらつきが補償される。時刻t2から時刻t3までの期間には、有機EL素子OLEDのアノード端子とカソード端子に逆方向電圧が印加されるので、有機EL素子OLEDに電流は流れず、有機EL素子OLEDは発光しない。

[0008] 時刻t3において、第2走査信号線Sbjの電位はハイレベルからローレベルに変化し、補償用トランジスタM3はオフ状態になる。ハイレベル電源線ELVDDの電源電圧VDDはローレベルからハイレベルに変化し、ローレベル電源線ELVSSの電源電圧VSSはハイレベルからローレベルに変化する。また、第1走査信号線Sajの電位がローレベルからハイレベルに変化し、書込用トランジスタM2はオン状態になる。これにより、データ信号線Diからデータ電圧Vdataに応じた駆動電圧Vdriveが与えられる。駆動電圧Vdriveは、ストレージキャパシタCstに保持されるとともに、駆動トランジスタM1のボトムゲート端子Gbに印加される。このため、駆動電圧Vdriveに応じた電流がハイレベル電源線ELVDDから駆動トランジスタM1を介して有機EL素子OLEDに供給され、有機EL素子OLEDは駆動電圧Vdriveに応じた輝度で発光する。

先行技術文献

非特許文献

- [0009] 非特許文献1: Ya-Hsiang Tai; Lu-Sheng Chou et al. Three-Transistor AMOLED Pixel Circuit With Threshold Voltage Compensation Function Using Dual-Gate IGZO TFT. IEEE ELECTRON DEVICE LETTER, VOL.33, NO.3 MARCH 2012, p.393-395.

発明の概要

発明が解決しようとする課題

- [0010] しかし、図6に示す画素回路では、駆動トランジスタM1は、ボトムゲート端子Gbに入力されるデータ電圧Vdataに応じた駆動電圧Vdriveによって、駆動トランジスタM1を流れる電流、すなわち有機EL素子OLEDに供給する電流を制御する。一方、トップゲート端子Gtに入力されるバックゲート電圧Vbgを制御することによって、駆動トランジスタM1のしきい値電圧のばらつきを補償する。このように、駆動トランジスタM1を流れる電流をボトムゲート端子Gbに印加する駆動電圧Vdriveによって制御する場合、駆動電圧Vdriveの電圧値の変動幅(Peak to Peak値)を約20V程度とする必要がある。このように、電圧値の変動幅が大きな駆動電圧Vdriveを必要とするので、画素回路111の消費電力が大きくなるという問題がある。

- [0011] そこで、本発明は、画像を表示する際に駆動トランジスタを少ない消費電力で駆動することが可能な画素回路を備えた表示装置およびその駆動方法を提供することを目的とする。

課題を解決するための手段

- [0012] 本発明の実施形態のある局面に係る表示装置は、表示すべき画像を表す複数のデータ信号を伝達するための複数のデータ信号線と、前記複数のデータ信号線と交差する複数の第1および第2走査信号線と、前記複数のデータ信号線と前記複数の第1および第2走査信号線とに沿ってマトリクス状に配

置された複数の画素回路とを有する表示装置であって、

前記複数のデータ信号線に前記複数のデータ信号をそれぞれ出力するデータ信号線駆動回路と、

前記複数の第 1 および第 2 走査信号線をそれぞれ選択的に駆動する走査信号線駆動回路とを備え、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか 1 つ、および、前記複数の第 1 および第 2 走査信号線のそれぞれのいずれか 1 つに対応し、

各画素回路は、表示素子と、前記表示素子に供給する駆動電流を制御する電圧を保持するための保持容量と、前記駆動電流を前記表示素子に供給するための駆動トランジスタとを含み、

対応する第 2 走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続されて第 1 電源電圧が前記駆動トランジスタを介して前記保持容量に保持され、

前記駆動トランジスタは、第 1 ゲート電極と、チャネル領域を挟んで前記第 1 ゲート電極と対向するように配置された第 2 ゲート電極とを有するダブルゲート構造であって、

前記駆動トランジスタのしきい値電圧のばらつきを補償した後に、前記第 2 ゲート電極に接続された第 2 制御端子に電圧を印加して前記駆動トランジスタをオン状態にして、前記第 1 ゲート電極に接続された第 1 制御端子に、内部補償により求めた電圧値に、前記データ信号に基づいて変化した電圧変化量分を重畳した電圧をバックゲート電圧として印加し、前記駆動トランジスタを流れる前記駆動電流の電流値を制御することにより前記表示素子を発光させる、表示装置。

[0013] 本発明の実施形態の他の局面に係る表示装置の駆動方法は、表示すべき画像を表す複数のデータ信号を伝達するための複数のデータ信号線と、前記複数のデータ信号線と交差する複数の第 1 および第 2 走査信号線と、前記複数のデータ信号線と前記複数の第 1 および第 2 走査信号線とに沿ってマトリク

ス状に配置された複数の画素回路とを有し、

前記複数のデータ信号線に前記複数のデータ信号をそれぞれ出力するデータ信号線駆動回路と、

前記複数の第1および第2走査信号線をそれぞれ選択的に駆動する走査信号線駆動回路とを備え、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つ、および、前記複数の第1および第2走査信号線のそれぞれのいずれか1つに対応し、

各画素回路は、表示素子と、前記表示素子に供給する駆動電流を制御する電圧を保持するための保持容量と、前記駆動電流を前記表示素子に供給するための駆動トランジスタとを含み、

前記駆動トランジスタは、第1ゲート電極と、チャネル領域を挟んで前記第1ゲート電極と対向するように配置された第2ゲート電極とを有するダブルゲート構造である、表示素子の駆動方法であって、

前記駆動トランジスタのしきい値電圧のばらつきを内部補償するステップと、

前記第2走査信号線を非選択状態とし、第1走査信号線を選択状態として、データ信号を前記保持容量に供給するステップと、

内部補償回路により求めた電圧値に、前記データ信号に基づいて変化した電圧変化量分を重畳した電圧をバックゲート電圧として前記第1ゲート電極に接続された第1制御端子に印加するステップと、

前記バックゲート電圧により前記駆動トランジスタを流れる前記駆動電流の電流値を制御して前記表示素子に供給するステップとを備える。

発明の効果

[0014] 上記ある局面に係る表示装置によれば、表示装置では、ダブルゲート構造を有する駆動トランジスタの第1制御端子または第2制御端子のいずれか一方に、駆動トランジスタをオン／オフするための電圧を印加し、他方に内部補償により求めた電圧値に、データ信号に基づいて変化した電圧変化量分を

重畳した電圧をバックゲート電圧として印加する。これにより、駆動トランジスタのオン／オフをデータ電圧によって行う場合に比べて、データ電圧の電圧値の変動幅を小さくできるので、画像を表示する際の有機ＥＬ表示装置の消費電力を低減することができる。

[0015] 上記他のある局面に係る表示装置の駆動方法によれば、駆動トランジスタのしきい値電圧のばらつきを補償した後に、第２ゲート電極に接続された第２制御端子に電圧を印加して駆動トランジスタをオン状態にし、第１走査信号線を選択状態にして、データ電圧を保持容量に供給する。次に、内部補償により求めた電圧値に、データ信号に基づいて変化した電圧変化量分を重畳した電圧をバックゲート電圧として第１制御端子に印加し、バックゲート電圧により駆動トランジスタを流れる駆動電流の電流値を制御して表示素子に供給する。これにより、上記ある局面による場合と同様に、駆動電流の電流値を制御する電圧値の変動幅を小さくできるので、画像を表示する際の有機ＥＬ表示装置の消費電力を低減することができる。

図面の簡単な説明

[0016] [図１]本発明の実施形態に係る有機ＥＬ表示装置の画素回路に含まれる、トップゲートとボトムゲートを有するデュアルゲート構造の薄膜トランジスタの構成を示す断面図である。

[図２]図１に示すデュアルゲート構造の薄膜トランジスタの電気的特性を示す図である。

[図３]本発明の実施形態に係る有機ＥＬ表示装置の全体構成を示すブロック図である。

[図４]図３に示す有機ＥＬ表示装置に含まれる画素回路と各種配線との接続関係を示す回路図である。

[図５]図４に示す画素回路の１フレーム期間の駆動方法を説明するためのタイミングチャートである。

[図６]従来の画素回路の構成を示す図である。

[図７]図６に示す画素回路の駆動方法を説明するためのタイミングチャートで

ある。

発明を実施するための形態

[0017] < 1. 基礎検討 >

図1は、トップゲート電極6とボトムゲート電極2を有するデュアルゲート構造の薄膜トランジスタ (Thin Film Transistor: TFT) の構成を示す断面図である。図2は、図1に示すデュアルゲート構造の薄膜トランジスタの電気的特性を示す図である。図1に示すように、絶縁基板1上にボトムゲート電極2 (第2制御電極) が形成され、ボトムゲート電極2上に絶縁膜3、半導体膜4、絶縁膜5が順次積層されている。さらに、ボトムゲート電極2と対向する絶縁膜5上の位置にトップゲート電極 (第1制御電極) 6が形成され、トップゲート電極6を覆うようにパッシベーション膜7が形成されている。半導体膜4は、例えば、 In-Ga-Zn-O 系の半導体 (酸化インジウムガリウム亜鉛) を含む酸化物半導体からなる膜である。パッシベーション膜7に形成されたコンタクトホールを介して、半導体膜4と直接的に接続されたドレイン端子8dおよびソース端子8sが形成されている。図1に示す薄膜トランジスタはNチャネル型のトランジスタであり、ドレイン電流の電流値は、ボトムゲート電極2に印加されるゲート電圧とトップゲート電極6に印加されるバックゲート電圧とによって制御される。

[0018] なお、ゲート電圧をトップゲート電極6に印加し、バックゲート電圧をボトムゲート電極2に印加することによって、ドレイン電流の電流値を制御しても良い。また、薄膜トランジスタはNチャネル型トランジスタに限定されず、Pチャネル型トランジスタであっても良い。また、薄膜トランジスタの半導体膜4は酸化物半導体からなる膜であるとして説明したが、アモルファスシリコンまたは低温ポリシリコン (Low Temperature Poly Silicon: LTPS) からなる膜であっても良い。

[0019] 次に、図2を参照して、Nチャネル型トランジスタのトランジスタ特性を説明する。図2に示すように、ボトムゲート電極2に印加するゲート電圧 V_g を $0 \sim +20\text{V}$ の範囲で変化させると共に、トップゲート電極6に印加す

るバックゲート電圧 V_{bg} を $-1.5\text{ V}\sim+1.0\text{ V}$ の範囲で 5 V 毎に変えたときのドレイン電流 I_d の電流値を示す。図2に示す特性を有する薄膜トランジスタは、ドレイン電流 I_d が $1.0\text{ E}-12\text{ A}\sim 1.0\text{ E}-7\text{ A}$ の範囲のときにオン状態になる。このような特性の薄膜トランジスタを画素回路の駆動トランジスタとして使用することにより、階調表示が可能になる。なお、ドレイン電流が $1.0\text{ E}-12\text{ A}$ よりも小さいときには、薄膜トランジスタはオフ状態になる。

[0020] そこで、ボトムゲート電極2に印加するゲート電圧 V_g のハイレベルを $+4\text{ V}$ 、ローレベルを $+2\text{ V}$ とする。ゲート電圧 V_g がハイレベル($+4\text{ V}$)のときに、薄膜トランジスタのトップゲート電極6に印加するバックゲート電圧 V_{bg} を $-1.0\text{ V}\sim+5\text{ V}$ の範囲で変化させる。これにより、薄膜トランジスタがオン状態のときに、薄膜トランジスタを流れる電流の電流値をバックゲート電圧 V_{bg} によって制御することができる。後述する実施形態では、ボトムゲート電極2にハイレベル($+4\text{ V}$)のゲート電圧 V_g を印加した状態で、バックゲート電圧 V_{bg} として $-1.0\text{ V}\sim+5\text{ V}$ の範囲のデータ信号の電圧(データ電圧)をトップゲート電極6に印加する。

[0021] なお、薄膜トランジスタがPチャネル型トランジスタである場合、そのトランジスタ特性は、図2に示すNチャネル型トランジスタの特性において、ゲート電圧 V_g およびバックゲート電圧 V_{bg} の符号をそれぞれ反転させた特性として表される。

[0022] <2. 実施形態>

以下、添付図面を参照しつつ、実施形態について説明する。なお、以下で言及する各トランジスタにおいて、制御端子は制御端子に相当し、特に駆動トランジスタM1のトップゲート電極6に接続されたトップ制御端子は第1制御端子に相当し、ボトムゲート電極2に接続されたボトム制御端子は第2制御端子に相当する。また、本実施形態におけるトランジスタはすべてNチャネル型トランジスタであるとして説明するが、本発明はこれに限定されず、Pチャネル型トランジスタであっても良い。また、本実施形態におけるト

ランジスタは例えば薄膜トランジスタであるが、本発明はこれに限定されない。また、本明細書における「接続」とは、特に断らない限り「電氣的接続」を意味し、本発明の要旨を逸脱しない範囲において、直接的な接続を意味する場合のみならず、他の素子を介した間接的な接続を意味する場合も含むものとする。

[0023] <2. 1 全体構成>

図3は、本発明の実施形態に係る有機EL表示装置の全体構成を示すブロック図である。この有機EL表示装置は、補償回路を備える有機EL表示装置であって、図3に示すように、表示部10、表示制御回路20、データ信号線駆動回路30、走査信号線駆動回路50、発光制御線駆動回路60、および、VDD/VSS電圧制御回路70を備えている。

[0024] 表示部10には、 m (m は2以上の整数)本のデータ信号線D1～D m 、これらのデータ信号線D1～D m に交差する n (n は2以上の整数)本の第1走査信号線Sa1～Sa n 、および第2走査信号線Sb1～Sb n と、第1走査信号線Sa1～Sa n および第2走査信号線Sb1～Sb n と平行に n 本の発光制御線E1～E n がそれぞれ配設されている。また、図3に示すように、表示部10には $m \times n$ 個の画素回路11が設けられている。これら $m \times n$ 個の画素回路11は、それぞれが上記 m 本のデータ信号線D1～D m のいずれか1つに対応するとともに、上記 n 本の第1走査信号線Sa1～Sa n のいずれか1つ、第2走査信号線Sb1～Sb n のいずれか1つ、および n 本の発光制御線E1～E n のいずれか1つにもそれぞれ対応するように、上記データ信号線D1～D m と、上記第1および第2走査信号線Sa1～Sa n 、Sb1～Sb n 、発光制御線E1～E n とに沿ってマトリクス状に配置されている。データ信号線D1～D m はデータ信号線駆動回路30に接続され、第1および第2走査信号線Sa1～Sa n 、Sb1～Sb n は走査信号線駆動回路50に接続され、発光制御線E1～E n は発光制御線駆動回路60に接続されている。

[0025] 表示部10には、各画素回路11に共通の図示しない電源線が配設されて

いる。より詳細には、後述の有機EL素子を駆動する電源電圧VDD（第1電源電圧）を供給するためのハイレベル電源線ELVDD（第1電源線）と、有機EL素子を駆動する電源電圧VSS（第2電源電圧）を供給するためのローレベル電源線ELVSS（第2電源線）とが配設されている。これらの電圧は、VDD/VSS電圧制御回路70から供給される。また、図3には、画素回路11のm本のデータ信号線D1～Dmの寄生容量によってそれぞれ構成されるデータ信号線キャパシタCd1～Cd mが示されている。

[0026] 表示制御回路20は、表示すべき画像を表す画像情報および画像表示のためのタイミング制御情報を含む入力信号Sinを有機EL表示装置の外部から受け取り、当該入力信号Sinに基づき、データ信号線駆動回路30、走査信号線駆動回路50、および、発光制御線駆動回路60に各種制御信号を出力する。より詳細には、表示制御回路20は、データ信号線駆動回路30にデータスタートパルスDSP、データクロック信号DCK、表示データDA、およびラッチパルスLPを出力する。表示制御回路20はまた、走査信号線駆動回路50に走査スタートパルスSSPおよび走査クロック信号SCKを出力する。表示制御回路20はまた、発光制御線駆動回路60に発光制御スタートパルスESPおよび発光制御クロック信号ECKを出力する。

[0027] データ信号線駆動回路30は、図示しないmビットのシフトレジスタ、サンプリング回路、ラッチ回路、およびm個のD/Aコンバータ等を含んでいる。シフトレジスタは、互いに縦続接続されたm個の双安定回路を有し、初段に供給されたデータスタートパルスDSPをデータクロック信号DCKに同期して転送し、各段からサンプリングパルスを出力する。サンプリングパルスの出力タイミングに合わせて、サンプリング回路には表示データDAが供給される。サンプリング回路は、サンプリングパルスに従って表示データDAを記憶する。サンプリング回路に1行分の表示データDAが記憶されると、表示制御回路20はラッチ回路に対してラッチパルスLPを出力する。ラッチ回路は、ラッチパルスLPを受け取ると、サンプリング回路に記憶された表示データDAを保持する。D/Aコンバータは、データ信号線駆動回

路30のm個の出力端子 $Td1 \sim Tdm$ にそれぞれ接続されたm本のデータ信号線 $D1 \sim Dm$ に対応して設けられており、ラッチ回路に保持された表示データ DA をアナログ電圧信号であるデータ信号に変換し、当該データ信号をデータ信号線 $D1 \sim Dm$ に供給する。

[0028] 走査信号線駆動回路50は、 n 本の第1走査信号線 $Sa1 \sim San$ 、第2走査信号線 $Sb1 \sim Sbn$ を駆動する。より詳細には、走査信号線駆動回路50は、図示しないシフトレジスタおよびバッファ等を含んでいる。シフトレジスタは、第1走査クロック信号 $SCKa$ に同期して第1走査スタートパルス $SSPa$ を順次転送する。これにより、シフトレジスタの各段から第1走査信号が、バッファを経由して対応する第1走査信号線 Saj ($j = 1 \sim n$) に供給される。ハイレベルの第1走査信号（アクティブな第1走査信号）により、第1走査信号線 Saj に接続されたm個の画素回路11が一括して選択され、後述するように、データ信号線 Di ($i = 1 \sim m$) から画素回路11にデータ信号が供給される。

[0029] また、シフトレジスタは、上記第1走査クロック信号 $SCKa$ と異なる第2走査クロック信号 $SCKb$ に同期して第2走査スタートパルス $SSPb$ を順次転送する。これにより、シフトレジスタの各段から第2走査信号が、バッファを経由して対応する第2走査信号線 Sbj ($j = 1 \sim n$) に供給される。ハイレベルの第2走査信号（アクティブな第2走査信号）により、第2走査信号線 Sbj に接続されたm個の画素回路11が一括して選択され、画素回路11に VDD/VSS 電圧制御回路70から電源電圧 VDD が供給される。

[0030] 発光制御線駆動回路60は、 n 本の発光制御線 $E1 \sim En$ を駆動する。より詳細には、発光制御線駆動回路60は、図示しないシフトレジスタおよびバッファ等を含んでいる。シフトレジスタは、発光制御クロック信号 ECK に同期して発光制御スタートパルス ESP を順次転送する。シフトレジスタの各段からの出力である発光制御信号は、バッファを経由して対応する発光制御線 Ej ($j = 1 \sim n$) に供給される。

[0031] <2. 2 画素回路と各種配線との接続関係>

図4は、図3に示す有機EL表示装置に含まれる画素回路11と各種配線との接続関係を示す回路図である。図4に示すように、画素回路11は、有機EL素子OLED、駆動トランジスタM1、書込用トランジスタM2、補償用トランジスタM3、およびデータ電圧を保持するストレージキャパシタ（「保持容量」ともいう）Cstを含む。画素回路11には、第1走査信号線Saj、第2走査信号線Sbj、発光制御線Ej、データ信号線Di、VDD/VSS電圧制御回路70から延びるハイレベル電源線ELVDDおよびローレベル電源線ELVSSが接続されている。なお、各データ信号線Diには、図3に示すように、データ信号線キャパシタCdiが形成されている。

[0032] 駆動トランジスタM1は、上述のように、チャネル領域4cを挟むトップゲート端子Gtとボトムゲート端子Gbとが形成されたデュアルゲート構造のトランジスタである。第1導通端子はハイレベル電源線ELVDDに接続され、第2導通端子は有機EL素子OLEDのアノード端子に接続されている。ボトムゲート端子Gbは発光制御線Ejに接続され、トップゲート端子Gtは、駆動トランジスタM1のトップゲート端子GtとストレージキャパシタCstの一方の端子とを接続するノードNに接続されている。駆動トランジスタM1は、オン状態のときにトップ制御端子に供給されるバックゲート電圧Vbgに応じた駆動電流を有機EL素子OLEDに供給する。

[0033] 補償用トランジスタM3の制御端子は第2走査信号線Sbjに接続されている。補償用トランジスタM3の第1導通端子は駆動トランジスタM1の第2導通端子に接続され、第2導通端子はノードNに接続されている。発光制御線Ejおよび第2走査信号線Sbjの電位をハイレベルにすることにより、駆動トランジスタM1は、オン状態の補償用トランジスタM3によってダイオード接続され、ハイレベル電源線ELVDDから駆動トランジスタM1および補償用トランジスタM3を介してハイレベルの電源電圧VDDがストレージキャパシタCstに供給され、ストレージキャパシタCstは電源電

圧VDDに充電される。

[0034] 書込用トランジスタM2の制御端子は第1走査信号線Sajに接続されている。書込用トランジスタM2の第1導通端子はストレージキャパシタCstの端子に接続され、第2導通端子はデータ信号線Diに接続されている。書込用トランジスタM2は、第1走査信号線Sajの選択に応じて、データ信号線Diの電圧すなわちデータ信号線キャパシタCdjに保持されたデータ電圧をストレージキャパシタCstに供給する。これにより、電源電圧VDDを保持しているストレージキャパシタCstの端子の電圧が、データ信号線Diから与えられるデータ電圧によって突き上げられる。このため、内部補償により求めた電圧値に、突き上げによって上昇した電圧変化量分を重畳した電圧が駆動トランジスタM1のトップゲート端子Gtにバックゲート電圧Vbgとして供給される。

[0035] 駆動トランジスタM1は、発光制御線Ejが選択状態（ハイレベル）のときにオン状態になり、さらにデータ電圧に応じた電圧がバックゲート電圧Vbgとしてトップゲート端子Gtに供給されると、データ電圧に応じた駆動電流が駆動トランジスタM1に流れる。このように、駆動トランジスタM1は、オン状態のときにはデータ電圧によって決まる駆動電流を有機EL素子OLEDに供給する発光制御用トランジスタとして機能する。有機EL素子OLEDは、アノード端子が駆動トランジスタM1の第2導通端子に接続され、カソード端子がローレベル電源線ELVSSに接続されている。このため、データ電圧に応じて決まる駆動電流が駆動トランジスタM1から有機EL素子OLEDに供給されると、有機EL素子OLEDはデータ電圧に応じた輝度で発光する。

[0036] なお、上記説明では、電源電圧VDDを保持するストレージキャパシタCstの一方の端子の電圧が、データ信号線Diから供給されるデータ電圧によってデータ電圧分だけ突き上げられ、突き上げによって上昇した電圧値が内部補償により求めた電圧値に重畳され、駆動トランジスタM1のトップゲート端子Gtにバックゲート電圧Vbgとして供給されたとした。しかし、

電源電圧 V_{DD} を保持しているストレージキャパシタ C_{st} の一方の端子の電圧が、データ電圧によってハイレベルからデータ電圧分だけ突き下げられ、突き下げによって低下した電圧値が内部補償により求めた電圧値に重畳され、駆動トランジスタ M_1 のトップゲート端子 G_t にバックゲート電圧 V_{bg} として供給されるようにしても良い。

[0037] また、上記説明では、駆動トランジスタ M_1 のトップゲート端子 G_t に、内部補償により求めた電圧値に、データ信号に基づいて変化した電圧変化量が重畳された電圧を印加し、ボトムゲート端子 G_b に発光制御信号を印加するとして説明した。しかし、駆動トランジスタ M_1 のボトムゲート端子 G_b に、内部補償により求めた電圧値に、データ信号に基づいて変化した電圧変化量が重畳された電圧を印加し、トップゲート端子 G_t に発光制御信号を印加しても良い。

[0038] <2. 3 駆動方法>

本実施形態に係る有機EL表示装置の駆動方法について、図4および図5を参照して説明する。図5は、図4に示す画素回路11の1フレーム期間の駆動方法を説明するためのタイミングチャートである。

[0039] 図5に示すように、時刻 t_1 において、発光制御線 E_j の電位がローレベルからハイレベルに変化する。ハイレベル電源線 ELV_{DD} の電源電圧 V_{DD} はハイレベルを継続し、ローレベル電源線 ELV_{SS} の電源電圧 V_{SS} はローレベルからハイレベルに変化する。第2走査信号線 S_{bj} の電位はローレベルからハイレベルに変化する。これにより、駆動トランジスタ M_1 および補償用トランジスタ M_3 がオン状態になり、ハイレベル電源線 ELV_{DD} の電源電圧 V_{DD} が駆動トランジスタ M_1 および補償用トランジスタ M_3 を介してストレージキャパシタ C_{st} に供給される。その結果、ストレージキャパシタ C_{st} は電源電圧 V_{DD} に充電され、駆動トランジスタ M_1 のバックゲート電圧 V_{bg} としてトップゲート端子 G_t に電源電圧 V_{DD} が印加される。このとき、ローレベル電源線 ELV_{SS} の電源電圧 V_{SS} もハイレベルになっているので、ハイレベルの発光制御信号が駆動トランジスタ M_1 の

ボトムゲート端子G bに与えられ、駆動トランジスタM 1がオン状態になっても、ハイレベル電源線E L V D Dから有機E L素子O L E Dに駆動電流が供給されることはない。

[0040] 時刻t 2において、ハイレベル電源線E L V D Dの電源電圧V D Dがハイレベルからローレベルに変化する。また、発光制御線E jの電圧がハイレベルから、ローレベルとハイレベルの間の中間レベルに変化する。このため、駆動トランジスタM 1は、オン抵抗値の低いオン状態から、よりオン抵抗値の高いオン状態に変化する。これにより、時刻t 1から時刻t 2の間に、電流が電源電圧V D Dに充電されたストレージキャパシタC s tから、補償用トランジスタM 3および駆動トランジスタM 1を介してハイレベル電源線E L V D Dに流れる。このとき、駆動トランジスタM 1のオン抵抗値が高いため、駆動トランジスタM 1を流れる電流の電流値を小さくできる。このため、電流値の制御が容易になる。この場合、ストレージキャパシタC s tの電圧は電源電圧V D Dから徐々に低下するので、それに伴ってストレージキャパシタC s tに接続されたトップゲート端子G tに印加されるバックゲート電圧V b gも徐々に低下する。バックゲート電圧V b gの電圧値が、駆動トランジスタM 1のしきい値電圧と等しくなったとき、駆動トランジスタM 1に電流が流れなくなり、駆動トランジスタM 1の製造工程および有機E L表示装置の使用に伴うトランジスタの劣化によって生じたしきい値電圧のばらつきが補償される。なお、時刻t 2から時刻t 3までの期間において、ローレベル電源線E L V S Sの電源電圧V S Sはハイレベルであるので、ストレージキャパシタC s tに保持されていた電荷が補償用トランジスタM 3を介して有機E L素子O L E Dに流れることはない。なお上記説明では、発光制御線E jの電圧がハイレベルから、ローレベルとハイレベルの間の中間レベルに変化するとしたが、発光制御線E jの電圧はハイレベルのままであってもよい。この場合、駆動トランジスタM 1のオン抵抗値が低いので、駆動トランジスタM 1を流れる電流の電流値が大きくなり、制御が難しくなる。

[0041] 時刻t 3において、発光制御線E jの電位は中間レベルから再びハイレベ

ルに変化する。これにより、駆動トランジスタM1はオン状態を継続し、オン抵抗値も低くなる。ハイレベル電源線ELVDDの電源電圧VDDはローレベルからハイレベルに変化し、ローレベル電源線ELVSSの電源電圧VSSはハイレベルからローレベルに変化する。また、第1走査信号線Sajの電位はローレベルからハイレベルに変化し、第2走査信号線Sbjの電位はハイレベルからローレベルに変化する。これにより、書込用トランジスタM2がオン状態になり、補償用トランジスタM3がオフ状態になる。このとき、データ信号線Diには、データ信号によって決まる階調表示が可能なデータ電圧Vdataが供給されている。このため、データ電圧Vdataがデータ信号線Diから書込用トランジスタM2を介してストレージキャパシタCstに供給されれば、ストレージキャパシタCstの電圧は突き上げられる。その結果、内部補償により求めた電圧値に、突き上げによって上昇した電圧変化量分を重畳した電圧Vdriveが駆動トランジスタM1のトップゲート端子Gtにバックゲート電圧Vbgとして供給される。オン状態の駆動トランジスタM1は、トップゲート端子Gtに供給された電圧Vdriveに応じた駆動電流を有機EL素子OLEDに供給する。

[0042] 時刻t4において、第1走査信号線Sajの電位がハイレベルからローレベルに変化し、書込用トランジスタM2がオフ状態になる。これにより、データ信号線DiからストレージキャパシタCstへのデータ電圧の供給が停止されるが、ストレージキャパシタCstに保持されたデータ電圧Vdataに応じたバックゲート電圧Vbgが、駆動トランジスタM1のトップゲート端子Gtに印加される。その結果、時刻t4以後も、データ電圧Vdataに応じた駆動電流がハイレベル電源線ELVDDから有機EL素子OLEDに供給され続けるので、有機EL素子OLEDは発光し続ける。

[0043] 時刻t5において、発光制御線Ejの電位がハイレベルからローレベルに変化し、駆動トランジスタM1がオフ状態になる。これにより、有機EL素子OLEDに駆動電流が供給されなくなり、有機EL素子OLEDは発光しなくなる。その後、時刻t6までブランク期間となる。

[0044] <2. 4 効果>

本実施形態によれば、有機EL表示装置では、ダブルゲート構造を有する駆動トランジスタM1のボトムゲート端子Gbに、駆動トランジスタM1をオン状態にする電圧を印加し、さらにバックゲート電圧Vbgとして、内部補償により求めた電圧値にデータ信号に基づいて変化した電圧変化量分を重畳した電圧をトップゲート端子Gt6に印加する。これにより、データ電圧Vdataをボトムゲート端子Gbに印加する場合に比べて電圧値の変動幅を小さくできるので、画像を表示する際の有機EL表示装置の消費電力を低減することができる。

[0045] また、駆動トランジスタM1のしきい値電圧を補償する際に、発光制御線Ejの電圧をローレベルから、ローレベルとハイレベルの間の中間レベルに変化させる。これにより、駆動トランジスタM1は、オン抵抗値の低いオン状態から、よりオン抵抗値の高いオン状態に変化する。その結果、駆動トランジスタM1を流れる電流の電流値が低下するので、その制御を容易に行うことができる。

[0046] また、駆動トランジスタM1のボトムゲート端子Gbに発光制御線Ejを接続することによって、駆動トランジスタM1は発光制御トランジスタの機能も兼ねる。また各画素回路11に設けるキャパシタはストレージキャパシタCstだけである。このように、画素回路11に含まれるトランジスタおよびキャパシタの個数を減らすことができるので、より高解像度の有機EL表示装置を製造することができる。

[0047] 本実施形態に係る表示装置は、電流によって輝度や透過率が制御される表示素子を備えた表示装置であれば、特に限定されるものではない。電流制御の表示素子には、有機EL素子または無機EL素子等の量子ドット発光ダイオード（Quantum dot Light Emitting Diode：QLED）が含まれる。このような量子ドット発光ダイオードを備えた表示装置には、有機EL素子を備えた有機EL表示装置または無機EL素子を備えた無機EL表示装置等のQLED表示装置が含まれる。

[0048] <3. 付記>

<3. 1 付記1>

表示すべき画像を表す複数のデータ信号を伝達するための複数のデータ信号線と、前記複数のデータ信号線と交差する複数の第1および第2走査信号線と、前記複数のデータ信号線と前記複数の第1および第2走査信号線とに沿ってマトリクス状に配置された複数の画素回路とを有する表示装置であって、

前記複数のデータ信号線に前記複数のデータ信号をそれぞれ出力するデータ信号線駆動回路と、

前記複数の第1および第2走査信号線をそれぞれ選択的に駆動する走査信号線駆動回路とを備え、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つ、および、前記複数の第1および第2走査信号線のそれぞれのいずれか1つに対応し、

各画素回路は、表示素子と、前記表示素子に供給する駆動電流を制御する電圧を保持するための保持容量と、前記駆動電流を前記表示素子に供給するための駆動トランジスタとを含み、

対応する第2走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続されて第1電源電圧が前記駆動トランジスタを介して前記保持容量に保持され、

前記駆動トランジスタは、第1ゲート電極と、チャネル領域を挟んで前記第1ゲート電極と対向するように配置された第2ゲート電極とを有するダブルゲート構造であって、

前記駆動トランジスタのしきい値電圧のばらつきを補償した後に、前記第2ゲート電極に接続された第2制御端子に電圧を印加して前記駆動トランジスタをオン状態にして、前記第1ゲート電極に接続された第1制御端子に、内部補償により求めた電圧値に、前記データ信号に基づいて変化した電圧変化量分を重畳した電圧をバックゲート電圧として印加し、前記駆動トランジ

スタを流れる前記駆動電流の電流値を制御することにより前記表示素子を発光させる、表示装置。

[0049] <3. 2 付記2>

付記1に記載の表示装置において、

前記第1電源電圧を前記駆動トランジスタに供給する第1電源線と、前記表示素子を発光させ、または、前記駆動トランジスタをオン状態にする制御信号を前記各画素回路に伝達するための複数の発光制御線とをさらに備え、

前記駆動トランジスタをダイオード接続して、前記発光制御線に接続された前記第2制御端子に前記駆動トランジスタをオン状態にする電圧を印加し、第1レベルの前記第1電源電圧を前記第1電源線に印加することにより、前記第1電源線から前記駆動トランジスタを介して前記第1電源電圧が前記保持容量に供給され、

前記第1電源線に前記第1レベルを反転させた第2レベルの電圧を印加し、前記保持容量から前記駆動トランジスタを介して前記第1電源線に電流を流すことにより、徐々に低下する前記保持容量の電圧を前記バックゲート電圧として前記第1制御端子に印加し、前記バックゲート電圧の電圧値を前記駆動トランジスタのしきい値電圧と等しくすることによって、前記駆動トランジスタのしきい値電圧のばらつきを補償するように構成しても良い。

[0050] このような付記2に記載の表示装置によれば、徐々に低下する保持容量の電圧をバックゲート電圧として第1制御端子に印加し、バックゲート電圧の電圧値を前記駆動トランジスタのしきい値電圧と等しくすることによって、駆動トランジスタのしきい値電圧のばらつきを補償する。これにより、駆動トランジスタのしきい値電圧のばらつきの補償を容易に行うことができる。

[0051] <3. 3 付記3>

付記2に記載の表示装置において、

前記発光制御線に接続された前記第2制御端子に印加する電圧は、前記発光制御線に印加されるハイレベルとローレベルの中間レベルの電圧であるように構成しても良い。

[0052] このような付記 3 に記載の表示装置によれば、第 2 制御端子に印加する電圧が中間レベルの電圧になるので、駆動トランジスタのオン抵抗値を高くすることができる。これにより、駆動トランジスタに流れる電流の電流値を制御しやすくなる。

[0053] < 3. 4 付記 4 >

付記 1 に記載の表示装置において、

前記表示素子のカソード端子に接続され、第 2 電源電圧を前記表示素子に供給する第 2 電源線をさらに備え、

前記第 2 電源線に印加される前記第 2 電源電圧の極性は、前記駆動トランジスタのしきい値電圧のばらつきを補償するときには、前記第 1 電源電圧と同じ極性の電圧であり、前記表示素子を発光させるときには、前記第 1 電源電圧と異なる極性の電圧であるように構成しても良い。

[0054] このような付記 4 に記載の表示装置によれば、駆動トランジスタのしきい値電圧のばらつきを補償しているときに、表示素子が発光しないようにできる。

[0055] < 3. 5 付記 5 >

付記 1 に記載の表示装置において、前記駆動トランジスタの前記第 1 制御端子はトップゲート電極に接続された端子であり、前記第 2 制御端子はボトムゲート電極に接続された端子であるように構成しても良い。

[0056] このような付記 5 に記載の表示装置によれば、駆動トランジスタを構成する薄膜トランジスタのトップゲート電極にデータ電圧に応じたバックゲート電圧を印加することができる。

[0057] < 3. 6 付記 6 >

表示すべき画像を表す複数のデータ信号を伝達するための複数のデータ信号線と、前記複数のデータ信号線と交差する複数の第 1 および第 2 走査信号線と、前記複数のデータ信号線と前記複数の第 1 および第 2 走査信号線とに沿ってマトリクス状に配置された複数の画素回路とを有し、

前記複数のデータ信号線に前記複数のデータ信号をそれぞれ出力するデー

タ信号線駆動回路と、

前記複数の第 1 および第 2 走査信号線をそれぞれ選択的に駆動する走査信号線駆動回路とを備え、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか 1 つ、および、前記複数の第 1 および第 2 走査信号線のそれぞれのいずれか 1 つに対応し、

各画素回路は、表示素子と、前記表示素子に供給する駆動電流を制御する電圧を保持するための保持容量と、前記駆動電流を前記表示素子に供給するための駆動トランジスタとを含み、

前記駆動トランジスタは、第 1 ゲート電極と、チャネル領域を挟んで前記第 1 ゲート電極と対向するように配置された第 2 ゲート電極とを有するダブルゲート構造である、表示素子の駆動方法であって、

前記駆動トランジスタのしきい値電圧のばらつきを内部補償するステップと、

前記第 2 走査信号線を非選択状態とし、第 1 走査信号線を選択状態として、データ信号を前記保持容量に供給するステップと、

内部補償回路により求めた電圧値に、前記データ信号に基づいて変化した電圧変化量分を重畳した電圧をバックゲート電圧として前記第 1 ゲート電極に接続された第 1 制御端子に印加するステップと、

前記バックゲート電圧により前記駆動トランジスタを流れる前記駆動電流の電流値を制御して前記表示素子に供給するステップとを備える、表示装置の駆動方法。

[0058] <3. 7 付記 7>

付記 6 に記載の表示装置の駆動方法において、

第 1 電源電圧を前記駆動トランジスタに供給する第 1 電源線と、電流によって駆動される前記表示素子を発光させ、または、前記駆動トランジスタをオン状態にする制御信号を前記各画素回路に伝達するための複数の発光制御線とをさらに備え、

前記駆動トランジスタのしきい値電圧のばらつきを補償するステップは、
前記駆動トランジスタをダイオード接続して、前記発光制御線に接続された第2制御端子に前記駆動トランジスタをオン状態にする電圧を印加するステップと、

第1レベルの前記第1電源電圧を前記第1電源線に印加することにより、前記第1電源線から前記駆動トランジスタを介して前記保持容量に前記第1電源電圧を供給するステップと、

前記第1電源線に前記第1レベルを反転させた第2レベルの電圧を印加し、前記データ信号線から与えられる前記データ信号に基づいて変化した前記保持容量の電圧を前記バックゲート電圧として前記第1制御端子に印加するステップと、

前記バックゲート電圧の電圧値が前記駆動トランジスタのしきい値電圧と等しくなるまで前記保持容量から前記駆動トランジスタを介して前記第1電源線に電流が流れるようにするステップとをさらに備えるように構成しても良い。

[0059] このような付記7に記載の表示装置によれば、付記2に記載の発明と同様の効果が得られる。

符号の説明

- [0060] 2 … ボトムゲート電極
6 … トップゲート電極
11 … 画素回路
20 … 表示制御回路
30 … データ信号線駆動回路
50 … 走査信号線駆動回路
60 … 発光制御線駆動回路
Di … データ信号線 ($i = 1 \sim m$)
Saj … 第1走査信号線 ($j = 1 \sim n$)
Sbj … 第2走査信号線 ($j = 1 \sim n$)

E_j ... 発光制御線 ($j = 1 \sim n$)

$ELVDD$... ハイレベル電源線 (第1電源線)

$ELVSS$... ローレベル電源線 (第2電源線)

$M1$... 駆動トランジスタ

$M2$... 書込用トランジスタ

$M3$... 補償用トランジスタ

Cst ... ストレージキャパシタ (保持容量)

Gt ... トップゲート端子 (第1制御端子)

Gb ... ボトムゲート端子 (第2制御端子)

$OLED$... 有機EL素子 (表示素子)

Vbg ... バックゲート電圧

VDD ... 電源電圧 (第1電源電圧)

VSS ... 電源電圧 (第2電源電圧)

請求の範囲

[請求項1]

表示すべき画像を表す複数のデータ信号を伝達するための複数のデータ信号線と、前記複数のデータ信号線と交差する複数の第1および第2走査信号線と、前記複数のデータ信号線と前記複数の第1および第2走査信号線とに沿ってマトリクス状に配置された複数の画素回路とを有する表示装置であって、

前記複数のデータ信号線に前記複数のデータ信号をそれぞれ出力するデータ信号線駆動回路と、

前記複数の第1および第2走査信号線をそれぞれ選択的に駆動する走査信号線駆動回路とを備え、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つ、および、前記複数の第1および第2走査信号線のそれぞれのいずれか1つに対応し、

各画素回路は、表示素子と、前記表示素子に供給する駆動電流を制御する電圧を保持するための保持容量と、前記駆動電流を前記表示素子に供給するための駆動トランジスタとを含み、

対応する第2走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続されて第1電源電圧が前記駆動トランジスタを介して前記保持容量に保持され、

前記駆動トランジスタは、第1ゲート電極と、チャネル領域を挟んで前記第1ゲート電極と対向するように配置された第2ゲート電極とを有するダブルゲート構造であって、

前記駆動トランジスタのしきい値電圧のばらつきを補償した後に、前記第2ゲート電極に接続された第2制御端子に電圧を印加して前記駆動トランジスタをオン状態にして、前記第1ゲート電極に接続された第1制御端子に、内部補償により求めた電圧値に、前記データ信号に基づいて変化した電圧変化量分を重畳した電圧をバックゲート電圧として印加し、前記駆動トランジスタを流れる前記駆動電流の電流値

を制御することにより前記表示素子を発光させる、表示装置。

[請求項2]

前記第1電源電圧を前記駆動トランジスタに供給する第1電源線と、前記表示素子を発光させ、または、前記駆動トランジスタをオン状態にする制御信号を前記各画素回路に伝達するための複数の発光制御線とをさらに備え、

前記駆動トランジスタをダイオード接続して、前記発光制御線に接続された前記第2制御端子に前記駆動トランジスタをオン状態にする電圧を印加し、第1レベルの前記第1電源電圧を前記第1電源線に印加することにより、前記第1電源線から前記駆動トランジスタを介して前記第1電源電圧が前記保持容量に供給され、

前記第1電源線に前記第1レベルを反転させた第2レベルの電圧を印加し、前記保持容量から前記駆動トランジスタを介して前記第1電源線に電流を流すことにより、徐々に低下する前記保持容量の電圧を前記バックゲート電圧として前記第1制御端子に印加し、前記バックゲート電圧の電圧値を前記駆動トランジスタのしきい値電圧と等しくすることによって、前記駆動トランジスタのしきい値電圧のばらつきを補償する、請求項1に記載の表示装置。

[請求項3]

前記発光制御線に接続された前記第2制御端子に印加する電圧は、前記発光制御線に印加されるハイレベルとローレベルの中間レベルの電圧である、請求項2に記載の表示装置。

[請求項4]

前記表示素子のカソード端子に接続され、第2電源電圧を前記表示素子に供給する第2電源線をさらに備え、

前記第2電源線に印加される前記第2電源電圧の極性は、前記駆動トランジスタのしきい値電圧のばらつきを補償するときには、前記第1電源電圧と同じ極性の電圧であり、前記表示素子を発光させるときには、前記第1電源電圧と異なる極性の電圧である、請求項1に記載の表示装置。

[請求項5]

前記駆動トランジスタの前記第1制御端子はトップゲート電極に接

続された端子であり、前記第2制御端子はボトムゲート電極に接続された端子である、請求項1に記載の表示装置。

[請求項6]

表示すべき画像を表す複数のデータ信号を伝達するための複数のデータ信号線と、前記複数のデータ信号線と交差する複数の第1および第2走査信号線と、前記複数のデータ信号線と前記複数の第1および第2走査信号線とに沿ってマトリクス状に配置された複数の画素回路とを有し、

前記複数のデータ信号線に前記複数のデータ信号をそれぞれ出力するデータ信号線駆動回路と、

前記複数の第1および第2走査信号線をそれぞれ選択的に駆動する走査信号線駆動回路とを備え、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つ、および、前記複数の第1および第2走査信号線のそれぞれのいずれか1つに対応し、

各画素回路は、表示素子と、前記表示素子に供給する駆動電流を制御する電圧を保持するための保持容量と、前記駆動電流を前記表示素子に供給するための駆動トランジスタとを含み、

前記駆動トランジスタは、第1ゲート電極と、チャネル領域を挟んで前記第1ゲート電極と対向するように配置された第2ゲート電極とを有するダブルゲート構造である、表示素子の駆動方法であって、

前記駆動トランジスタのしきい値電圧のばらつきを内部補償するステップと、

前記第2走査信号線を非選択状態とし、第1走査信号線を選択状態として、データ信号を前記保持容量に供給するステップと、

内部補償回路により求めた電圧値に、前記データ信号に基づいて変化した電圧変化量分を重畳した電圧をバックゲート電圧として前記第1ゲート電極に接続された第1制御端子に印加するステップと、

前記バックゲート電圧により前記駆動トランジスタを流れる前記駆

動電流の電流値を制御して前記表示素子に供給するステップとを備える、表示装置の駆動方法。

[請求項7]

第1電源電圧を前記駆動トランジスタに供給する第1電源線と、電流によって駆動される前記表示素子を発光させ、または、前記駆動トランジスタをオン状態にする制御信号を前記各画素回路に伝達するための複数の発光制御線とをさらに備え、

前記駆動トランジスタのしきい値電圧のばらつきを補償するステップは、

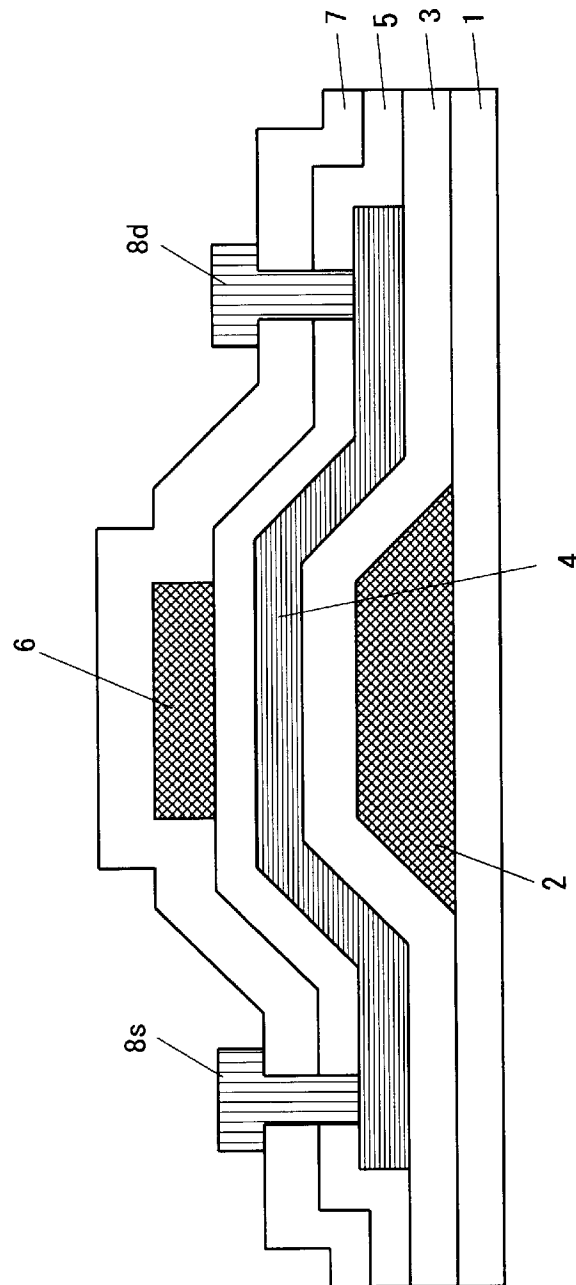
前記駆動トランジスタをダイオード接続して、前記発光制御線に接続された第2制御端子に前記駆動トランジスタをオン状態にする電圧を印加するステップと、

第1レベルの前記第1電源電圧を前記第1電源線に印加することにより、前記第1電源線から前記駆動トランジスタを介して前記保持容量に前記第1電源電圧を供給するステップと、

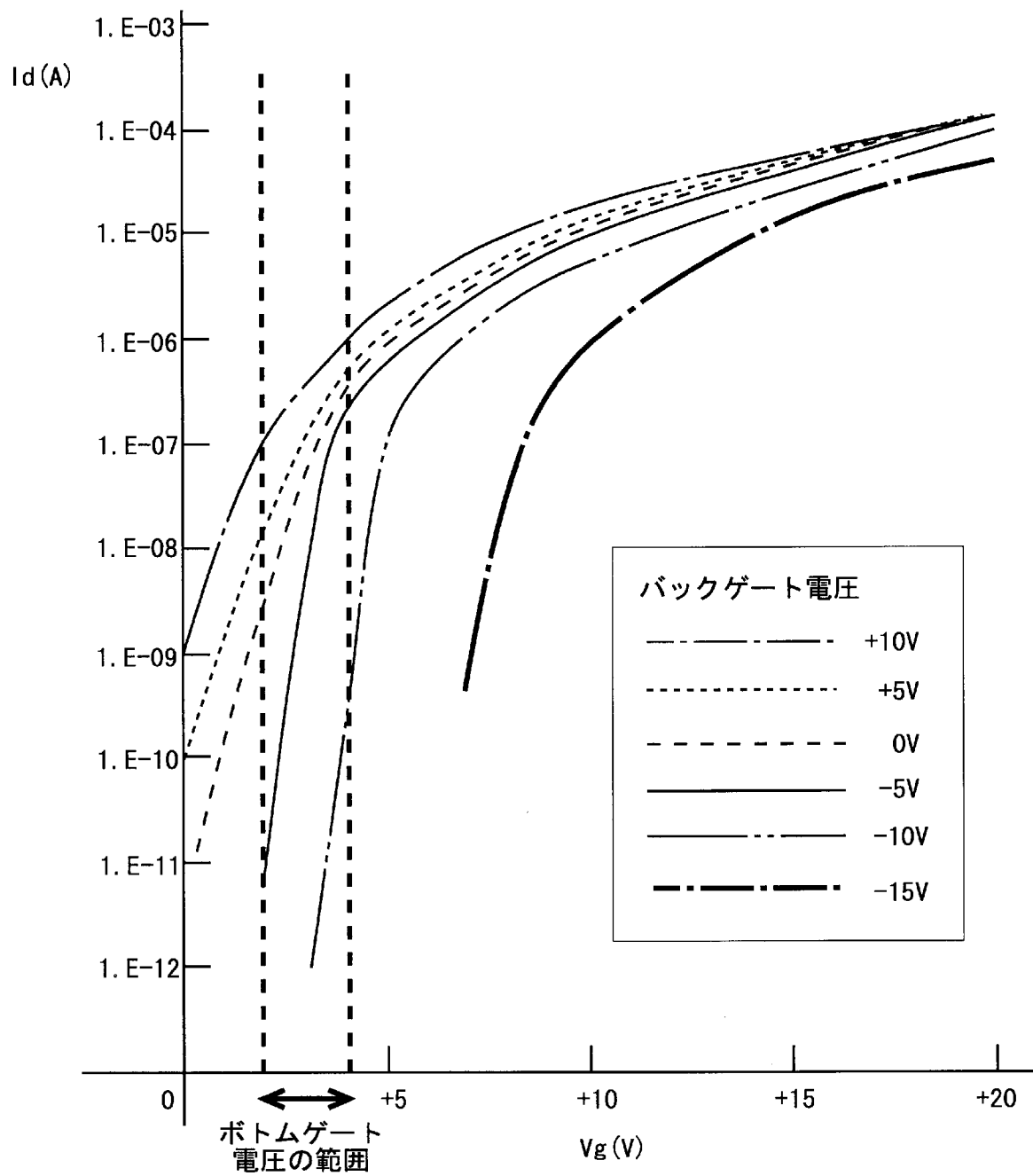
前記第1電源線に前記第1レベルを反転させた第2レベルの電圧を印加し、前記データ信号線から与えられる前記データ信号に基づいて変化した前記保持容量の電圧を前記バックゲート電圧として前記第1制御端子に印加するステップと、

前記バックゲート電圧の電圧値が前記駆動トランジスタのしきい値電圧と等しくなるまで前記保持容量から前記駆動トランジスタを介して前記第1電源線に電流が流れるようにするステップとをさらに備える、請求項6に記載の表示装置の駆動方法。

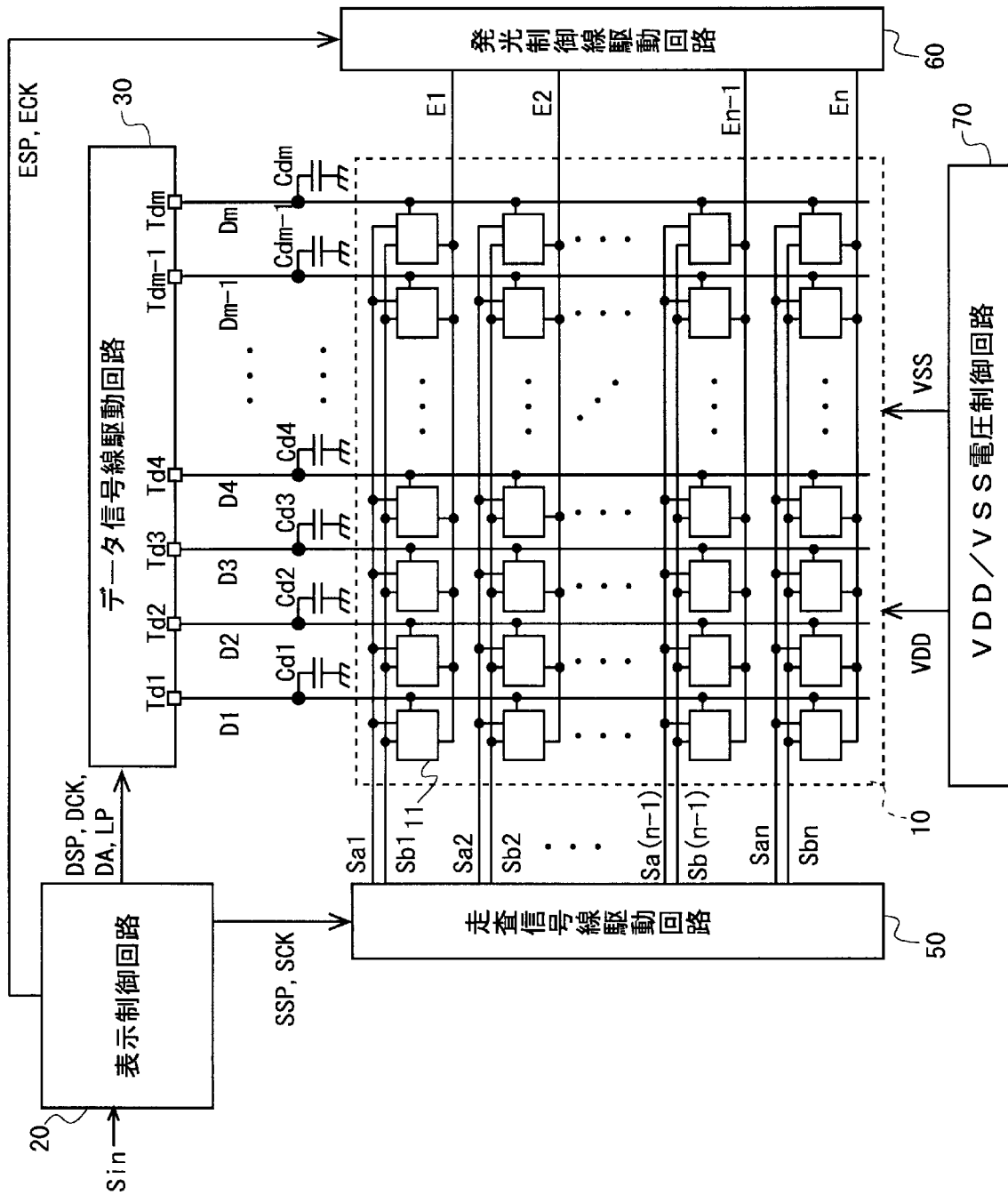
[図1]



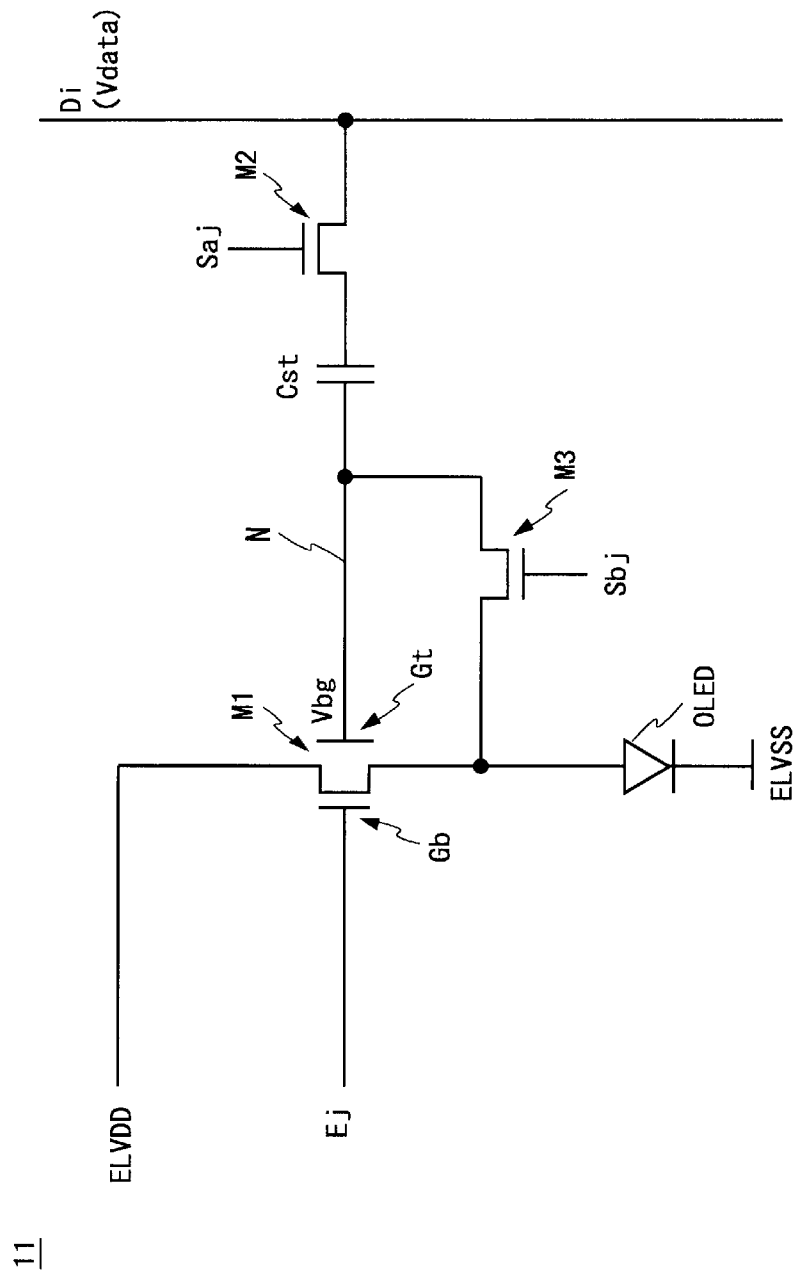
[図2]



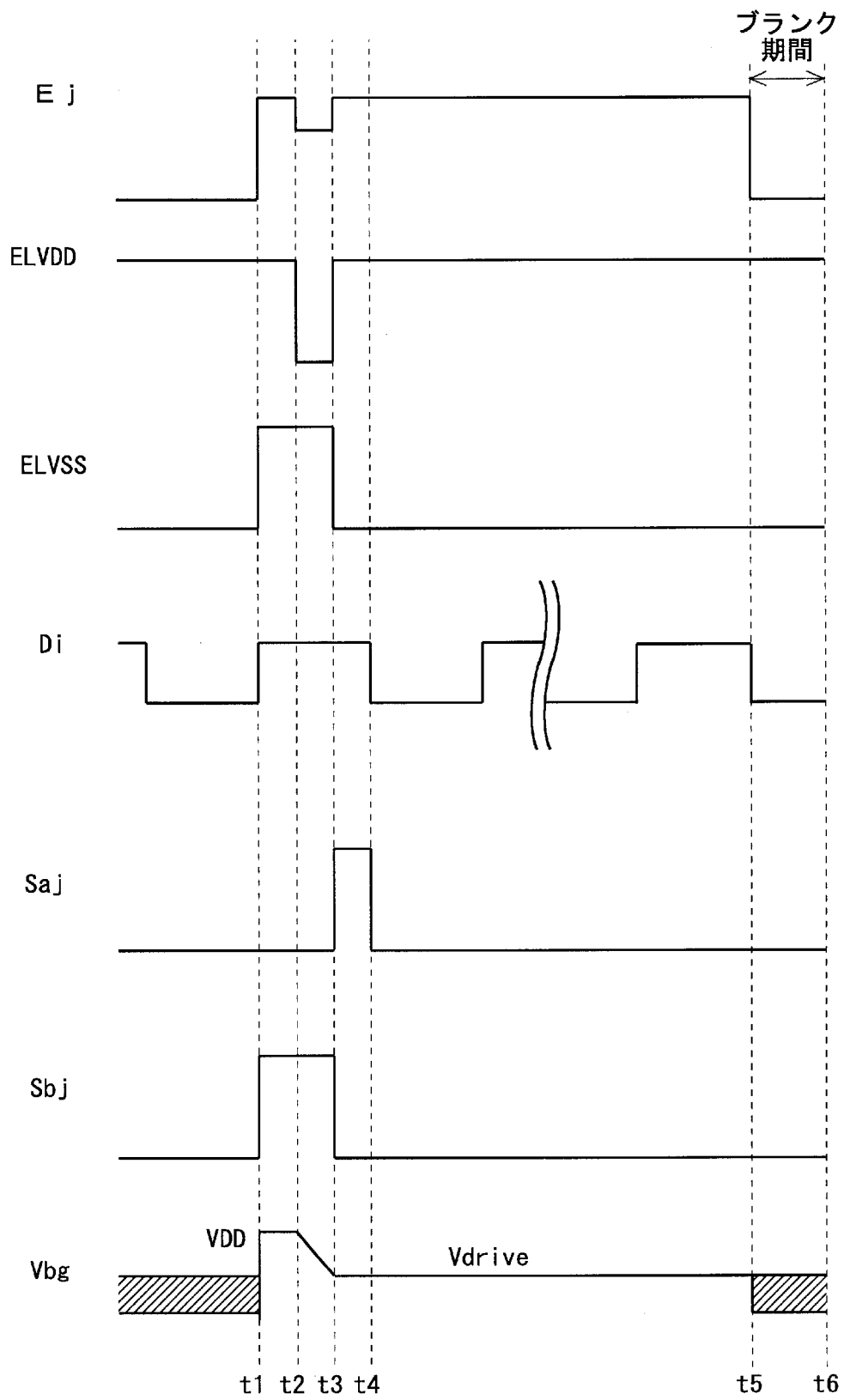
[図3]



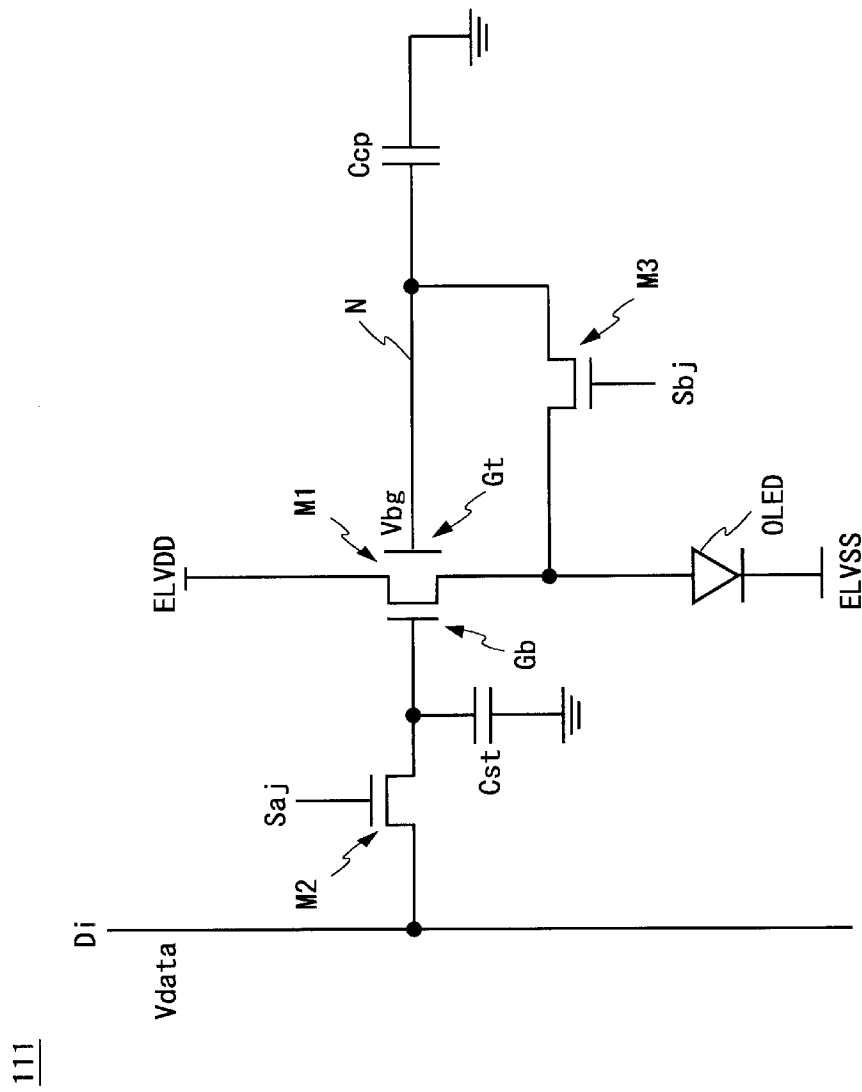
[図4]



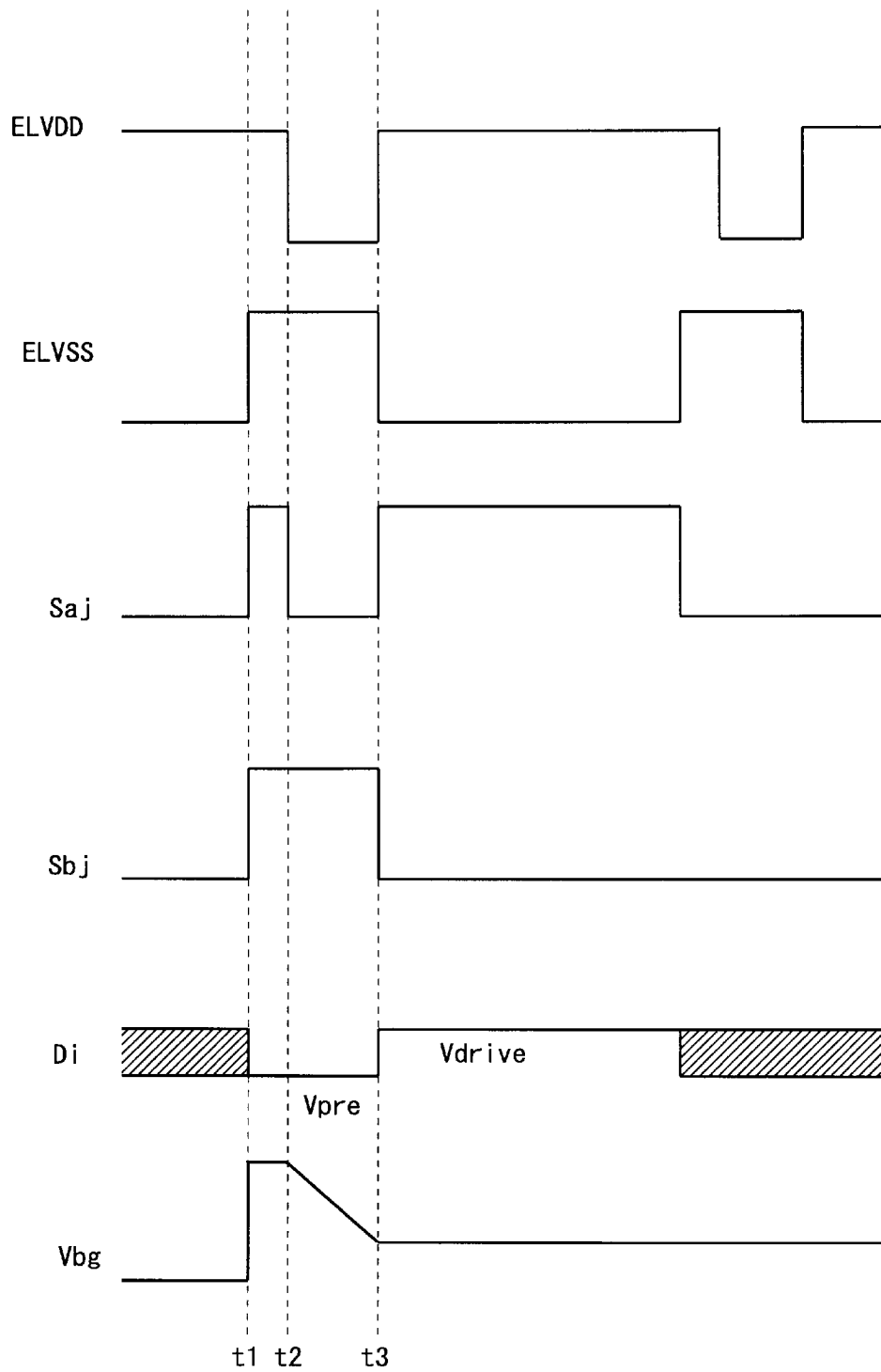
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/035458

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G09G3/3233 (2016.01) i, G09G3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G09G3/3233, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2017

Registered utility model specifications of Japan 1996-2017

Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2009-69571 A (SEIKO EPSON CORP.) 02 April 2009, paragraphs [0035]-[0050], fig. 6, 7 (Family: none)	1, 5-6 2-4, 7
A	US 2014/0168194 A1 (LG DISPLAY CO., LTD.) 19 June 2014, entire text, all drawings & KR 10-2014-0078419 A & CN 103871362 A	1-7
A	JP 2017-10000 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 12 January 2017, entire text, all drawings & US 2016/0300900 A1	1-7
A	JP 2003-224437 A (SANYO ELECTRIC CO., LTD.) 08 August 2003, entire text, all drawings (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
13.12.2017

Date of mailing of the international search report
26.12.2017

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09G3/3233(2016.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09G3/3233, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2009-69571 A（セイコーエプソン株式会社）2009.04.02, 段落[0035] - [0050], [図6] - [図7] (ファミリーなし)	1, 5-6 2-4, 7
A	US 2014/0168194 A1 (LG DISPLAY CO., LTD.) 2014.06.19, 全文, 全図 & KR 10-2014-0078419 A & CN 103871362 A	1-7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

13.12.2017

国際調査報告の発送日

26.12.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

21

9308

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-10000 A (株式会社半導体エネルギー研究所) 2017. 01. 12, 全文, 全図 & US 2016/0300900 A1	1-7
A	JP 2003-224437 A (三洋電機株式会社) 2003. 08. 08, 全文, 全図 (ファミリーなし)	1-7