



(12) 发明专利

(10) 授权公告号 CN 102541136 B

(45) 授权公告日 2015. 01. 14

(21) 申请号 201110257326. 9

CN 2884287 Y, 2007. 03. 28,

(22) 申请日 2011. 08. 25

审查员 杨欢欢

(30) 优先权数据

2010-189141 2010. 08. 26 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 高桥康之

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 李玲

(51) Int. Cl.

G05F 1/56 (2006. 01)

H01L 29/06 (2006. 01)

(56) 对比文件

CN 1627224 A, 2005. 06. 15,

JP 特开 2007-142698 A, 2007. 06. 07,

US 2007/0241735 A1, 2007. 10. 18,

CN 101740398 A, 2010. 06. 16,

JP 4415062 B1, 2010. 02. 17,

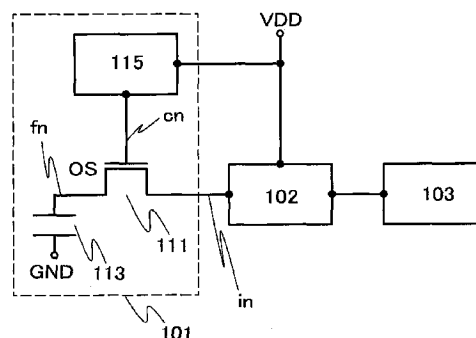
权利要求书2页 说明书27页 附图14页

(54) 发明名称

半导体器件

(57) 摘要

本发明涉及一种半导体器件。本发明所提供的启动电路允许基准电压生成电路在极短时间周期内启动并达到稳定平衡状态。该启动电路配置成即使不向该启动电路供电时也保持与处于稳定平衡状态中的基准电压生成电路的内部电压基本相同的电压。当基准电压生成电路被启动时,从启动电路向基准电压生成电路输出电压。



1. 一种半导体器件,包括:
启动电路,包括:
第一晶体管,其包括栅极、第一端子以及第二端子;
控制电路,其电连接至所述第一晶体管的所述栅极;以及
电容器,其电连接至所述第一晶体管的所述第一端子;以及基准电压生成电路,其电连接至所述第一晶体管的所述第二端子,其中,所述第一晶体管包括其中形成有沟道的氧化物半导体层。
2. 如权利要求1所述的半导体器件,其特征在于,还包括电连接至所述控制电路和所述基准电压生成电路的功率输入部。
3. 如权利要求1所述的半导体器件,其特征在于,所述控制电路配置成向所述第一晶体管的所述栅极传输控制信号。
4. 如权利要求1所述的半导体器件,其特征在于,还包括电连接至所述基准电压生成电路的负载电路,
其中所述电容器的电容比所述负载电路的电容高。
5. 如权利要求1所述的半导体器件,其特征在于,所述氧化物半导体层包括铟和锌中的至少一种。
6. 如权利要求1所述的半导体器件,其特征在于,所述氧化物半导体层包括铟和锌。
7. 一种半导体器件,包括:
启动电路,包括:
第一晶体管,其包括栅极、第一端子以及第二端子;
控制电路,其电连接至所述第一晶体管的所述栅极;
电容器,其电连接至所述第一晶体管的所述第一端子;
基准电压生成电路,其电连接至所述第一晶体管的所述第二端子;以及
功率输入部,其通过所述控制电路电连接至所述基准电压生成电路,
其中,所述第一晶体管包括其中形成有沟道的氧化物半导体层。
8. 如权利要求7所述的半导体器件,其特征在于,所述控制电路配置成向所述第一晶体管的所述栅极传输控制信号。
9. 如权利要求7所述的半导体器件,其特征在于,还包括电连接至所述基准电压生成电路的负载电路,
其中所述电容器的电容比所述负载电路的电容高。
10. 如权利要求7所述的半导体器件,其特征在于,所述氧化物半导体层包括铟和锌中的至少一种。
11. 如权利要求7所述的半导体器件,其特征在于,所述氧化物半导体层包括铟和锌。
12. 一种半导体器件,包括:
启动电路,包括:
第一晶体管,其包括栅极、第一端子以及第二端子;
第二晶体管,其包括栅极、第一端子以及第二端子;
控制电路,其电连接至所述第一晶体管的所述栅极和所述第二晶体管的所述栅极;
第一电容器,其电连接至所述第一晶体管的所述第一端子;以及

第二电容器,其电连接至所述第二晶体管的所述第一端子;以及

基准电压生成电路,其电连接至所述第一晶体管的所述第二端子和所述第二晶体管的所述第二端子,

其中,所述第一晶体管和所述第二晶体管的每一个包括其中形成有沟道的氧化物半导体层。

13. 如权利要求 12 所述的半导体器件,其特征在于,还包括电连接至所述控制电路和所述基准电压生成电路的功率输入部。

14. 如权利要求 12 所述的半导体器件,其特征在于,所述控制电路配置成向所述第一晶体管的所述栅极和所述第二晶体管的所述栅极传输控制信号。

15. 如权利要求 12 所述的半导体器件,其特征在于,还包括电连接至所述基准电压生成电路的负载电路。

16. 如权利要求 12 所述的半导体器件,其特征在于,所述氧化物半导体层包括铟和锌中的至少一种。

17. 如权利要求 12 所述的半导体器件,其特征在于,所述氧化物半导体层包括铟和锌。

18. 一种半导体器件,包括:

启动电路,包括:

第一晶体管,其包括栅极、第一端子以及第二端子;

第二晶体管,其包括栅极、第一端子以及第二端子,所述第二晶体管的所述栅极电连接至所述第一晶体管的所述栅极;

第三晶体管,其包括栅极、第一端子以及第二端子;

控制电路,其电连接至所述第一晶体管的所述栅极、所述第二晶体管的所述栅极以及所述第三晶体管的所述栅极;

第一电容器,其电连接至所述第一晶体管的所述第一端子;以及

第二电容器,其电连接至所述第二晶体管的所述第一端子;以及

基准电压生成电路,其电连接至所述第一晶体管的所述第二端子、所述第二晶体管的所述第二端子以及所述第三晶体管的所述第二端子;

其中所述第一晶体管和所述第二晶体管的每一个包括其中形成有沟道的氧化物半导体层。

19. 如权利要求 18 所述的半导体器件,其特征在于,还包括电连接至所述控制电路和所述第三晶体管的所述第一端子的功率输入部。

20. 如权利要求 18 所述的半导体器件,其特征在于,所述控制电路配置成向所述第一晶体管的所述栅极和所述第二晶体管的所述栅极传输控制信号。

21. 如权利要求 18 所述的半导体器件,其特征在于,还包括电连接至所述基准电压生成电路的负载电路。

22. 如权利要求 18 所述的半导体器件,其特征在于,所述氧化物半导体层包括铟和锌中的至少一种。

23. 如权利要求 18 所述的半导体器件,其特征在于,所述氧化物半导体层包括铟和锌。

半导体器件

[0001] 发明背景

[0002] 1. 技术领域

[0003] 本发明涉及使用半导体元件的半导体器件。

[0004] 2. 现有技术说明

[0005] 通常,要求模拟电路的输出无关于电源电压等的波动而高度精确和稳定,且因此在许多情况下需要稳定基准电压。用于生成这种稳定基准电压的基准电压生成电路是公知的。作为基准电压生成电路,已知基于阈值电压型、 β 倍增自偏压型、基于带隙型等的各种电路。这些基准电压生成电路中的大多数通过供应微小电流来驱动。

[0006] 但是,当在启动基准电压生成电路时向这种基准电压生成电路简单地输入电源电压时,在一些情形下不能适当地启动基准电压生成电路。具体地,在一些情况下,即使在输入电源电压时,基准电压生成电路仍处于电路中没有电流流动的稳定状态,且因此电路未被启动,或者即使电路被启动电路也需要相当长时间来达到稳定的平衡状态。因此,已知一种方法,其中用于施加初始电压的启动电路连接至基准电压生成电路,以便实现基准电压生成电路的快速启动,其中当输入电力时该初始电压促进基准电压生成电路的启动(非专利文献 1)。

[0007] 图 8 示出连接至常规启动电路的 β 倍增自偏压基准电压生成电路的配置示例。启动电路 501 包括:晶体管 511、晶体管 512 以及晶体管 513。晶体管 511 的第一电极连接至功率输入部 VDD,晶体管 511 的第二电极和栅极连接至晶体管 512 的第一电极和晶体管 513 的栅极。晶体管 512 的栅极连接至晶体管 513 的第二电极,而晶体管 512 的第二电极连接至接地电压输入部 GND。在此,连接至晶体管 511 的栅极的节点被称作节点 (a)。

[0008] 基准电压生成电路 502 包括:晶体管 521、晶体管 522、晶体管 523、晶体管 524、以及电阻器 525。晶体管 521 的第一电极连接至功率输入部 VDD,晶体管 521 的栅极和第二电极连接至晶体管 522 的栅极和晶体管 523 的第一电极。晶体管 522 的第一电极连接至功率输入部 VDD,而晶体管 522 的第二电极连接至晶体管 523 的栅极、晶体管 524 的第一电极和栅极。晶体管 523 的第二电极连接至电阻器 525 的第一电极。电阻器 525 的第二电极和晶体管 524 的第二电极连接至接地电压输入部 GND。在此,连接至晶体管 521 和晶体管 522 的栅极的节点被称作节点 (b),而连接至晶体管 523 和晶体管 524 的栅极的节点被称作节点 (c)。要注意,节点 (c) 对应于输出部 OUT 的节点。

[0009] 启动电路中的晶体管 513 的第一电极和第二电极分别连接至节点 (b) 和节点 (c),以使启动电路 501 和基准电压生成电路 502 相互电连接。

[0010] 要注意,晶体管 511、晶体管 521 和晶体管 522 均为 p 沟道晶体管,而晶体管 512、晶体管 513、晶体管 523 和晶体管 524 均为 n 沟道晶体管。在该配置中,将负载电容器 531 连接为输出负载。

[0011] 向功率输入部 VDD 施加电源电压 V_{dd} 。当不供电时,功率输入部 VDD 可处于浮动状态或得到接地电压 V_{gnd} 的供应。此外,接地电压 V_{gnd} 输入至接地电压输入部 GND。在此,可使用比电源电压 V_{dd} 低的电压来取代接地电压 V_{gnd} 。例如,可将各电路共用的公共电压或 0V

用作接地电压 V_{gnd} 。可将接地电压输入部 GND 设置为低电源电压。要注意,当用于功率输入部 VDD 的高电源电压是基准时,低电源电压是比高电源电压低的电压。在该配置中,向接地电压输入部 GND 施加接地电压 V_{gnd} 。

[0012] 接着,将描述启动电路 501 和基准电压生成电路 502 的操作。

[0013] 首先,在输入功率前,即,当未向功率输入部 VDD 施加电源电压 V_{dd} 时,电流不流入基准电压生成电路 502 中的晶体管 521、晶体管 522、晶体管 523、晶体管 524 以及晶体管 525。在此,所有晶体管处于截止状态且电流不流入晶体管的状态是基准电压生成电路 502 的诸亚稳态中的一个状态。

[0014] 接着,向功率输入部 VDD 施加电源电压 V_{dd} 。但是,因为基准电压生成电路 502 稳定在亚稳态中,所以即使在向功率输入部 VDD 施加电源电压 V_{dd} 时,基准电压生成电路 502 也操作以保持该状态。换言之,紧接着向功率输入部 VDD 施加电源电压 V_{dd} 之后,连接至晶体管 521 和晶体管 522 的栅极的节点 (b) 的电压变为 V_{dd} ,以使在晶体管 521 和晶体管 522 各自的栅极和源极之间不产生电压差,由此维持晶体管的截止状态。同样地,连接至晶体管 523 和晶体管 524 的栅极的节点 (c) 的电压变为接地电压 V_{gnd} ,以使晶体管 523 和晶体管 524 处于截止状态。

[0015] 同时,在启动电路 501 中,在向功率输入部 VDD 施加电源电压 V_{dd} 时,连接至晶体管 511 的栅极的节点 (a) 的电压从 V_{dd} 变为 V_{dd} 与 V_{thp} (在此, V_{thp} 是各 p 沟道晶体管的阈值电压) 之间的电压。因此,在晶体管 513 的连接至节点 (a) 的栅极和其第二电极之间产生电压差,晶体管 513 导通,且电流从节点 (b) 流向节点 (c)。相应地,晶体管 513 的第一电极的电压,即,节点 (b) 的电压从电源电压 V_{dd} 降低;同时,晶体管 513 的第二电极的电压,即,节点 (c) 的电压从接地电压 V_{gnd} 升高。

[0016] 在基准电压生成电路 502 中,节点 (b) 的电压从 V_{dd} 降低,这允许晶体管 521 和晶体管 522 导通;同时,节点 (c) 的电压从接地电压 V_{gnd} 升高,这允许晶体管 523 和晶体管 524 导通。因此,基准电压生成电路 502 脱离没有电流流动的亚稳态而开始运作。

[0017] 另一方面,节点 (c) 的电压升高允许其栅极连接至节点 (c) 的晶体管 512 导通。相应地,电流流经晶体管 512,以使节点 (a) 的电压降至接地电压 V_{gnd} ,且因此晶体管 513 截止。当晶体管 513 截止时,如上所述地从节点 (b) 流向节点 (c) 的电流被阻断,且启动电路 501 与基准电压生成电路 502 完全地电隔离。

[0018] 此后,基准电压生成电路 502 达到稳定平衡的状态。换言之,节点 (b) 的电压从 V_{dd} 降低,然后达到高于或等于接地电压 V_{gnd} 且低于或等于电源电压 V_{dd} 的某一电压,且达到稳定;同样地,节点 (c) 的电压从接地电压 V_{gnd} 升高,然后达到高于或等于接地电压 V_{gnd} 且低于或等于电源电压 V_{dd} 的某一电压,且达到稳定。在此,节点 (c) 的电压对应于基准电压生成电路 502 的输出电压。

[0019] 以该方式,当输入功率时,启动电路起到输入电压的作用,其允许基准电压生成电路脱离亚稳态,并向基准电压生成电路提示其启动。

[0020] [参考文献]

[0021] [非专利文献]

[0022] [非专利文献1]R. Jacob Baker(2005),CMOS 电路设计、布局及仿真 (CMOS Circuit Design, Layout, and Simulation) 第二版, (IEEE 出版社),第 625 页

发明内容

[0023] 但是,连接有如常规启动电路的基准电压生成电路中存在的问题是,在向基准电压生成电路输入电源电压后,其需要长时间来稳定输出电压。

[0024] 因此,本发明的一个实施例的目的在于提供一种电路,在该电路中从向基准电压生成电路输入电源电压到基准电压生成电路达到稳定平衡状态时的周期被缩短。

[0025] 为了实现以上目的,本发明的一个实施例聚焦于从启动电路输出的初始电压。

[0026] 从启动电路输出的初始电压(下文中也称作初始电压 V_0)比电源电压 V_{dd} 略低,或比接地电压 V_{gnd} 略高。但是,在基准电压生成电路中,由于输入初始电压 V_0 与处于稳定平衡状态的输入节点的电压(下文中也称为电压 V_{sta})之间的差增大,从启动电路输出的初始电压 V_0 所输入的输入节点的电压达到电压 V_{sta} 所需的时间被延长。

[0027] 因此,为了缩短输入功率至基准电压生成电路达到稳定平衡状态时的周期,从启动电路输入到基准电压生成电路的初始电压 V_0 可被设置成接近处于稳定平衡状态中的基准电压生成电路的内部电压 V_{sta} 的电压。此外,启动电路可配置成即使在不供电时也保持该电压,并在启动时输出该电压。

[0028] 即,本发明的一个实施例是一种半导体器件,该半导体器件包括:晶体管,该晶体管的第一电极电连接至电容器而第二电极电连接至基准电压生成电路;以及控制电路,该控制电路电连接至晶体管的栅极。该控制电路在基准电压生成电路停止操作前使晶体管截止,以使输入至晶体管的第二电极的电压保持在晶体管的第一电极与电容器之间的节点中,且在基准电压生成电路启动时导通该晶体管,以使保持在节点中的电压被输出至晶体管的第二电极。

[0029] 包含在启动电路中的晶体管的源极和漏极中的一个连接至电容器的一个电极,源极和漏极中的另一个电连接至基准电压生成电路的输入部的节点(下文中也称作输入节点),且由连接至晶体管栅极的控制电路来控制晶体管。晶体管与电容器之间的存储节点可保持接近处于稳定平衡状态的基准电压生成电路的内部电压的电压,具体地,保持接近处于稳定平衡状态的输入节点的电压 V_{sta} 的电压。当基准电压生成电路运作并处于稳定平衡状态时,控制电路导通晶体管,且就在基准电压生成电路停止运作前使晶体管截止,由此可将接近 V_{sta} 的电压保持在存储节点中。

[0030] 在再次输入功率以启动基准电压生成电路,同时接近电压 V_{sta} 的电压被保持在存储节点中的情况下,当控制电路导通晶体管时,由保持在存储节点中的电压将基准电压生成电路的输入节点的电压即时升高至接近 V_{sta} 的电压;因此,基准电压生成电路可在极短时间内达到稳定平衡状态。这种配置和方法可极大地缩短从输入功率到基准电压生成电路达到稳定平衡状态时的周期。

[0031] 本发明的一个实施例是一种半导体器件,其中包含在晶体管的沟道中的半导体材料包括氧化物半导体材料。

[0032] 本发明的一个实施例是一种半导体器件,其中每微米沟道宽度的电流密度是 $100\text{yA}/\mu\text{m}$,或者当晶体管处于截止状态时,电流密度更低。

[0033] 可使用包含氧化物半导体的半导体材料来形成连接至存储节点的晶体管的沟道。在使用包含氧化物半导体的半导体层的晶体管中,处于截止状态的漏电流可极低,且电压

可长时间保持在存储节点中 ;相应地,可提供基准电压生成电路的启动电路,该启动电路在即使长时间不供电时也可运作。

[0034] 本发明的一个实施例是一种半导体器件,其中基准电压生成电路的电源是受控的。

[0035] 输入至基准电压生成电路的电源电压由启动电路中的控制电路来控制。在这种配置中,即使在输入功率时,控制电路也可停止向基准电压生成电路供电,且因此在不需要时,基准电压生成电路可被停用 ;相应地,不必要的功耗可被抑制,且可实现用低功率来驱动的基准电压生成电路。

[0036] 本发明的一个实施例是一种半导体器件,其中电容器的电容比连接至基准电压生成电路的负载电容器的电容高。

[0037] 根据本发明的一个实施例,可从启动电路输出的初始电压 V_0 的最大电压 V_{0max} 按照连接至存储节点的电容器的电容与负载电容之间的关系来确定,负载电容是基准电压生成电路的电容和连接至基准电压生成电路的输出部的电容器的电容之和。例如,在连接至存储节点的电容器的电容由 C_f 表示、负载电容由 C_L 表示、保持在存储节点中的电压等于 V_{sta} 且输入节点的初始电压等于接地电压 V_{gnd} 的情况下,初始电压的最大值 V_{0max} 是 $V_{sta} \times (C_f / (C_f + C_L))$ 。因此,随着 C_f 与 C_L 的比率增大,输出至基准电压生成电路的输入节点的初始电压 V_0 可变得更接近 V_{sta} ,且基准电压生成电路的启动时间可变得更短。在此,至少 C_f 大于 C_L ,由此可向输入节点输入比 V_{sta} 的一半高的电压,且基准电压生成电路的启动时间可充分缩短。当输入节点的初始电压等于 V_{dd} 且比 V_{dd} 低的电压被输出至输入节点作为初始电压 V_0 时,可获得相似效果。

[0038] 根据本发明的一个实施例,可提供一种电路,在该电路中从向基准电压生成电路输入电源电压到基准电压生成电路达到稳定平衡状态时的周期被缩短。

[0039] 附图简述

[0040] 在附图中 :

[0041] 图 1 示出根据本发明的一个实施例的基准电压生成电路等的启动电路的配置 ;

[0042] 图 2 示出根据本发明的一个实施例的基准电压生成电路等的启动电路的时序图 ;

[0043] 图 3 示出根据本发明的一个实施例的基准电压生成电路等的启动电路的配置 ;

[0044] 图 4 示出根据本发明的一个实施例的基准电压生成电路等的启动电路的时序图 ;

[0045] 图 5 示出根据本发明的一个实施例的基准电压生成电路等的启动电路的配置 ;

[0046] 图 6 示出根据本发明的一个实施例的基准电压生成电路等的启动电路的配置 ;

[0047] 图 7 示出根据本发明的一个实施例的基准电压生成电路等的启动电路的配置 ;

[0048] 图 8 示出基准电压生成电路等的常规启动电路的配置 ;

[0049] 图 9A 至 9E 示出根据本发明的一个实施例的晶体管的结构和制造方法 ;

[0050] 图 10A 至 10D 示出根据本发明实施例的晶体管结构 ;

[0051] 图 11A 和 11B 是在本发明的示例 1 中使用的电路图 ;

[0052] 图 12 示出本发明的示例 1 中的流逝时间与输出电位之间的关系 ;

[0053] 图 13 是特性评估用电路的示图 ;

[0054] 图 14 是特性评估用电路的时序图 ;

[0055] 图 15 表示特性评估用电路中的流逝时间与输出信号电位之间的关系 ;

[0056] 图 16 示出根据特性评估用电路中的测量值计算的流逝时间与漏电流之间的关系 ;以及

[0057] 图 17 示出特性评估用电路中的节点 A 的电位与漏电流之间的关系。

具体实施方式

[0058] 将参考附图来描述诸实施例。要注意,本发明不限于以下描述,且本领域技术人员将容易理解,可按各种方式改变实施方式与细节而不背离本发明的精神与范围。因此,本发明不应被解释为限于以下诸实施例的描述。要注意,在以下进行描述的本发明的结构中,在不同附图中,由相同附图标记指示相同部分或具有类似功能的部分,且不再重复其描述。

[0059] 要注意,在本说明书中的各附图中,在一些情况下,出于清楚目的,尺寸、层厚、或各部件的区域被放大。因此,本发明的实施例不限于这种缩放比例。

[0060] 晶体管是一种半导体元件,且可实现电流或电压的放大、用于控制导电或不导电的开关操作等。本说明书中的晶体管包括绝缘栅场效应晶体管(IGFET)和薄膜晶体管(TFT)。

[0061] 要注意,在本说明书中使用的电路图或框图中,可特别地在晶体管旁写有“OS”,以便澄清氧化物半导体用于晶体管的半导体层。

[0062] 例如,当使用相反极性的晶体管或在电路操作中改变电流流向时,“源极”与“漏极”的功能有时可彼此互换。因此,在本说明书中术语“源极”与“漏极”可分别用于表示漏极和源极。

[0063] 在本说明书中,在一些情形下,晶体管的源极与漏极中的一个被称作“第一电极”,而源极与漏极中的另一个被称作“第二电极”。要注意,栅极被称作“栅极”或“栅电极”。

[0064] 要注意,在本说明书中,术语“电连接”包括部件通过具有任何电功能的对象连接的情形。只要可在通过该对象连接的部件之间传输和接收电信号,对于具有电功能的对象就没有具体限制。“具有任何电功能的对象”的示例是诸如晶体管的开关元件、电阻器、电感器、电容器、以及具有各种功能以及电极和布线的元件。

[0065] 要注意,本说明书中的节点等意味着实现包含在电路中的元件之间的电连接的元件(布线)。因此,“连接至 A 的节点”是电连接至 A 的布线,且可被视作与 A 具有相同电位。要注意,即使当实现电连接的一个或多个元件(例如,开关、晶体管、电容器、电感器、电阻器、或二极管)被插入布线时,连接至(诸)元件的与 A 相对侧上的端子的布线上的一部分被视作“连接至 A 的节点”,只要该部分与 A 具有相同电位。

[0066] (实施例 1)

[0067] 在本实施例中,将参考图 1 和图 2 来描述基准电压生成电路的启动电路的配置和操作,其包括相组合的晶体管和电容器,该晶体管在半导体层中包含氧化物半导体。

[0068] 电路配置示例

[0069] 图 1 是示出本实施例的启动电路、连接至启动电路的基准电压生成电路、以及连接至基准电压生成电路的输出部的负载电路之间的连接的框图。

[0070] 基准电压生成电路 102 具有连接至功率输入部 VDD 和启动电路 101 的两个输入部、以及连接至负载电路 103 的输出部。基准电压 V_{ref} 出现在基准电压生成电路的输出部处。作为基准电压生成电路 102,可使用用于生成基准电压的各种电路;例如,利用晶体管

阈值电压的基于阈值电压的基准电压生成电路、从基于阈值电压的基准电压生成电路发展而来的 β 倍增自偏压基准电压生成电路、基于带隙的基准电压生成电路等。

[0071] 负载电路 103 连接至基准电压生成电路 102 的输出部,且通过利用从基准电压生成电路 102 输出的基准电压来操作。只要使用利用基准电压的电路,对于负载电路没有特殊限制。负载电路 103 的示例包括放大器电路、电源电路、运算电路等。

[0072] 启动电路 101 包括控制电路 115、晶体管 111、以及电容器 113。

[0073] 晶体管 111 的栅极连接至控制电路 115、晶体管 111 的第一电极连接至电容器 113 的第一电极、晶体管 111 的第二电极连接至基准电压生成电路 102 的输入部。电容器 113 的第二电极连接至接地电压输入部 GND。

[0074] 控制电路 115 可通过向晶体管 111 的栅极传输控制信号来控制晶体管 111 的导通/截止状态。在晶体管 111 导通的情况下,例如,电源电压 V_{dd} 可输入至晶体管 111 的栅极。在晶体管 111 截止的情况下,例如,接地电压 V_{gnd} 可输入至晶体管 111 的栅极。控制电路 115 的输出电压不限于以上的电压,且可输出允许完全地使晶体管 111 导通或截止的任何电压。在本实施例中,对于控制电路的输出而言,输出 V_{dd} 以使晶体管 111 导通,而输出接地电压 V_{gnd} 以使晶体管 111 截止。

[0075] 晶体管 111 的第一电极和电容器 113 的第一电极彼此连接的节点被称作存储节点 (fn),且晶体管 111 的第二电极和基准电压生成电路 102 的输入部彼此连接的节点被称作输入节点 (in)。控制电路 115 和晶体管 111 的栅极彼此连接的节点被称作控制节点 (cn)。在此,当向晶体管 111 的栅极输入充分高的电压,且确保晶体管的线性操作时,存储节点 (fn) 和输入节点 (in) 的电压可相同。此后,当晶体管 111 完全地截止时,存储节点 (fn) 保持与晶体管 111 截止前的电压相同的电压。

[0076] 晶体管 111 可以是 n 沟道晶体管,在形成沟道的半导体层中包含氧化物半导体。通过以下实施例中描述的适当工艺使用适当材料制造的、在半导体层中包含氧化物半导体的晶体管可在截止状态下具有极低漏电流。通过将这种晶体管用作晶体管 111,可减小归因于晶体管漏电流的电压降的影响,且可长时间保持存储节点 (fn) 的电压。

[0077] 在包含氧化物半导体的晶体管中,源-漏电压为 3.0V 且在操作温度(例如,25℃)下,截止状态中的源极与漏极之间的每微米沟道宽度的漏电流密度(截止状态电流密度)可为 $10\text{zA}/\mu\text{m}$ ($1 \times 10^{-20}\text{A}/\mu\text{m}$) 或更低、 $1\text{zA}/\mu\text{m}$ ($1 \times 10^{-21}\text{A}/\mu\text{m}$) 或更低、或者 $100\text{yA}/\mu\text{m}$ ($1 \times 10^{-22}\text{A}/\mu\text{m}$) 或更低。

[0078] 电路操作示例

[0079] 接着,将参考图 2 的时序图来描述图 1 中的启动电路 101 和基准电压生成电路 102 的操作。

[0080] 图 2 是示出图 1 所示电路中的功率输入部 VDD、控制节点 (cn)、存储节点 (fn) 以及输入节点 (in) 的电压的时序图。在图 2 中,垂直轴表示电压,而水平轴表示时间。在本实施例中,将描述以下情形中的操作:在图 2 所示的时刻 T(1) 前,基准电压生成电路 102 在稳定平衡状态中操作,在时刻 T(2) 停止供电,然后在时刻 T(3) 再次输入功率。

[0081] 在图 2 的时刻 T(1) 前的状态中,即,当基准电压生成电路 102 在稳定平衡状态中操作时,功率输入部 VDD 的电压和控制节点 (cn) 的从控制电路 115 供应的电压都为电源电压 V_{dd} 。由于基准电压生成电路 102 在稳定平衡状态中操作,输入节点 (in) 的电压维持在

V_{sta} , V_{sta} 是稳定平衡状态中的电压。此外,因为控制节点 (cn) 的电压是 V_{dd} ,晶体管 111 导通从而导电,以使存储节点 (fn) 具有与输入节点 (in) 相同的电压,即存储节点 (fn) 的电压为 V_{sta} 。在此, V_{dd} 与 V_{sta} 之差显著比晶体管 111 的阈值电压高。换言之,晶体管 111 在线性区中操作,且晶体管 111 的阈值电压的影响是可忽略的。

[0082] 首先,在停止供电的时刻 T(2) 之前的时刻 T(1),控制节点 (cn) 的电压被设置为接地电压 V_{gnd} 。相应地,晶体管 111 截止。在此,存储节点 (fn) 仍保持 V_{sta} 。要注意,如图 2 所示,由于晶体管 111 的栅极电容的影响,存储节点 (fn) 中保持的电压可低于 V_{sta} 。

[0083] 接着,在时刻 T(2),停止供电。此时,功率输入部 VDD 的电压从电源电压 V_{dd} 下降到接地电压 V_{gnd} 。当停止从功率输入部 VDD 供电时,基准电压生成电路 102 停止操作,且电路的内部电压下降。相应地,输入接地 (in) 的电压降至接地电压 V_{gnd} 。另一方面,对于存储节点 (fn) 而言,存储节点 (fn) 的电压不下降,且保持几乎不变,这是因为晶体管 111 处于截止状态,且处于截止状态的晶体管 111 的漏电流极低。

[0084] 在此,从时刻 T(2) 到时刻 T(3) 的周期对应于不供电期间的周期。在该周期期间,启动电路 101 和基准电压生成电路 102 的电源被停用。但是,存储节点 (fn) 中保持的电压长时间维持在几乎恒定的电平而不上升。

[0085] 此后,在时刻 T(3),再次输入功率,且功率输入部 VDD 的电压升高至 V_{dd} 。当电源电压升高至控制电路 115 可运作的电压时,控制电路 115 向晶体管 111 的栅极输出 V_{dd} 作为输出电压,以使晶体管 111 导通。当晶体管 111 导通时,电流从处于较高电压的存储节点 (fn) 流向输入节点 (in),且输入节点 (in) 的电压在极短时间内即时升高至接近 V_{sta} 的电压。

[0086] 在此,因为输入至输入节点 (in) 的初始电压与处于输入状态中的输入节点 (in) 的电压 V_{sta} 之差变得更小,启动时间变得更短,启动时间是向基准电压生成电路 102 输入功率至基准电压生成电路 102 达到稳定平衡状态时的周期。因此,通过使用如上所述的存储节点 (fn) 中保持的电压来将输入节点 (in) 的电压即时升高至 V_{sta} ,基准电压生成电路 102 的启动时间可变得极短。

[0087] 要注意,紧跟着晶体管 111 在时刻 T(3) 导通后的输入节点 (in) 的电压按照电容器 113 的电容和负载电容之间的关系来确定,负载电容是基准电压生成电路 102 的电容和连接至基准电压生成电路的输出部的负载电路的电容之和。如图 2 所示,在相对于电容器 113 的电容而言负载电容不可忽略的情况下,输入节点 in 的电压和存储节点 fn 的电压比在晶体管 111 导通以获得存储节点 fn 和输入节点 in 之间的导电的时刻在存储节点 fn 中保持的电压低。例如,在电容器 13 的电容比负载电容显著高的情况下,输入节点 (in) 的电压在 T(3) 时刻升高至与保持在存储节点 (fn) 中的电压基本相等的电压。当电容器 113 的电容至少比负载电容高时,输入节点 (in) 可具有接近 V_{sta} 的一半的电压;因此,基准电压生成电路 102 的启动时间可充分地短。

[0088] 要注意,本发明的一个实施例不限于在本实施例中描述的电路配置。例如,可向本实施例中描述的电路添加开关、电阻器、电容器、晶体管、逻辑电路等。

[0089] 在本实施例中启动电路和基准电压生成电路直接相互连接;但是本发明的一个实施例不限于此。只要基准电压生成电路的输入节点和启动电路中的存储节点之间的电连接是可行的,就可在启动电路和基准电压生成电路之间连接附加电路或元件。例如,可在它们之间连接晶体管、模拟开关、反馈运算放大器、双向缓冲电路等。

[0090] 本实施例中描述的基准电压生成电路的启动电路包括电容器与在截止状态中具有极低漏电流的晶体管,由此即使在不供电时,也可在存储节点中保持基准电压生成电路的处于稳定平衡状态的输入节点电压,且当再次输入功率时,可向输入节点即时输出接近稳定平衡状态中的电压的电压。因此,基准电压生成电路的启动时间可极短。

[0091] 可通过适当地结合本说明书中描述的其它实施例的任一个来实现本实施例。

[0092] (实施例 2)

[0093] 在本实施例中,将参考图 3 和图 4 来描述具有不同于实施例 1 所描述配置的基准电压生成电路的启动电路的配置及操作。

[0094] 电路配置示例

[0095] 图 3 是示出负载电路和与本实施例的启动电路连接的基准电压生成电路之间的连接的框图,本实施例的启动电路的配置与实施例 1 中描述的配置不同。

[0096] 在实施例 1 中描述的基准电压生成电路 102 中,其输入部连接至功率输入部 VDD。另一方面,基准电压生成电路 202 通过启动电路 201 中的控制电路 215 连接至功率输入部 VDD。要注意,作为可用作基准电压生成电路 202 的电路,可适当地使用在实施例 1 中给出的基准电压生成电路的任一个。

[0097] 作为负载电路 203,与实施例 1 一样,可适当地使用利用从基准电压生成电路 202 输出的基准电压 V_{ref} 来驱动电路。

[0098] 除了启动电路 201 包括不同于实施例 1 中描述的控制电路 115 的控制电路 215 之外,启动电路 201 与启动电路 101 的配置是相同的。

[0099] 控制电路 215 连接至功率输入部 VDD 并控制晶体管 211 和基准电压生成电路 202 两者。作为晶体管 211 的控制信号,可使用与实施例 1 中描述的控制电路 115 的控制信号相似的控制信号。另外,控制电路 215 可通过输出对应于基准电压生成电路 202 的电源电压的控制信号来控制基准电压生成电路 202 的操作/非操作状态。例如,为了在向功率输入部 VDD 输入电源电压 V_{dd} 时可阻止基准电压生成电路 202 工作,向基准电压生成电路 202 输入接地电压 V_{gnd} 作为控制信号;为了使基准电压生成电路 202 操作,输出电源电压 V_{dd} 。

[0100] 在此,连接在控制电路 215 和晶体管 211 之间的节点被称作控制节点 (cn1)、且连接在控制电路 215 和基准电压生成电路 202 之间的节点被称作控制节点 (cn2)。

[0101] 在启动电路 201 具有的配置中,即使在输入功率后,也可在不需要时停止向基准电压生成电路 202 供电。换言之,启动电路 201 可控制向基准电压生成电路 202 输入的功率。在具有这种配置的启动电路 201 中,基准电压生成电路 202 可在低功率下操作。

[0102] 电路操作示例

[0103] 接着,将参考图 4 的时序图来描述启动电路 201 和基准电压生成电路 202 的操作。

[0104] 图 4 是示出图 3 所示电路中的功率输入部 VDD、两个控制节点 (控制节点 (cn1) 和控制节点 (cn2))、存储节点 (fn) 以及输入节点 (in) 的电压的时序图。在图 4 中,垂直轴表示电压,而水平轴表示时间。在本实施例中,将描述以下情形中的操作:在图 4 所示的时刻 T(1) 前,基准电压生成电路 202 在稳定平衡状态中操作,在图 4 所示时刻 T(2) 停止供电,然后在时刻 T(3) 再次输入功率。

[0105] 在图 4 的时刻 T(1) 前的状态中,即,当基准电压生成电路 202 在稳定平衡状态中操作时,功率输入部 VDD 的电压与两个控制节点 (cn1) 和 (cn2) 的电压都为电源电压 V_{dd} 。

由于基准电压生成电路 202 在稳定平衡状态中操作,因此输入节点 (in) 的电压稳定在 V_{sta} 。存储节点 (fn) 的电压也是 V_{sta} ,因为晶体管 211 处于导通状态。在此, V_{dd} 和 V_{sta} 之差显著大于晶体管 211 的阈值电压,与实施例 1 一样,确保了晶体管 211 在线性区中工作,且晶体管 211 的阈值电压的影响是可忽略的。

[0106] 在与实施例 1 中描述的方式相似的方式中,为了在停止供电的时刻 T(2) 之前的时刻 T(1) 使晶体管 211 截止,控制节点 (cn1) 的电压设置为接地电压 V_{gnd} 。相应地,在存储节点 (fn) 中保持接近 V_{sta} 的电压。

[0107] 此后,在时刻 T(2),停止供电;同时,控制电路 215 至基准电压生成电路 202 的输出电压降低,以使控制节点 (cn2) 的电压从电源电压 V_{dd} 降至接地电压 V_{gnd} 。与此同时,晶体管 211 仍处在漏电流极低的截止状态,且因此,存储节点 (fn) 的电压长时间地保持而不降低。在此,从时刻 T(2) 到时刻 T(3) 的周期是不供电的期间。

[0108] 接着,在时刻 T(3),再次供电。功率输入部 VDD 的电压升高至电源电压 V_{dd} 。此时,不从控制电路 215 向基准电压生成电路 202 供应电压,且控制节点 (cn2) 的电压仍为接地电压 V_{gnd} 。此外,也不从控制电路 215 向晶体管 211 供应电压,因此,晶体管 211 仍处于截止状态,且维持了在存储节点 (fn) 中保持的电压。相应地,在从时刻 T(3) 至时刻 T(4) 的周期中,即使在输入功率后也可阻止基准电压生成电路 202 工作,且因此可抑制不必要的功耗。

[0109] 在时刻 T(4),为了启动基准电压生成电路 202,控制电路 215 向晶体管 211 和基准电压生成电路 202 输出电源电压 V_{dd} 。因为已输入了功率,控制节点 (cn1) 的电压和控制节点 (cn2) 的电压即时升高至电源电压 V_{dd} 。当控制节点 (cn1) 的电压变为 V_{dd} 时,晶体管 211 导通,以使输入节点 (in) 的电压通过保持在存储节点 (fn) 中的电压即时升高,且然后在极短时间内升高至 V_{sta} 。因此,基准电压生成电路 202 可进入稳定平衡状态。

[0110] 要注意,本发明的一个实施例不限于在本实施例中描述的电路配置。例如,可向本实施例中描述的电路添加开关、电阻器、电容器、晶体管、逻辑电路等。

[0111] 在本实施例中启动电路和基准电压生成电路直接相互连接;但是本发明的一个实施例不限于此。只要基准电压生成电路的输入节点和启动电路中的存储节点之间的电连接是可行的,就可在启动电路和基准电压生成电路之间连接附加电路或元件。例如,可在它们之间连接晶体管、模拟开关、反馈运算放大器、双向缓冲电路等。

[0112] 本实施例中描述的基准电压生成电路的启动电路包括电容器 213 与在截止状态中具有极低漏电流的晶体管 211,由此即使在不供电时,基准电压生成电路的处于稳定平衡状态的输入节点的电压也可保持在存储节点中,且当基准电压生成电路被启动时,可向输入节点即时输出接近稳定平衡状态中的电压的电压。因此,基准电压生成电路的启动时间可极短。此外,向基准电压生成电路供电可通过启动电路中的控制电路来控制,且在不需要时可停用基准电压生成电路;相应地,可抑制不必要的功耗,且可实现用低功率驱动的基准电压生成电路。

[0113] 可通过适当地结合本说明书中描述的其它实施例的任一个来实现本实施例。

[0114] (实施例 3)

[0115] 在本实施例中,将参考图 5 来描述将 β 倍增自偏压基准电压生成电路用作基准电压生成电路的配置示例。

[0116] 配置示例

[0117] 图 5 是与本实施例的启动电路连接的基准电压生成电路的电路图。

[0118] 基准电压生成电路 302 是与图 8 所示基准电压生成电路 502 相似的电路。基准电压生成电路 302 包括：晶体管 321、晶体管 322、晶体管 323、晶体管 324、以及电阻器 325。尽管此处使用的附图标记与图 8 中的不同，但晶体管和电阻器之间的连接与基准电压生成电路 502 中的相似。在此，连接至晶体管 321 的栅极和晶体管 322 的栅极的节点被称作输入节点 (in1)，而连接至晶体管 323 的栅极和晶体管 324 的栅极的节点被称作输入节点 (in2)。要注意，输入节点 (in2) 对应于连接至输出端子 OUT 的节点。

[0119] 启动电路 301 包括控制电路 315、两个晶体管（晶体管 311a 和晶体管 311b）、以及两个电容器（电容器 313a 和电容器 313b）。

[0120] 作为各晶体管 311a 和晶体管 311b，可使用在形成沟道的半导体层中包含氧化物半导体的 n 沟道晶体管，与以上实施例中描述的用作启动电路的晶体管的情形一样。通过使用这种晶体管，截止状态中的漏电流可变得极低，可减小归因于晶体管漏电流的电压降低的影响，且可长时间保持连接至晶体管的存储节点的电压。

[0121] 晶体管 311a 的栅极和晶体管 311b 的栅极连接至控制电路 315，且它们的导通 / 截止状态由控制电路 315 来控制。电容器 313a 的第一电极连接至晶体管 311a 的第一电极，而电容器 313b 的第一电极连接至晶体管 311b 的第一电极。电容器 313a 的第二电极和电容器 313b 的第二电极连接至接地电压输入部 GND。在此，晶体管 311a 和电容器 313a 之间的节点被称作存储节点 (fn1)，而晶体管 311b 和电容器 313b 之间的节点被称作存储节点 (fn2)。通过使晶体管截止，可在存储节点中保持不同电压。

[0122] 晶体管 311a 的第二电极连接至输入电极 (in1)，晶体管 311b 的第二电极连接至输入电极 (in2)，由此启动电路 301 和基准电压生成电路 302 彼此电连接。在该配置中，负载电容器 331 连接至基准电压生成电路 302 的输出部作为输出负载；但是，使用基准电压来工作的任何电路可被连接至基准电压生成电路 302 的输出部。

[0123] 电路操作示例

[0124] 当基准电压生成电路 302 在稳定平衡状态中操作时，输入节点 (in1) 的电压和输入节点 (in2) 的电压分别为电压 V_{sta1} 和电压 V_{sta2} ，电压 V_{sta1} 和电压 V_{sta2} 是稳定平衡状态中的节点电压。此时，控制电路 315 例如向晶体管 311a 和晶体管 311b 的栅极输出电源电压 V_{dd} 以使它们导通。

[0125] 当停止供电的情况下，控制电路 315 例如向晶体管 311a 和晶体管 311b 输出接地电压 V_{gnd} 以在停止供电前使它们截止。此时，在存储节点 (fn1) 中保持与稳定平衡状态中输入节点 (in1) 的电压 V_{sta1} 接近的电压；类似地，在存储节点 (fn2) 中保持与稳定平衡状态中输入节点 (in2) 的电压 V_{sta2} 接近的电压。

[0126] 当停止供电时，基准电压生成电路 302 被停用，且该电路中的晶体管全部截止，因此没有电流流动。启动电路中的晶体管 311a 和晶体管 311b 仍处于截止状态；因此，存储节点 (fn1) 的电压和存储节点 (fn2) 的电压得以保持而不降低。

[0127] 再次输入功率时，控制电路 315 例如向晶体管 311a 和晶体管 311b 的栅极输出电源电压 V_{dd} 以使它们导通。当晶体管 311a 导通时，电流在输入节点 (in1) 和存储节点 (fn1) 之间流动，以使输入节点 (in1) 的电压即时变化成与稳定平衡状态中输入节点 (in1) 的电压 V_{sta1} 接近的电压。同样地，当晶体管 311b 导通时，输入节点 (in2) 的电压由保持在存储

节点 (fn2) 中的电压即时改变至接近 V_{sta2} 的电压。

[0128] 因此,在包括两个存储节点的启动电路 301 中,当输入功率时,基准电压生成电路 302 中的两个节点的电压可同时即时变化至与稳定平衡状态中的电压电平接近的电平。相应地,与启动电路连接至任一输入节点的情形相比,可有效地缩短基准电压生成电路 302 的启动时间。

[0129] 变体

[0130] 将参考图 6 来描述以上启动电路 301 的变体。

[0131] 除了用控制电路 365 来替代控制电路 315 并添加了晶体管 367 之外,图 6 所示启动电路 351 具有与启动电路 301 相同的配置。

[0132] 晶体管 367 的栅极连接至控制电路 365,晶体管 367 的第一电极连接至功率输入部 VDD,且晶体管 367 的第二电极连接至基准电压生成电路 302 中的晶体管 321 的第一电极和晶体管 322 的第一电极。通过将 p 沟道晶体管用作晶体管 367,可向基准电压生成电路 302 输入电源电压 V_{dd} 而没有归因于晶体管的电压降的影响。

[0133] 与控制电路 315 的情形一样,控制电路 365 连接至晶体管 311a 和晶体管 311b 的栅极,并控制这些晶体管的导通 / 截止状态。此外,控制电路 365 具有通过向晶体管 367 的栅极传输控制信号来控制晶体管 367 的导通 / 截止状态的功能。

[0134] 在这种配置中,可控制向基准电压生成电路 302 供电,且可控制基准电压生成电路 302 的工作 / 非工作状态。例如,当向处于供电状态的晶体管 367 的栅极输出诸如接地电压 V_{gnd} 的允许晶体管 367 导通的电压时,电源电压 V_{dd} 可被输入至基准电压生成电路 302。当向处于供电状态的晶体管 367 的栅极输出诸如电源电压 V_{dd} 的允许晶体管 367 截止的电压时,电源电压不被输入至基准电压生成电路 302,且因此可阻止基准电压生成电路 302 工作。

[0135] 相应地,向基准电压生成电路 302 供电可由启动电路中的控制电路来控制,且在不需要时可停用基准电压生成电路;相应地,可抑制不必要的功耗,且可实现用低功率驱动的基准电压生成电路。

[0136] 要注意,在本实施例中描述了启动电路包括两个存储节点的配置;取决于连接至启动电路的基准电压生成电路的配置,该启动电路可包括任何数目(至少一个)的存储节点。例如,在启动电路包括三个存储节点的情形下,可采用设置有栅极彼此连接的三个晶体管和连接至晶体管的电容器的配置。或者,启动电路可包括一个存储节点,该存储节点仅连接至基准电压生成电路中的一个节点。在这种配置中,可减小启动电路所占面积。

[0137] 要注意,本发明的一个实施例不限于在本实施例中描述的电路配置。例如,可向本实施例中描述的电路添加开关、电阻器、电容器、晶体管、逻辑电路等。

[0138] 在本实施例中启动电路和基准电压生成电路直接相互连接;但是本发明的一个实施例不限于此。只要基准电压生成电路的输入节点和启动电路中的存储节点之间的电连接是可行的,就可在启动电路和基准电压生成电路之间连接附加电路或元件。例如,可在它们之间连接晶体管、模拟开关、反馈运算放大器、双向缓冲电路等。

[0139] 本实施例中描述的基准电压生成电路的启动电路包括电容器与在截止状态中具有极低漏电流的晶体管,由此即使在不供电时,基准电压生成电路的处于稳定平衡状态的输入节点的电压也可保持在存储节点中,且再次输入功率时,可向输入节点即时输出与稳

定平衡状态中的电压接近的电压。因此,基准电压生成电路的启动时间可极短。

[0140] 可通过适当地结合本说明书中描述的其它实施例的任一个来实现本实施例。

[0141] (实施例 4)

[0142] 在本实施例中,将参考图 7 来描述将基于带隙的基准电压生成电路用作基准电压生成电路的配置示例。

[0143] 图 7 是示出与根据本发明的一个实施例的启动电路连接的基于带隙的基准电压生成电路的配置的电路图。

[0144] 启动电路 401 包括控制电路 415、晶体管 411、电容器 413,且电压可保持在晶体管 411 和电容器 413 之间的存储节点 (fn) 中。由连接至晶体管 411 的栅极的控制电路 415 来控制晶体管 411。

[0145] 作为晶体管 411,与以上实施例一样,可使用在形成有沟道的半导体层中包含氧化物半导体的 n 沟道晶体管。通过使用这种晶体管,截止状态中的漏电流可变得极低,可减小归因于晶体管 411 的漏电流的电压降的影响,且可长时间保持连接至晶体管 411 的存储节点 (fn) 的电压。

[0146] 基准电压生成电路 402 是基于带隙的基准电压生成电路中的一种,且包括三个电阻器 (电阻器 421、电阻器 422、及电阻器 423)、两个二极管 (二极管 424 和二极管 425)、以及运算放大器 426。电阻器 421 的第一电极连接至电阻器 422 的第一电极和运算放大器 426 的输出端子,而电阻器 421 的第二电极连接至运算放大器 426 的正输入端子和二极管 424 的第一电极。电阻器 422 的第二电极连接至运算放大器 426 的负输入端子和电阻器 423 的第一电极。电阻器 423 的第二电极连接至二极管 425 的第一电极。二极管 424 的第二电极和二极管 425 的第二电极连接至接地电压输入部 GND。运算放大器 426 的两个电源端子中的一个连接至功率输入部 VDD,而另一个连接至接地电压输入部 GND。要注意,连接至电阻器 421 和电阻器 422 的第一电极以及运算放大器 426 的输出端子的节点被称作输入节点 (in)。

[0147] 当输入功率时,基准电压生成电路 402 工作,以使连接至运算放大器 426 的正输入端子的节点电压与连接至运算放大器 426 的负输入端子的节点电压之差变为零。因此,稳定平衡状态中的基准电压生成电路 402 的输出电压根据输入至运算放大器 426 的两个电源端子的电压之差、三个电阻器的电阻之间的关系、以及两个二极管的电流 - 电压特性来确定。

[0148] 启动电路 401 中的晶体管 411 的第一电极连接至基准电压生成电路 402 的输入节点 (in),由此启动电路 401 和基准电压生成电路 402 相互电连接。在该配置中,负载电容器 431 连接至基准电压生成电路 402 的输出部作为输出负载;但是,可使用基准电压生成电路 402 的输出电压来工作的任何电路可被连接至基准电压生成电路 402 的输出部。

[0149] 在启动电路 401 中,与上述实施例一样,通过用控制电路 415 控制晶体管 411,即使在不供电时,也可在存储节点 (fn) 中保持与基准电压生成电路 402 在稳定平衡状态下操作的情形下的输入节点 (in) 的电压接近的电压。此外,通过在再次输入功率时使晶体管 411 导通,基准电压生成电路 402 中的输入节点 (in) 的电压可即时变化至与稳定平衡状态中的电压接近的电压。因此,基准电压生成电路 402 的启动时间可变得极短。

[0150] 要注意,在本实施例中启动电路 401 中的控制电路仅控制晶体管 411;但是,作为

变体,控制电路可控制向基准电压生成电路 402 供应电源电压,如实施例 3 所示。例如,可将 p 沟道晶体管串联连接至运算放大器 426 的连接至输入部 VDD 的节点,且该晶体管可由启动电路中的控制电路来控制。使用这种配置,向基准电压生成电路供电可由启动电路中的控制电路来控制,且在不需要时可停用基准电压生成电路;相应地,可抑制不必要的功耗,且可实现用低功率驱动的基准电压生成电路。

[0151] 要注意,在本实施例中描述了启动电路包括一个存储节点的配置;取决于连接至启动电路的基准电压生成电路的配置,该启动电路可包括任何数目(至少一个)的存储节点。例如,在启动电路包括三个存储节点的情形下,可采用提供栅极彼此连接的三个晶体管和连接至晶体管的电容器的配置。

[0152] 要注意,本发明的一个实施例不限于在本实施例中描述的电路配置。例如,可向本实施例中描述的电路添加开关、电阻器、电容器、晶体管、逻辑电路等。

[0153] 在本实施例中启动电路和基准电压生成电路直接相互连接;但是本发明的一个实施例不限于此。只要基准电压生成电路的输入节点和启动电路中的存储节点之间的电连接是可行的,就可在启动电路和基准电压生成电路之间连接附加电路或元件。例如,可在它们之间连接晶体管、模拟开关、反馈操作放大器、双向缓冲电路等。

[0154] 本实施例中描述的基准电压生成电路的启动电路包括电容器与在截止状态中具有极低漏电流的晶体管,由此即使在不供电时,基准电压生成电路的处于稳定平衡状态的输入节点的电压也可保持在存储节点中,且再次输入功率时,可向输入节点即时输出与稳定平衡状态中的电压接近的电压。因此,基准电压生成电路的启动时间可极短。

[0155] 可通过适当地结合本说明书中描述的其它实施例的任一个来实现本实施例。

[0156] (实施例 5)

[0157] 在本实施例中,将参考图 9A-9E 来描述用于实施例 1-4 的任一启动电路的在形成有沟道的半导体层中包含氧化物半导体的晶体管结构示例以及制造该晶体管的方法示例。

[0158] 图 9A-9E 示出晶体管截面结构的示例。图 9D 中的晶体管 610 是具有底栅结构的倒交错晶体管。

[0159] 本实施例中用于半导体层的氧化物半导体是 i 型(本征)氧化物半导体或大致为 i 型(本征)的氧化物半导体,它们是通过从氧化物半导体移除是 n 型杂质的氢来高度提纯的,以使其包含尽可能少的杂质。

[0160] 要注意,高度提纯的氧化物半导体包括极少载流子,且载流子浓度低于 $1 \times 10^{14}/\text{cm}^3$ 、低于 $1 \times 10^{12}/\text{cm}^3$ 、或低于 $1 \times 10^{11}/\text{cm}^3$ 。这种极少载流子使得截止状态中的电流(截止状态电流)能充分地低。

[0161] 具体地,在包含氧化物半导体层的晶体管中,源-漏电压为 3.0V 且在操作温度(例如,25 μC)下,截止状态中的源极与漏极之间的每微米沟道宽度的漏电流密度(截止状态电流密度)可为 $10\text{zA}/\mu\text{m}$ ($1-10 \mu^{-20}\text{A}/\mu\text{m}$)或更低、 $1\text{zA}/\mu\text{m}$ ($1-10 \mu^{-21}\text{A}/\mu\text{m}$)或更低、或者 $100\text{yA}/\mu\text{m}$ ($1-10 \mu^{-22}\text{A}/\mu\text{m}$)或更低。

[0162] 在包含高度提纯的氧化物半导体层的晶体管 610 中,几乎观察不到导通状态电流对温度的依赖性,且在高温下截止状态电流仍极低。

[0163] 下文中将参考图 9A-9E 来描述在衬底 600 上制造晶体管 610 的工艺。

[0164] 首先,在具有绝缘表面的衬底 600 上形成导电膜。然后,在第一光刻步骤中形成栅

电极层 601。要注意,可通过喷墨法形成抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;因此可降低制造成本。

[0165] 只要衬底 600 具有绝缘表面,对衬底 600 就没有具体限制;在后续步骤中进行热处理的情形下,衬底 600 需要至少具有足以耐受热处理温度的耐热性。例如,可使用由钽硼硅酸盐玻璃、铝硼硅酸盐玻璃等制成的玻璃衬底,石英衬底,蓝宝石衬底,陶瓷衬底等。替代地,可使用包含不锈钢的金属衬底或具有形成在其表面上的绝缘膜的半导体衬底。使用诸如塑料的合成树脂形成的柔性衬底通常具有比以上衬底低的温度上限;然而,只要这种衬底能够耐受制造工艺中的处理温度就可使用这种衬底。要注意,衬底 600 的表面可通过使用 CMP 法等抛光来进行平坦化。

[0166] 在本实施例中,作为具有绝缘表面的衬底 600,使用玻璃衬底。

[0167] 可在衬底 600 与栅电极层 601 之间设置用作基底的绝缘层。该绝缘层具有防止杂质元素从衬底 600 扩散的功能,而且该绝缘层可形成为具有使用选自氮化硅膜、氧化硅膜、氮氧化硅膜以及氧氮化硅膜等的一种或多种膜的单层或叠层结构。

[0168] 栅电极层 601 可形成为具有使用诸如钼、钛、铬、钽、钨、钽、或钨的金属,或包含这些材料中的任一种作为其主要组分的任何合金的单层或叠层结构。要注意,只要铝或铜能够耐受后续步骤中的热处理温度,也可将铝或铜用作这种金属。铝或铜优选与高熔点金属组合,以便避免耐热问题和腐蚀问题。作为高熔点金属,可使用钼、钛、铬、钽、钨、钽、钨等。

[0169] 接着,在栅电极层 601 之上形成栅绝缘层 602。栅绝缘层 602 可通过等离子体 CVD 法、溅射法等形成。栅绝缘层 602 可形成为具有使用选自氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氮氧化铝膜、氧化钪膜、氧化钽膜、氧化镓膜等的一种或多种膜的单层或叠层结构。

[0170] 对于本实施例中的氧化物半导体层,使用通过移除杂质形成作为 i 型或大致 i 型的氧化物半导体(高度提纯的氧化物半导体)的氧化物半导体。这种高度提纯的氧化物半导体对界面状态和界面电荷高度敏感;因此,氧化物半导体层与栅绝缘层之间的界面具有重要性。出于该原因,与高度提纯氧化物半导体接触的栅绝缘层需具有高质量。

[0171] 例如,使用微波(例如具有 2.45GHz 的频率)的高密度等离子体 CVD 是优选的,因为可形成具有高耐压性的致密的高质量绝缘层。高度提纯的氧化物半导体和高质量的栅绝缘层彼此接触,由此界面状态的数量可减少,从而获得有利的界面特性。

[0172] 不言而喻,只要使用的方法能够形成作为栅绝缘层的高质量绝缘层,就可采用诸如溅射法、或等离子体 CVD 法的其它成膜方法。此外,绝缘层的膜质量以及与氧化物半导体的界面特性通过绝缘层形成后执行的热处理得到改善的绝缘层可被形成为栅绝缘层。在任何情况下,只要膜质量与栅绝缘层的质量一样高、可减小与氧化物半导体的界面状态密度、以及可形成有利界面,就可使用任何栅绝缘层。

[0173] 栅绝缘层 602 与稍后形成的氧化物半导体层接触。当氢包含在氧化物半导体中时,晶体管特性受到不利影响;因此,优选栅绝缘层 602 不包含氢气、羟基、和水分。为了在栅绝缘层 602 和氧化物半导体膜中包含尽可能少的氢气、羟基、和水分,优选在溅射装置的预热腔中对衬底 600 进行预热作为氧化物半导体膜形成的预处理,以使吸收到衬底 600 中的诸如氢气或水分的杂质被移除,衬底 600 上形成有栅电极层 601 或者形成有直到(包含)栅绝缘层 602 的组件。预热温度高于或等于 100℃且低于或等于 400℃,优选高于或等于

150℃且低于或等于 300℃。作为设置在预热腔中的排气单元,优选有低温泵。要注意,可省略该预热处理。此外,在形成绝缘层 607 前,可用类似方式对衬底 600 进行预热,其中在该衬底 600 上形成有直到(包含)源电极层 605a 和漏电极层 605b 的组件。

[0174] 接着,在栅绝缘层 602 上形成厚度大于或等于 2nm 且小于或等于 200nm,优选大于或等于 5nm 且小于或等于 30nm 的氧化物半导体膜 603(参见图 9A)。

[0175] 氧化物半导体膜 603 通过将氧化物半导体用作靶的溅射法来形成。可在稀有气体(例如氩气)气氛、氧气气氛、或稀有气体(例如氩气)和氧气的混合气氛下通过溅射法来形成氧化物半导体膜 603。

[0176] 要注意,在通过溅射法形成氧化物半导体膜 603 之前,优选通过其中引入氩气并产生等离子体的反溅射去除粘附在栅绝缘层 602 的表面上的粉末物质(还称作颗粒或灰尘)。反溅射是指 RF 电源用于向氩气气氛中的衬底施加电压,并在衬底附近产生等离子体来修整表面的方法。要注意,可使用氮气气氛、氦气气氛、氧气气氛等来替代氩气气氛。

[0177] 用于氧化物半导体膜 603 的氧化物半导体优选至少包含铟(In)或锌(Zn)。具体而言,优选包含 In 和 Zn。作为用于减少包含氧化物半导体的晶体管的电特性的变化的稳定剂,优选另外包含镓(Ga)。优选包含锡(Sn)作为稳定剂。优选包含铪(Hf)作为稳定剂。优选包含铝(Al)作为稳定剂。

[0178] 作为另一种稳定剂,可包含一种或多种镧系元素,诸如,镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)、或镥(Lu)。

[0179] 作为氧化物半导体(例如,氧化铟、氧化锡、氧化锌),可使用具有两组分的金属氧化物(诸如,基于 In-Zn 的氧化物、基于 Sn-Zn 的氧化物、基于 Al-Zn 的氧化物、基于 Zn-Mg 的氧化物、基于 Sn-Mg 的氧化物、基于 In-Mg 的氧化物、或基于 In-Ga 的氧化物),具有三组分的金属氧化物(诸如,基于 In-Ga-Zn 的氧化物(还称作 IGZO)、基于 In-Al-Zn 的氧化物、基于 In-Sn-Zn 的氧化物、基于 Sn-Ga-Zn 的氧化物、基于 Al-Ga-Zn 的氧化物、基于 Sn-Al-Zn 的氧化物、基于 In-Hf-Zn 的氧化物、基于 In-La-Zn 的氧化物、基于 In-Ce-Zn 的氧化物、基于 In-Pr-Zn 的氧化物、基于 In-Nd-Zn 的氧化物、基于 In-Sm-Zn 的氧化物、基于 In-Eu-Zn 的氧化物、基于 In-Gd-Zn 的氧化物、基于 In-Tb-Zn 的氧化物、基于 In-Dy-Zn 的氧化物、基于 In-Ho-Zn 的氧化物、基于 In-Er-Zn 的氧化物、基于 In-Tm-Zn 的氧化物、基于 In-Yb-Zn 的氧化物、或基于 In-Lu-Zn 的氧化物),或具有四组分的金属氧化物(诸如,基于 In-Sn-Ga-Zn 的氧化物、基于 In-Hf-Ga-Zn 的氧化物、基于 In-Al-Ga-Zn 的氧化物、基于 In-Sn-Al-Zn 的氧化物、基于 In-Sn-Hf-Zn 的氧化物、或基于 In-Hf-Al-Zn 的氧化物)。

[0180] 此处要注意,例如,“基于 In-Ga-Zn 的氧化物”意味着包含 In、Ga 和 Zn 作为主要成分的氧化物,并且对 In、Ga 和 Zn 的比率没有具体限制。基于 In-Ga-Zn 的氧化物可包含除 In、Ga 和 Zn 之外的金属元素。

[0181] 替代地,由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$, 且 m 不是整数)表达的材料可被用作氧化物半导体。要注意, M 表示选自 Ga、Fe、Mn 和 Co 的一种或多种金属元素。替代地,由 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n > 0$, 且 n 是整数)表达的材料可被用作氧化物半导体。

[0182] 举例而言,可使用原子比为 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$) 或 $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$) 的基于 In-Ga-Zn 的氧化物,或者其组

分接近以上组分的任何氧化物。另选地,可使用原子比为 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ 、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3 (= 1/3 : 1/6 : 1/2)$ 、或 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5 (= 1/4 : 1/8 : 5/8)$ 的基于 In-Sn-Zn 的氧化物,或者其组分接近以上组分的任何氧化物。

[0183] 然而,组分不限于以上描述的那些,并且可根据必要的半导体特性(诸如迁移率、阈值电压、变化等)来使用具有适当组分的材料。为了获得必要的半导体特性,优选适当地设置载流子浓度、杂质浓度、缺陷密度、金属元素比氧气的原子比、原子间的距离、密度等。

[0184] 举例而言,可用基于 In-Sn-Zn 的氧化物相对容易地获得高迁移率。但是,在使用基于 In-Ga-Zn 氧化物的情形下,通过减小批量缺陷密度也可提高迁移率。

[0185] 要注意,举例而言,表达“包含原子比为 $\text{In} : \text{Ga} : \text{Zn} = a : b : c (a+b+c = 1)$ 的 In 、 Ga 和 Zn 的氧化物的组分接近包含原子比为 $\text{In} : \text{Ga} : \text{Zn} = A : B : C (A+B+C = 1)$ 的 In 、 Ga 和 Zn 的氧化物的组分”意味着 a 、 b 和 c 满足以下关系: $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$, 且例如 r 可为 0.05。相同的表达可应用于其他氧化物。

[0186] 氧化物半导体可以是单晶体或者是非单晶体。在后者的情况下,氧化物半导体可以是非晶体或者是多晶体。此外,半导体氧化物可具有包括具有结晶度的部分的非晶结构、或具有非非晶结构。

[0187] 在非晶状态中的氧化物半导体中,可相对容易地获得平坦表面,从而当用氧化物半导体制造晶体管时,可减少界面散布,且可相对容易地获得相对高的迁移率。

[0188] 此外,氧化物靶的填充率高于或等于 90% 且低于或等于 100%,优选高于或等于 95% 且低于或等于 99.9%。在使用具有高填充率的金属氧化物靶的情况下,可形成致密氧化物半导体膜。

[0189] 优选将去除了诸如氢气、水、具有羟基的化合物、或氢化物的杂质的高纯度提纯气体用作用于形成氧化物半导体膜 603 的溅射气体。

[0190] 衬底支持在保持于减小压力下的沉积腔中,且衬底温度被设置成高于或等于 100°C 且低于或等于 600°C,优选高于或等于 200°C 且低于或等于 400°C。通过在衬底被加热的状态下形成氧化物半导体膜,可减少所形成氧化物半导体中包含的杂质浓度。此外,可减少由溅射造成的破坏。可用以下方式在衬底 600 上形成氧化物半导体膜 603:在去除沉积腔中残留的水分的同时向沉积腔引入去除了氢气和水分的溅射气体,且使用如上的靶。为了去除残留在沉积腔中的水分,优选使用诸如低温泵截留真空泵、离子泵、或钛升华泵。排气单元可以是设置有冷槽的涡轮泵。在用低温泵排气的沉积腔中,去除氢原子、包含氢原子的诸如水 (H_2O) 的化合物(优选,还有包含碳原子的化合物)等,由此可减少在沉积腔中形成的氧化物半导体膜中的杂质浓度。

[0191] 用于溅射法的气氛可以是稀有气体(通常是氩气)气氛、氧气气氛、或稀有气体和氧气的混合气氛等。

[0192] 作为沉积条件示例,衬底与靶之间的距离为 100mm、压力为 0.6Pa、直流(DC)功率为 0.5kW、且气氛是氧气气氛(氧气流速的比例是 100%)。要注意,优选使用脉冲直流电源,因为可减少在沉积中产生的粉末物质(也称作颗粒或灰尘)并且膜厚可以是均匀的。

[0193] 要注意,优选去除例如碱金属和碱土金属的杂质,碱金属诸如 Li 或 Na ,而碱土金属诸如 Ca 。具体地,包含在氧化物半导体膜中的该杂质的浓度优选为 $2 \times 10^{16}/\text{cm}^3$ 或更

低,更优选为 $1 \times 10^{15}/\text{cm}^3$ 或更低。那些金属元素具有低负电性,且易于与氧化物半导体膜中的氧键合;因此在氧化物半导体膜中可形成载流子路径,且氧化物半导体膜可具有较低电阻(n型导电性)。

[0194] 接着,在第二光刻步骤中,将氧化物半导体膜 603 处理成岛状氧化物半导体层。可通过喷墨法形成用于形成岛状氧化物半导体层的抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;因此可降低制造成本。

[0195] 在栅绝缘层 602 中形成接触孔的情况下,可在处理氧化物半导体膜 603 的同时进行形成接触孔的步骤。

[0196] 要注意,此处,氧化物半导体膜 603 的蚀刻可以是干法蚀刻、湿法蚀刻、或干法和湿法蚀刻两者。用于对氧化物半导体膜 603 进行湿法蚀刻的蚀刻剂的示例是磷酸、乙酸、和硝酸的混合溶液。此外,可使用 IT007N(由 KANTO 化学公司(KANTO CHEMICAL CO., INC.)生产)。

[0197] 作为用于干法蚀刻的蚀刻气体,优选使用含氯的气体(诸如氯气(Cl_2)、三氯化硼(BCl_3)、四氯化硅(SiCl_4)或四氯化碳(CCl_4)的氯基气体)。替代地,可使用含氟气体(诸如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)或三氟甲烷(CHF_3)的氟基气体)、溴化氢(HBr)、氧气(O_2)、添加了诸如氦气(He)或氩气(Ar)的稀有气体的这些气体中的任一种等。

[0198] 作为干法蚀刻方法,可使用平行板反应离子蚀刻(RIE)法或感应耦合等离子体(ICP)蚀刻法。为了将氧化物半导体膜蚀刻成期望形状,可适当地调节蚀刻条件(诸如向线圈状电极施加的功率的量、向衬底侧上的电极施加的功率的量、或衬底侧面上电极的温度)。

[0199] 接着,将岛状氧化物半导体层进行第一热处理。可通过第一热处理来对氧化物半导体层进行脱水或脱氢。第一热处理的温度高于或等于 250°C 且低于或等于 750°C ,或者高于或等于 400°C 且低于衬底的应变点。例如,可在 500°C 下进行热处理大致长于或等于 3 分钟且短于或等于 6 分钟的时间。当 RTA 方法用于热处理时,可在短时间内进行脱水或脱氢处理;因此,可在比玻璃衬底的应变点高的温度下进行该处理。

[0200] 在此,衬底被引入到作为一种热处理装置的电炉中,且在氮气气氛中在 450°C 下对氧化物半导体层进行 1 小时的热处理,然后在不将氧化物半导体层暴露于空气中的情况下冷却该衬底,从而避免水和氢气进入氧化物半导体层中。通过该方式获得氧化物半导体层 604(参见图 9B)。

[0201] 此外,热处理装置不限于电炉,且可使用对要通过来自诸如电阻加热元件的加热元件的热传导或热辐射处理的对象进行加热的装置。例如,可使用诸如气体快速热退火(GRTA)装置或灯快速热退火(LRTA)装置之类的快速热退火(RTA)装置。LRTA 装置是用于对要通过从诸如卤素灯、卤化金属灯、氙弧灯、碳弧灯、高压钠灯、或高压汞灯之类的灯发射的光(电磁波)辐射来处理的对象进行加热的装置。GRTA 装置是用于使用高温气体来进行热处理的装置。作为高温气体,可使用不与要通过热处理处理的对象发生反应的、诸如氮气或如氩气的稀有气体等的惰性气体。

[0202] 例如,作为第一热处理可执行 GRTA,在 GRTA 中衬底移动至被加热到高达 650°C – 700°C 的温度的惰性气体中,加热数分钟,然后从加热至高温的惰性气体中移出。

[0203] 要注意,在第一热处理中,优选氮气或诸如氦气、氖气或氩气等稀有气体中不包含水、氢气等。向热处理装置中引入的氮气或诸如氦气、氖气或氩气的稀有气体的纯度优选为 6N(99.9999%)或更高,更优选为 7N(99.99999%)或更高(即,杂质浓度优选为 1ppm 或更低,更优选为 0.1ppm 或更低)。

[0204] 在通过第一热处理加热该氧化物半导体层后,可向同一炉中引入高纯度氧气气体、高纯度 N_2O 气体或极干空气(在通过使用腔衰荡激光谱(CRDS)系统的露点仪来进行测量的情况下,水分含量小于或等于 20ppm($-55^{\circ}C$ 下转换成露点),优选小于或等于 1ppm,更优选小于或等于 10ppb)。优选氧气和 N_2O 气体不包含水、氢气等。引入到热处理装置中的氧气或 N_2O 气体的纯度优选为 6N 或更高、更优选为 7N 或更高(即,氧气气体或 N_2O 气体中杂质的浓度优选为 1ppm 或更低、更优选为 0.1ppm 或更低)。通过氧气或 N_2O 气体的作用来供应作为氧化物半导体的主要成分、由于通过脱水或脱氢的去除杂质的步骤而减少的氧气,由此提高了氧化物半导体层的纯度并使氧化物半导体层成为电 i 型(本征)。

[0205] 也可在将氧化物半导体膜 603 处理成岛状氧化物半导体层之前,对氧化物半导体膜 603 进行氧化物半导体层的第一热处理。在该情况下,在第一热处理后从加热装置取出衬底,然后进行光刻步骤。

[0206] 要注意,只要第一热处理是在形成氧化物半导体层后进行的,则第一热处理可在以下定时中的任一定时进行,而对以上定时没有限制:在氧化物半导体层上形成源电极层和漏电极层后;以及在源电极层和漏电极层上形成绝缘层后。

[0207] 在栅绝缘层 602 中形成接触孔的情况下,可在对氧化物半导体膜 603 执行热处理之前或之后进行形成接触孔的步骤。

[0208] 通过以上步骤,可减少岛状氧化物半导体层中的氢浓度并可使岛状氧化物半导体层高度提纯。相应地,可使氧化物半导体层的电特性稳定。此外,可在低于或等于衬底 600 的玻璃转变温度的温度下通过热处理形成具有极低载流子密度和宽带隙的氧化物半导体膜。因此,可使用大尺寸衬底来制造晶体管,从而可提高生产率。此外,通过使用氢浓度减小且纯度升高的氧化物半导体,有可能制造具有高耐压性和极低截止状态电流的晶体管。可在形成氧化物半导体膜后的任一时间进行以上热处理。

[0209] 要注意,在对氧化物半导体膜进行加热的情况下,在一些情形下,取决于氧化物半导体膜的材料或加热条件,在氧化物半导体膜的表面上形成板状晶体。板状晶体优选为与氧化物半导体膜的表面垂直地 c 轴对准的单晶。要注意,当氧化物半导体膜下的栅绝缘层 602 的表面不均匀时,会形成多晶板状晶体。因此,氧化物半导体膜的基底表面优选尽可能平坦。

[0210] 即使在将氧化物、氮化物、金属等的任一种用作基底成分的材料时,作为氧化物半导体膜,具有大厚度晶体区(单晶区,即与膜表面垂直地 c 轴对准的晶体区)的氧化物半导体,可通过进行两次沉积和两次热处理来形成。例如,形成厚度大于或等于 3nm 且小于或等于 15nm 的第一氧化物半导体膜,然后在具有氮气、氧气、稀有气体或干空气的气氛中在高于或等于 $450^{\circ}C$ 且低于或等于 $850^{\circ}C$ 、优选高于或等于 $550^{\circ}C$ 且低于或等于 $750^{\circ}C$ 的温度下进行第一热处理,由此形成第一氧化物半导体膜,该第一氧化物半导体膜在包括表面的区域中包含晶体区(包括板状晶体)。然后,形成厚度比第一氧化物半导体膜的厚度大的第二氧化物半导体膜,且在高于或等于 $450^{\circ}C$ 且低于或等于 $850^{\circ}C$ 、优选高于或等于 $600^{\circ}C$ 且低

于或等于 700°C 的温度下进行第二热处理,以使通过将第一氧化物半导体膜用作晶体成长的籽晶向上进行晶体成长,且整个第二氧化物半导体膜被结晶化。通过该方式,可形成具有大厚度晶体区的氧化物半导体膜。

[0211] 接着,在栅绝缘层 602 和氧化物半导体层 604 上形成要成为源电极层和漏电极层的导电膜(包括与源电极层和漏电极层形成在同一层上的布线)。作为用作源电极层和漏电极层的导电膜,例如可使用包含选自 Al、Cr、Cu、Ta、Ti、Mo 和 W 的元素的金属膜,包含任何这些元素作为成分的合金膜,包含任何这些元素作为成分的金属氮化物膜(氮化钛膜、氮化钼膜、或氮化钨膜)等。此外,为了避免耐热问题和腐蚀问题,可使用一种结构,在该结构中诸如 Al 或 Cu 的金属膜在底侧和顶侧的一个或两者上具有由诸如 Ti、Mo、Cr、Ta、Nd、Sc 或 Y 的高熔点金属形成的膜,或者具有这些金属的金属氮化物膜(氮化钛膜、氮化钼膜、或氮化钨膜)。

[0212] 此外,导电膜可具有单层结构或包含两层或更多层的叠层结构。举例而言,可提供:包含硅的铝膜的单层结构;在铝膜上层叠钛膜的两层结构;钛膜、铝膜和钛膜以该顺序层叠的三层结构等。

[0213] 替代地,可使用导电金属氧化物形成导电膜。作为导电金属氧化物,可使用氧化铟、氧化锡、氧化锌、氧化铟和氧化锡的混合氧化物、氧化铟和氧化锌的混合氧化物、或者包含硅或氧化硅的任何导电金属氧化物材料。

[0214] 要注意,在形成导电膜后进行热处理的情况下,该导电膜优选具有足以耐受热处理的耐热性。

[0215] 接着,在第三光刻步骤中,在导电膜上形成抗蚀剂掩模,且进行选择性的蚀刻来形成源电极层 605a 和漏电极层 605b,且然后移除抗蚀剂掩模(参见图 9C)。

[0216] 可使用紫外光、KrF 激光或 ArF 激光来执行第三光刻步骤中的形成抗蚀剂掩模时的曝光。稍后完成的晶体管的沟道长度 L 根据在氧化物半导体层 604 上彼此相邻的源电极层与漏电极层的下边缘部之间的距离来确定。在沟道长度 L 小于 25nm 的情况下,优选使用具有极短(数纳米至数十纳米)波长的紫外光来进行在第三光刻步骤中用于形成抗蚀剂掩模的曝光。在使用远紫外光的曝光中,分辨率高且聚焦深度大。因此,稍后完成的晶体管的沟道长度 L 可大于或等于 10nm 且小于或等于 1000nm,从而可加快电路的工作速度。

[0217] 要注意,优选将蚀刻条件优化成在蚀刻导电膜时氧化物半导体层 604 不被蚀刻且不被分割。但是,难以获得只蚀刻导电膜而氧化物半导体层 604 根本不被蚀刻的条件。在一些情况下,在蚀刻导电膜时,氧化物半导体层 604 的一部分被蚀刻成具有槽部(凹部)的氧化物半导体层。

[0218] 在本实施例中,Ti 膜被用作导电膜,而基于 In-Ga-Zn-O 的氧化物半导体被用作氧化物半导体层 604;因此,将氨双氧水混合物(氨、水和过氧化氢的混合溶液)用作蚀刻剂。当氨双氧水混合物被用作蚀刻剂时,可选择性地蚀刻导电膜。

[0219] 接着通过使用诸如 N₂O、N₂ 或 Ar 的气体的等离子体处理,去除吸收到氧化物半导体层的暴露部分的表面的水或类似物。也可使用氧气和氩气的混合气体进行等离子体处理。在进行等离子体处理的情况下,顺序地形成与部分的氧化物半导体层 604 接触的用作保护绝缘膜的绝缘层 607 而不用将衬底暴露到空气中。

[0220] 绝缘层 607 优选包含尽可能少的诸如水分、氢气的杂质,且可使用单层绝缘膜或

层叠的多层绝缘膜来形成。此外,可通过适当地使用诸如溅射法的使诸如水和氢气的杂质不进入绝缘层 607 的方法形成具有至少 1nm 厚度的绝缘层 607。当氢被包含在绝缘层 607 中时,造成氢气进入氧化物半导体层或通过氢气析取氧化物半导体的氧气,由此氧化物半导体层的背沟道可能具有较低电阻(n 型导电性)且因此可形成寄生沟道。因此,采用不使用氢气以使绝缘层 607 尽可能不包含氢气的形成方法具有重要意义。

[0221] 例如,可形成具有以下结构的绝缘膜:通过溅射法形成的 100nm 厚的氧化铝膜层叠在由溅射法形成的 200nm 厚的氧化镓膜上。成膜中的衬底温度可能高于或等于室温且低于或等于 300℃。此外,绝缘膜优选包括超过化学计量比的许多氧,更优选包括大于化学计量比的 1 倍且小于 2 倍的氧。这样,绝缘膜包含过量氧,以使得氧被供应到与岛状氧化物半导体层的界面;因此可减少缺氧。

[0222] 在本实施例中,通过溅射法形成厚度为 200nm 的氧化硅膜作为绝缘层 607。成膜中的衬底温度可能高于或等于室温且低于或等于 300℃,而在该实施例中为 100℃。可在稀有气体(通常为氩气)气氛下、氧气气氛下、或稀有气体和氧气的混合气氛下通过溅射法来形成氧化物半导体膜。作为靶,可使用氧化硅靶或硅靶。例如,可在包含氧气的气氛下通过溅射法使用硅靶来形成氧化硅膜。作为形成与氧化物半导体层接触的绝缘层 607 中的膜,优选使用不包含诸如水分、氢离子及 OH 基的杂质并防止这些杂质从外部进入的无机绝缘膜。通常,可使用氧化硅膜、氮化硅膜、氧化铝膜、氮化硅膜等。

[0223] 绝缘层 607 优选具有使用具有高阻挡性的材料的叠层结构。例如,氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜、氧化铝膜、氧化镓膜等可被用作具有高阻挡性的绝缘膜。通过使用具有高阻挡性的绝缘膜,可防止诸如水分或氢气的杂质进入岛状氧化物半导体层、栅绝缘层、或岛状氧化物半导体层与另一绝缘层和其邻近处之间的界面。

[0224] 作为形成氧化物半导体膜 603 的情形,优选使用截留真空泵(诸如低温泵)以便去除绝缘层 607 的沉积腔中残留的水分。当在使用低温泵排气的沉积腔中形成绝缘层 607 时,可减少包含在绝缘层 607 中的杂质浓度。作为用于去除残留在绝缘层 607 的沉积腔中的水分的排气单元,可使用设置有冷槽的涡轮泵。

[0225] 作为绝缘层 607 的形成过程中所使用的溅射气体,优选使用去除了诸如氢气、水、具有羟基的化合物、或氢化物等杂质的高纯度气体。

[0226] 要注意,可在形成绝缘层 607 后进行第二热处理。可在具有氮气、极干空气或稀有气体(诸如氩气或氦气)的气氛下,优选在高于或等于 200℃且低于或等于 400℃,例如高于或等于 250℃且低于或等于 350℃的温度下进行该热处理。气体中的水含量优选为 20ppm 或更低,更优选为 1ppm 或更低,且再优选为 10ppb 或更低。例如,在氮气气氛下、在 250℃下执行一小时的热处理。替代地,可在高温下用与第一热处理一样短的时间进行 RTA 热处理。即使第一热处理造成岛状氧化物半导体层中的缺氧,通过在设置包含氧的绝缘层 607 后进行热处理,氧从绝缘层 607 供给到岛状氧化物半导体层中。通过将氧供应到岛状氧化物半导体层中,在岛状氧化物半导体层中减少作为供体的缺氧,并且可满足化学计量比。因此,可使岛状氧化物半导体层变成大致 i 型,且可减小归因于缺氧的晶体管的电特性变化,这改善了电特性。只要在形成绝缘层 607 后进行,则对第二热处理的定时没有具体限制,且第二热处理可由诸如形成树脂膜中的热处理或减小透光导电膜电阻的热处理等另一步骤来替代,通过这些可使岛状氧化物半导体层成为大致 i 型而不增加步骤。

[0227] 此外,通过使岛状氧化物半导体层经历氧气气氛中的热处理以使氧被添加到氧化物半导体,可减少岛状氧化物半导体层中的作为供体的缺氧。热处理的温度例如高于或等于 100℃且低于 350℃,优选高于或等于 150℃且低于 250℃。优选用于氧气气氛中的热处理的氧气不包含水、氢气等。引入到热处理装置中的氧气的纯度优选为 6N(99.9999%)或更高、更优选为 7N(99.99999%)或更高(即,氧气中杂质的浓度优选为 1ppm 或更低、更优选为 0.1ppm 或更低)。

[0228] 在本实施例中,在惰性气体气氛下或氧气气体气氛下进行第二热处理(优选在高于或等于 200℃且低于或等于 400℃,例如高于或等于 250℃且低于或等于 350℃的温度下)。例如,在氮气气氛下、在 250℃下执行一小时的第二热处理。在第二热处理中,部分的氧化物半导体层(沟道形成区)在与绝缘层 607 接触的情况下被加热。

[0229] 通过以上步骤,对氧化物半导体膜进行第一热处理,以使有意地从氧化物半导体层中去除诸如氢气、水分、羟基、或氢化物(还称作氢化合物),且可通过第二热处理步骤供应作为氧化物半导体的主要成分之一的、在去除杂质的步骤中被减少的氧。因此,氧化物半导体层被高度提纯成电 i 型(本征)氧化物半导体。

[0230] 当具有大量缺陷的氧化硅层被用作绝缘层 607 时,被包含在氧化物半导体层中的诸如氢气、水分、羟基或氢化物的杂质通过在形成氧化硅层后进行的热处理扩散到氧化硅层,以使氧化物半导体层中的杂质进一步被减少。

[0231] 当包含过量氧的氧化硅层被用作绝缘层 607 的情况下,在形成绝缘层 607 后进行的热处理具有将绝缘层 607 中的氧移动至氧化物半导体层 604 中的效果,从而改善氧化物半导体层 604 的氧浓度并高度提纯氧化物半导体层 604。

[0232] 通过以上步骤,形成晶体管 610(参见图 9D)。

[0233] 晶体管 610 具有底栅结构且包括:栅电极层 601;栅电极层 601 上的栅绝缘层 602;岛状氧化物半导体层 604,其位于栅绝缘层 602 上且与栅电极层 601 交叠;以及源电极层 605a 和漏电极层 605b,它们是形成在岛状氧化物半导体层 604 上的一对电极层。

[0234] 要注意,通过在绝缘层 607 上形成导电膜且之后图案化该导电膜,可在与岛状氧化物半导体层交叠的位置中形成背栅电极。在形成背栅电极的情况下,优选形成绝缘层来覆盖背栅电极。可使用与栅电极或任何导电层的材料和结构相似的材料和结构来形成背栅电极。

[0235] 背栅电极的厚度设置成 10nm 至 400nm,优选为 100nm 至 200nm。例如,背栅电极可用以下方式形成:形成导电膜,该导电膜中层叠有钛膜、铝膜和钛膜;然后通过光刻法等形成抗蚀剂掩模,并通过蚀刻移除不需要的部分以使导电膜被处理成(图案化成)期望形状。背栅电极还起到遮光膜的作用,由此可减少诸如负偏置温度应变光降解的晶体管的光降解,且可提高可靠性。

[0236] 可附加地在绝缘层 607 上形成保护绝缘层 609。作为保护绝缘层 609,例如,可通过 RF 溅射法形成氮化硅膜。由于 RF 溅射法具有高生产率,优选将其用作保护绝缘层的形成方法。作为保护绝缘层,优选使用不包含诸如水分的杂质并阻挡杂质从外部进入的无机绝缘膜;例如,可使用氮化硅膜、氮化铝膜等。在本实施例中,使用氮化硅膜形成保护绝缘层 609(参见图 9E)。

[0237] 在本实施例中,通过将其上形成有直到(包含)绝缘层 607 的组件的衬底 600 加

热至 100℃至 400℃的温度,引入包含去除了氢气和水的高纯度氮气的溅射气体,并将硅半导体用作靶来形成作为保护绝缘层 609 的氮化硅膜。同样在该情况下,优选在形成保护绝缘层 609 时去除处理腔中残留的水分,与绝缘层 607 的情形一样。

[0238] 在形成保护绝缘层后,可在高于或等于 100℃且低于或等于 200℃的温度下、在空气中进一步进行热处理达长于或等于 1 小时且短于或等于 30 小时的时间。可在固定加热温度下进行该热处理。替代地,可重复多次地进行加热温度的以下改变:加热温度从室温上升到高于或等于 100℃且低于或等于 200℃的温度,然后再下降到室温。

[0239] 本实施例中描述的晶体管表征为截止状态中的漏电流极低。通过将这种晶体管应用到如以上实施例中所描述的基准电压生成电路的启动电路,可防止在存储节点中保持的电压受到归因于晶体管漏电流的电压降的影响,且可长时间保持该电压。

[0240] 可通过适当地结合本说明书中描述的其它实施例的任一个来实现本实施例。

[0241] (实施例 6)

[0242] 在半导体层中包含氧化物半导体的晶体管可具有各种模式。在本实施例中,将参考图 10-10D 描述具有与实施例 5 的晶体管 610 的结构不同的结构的晶体管示例。要注意,可如以上实施例地形成与以上实施例中的部分相同的部分或具有相似功能的部分,且可如以上实施例地进行与以上实施例中的步骤相同的步骤或相似的步骤;因此,在本实施例中不重复该描述。此外,相同部分的具体描述被省略。

[0243] 图 10A 所示的晶体管 620 是栅极形成在半导体层下方(相对于在衬底侧而言)的底栅晶体管。

[0244] 晶体管 620 具有底栅结构且包括:栅电极层 601;栅电极层 601 上的栅绝缘层 602;源电极层 605a 和漏电极层 605b,它们是形成在栅绝缘层 602 上的一对电极层;以及岛状氧化物半导体层 604,其与源电极层 605a、漏电极层 605b、以及栅绝缘层 602 接触,并与栅电极层 601 交叠。

[0245] 图 10B 所示的晶体管 630 是在相对于氧化物半导体层的背沟道侧(与栅电极相反的侧)上设置沟道保护层的底栅结构示例。在使用沟道保护层的情况下,可抑制在蚀刻源电极和漏电极时对氧化物半导体层造成的破坏。

[0246] 晶体管 630 具有沟道保护底栅结构且包括:栅电极层 601;栅电极层 601 上的栅绝缘层 602;岛状氧化物半导体层 604,其在栅绝缘层 602 之上且与栅绝缘层 601 交叠;沟道保护层 627,其与氧化物半导体层 604 接触,且与氧化物半导体层 604 的形成有沟道的区域交叠;以及源电极层 605a 和漏电极层 605b,它们是形成在氧化物半导体层 604 上的一对电极层。

[0247] 图 10C 所示的晶体管 640 是顶栅晶体管的一个示例。

[0248] 晶体管 640 是顶栅晶体管,包括:基底绝缘层 637;岛状半导体层 604,其在基底绝缘层 637 之上;源电极层 605a 和漏电极层 605b,它们是与氧化物半导体层 604 接触的一对电极层;栅绝缘层 602,其与氧化物半导体层 604 中的介于源电极层 605a 和漏电极层 605b 之间的沟道形成区接触;以及栅电极层 601,其在栅绝缘层 602 之上并与氧化物半导体层 604 中的沟道形成区交叠。

[0249] 要注意,晶体管 640 可包括分别经由形成在栅绝缘层 602 中的接触孔连接至源电极层 605a 和漏电极层 605b 的源布线层 636a 和漏布线层 636b。

[0250] 图 10D 所示晶体管 650 是具有不同于晶体管 640 的结构顶栅晶体管的一个示例。

[0251] 晶体管 650 是顶栅晶体管,包括:基底绝缘层 637;源电极层 605a 和漏电极层 605b,它们是基底绝缘层 637 之上的一对电极层;氧化物半导体层 604,其填充源电极层 605a 和漏电极层 605b 之间的缝隙;栅绝缘层 602,其在源电极层 605a、漏电极层 605b 及氧化物半导体层 604 之上;以及栅电极层 601,其在栅绝缘层 602 之上且与氧化物半导体层 604 的形成有沟道的区域交叠。

[0252] 要注意,与以上情形一样,晶体管 650 可包括分别经由形成在栅绝缘层 602 中的接触孔连接至源电极层 605a 和漏电极层 605b 的源布线层 636a 和漏布线层 636b。

[0253] 尽管未图示,在具有顶栅结构的晶体管 640 或晶体管 650 中,第二栅电极层(也称作背栅电极层)可形成在衬底与基底绝缘层之间来与氧化物半导体层 604 中的沟道形成区交叠。在该情况下,两个栅电极层中的一个可被称作第一栅电极层,而另一个可被称作背栅电极。第一栅电极层和背栅电极层可彼此电连接以起到一个电极的作用。

[0254] 通过改变背栅电极层的电压,可改变晶体管的阈值电压。背栅电极层可以是电绝缘的,即,处于浮动状态、接收电压、或接收诸如接地电压的固定电压或公共电压。通过控制向背栅电极层施加的电压电平,可控制晶体管的阈值电压。

[0255] 在顶栅结构中,当用背栅电极层覆盖氧化物半导体层 604 时,可防止来自背栅电极层一侧的光进入氧化物半导体层 604。因此,可防止氧化物半导体层 604 的光降解,且可防止晶体管的诸如阈值电压偏移等特性劣化。

[0256] 以上晶体管的每一个可具有极低的截止状态电流。通过将这种晶体管应用到基准电压生成电路的启动电路,像以上实施例中所描述的启动电路,可防止在存储节点中保持的电压受到归因于晶体管漏电流的电压降的影响,且可长时间保持该电压。

[0257] 可通过适当地结合本说明书中描述的其它实施例的任一个来实现本实施例。

[0258] (实施例 7)

[0259] 在本实施例中,将描述计算晶体管的截止状态电流的示例。

[0260] 首先,将参考图 13 描述用于计算截止状态电流的特性评估用电路的配置。在本实施例中,特性评估用电路包括彼此并联连接的多个测量系统 801。具体地,图 13 示出其中 8 个测量系统 801 并联连接的特性评估用电路的示例。

[0261] 测量系统 801 包括晶体管 811、晶体管 812、电容器 813、晶体管 814、以及晶体管 815。

[0262] 晶体管 811 是注入电荷用晶体管。晶体管 811 的第一端子连接至供应有电位 V_1 的节点,而晶体管 811 的第二端子连接至晶体管 812 的第一端子。晶体管 811 的栅电极连接至供应有电位 V_{ext_a} 的节点。

[0263] 晶体管 812 是漏电流评估用晶体管。要注意,本实施例中的漏电流意味着包含晶体管截止状态电流的漏电流。晶体管 812 的第一端子连接至晶体管 811 的第二端子,而晶体管 812 的第二端子连接至供应有电位 V_2 的节点。晶体管 812 的栅电极连接至供应有电位 V_{ext_b} 的节点。

[0264] 电容器 813 的第一电极连接至晶体管 811 的第二端子和晶体管 812 的第一端子。电容器 813 的第二电极连接至供应有电位 V_2 的节点。

[0265] 晶体管 814 的第一端子连接至供应有电位 V3 的节点,而晶体管 814 的第二端子连接至晶体管 815 的第一端子。晶体管 814 的栅电极连接至晶体管 811 的第二端子、晶体管 812 的第一端子、以及电容器 813 的第一电极。要注意,与晶体管 814 的栅电极连接的部分被称作节点 A。

[0266] 晶体管 815 的第一端子连接至晶体管 814 的第二端子,而晶体管 815 的第二端子连接至供应有电位 V4 的节点。晶体管 815 的栅电极连接至供应有电位 Vext_c 的节点。

[0267] 测量系统 801 输出一节点的电位作为输出信号电位 Vout,该节点与晶体管 814 的第二端子和晶体管 815 的第一端子连接。

[0268] 在本实施例中,用作晶体管 811 的晶体管如下:该晶体管在有源层中包含氧化物半导体,并包括包含在有源层中且沟道长度 L 为 $10\ \mu\text{m}$ 、沟道宽度 W 为 $10\ \mu\text{m}$ 的沟道形成区。

[0269] 要注意,沟道形成区对应于半导体膜的一区域,该沟道形成区存在于源电极和漏电极之间并与栅电极交叠,其中该沟道形成区与栅电极之间置有栅绝缘膜。

[0270] 作为晶体管 814 和晶体管 815 的每一个所使用的晶体管如下:该晶体管在有源层中包含氧化物半导体,并包括包含在有源层中且沟道长度 L 为 $3\ \mu\text{m}$ 、沟道宽度 W 为 $100\ \mu\text{m}$ 的沟道形成区。

[0271] 作为晶体管 812,使用在有源层中包含氧化物半导体的底栅晶体管。在该晶体管中,源电极和漏电极与有源层的上部接触,未设置其中源电极和漏电极与栅电极接触的区域,且设置宽度为 $1\ \mu\text{m}$ 的偏置区。设置偏置区可减小寄生电容。作为晶体管 812,使用包含在有源层中的沟道形成区具有以下表 1 中的条件 1-6 中记录的各种尺寸的晶体管。

[0272] [表 1]

[0273]

	沟道长度 L [μm]	沟道宽度 W [μm]
条件 1	1.5	1×10^5
条件 2	3	1×10^5
条件 3	10	1×10^5
条件 4	1.5	1×10^6
条件 5	3	1×10^6
条件 6	10	1×10^6

[0274] 在测量系统 801 中不设置注入电荷用晶体管 811 的情况下,在向电容器 813 注入电荷时,用于漏电流评估的晶体管 812 不需要被导通。在该情况下,如果用于漏电流评估的晶体管 812 是需要长时间从导通状态变成稳定截止状态的元件,测量将需要长时间。如图 13 所示,在测量系统 801 中独立地设置注入电荷用晶体管 811 和漏电流评估用晶体管 812,由此在注入电荷时,可将漏电流评估用晶体管 812 总是保持成处于截止状态。因此,可缩短测量所需时间。

[0275] 此外,通过在测量系统 801 中独立地设置注入电荷用晶体管 811 和漏电流评估用

晶体管 812, 这些晶体管的每一个可具有适当尺寸。此外, 通过使评估漏电流用晶体管 812 的沟道宽度 W 大于注入电荷用晶体管 811 的沟道宽度, 可使除漏电流评估用晶体管 812 的漏电流外的特性评估用电路内部的漏电流相对低。结果, 可高精度地测量漏电流评估用晶体管 812 的漏电流。此外, 由于不需要在注入电荷时导通漏电流评估用晶体管 812, 可防止由沟道形成区中的流入节点 A 的部分电荷造成的节点 A 的电位波动影响。

[0276] 另一方面, 通过使注入电荷用晶体管 811 的沟道宽度 W 小于漏电流评估用晶体管 812 的沟道宽度, 可使注入电荷用晶体管 811 的漏电流相对低。此外, 由沟道形成区中的流入节点 A 的部分电荷造成的节点 A 的电位波动在注入电荷时几乎没有影响。

[0277] 另外, 通过如图 13 所示地并联连接多个测量系统 801, 可较精确地计算特性评估用电路的漏电流。

[0278] 接着, 将描述使用图 13 所示特性评估用电路的用于计算晶体管截止状态电流的具体方法。

[0279] 首先, 将参考图 14 描述用于测量图 13 所示特性评估用电路的漏电流的方法。图 14 是示出使用图 13 所示特性评估用电路的用于测量漏电流的方法的时序图。

[0280] 在使用图 13 所示特性评估用电路的用于测量漏电流的方法中, 提供写入周期和保持周期。将在下文中描述各周期的操作。要注意, 在写入周期和保持周期两者中, 电位 V_2 和电位 V_4 均设置成 0V、电位 V_3 设置成 5V、而电位 V_{ext_c} 设置成 0.5V。

[0281] 首先, 在写入周期中, 电位 V_{ext_b} 设置成电位 V_L (-3V), 在该情况下晶体管 812 截止。电位 V_1 设置成写入电位 V_w , 且之后电位 V_{ext_a} 设置成电位 V_H (5V), 在该情况下晶体管 811 在一定周期内处于导通状态。用以上方式, 电荷积聚在节点 A 中, 且节点 A 的电位变为等于写入电位 V_w 。然后, 电位 V_{ext_a} 设置成电位 V_L , 在该情况下晶体管 811 截止。之后, 电位 V_1 设置成电位 V_{SS} (0V)。

[0282] 接着, 在保持周期中, 测量由保持在节点 A 中的电荷量改变所造成的节点 A 的电位改变量。可根据电位改变量来计算在晶体管 812 的源电极和漏电极之间流动的电流值。以该方式, 可进行节点 A 中电荷的积聚以及节点 A 的电位改变量的测量。

[0283] 可重复进行节点 A 中电荷的积聚以及节点 A 的电位改变量的测量 (也称作积聚及测量操作)。首先, 重复 15 次的第一积聚及测量操作。在第一积聚及测量操作中, 在写入周期中输入 5V 电位作为写入电位 V_w , 并在保持周期中保持 1 小时。接着, 重复 2 次的第二积聚及测量操作。在第二积聚及测量操作中, 在写入周期中输入 3.5V 电位作为写入电位 V_w , 并在保持周期中保持 50 小时。然后, 进行 1 次的第三积聚及测量操作。在第三积聚及测量操作中, 在写入周期中输入 4.5V 电位作为写入电位 V_w , 并在保持周期中保持 10 小时。通过重复积聚及测量操作, 可确认所测量的电流值为稳定状态中的值。换言之, 有可能从流经节点 A 的电流 I_A 中去除瞬态电流 (测量开始后随时间减小的电流)。因此, 可较精确地测量漏电流。

[0284] 一般而言, 可通过以下等式用输出信号的电位 V_{out} 的函数来表达节点 A 的电位 V_A 。

[0285] [公式 1]

[0286] $V_A = F(V_{out})$

[0287] 可使用节点 A 的电位 V_A 、连接至节点 A 的电容 C_A 、以及常数 (const) 通过以下等式

来表达节点 A 的电荷 Q_A 。连接至节点 A 的电容 C_A 是电容器 813 的电容和电容器 813 的电容之外的其它电容之和。

[0288] [公式 2]

$$[0289] \quad Q_A = C_A V_A + \text{const}$$

[0290] 节点 A 的电流 I_A 是流入节点 A 中的电荷（或者从节点 A 流出的电荷）的时间导数；因此，由以下等式表达节点 A 的电流 I_A 。

[0291] [公式 3]

$$[0292] \quad I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \Delta F(V_{out})}{\Delta t}$$

[0293] 例如， Δt 约为 54000 秒。节点 A 的电流 I_A 可使用连接至节点 A 的电容 C_A 和输出信号的电位 V_{out} 来计算，且可相应地获得特性评估用电路的漏电流。

[0294] 接着，示出通过使用以上特性评估用电路的测量方法所得的输出信号的电位 V_{out} 的测量结果，并示出根据这些测量结果计算的特性评估用电路的漏电流的值。

[0295] 图 15 示出条件 1、条件 2 和条件 3 下的输出信号的电位 V_{out} 与测量（第二积聚及测量操作）中的流逝时间 Time 之间的关系作为示例。图 16 示出测量中流逝的时间 Time 与根据测量值计算的漏电流之间的关系。发现测量开始后输出信号的电位 V_{out} 波动，且获得稳定状态所需时间为 10 小时或更长。

[0296] 图 17 示出条件 1-6 下的节点 A 的电位与漏电流之间的关系，这是根据测量值来估计的。在图 17 中，例如，在条件 4 下，当节点 A 的电位为 3.0V 时，漏电流为 28yA/ μm 。因为漏电流包含晶体管 812 的截止状态电流，所以晶体管 812 的截止状态电流可被认为是 28yA/ μm 或更低。

[0297] 如上所述，使用包含高度提纯的氧化物半导体层作为沟道形成层的晶体管的特性评估用电路的漏电流充分低，这意味着晶体管的截止状态电路充分低。

[0298] 通过将这种晶体管应用到基准电压生成电路的启动电路，像以上实施例中所描述的启动电路，可防止在存储节点中保持的电压受到归因于晶体管漏电流的电压降的影响，且可长时间保持该电压。

[0299] 可通过适当地结合本说明书中描述的其它实施例的任一个来实现本实施例。

[0300] 示例 1

[0301] 在本示例中，将描述启动时间的计算，启动时间是输入功率到输出电压稳定的周期，该计算在与常规启动电路连接的基准电压生成电路上以及与根据本发明的一个实施例的启动电路连接的基准电压生成电路上进行。另外，将示出比较结果。

[0302] 图 11A 是与具有常规配置的启动电路 701 连接的 β 倍增自偏压基准电压生成电路的电路图，且在其上进行本示例的计算。启动电路 701 具有与本说明书中描述的图 8 的启动电路 501 的配置相似的配置，因此省去其描述。

[0303] 基准电压生成电路 702 具有与实施例 4 中描述的基准电压生成电路 302 相同的配置，因此省略其说明。要注意，在本示例中，10pF 的负载电容器 731 连接至基准电压生成电路 702 作为输出负载。

[0304] 图 11B 是示出根据本发明的一个实施例的启动电路 751 连接至基准电压生成电路 702 的配置的电路图，且在其上进行本示例的计算。包含在启动电路 751 中的两个晶体管

(晶体管 741a 和晶体管 471b) 各自的源极和漏极中的一个连接至电容器 (电容器 743a 或电容器 743b), 由此所给予的电压可被保持在晶体管与电容器之间的节点中。两个晶体管的栅极连接至功率输入部 VDD, 且晶体管取决于电源电压导通或截止。要注意, 在本示例中, 基于启动电路 751 中的两个电容器各自的电容为 200pF 的假设而进行计算。

[0305] 图 11 中的基准电压生成电路 702 具有与图 11B 中的配置相同的配置。

[0306] 在本示例中, 基于 n 沟道晶体管的阈值电压为 0.35V 且 p 沟道晶体管的阈值电压为 -0.35V 的假设进行该计算。

[0307] 接着, 将描述其计算与结果。

[0308] 在使用图 11A 和图 11B 所示电路的情况下, 计算向功率输入部 VDD 施加电源电压的时刻到基准电压生成电路 702 的输出部 OUT 的电压稳定的时刻的周期的长度。

[0309] 在时刻 0.5 μ s 向功率输入部 VDD 施加 1.7V 的电源电压, 并计算施加电源电压之前和之后的输出部 OUT 的电压。

[0310] 要注意, 在图 11B 中的电路上, 基于在施加电源电压的时刻 5 μ s 之前, 预先在连接至晶体管 741a 和晶体管 741b 的存储节点中保持处于稳定平衡状态中的输入节点的电压的假设进行计算。具体地, 预先在连接至晶体管 741a 的存储节点中保持 1.29V 的电压, 且预先在连接至晶体管 741b 的存储节点中保持 0.37V 的电压。

[0311] 图 12 示出计算结果。出于清楚起见, 使用通过每次输出部 OUT 的电压除以作为稳定平衡状态中的电压的电压 V_{ref} 获得的电压。在图 12 中, 水平轴表示时间, 而垂直轴表示输出部 OUT 的电压除以 V_{ref} 所获得的电压。在曲线图中, 由实线表示的曲线 762 示出使用图 11B 中的本发明的一个实施例的配置的情形下的计算结果, 而由虚线表示的曲线 761 示出使用图 11A 中的常规配置的情形下的结果。

[0312] 从表示常规配置的计算结果的曲线 761, 观察到从输入功率的时刻 5 μ s 处电压逐渐升高, 然后跳变至作为稳定平衡状态中电压的电压 V_{ref} 的约 120% 的电压。此后, 电压逐渐降低至稳定平衡状态中的电压 V_{ref} , 并在输入功率后的约 15 μ s 后的时刻 20 μ s 处达到稳定平衡状态中的电压左右。

[0313] 另一方面, 从表示本发明的一个实施例的配置的计算结果的曲线 762, 观察到在输入功率的时刻 5 μ s 后电压即时升高至作为稳定平衡状态中的电压的电压 V_{ref} , 且没有跳变。输入功率到基准电压生成电路达到稳定平衡状态的时刻的周期的长度短于 1 μ s, 这大致是常规配置的结果的 1/15。

[0314] 如上所述, 可确认, 当使用如图 11B 中的电压保持在晶体管和电容器之间的存储节点中的启动电路时, 与使用常规启动电路的情形相比, 基准电压生成电路达到稳定平衡状态所需时间显著缩短。

[0315] 本申请基于 2010 年 8 月 26 日向日本专利局提交的日本专利申请 S/N. 2010-189141, 该申请的全部内容通过引用结合于此。

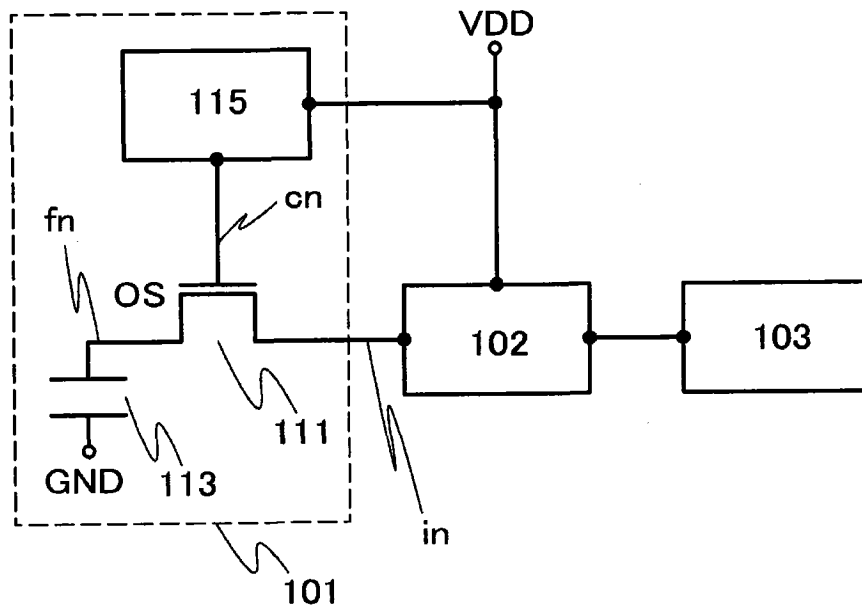


图 1

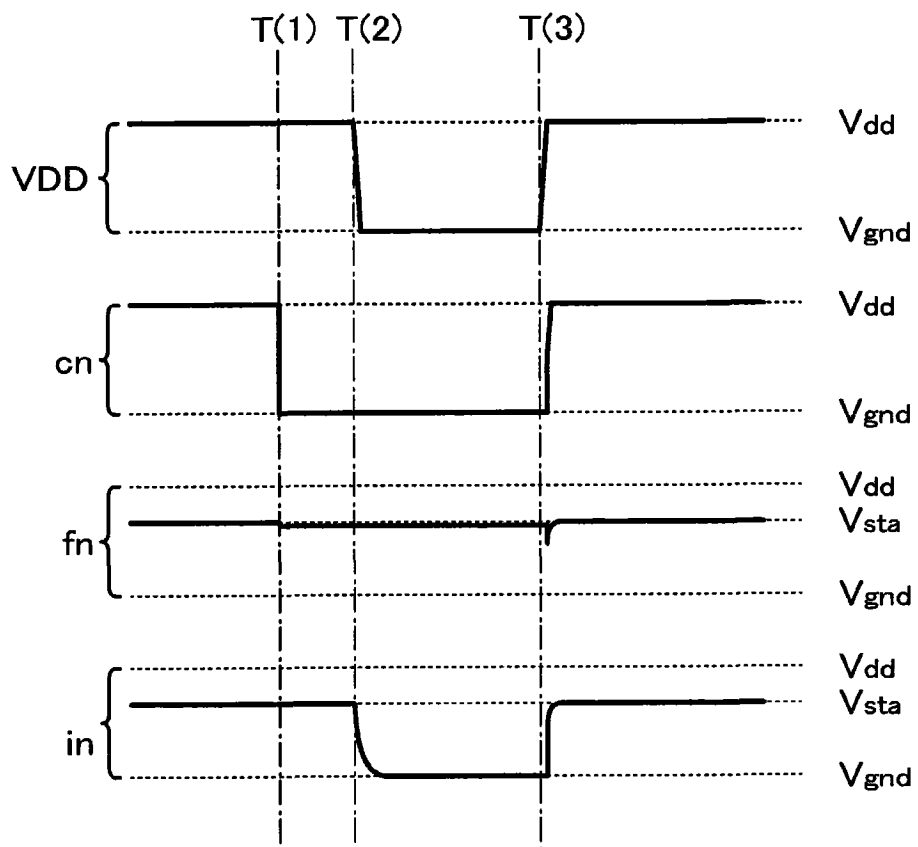


图 2

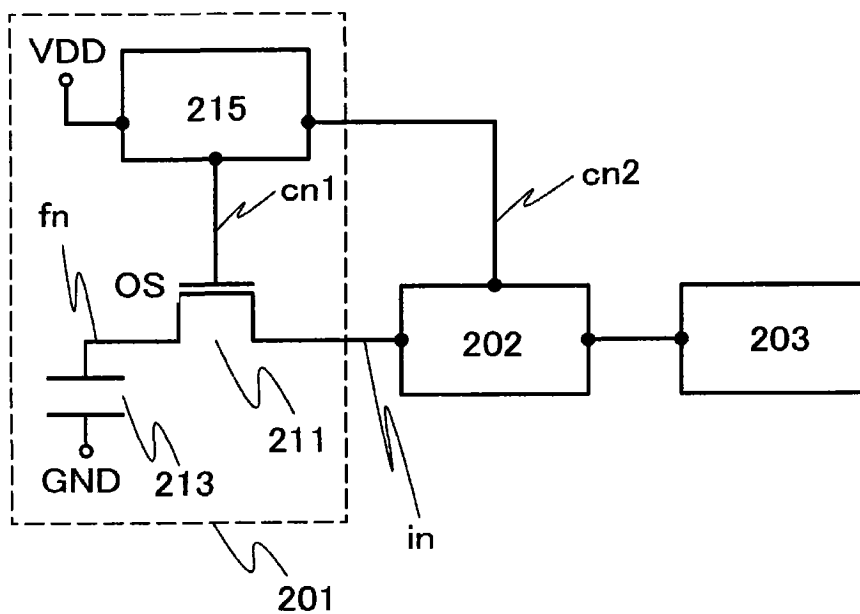


图 3

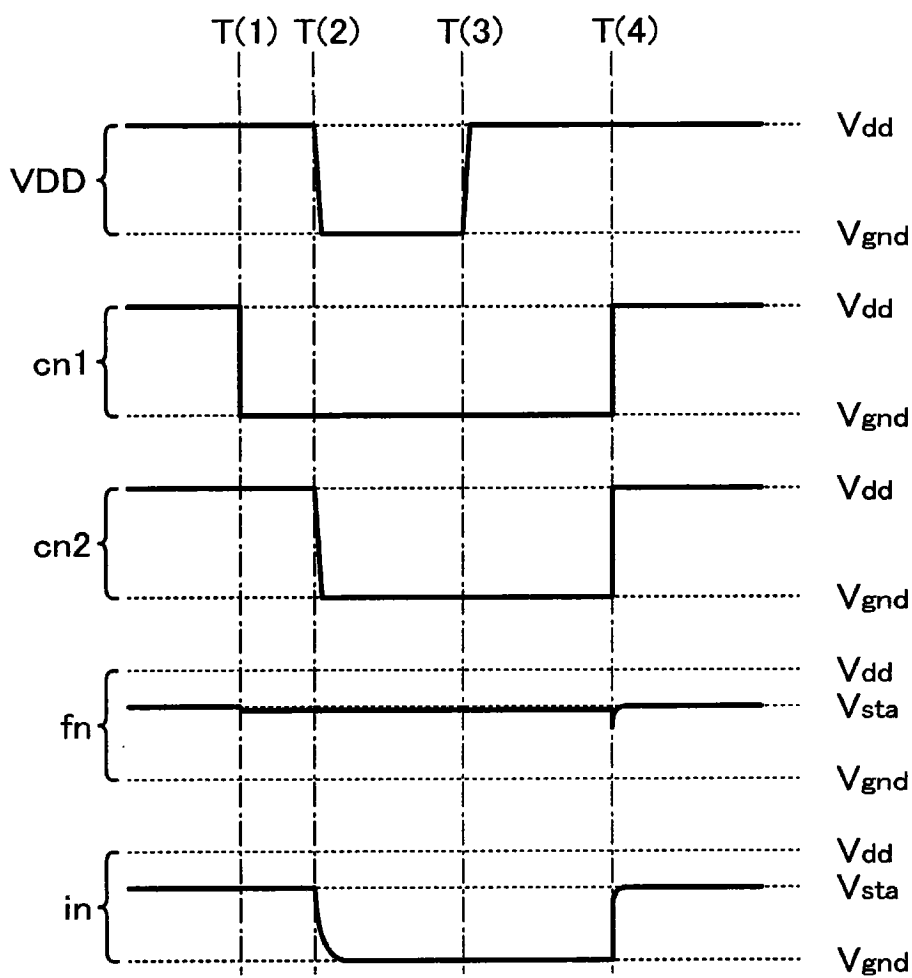


图 4

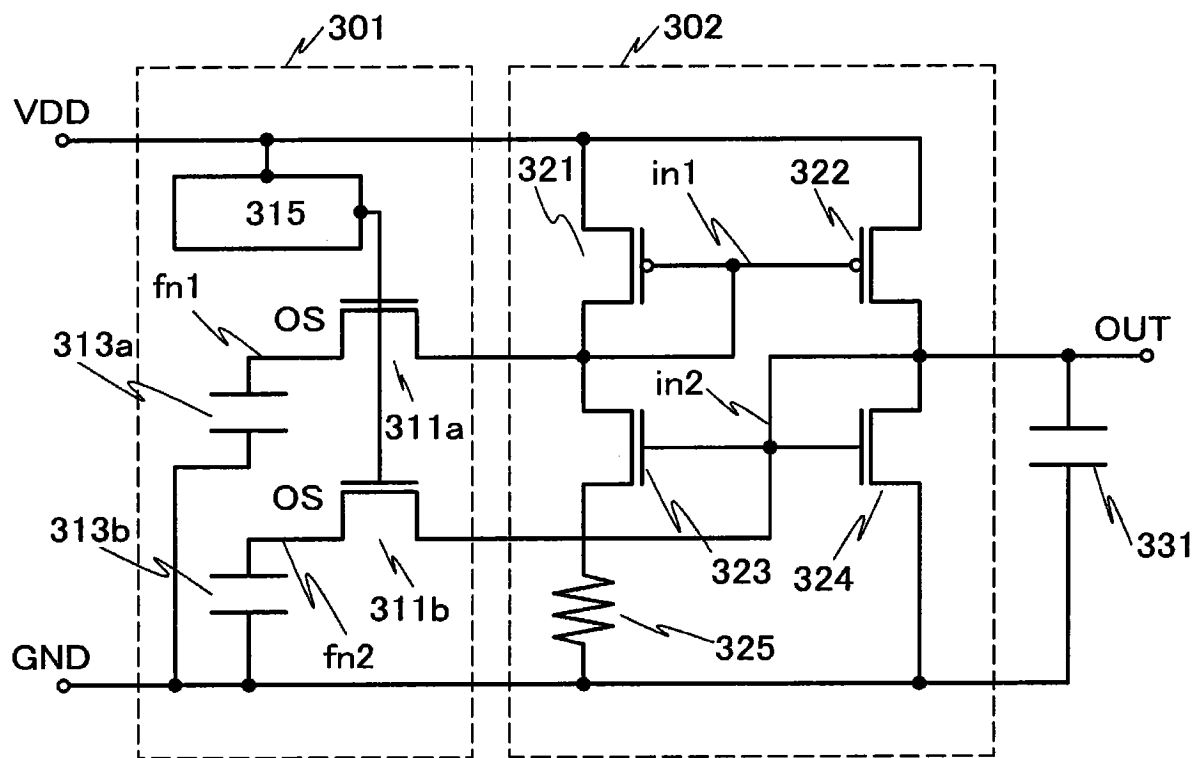


图 5

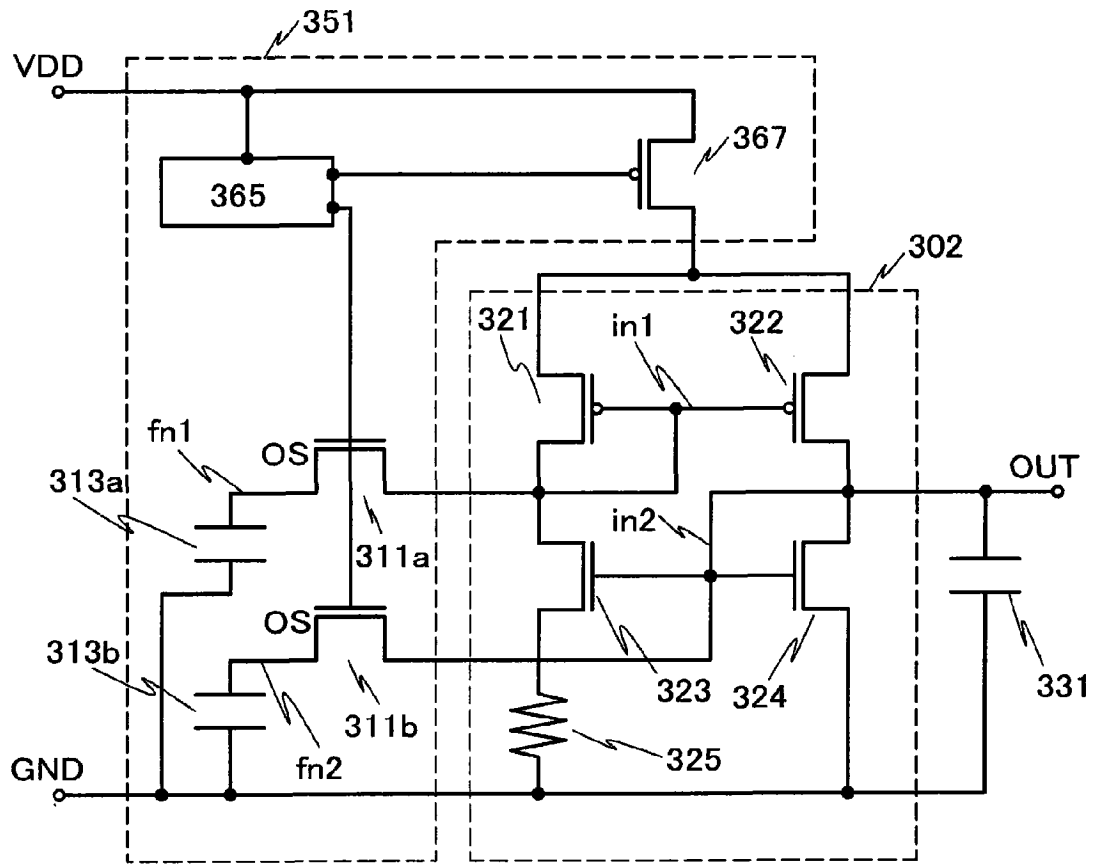


图 6

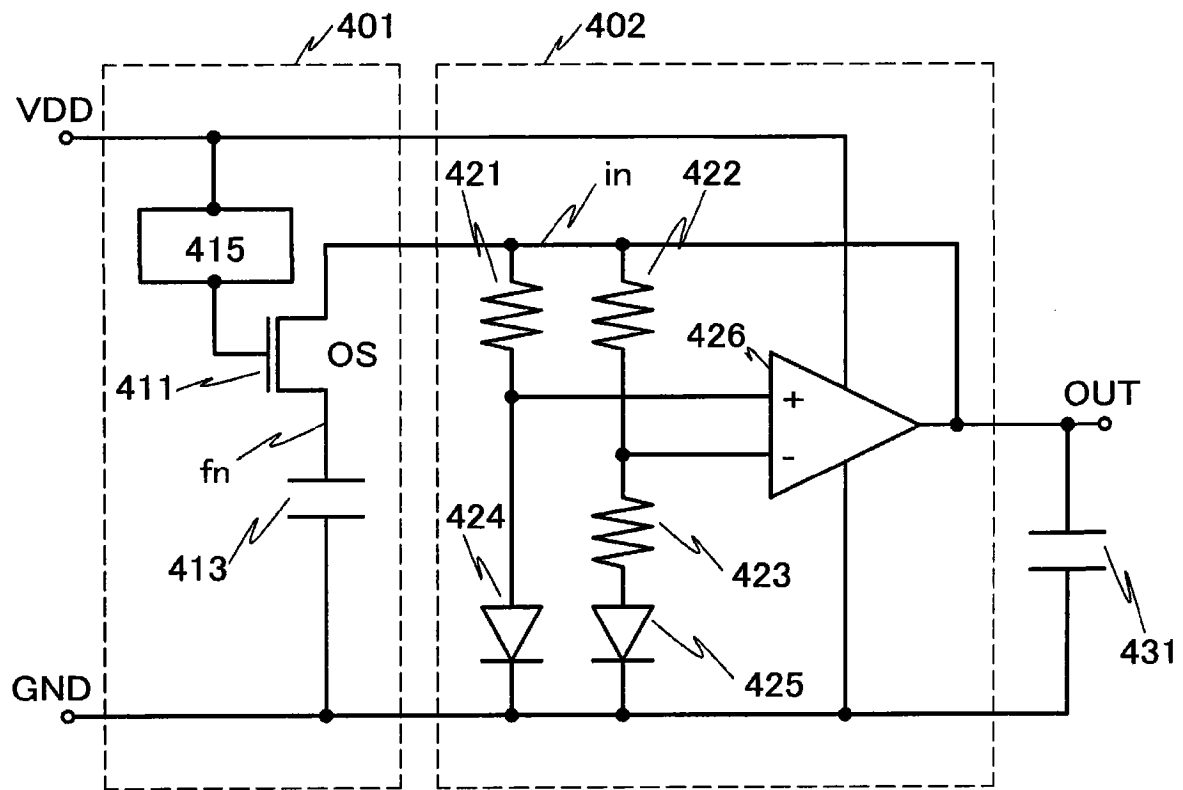


图 7

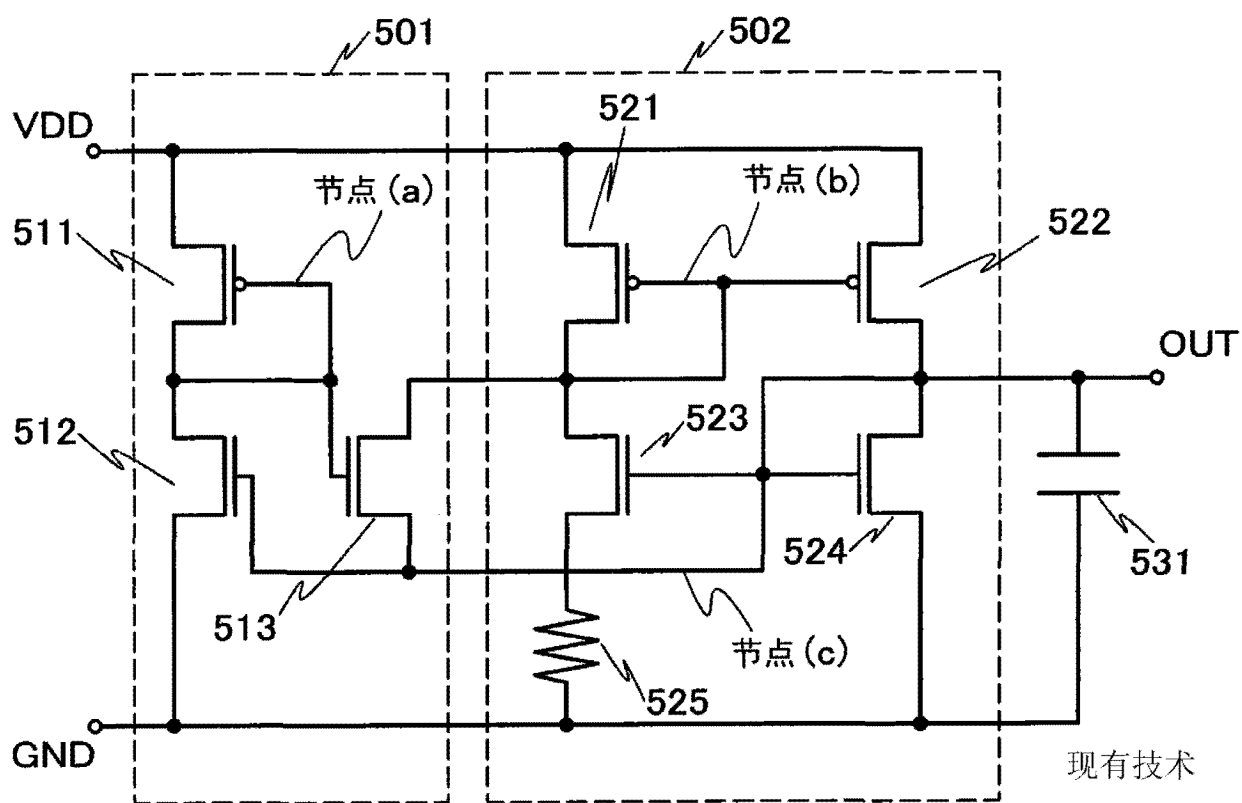


图 8

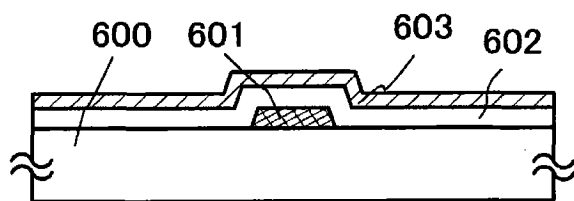


图 9A

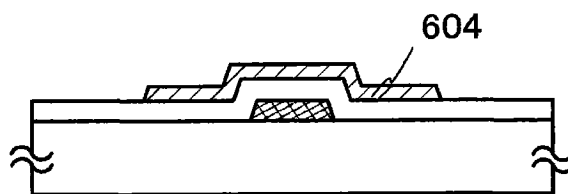


图 9B

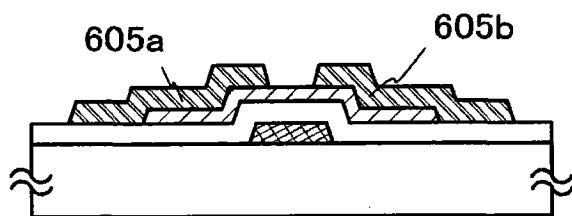


图 9C

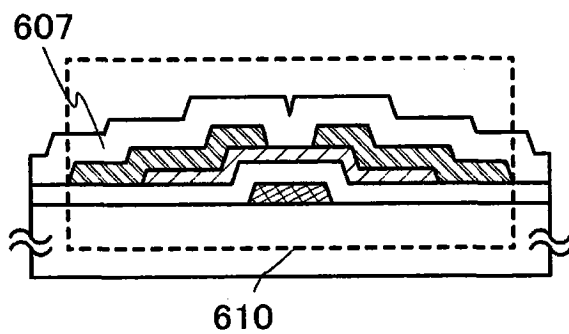


图 9D

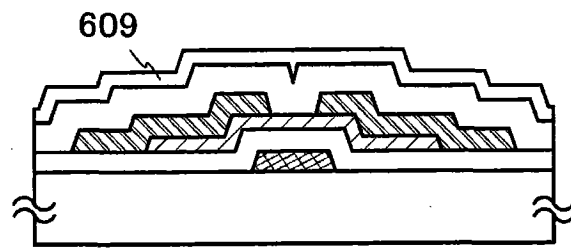


图 9E

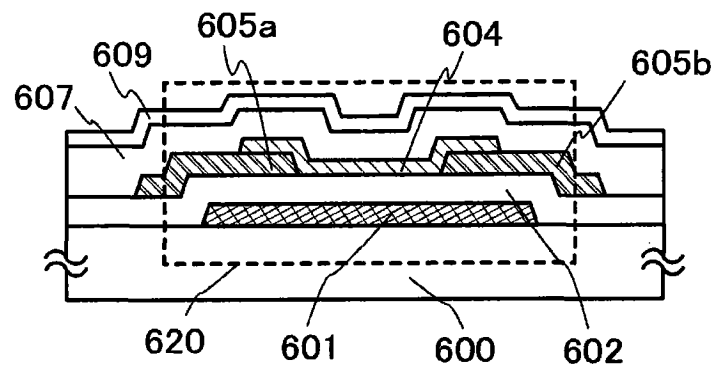


图 10A

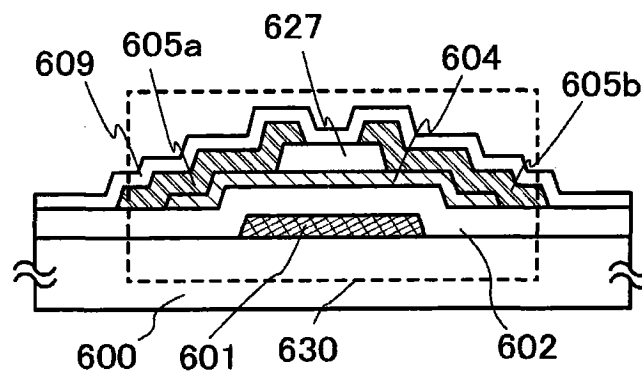


图 10B

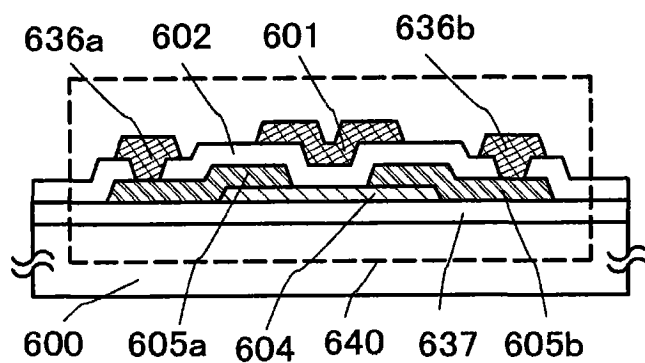


图 10C

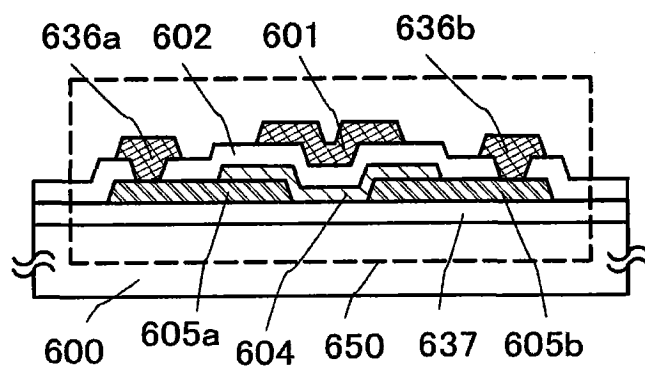


图 10D

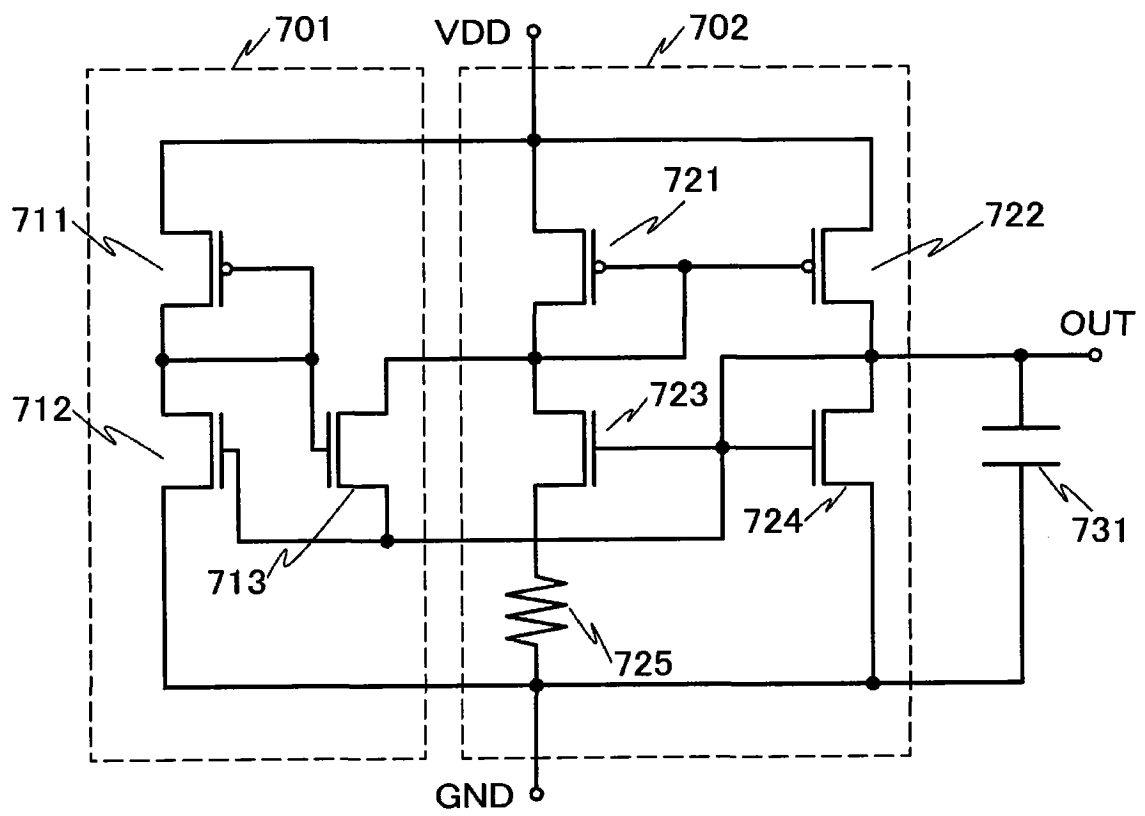


图 11A

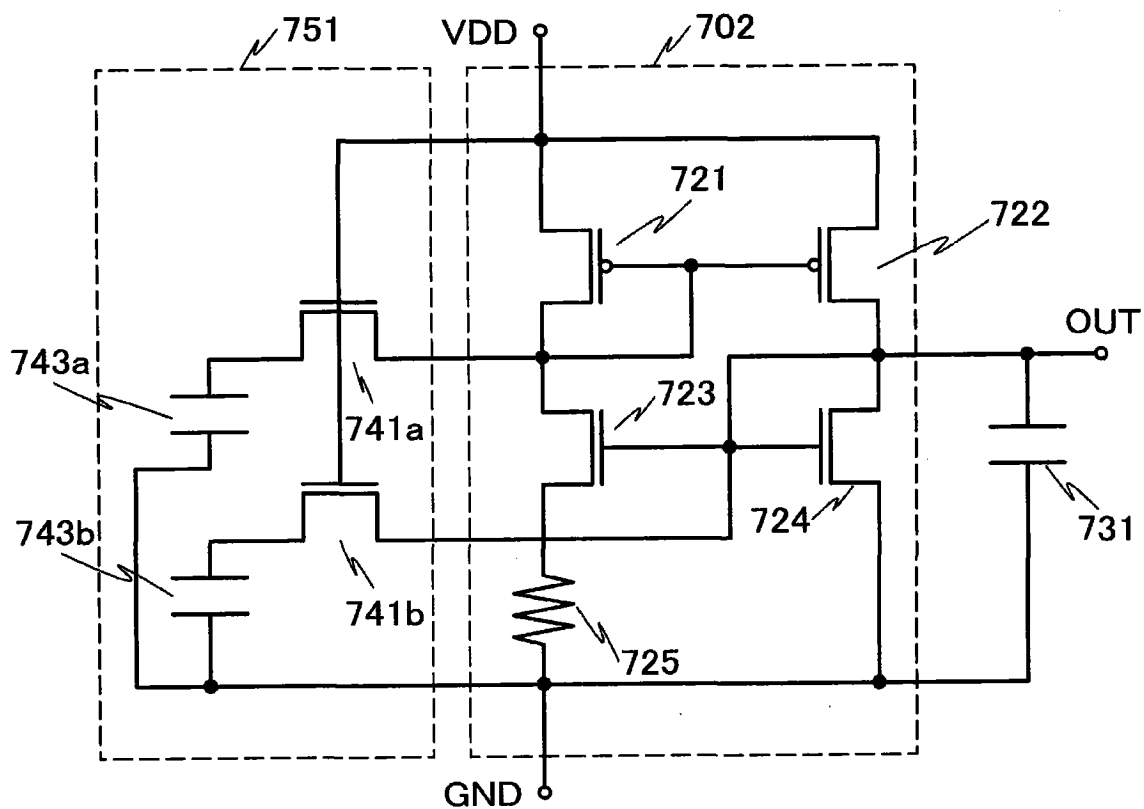


图 11B

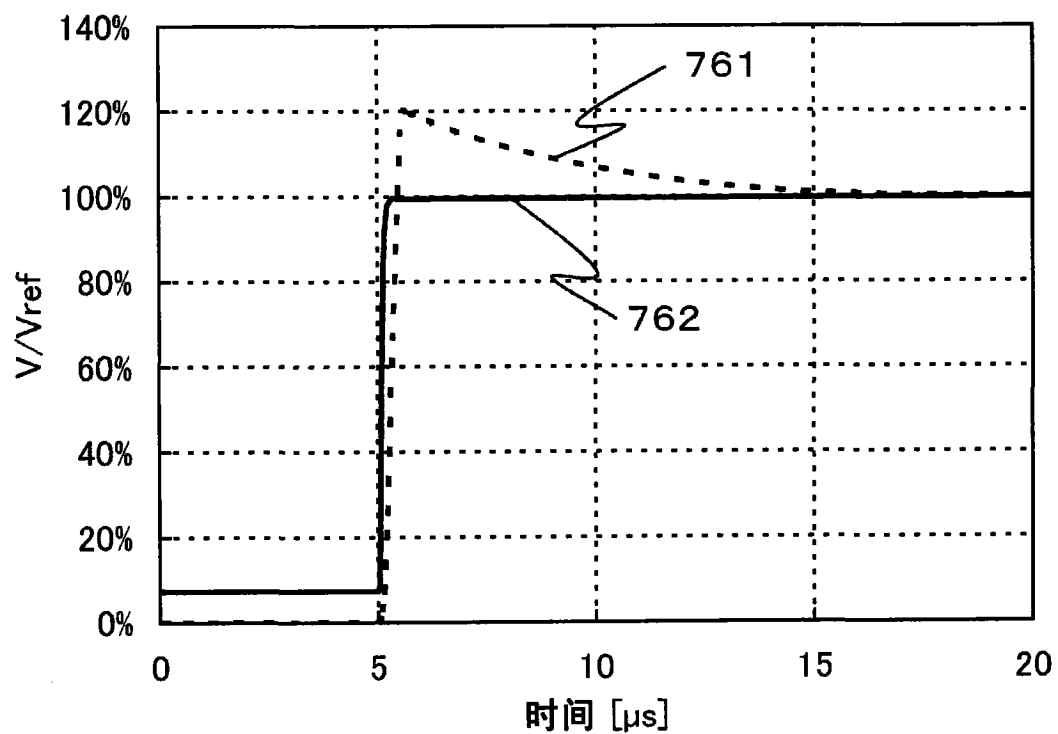


图 12

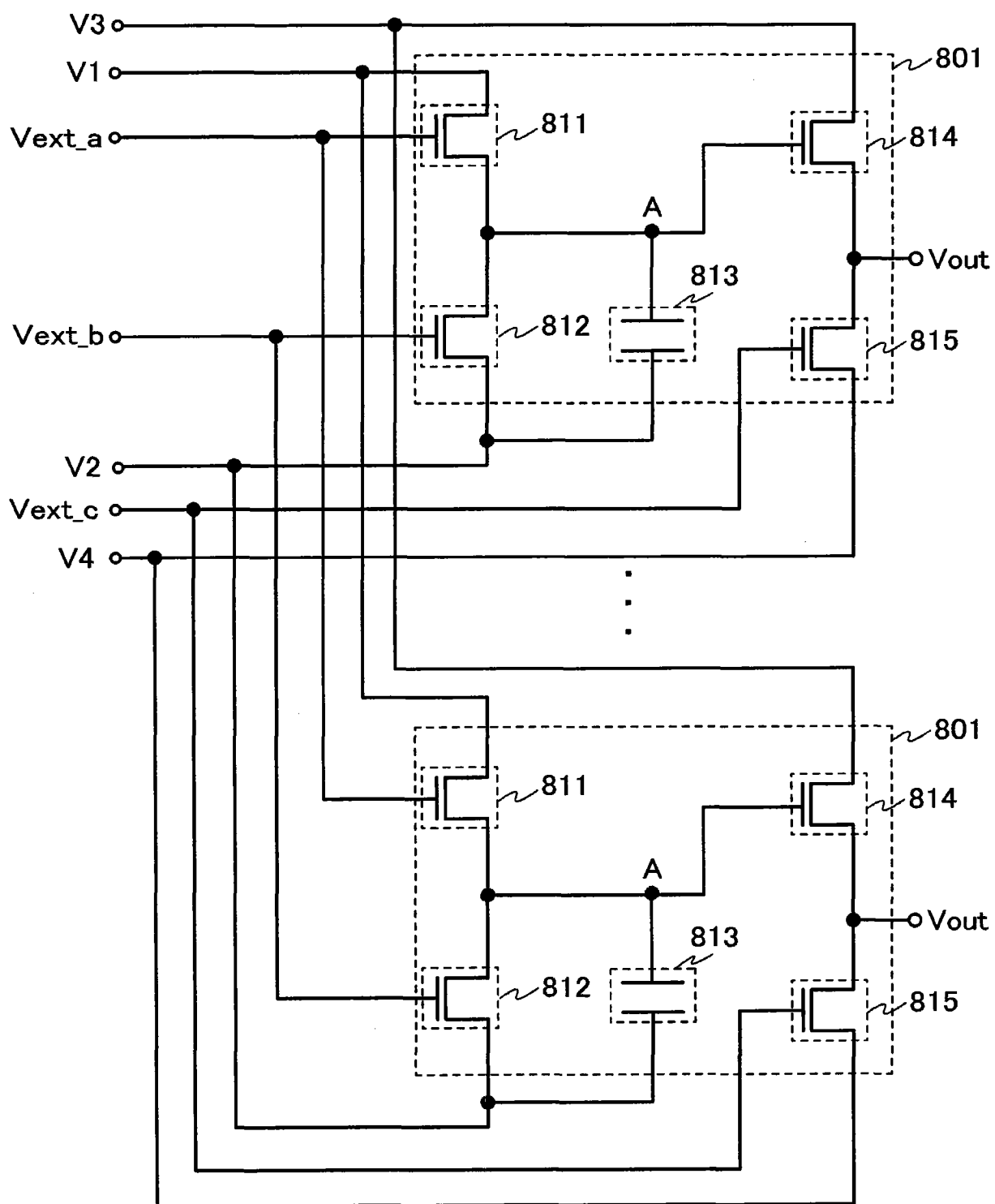


图 13

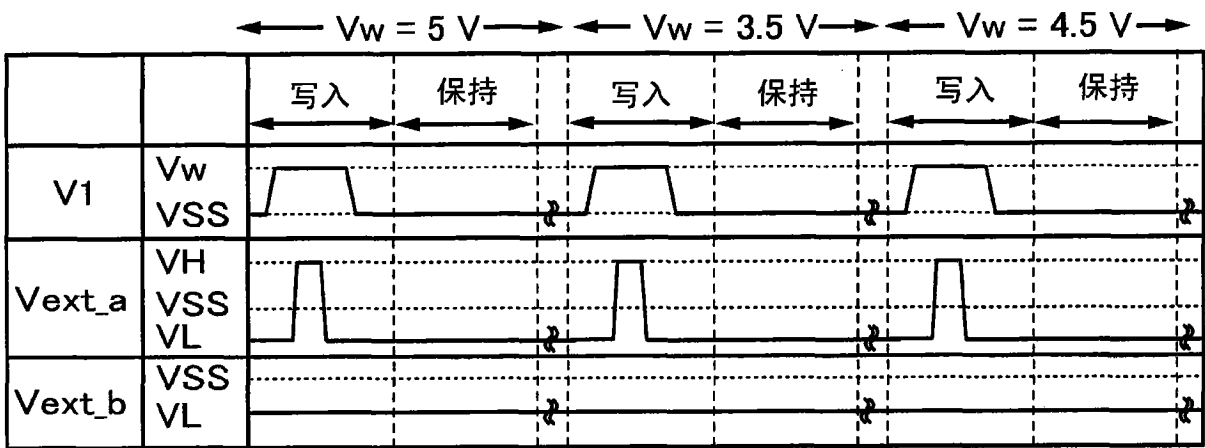


图 14

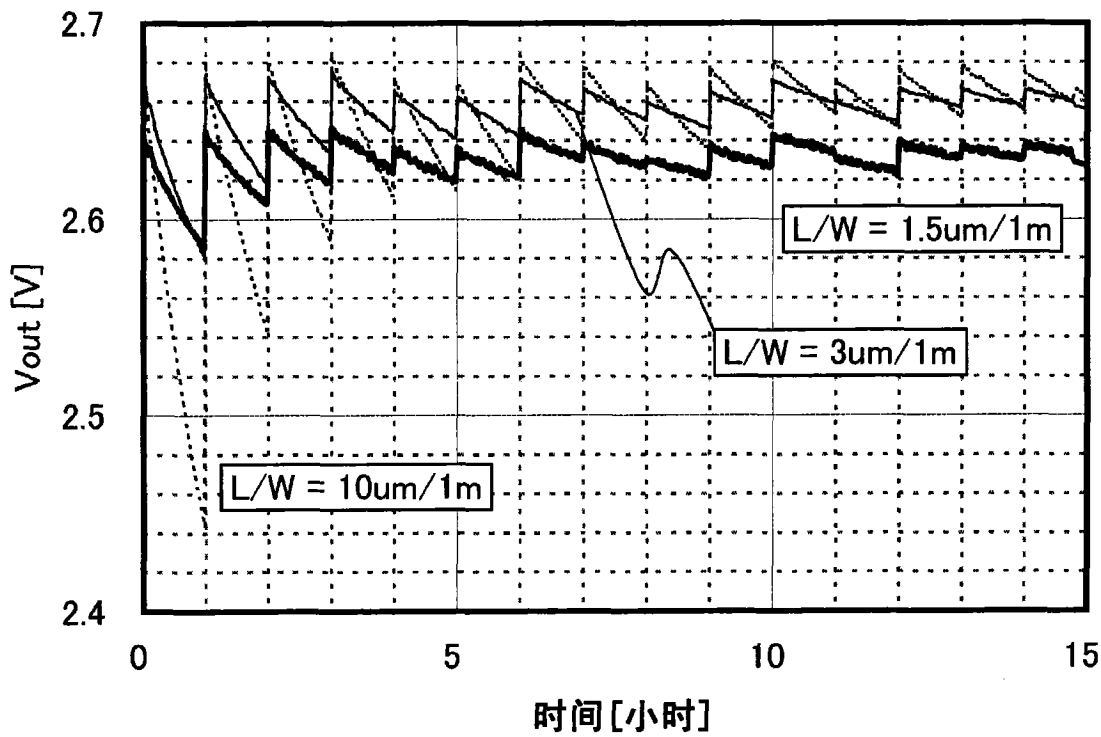


图 15

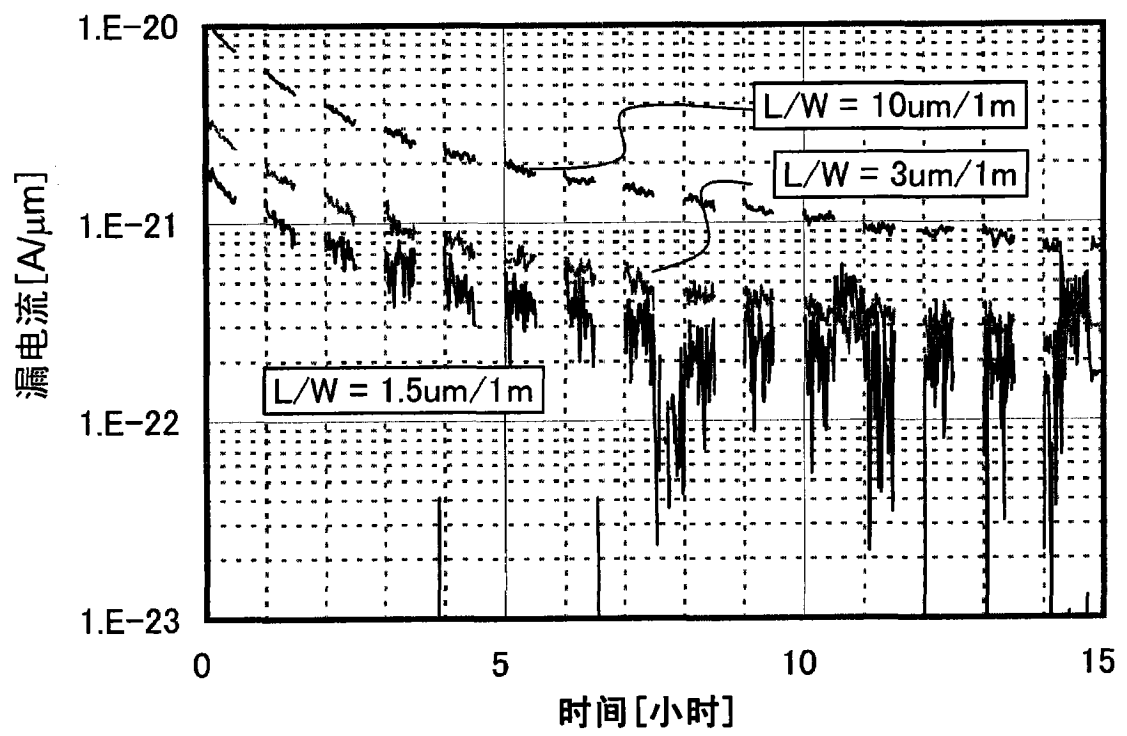


图 16

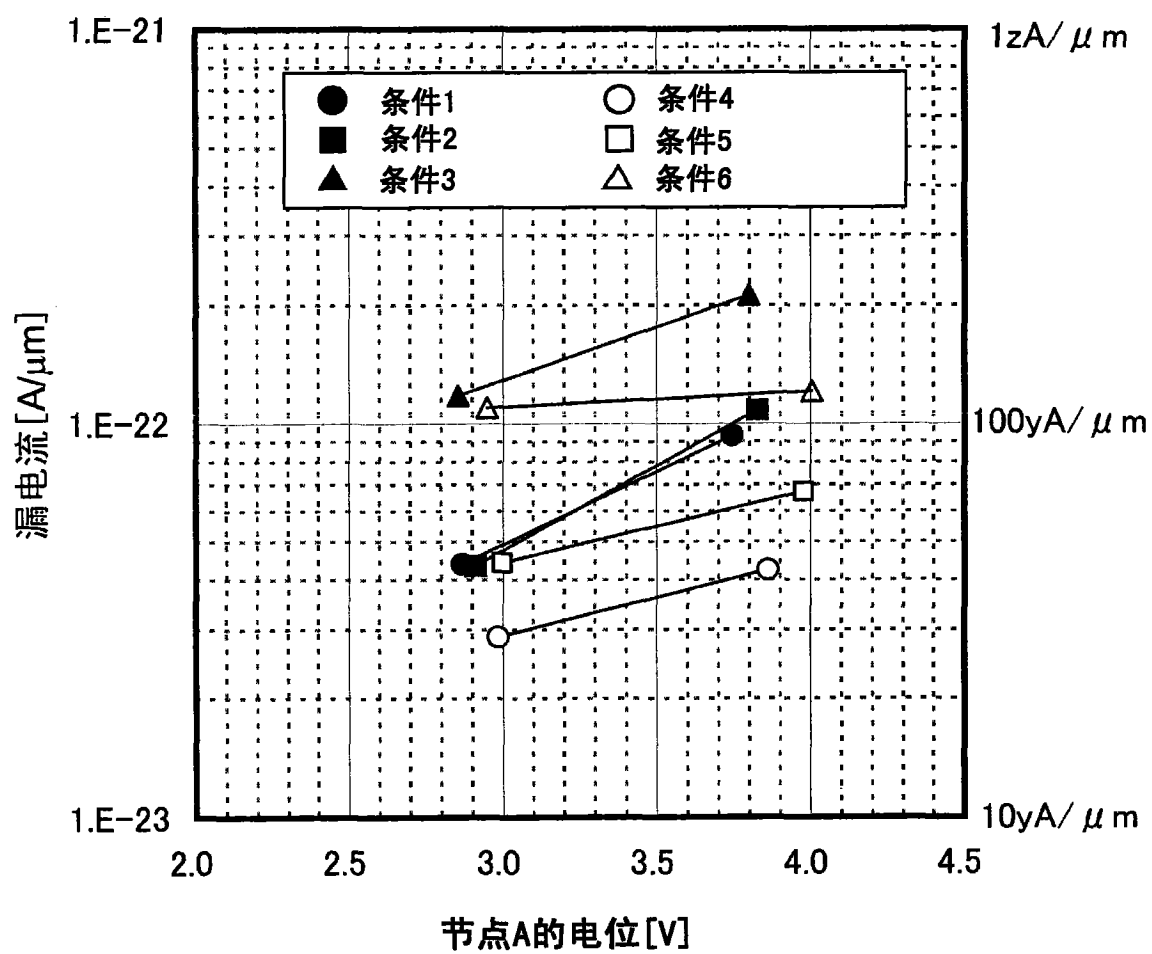


图 17