

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

G11C 11/407

H01L 27/06



# [12] 发明专利说明书

[21] ZL 专利号 98117443.4

[45] 授权公告日 2003 年 12 月 24 日

[11] 授权公告号 CN 1132190C

[22] 申请日 1998.8.28 [21] 申请号 98117443.4

[30] 优先权

[32] 1997.8.28 [33] JP [31] 231964/1997

[71] 专利权人 日本电气株式会社

地址 日本东京

共同专利权人 恩益禧电子股份有限公司

[72] 发明人 各务昭彦

审查员 刘 静

[74] 专利代理机构 中原信达知识产权代理有限责  
任公司

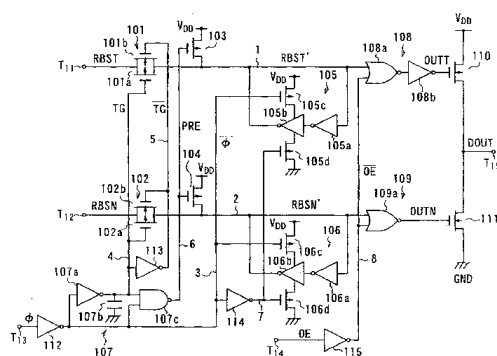
代理人 穆德骏

权利要求书 1 页 说明书 35 页 附图 18 页

[54] 发明名称 半导体存储器件的输出电路

[57] 摘要

本发明提供了半导体存储器件的一种输出电路，它能防止两个晶体管处于导通 - 导通状态，包括：第一与第二传输门，第一与第二锁存器，预充电信号发生器，第一与第二晶体管驱动器，第一与第二互补的输出晶体管。在互补的第一与第二读总线数据信号分别被第一与第二传输门传输以及由锁存器锁存在第一与第二节点前，第一与第二节点分别由预充电信号预充电到相同电位。



1. 半导体存储器件的输出电路，其特征在于包括：

5 第一与第二传输门，用于接收第一与第二互补的读总线数据信号，并且根据一传输门控制信号将上述第一与第二读总线数据信号分别传输给第一和第二节点；

第一与第二锁存器，用于分别将由上述第一与第二传输门传输的上述第一与第二读总线数据信号锁存在上述第一与第二节点上；

10 预充电信号发生器，用于产生预充电信号，控制第一与第二预充电晶体管，以分别将上述第一与第二节点预充电到相同电位；

第一与第二晶体管驱动器，用于分别根据由第一与第二锁存器锁存在第一与第二节点上的第一与第二读总线数据信号，输出第一与第二驱动信号；

15 第一与第二互补的输出晶体管，它们分别由第一与第二晶体管驱动器输出的上述第一与第二驱动信号驱动；

在上述互补的第一与第二读总线数据信号分别被第一与第二传输门传输以及分别被第一与第二锁存器锁存在第一与第二节点上前，第一与第二节点分别由预充电信号预充电到相同电位，

20 由此从第一与第二晶体管驱动器输出的上述第一与第二驱动信号在不同时间被分别输出到上述第一与第二输出晶体管，从而防止上述第一与第二输出晶体管出现导通-导通状态。

2. 根据权利要求1所述的半导体存储器件的输出电路，其中上述预充电信号用上述传输门控制信号来产生。

25

3. 根据权利要求1所述的半导体存储器件的输出电路，其中上述第一与第二节点被预充电到的相同电位等于电源电压或接地电压。

## 半导体存储器件的输出电路

## 5 技术领域

本发明涉及一种半导体存储器件的输出电路，特别是一种输出一对从半导体存储器件的存储单元阵列读出的互补数据信号的半导体存储器件的输出电路。

## 10 背景技术

近些年，开发出了各种具有“扩展数据输出(EDO)”功能的动态随机存取存储器(DRAM)，并且实际使用于各种应用领域。这是由于具有 EDO 功能的 DRAM 运行速度比已知的“快速页面”模式的 DRAM 更快。

15

“EDO”功能是即使在用于控制输出行为的一个外部时钟信号被重新设置以指定一新的列地址之后，从存储单元读出的数据信号的输出行为仍然在一读周期中的特定周期中继续进行这样一种功能。这与已知的“快速页面”模式 DRAM 不同，在“快速页面”模式 DRAM 中，从存储单元读出的数据信号输出行为在与外部时钟信号的重新设置同步化的读周期中被停止。一般使用列地址选通脉冲(CAS)信号作为外部时钟信号。

20

25

因此，在具有 EDO 功能的 DRAM 中，输出电路必需在与一用于输出电路的输入脉冲信号同步化的特定周期中保持从存储单元读出的数据信号。一般使用输出允许(OE)信号作为用于输出电路的输入脉冲信号。

30

图 1 示出了一种现有的具有 EDO 功能的 DRAM 的输出电路，它是由一个开关部分，一个数据锁存部分，一个驱动电路部分，和一个输出部分构成的。

35

开关部分有第一和第二传输门 701 和 702。第一传输门 701 是由一个 p-沟道金属氧化物半导体场效应管(MOSFET)701a 和一个 n-沟道 MOSFET 701b 形成的。MOSFET 701a 和 701b 的源极耦合在一起连接

到一个第一输入接线端  $T_{71}$ 。MOSFET 701a 和 701b 的漏极耦合在一起连接到一个第一节点 71。与此类似, 第二传输门 702 是由一个 p-沟道 MOSFET 702a 和一个 n-沟道 MOSFET 702b 形成的。MOSFET 702a 和 702b 的源极耦合在一起连接到一个第二输入接线端  $T_{72}$ 。MOSFET 702a 和 702b 的漏极耦合在一起连接到一个第二节点 72。

第一输入接线端  $T_{71}$  连接到 DRAM 的一个第一读总线(未示出), 并被施加了一个第一读总线数据信号 RBST。第二输入接线端  $T_{72}$  连接到 DRAM 的一个第二读总线(未示出), 并被施加了一个与第一读总线数据信号 RBST 互补的第二读总线数据信号 RBSN。

开关部分还包括三个用于控制传输门 701 和 702 的级联的反相器 712a, 712b 和 713, 其中反相器 712a 和 712b 起一个缓冲电路的作用。反相器 712a 的输入端连接到一个第三输入接线端  $T_{73}$ 。反相器 712a 的输出端连接到反相器 712b 的输入端。反相器 712b 的输出端连接到反相器 713 的输入端和第一传输门 701 的 MOSFET 701a 的栅极以及第二传输门 702 的 MOSFET 702a 的栅极。反相器 713 的输出端连接到第一传输门 701 的 MOSFET 701b 的栅极以及第二传输门 702 的 MOSFET 702b 的栅极。

第三输入接线端  $T_{73}$  连接于 DRAM 的一个时钟发生器(未示出), 并且施加了一个传输门控制信号  $\phi$ 。

反相器 712b 根据施加的传输门控制信号  $\phi$  向反相器 713 以及 MOSFET 701a 和 702a 的栅极输出一个传输门控制信号 TG。反相器 713 根据施加的传输门控制信号 TG, 向 MOSFET 701b 和 702b 的栅极输出一个逆变的传输门控制信号  $\overline{TG}$ 。

传输门控制信号 TG 和逆变的传输门控制信号  $\overline{TG}$  控制第一和第二传输门 701 和 702, 因而分别向第一和第二节点 71 和 72 传输第一和第二读总线数据信号 RBST 和 RBSN。

数据锁存部分有第一和第二触发器 705 和 706。第一触发器 705 是由两个级联连接形成一个环的反相器 705a 和 705b 构成的。反相器 705a 的输入和输出端分别连接于第一节点 71 和反相器 705b 的输入端。反相器 705b 的输出端连接于第一节点 71。同样, 第二触发器 706

是由两个级联连接形成一个环的反相器 706a 和 706b 构成的。反相器 706a 的输入和输出端分别连接于第二节点 72 和反相器 706b 的输入端。反相器 706b 的输出端连接于第二节点 72。

5            第一触发器 705 把施加的读总线数据信号 RBST 暂时地保持或锁存在第一节点 71。如此锁存在第一触发器 705 中的第一读总线数据信号 RBST 被记为第一读总线数据信号 RBST'。

10           同样，第二触发器 706 把第二读总线数据信号 RBSN 暂时地保持或锁存在第二节点 72。如此锁存在第二触发器 706 中的第二读总线数据信号 RBSN 被记为第二读总线数据信号 RBSN'。

15           驱动电路部分有第一和第二晶体管驱动电路 708 和 709，以及一个反相器 715。第一晶体管驱动电路 708 是由一“或非”门 708a 和一个反相器 708b 构成的。“或非”门 708a 的第一和第二输入端分别连接于第一节点 71 和反相器 715 的输出端。“或非”门 708a 的输出端连接于反相器 708b 的输入端。反相器 708b 的输出端连接到一个 p-沟道输出 MOSFET 710 的栅极。第二驱动电路 709 是由一个“或非”门 709a 构成的。“或非”门 709a 的第一和第二输入端分别连接到第二节点 72 和反相器 715 的输出端。“或非”门 709a 的输出端连接到一个 n-沟道输出 MOSFET 711 的栅极。

25           反相器 715 的输入端连接到一个第四输入接线端  $T_{74}$ ，接线端  $T_{74}$  上施加了一个输出使能信号 OE。反相器 715 用作信号 OE 的缓冲电路。反相器 715 根据施加的信号 OE 向“或非”门 708a 和 709a 的第二输入端输出逆变的输出使能信号  $\overline{OE}$ 。

30           响应第一读总线数据信号 RBST' 和逆变的输出使能信号  $\overline{OE}$ ，第一驱动电路 708 向 p-沟道 MOSFET 710 的栅极输出一个第一驱动信号 OUTT。响应第二读总线数据信号 RBSN' 和逆变的输出使能信号  $\overline{OE}$ ，第二驱动电路 709 向 n-沟道 MOSFET 711 的栅极输出一个第二驱动信号 OUTN。

35           输出部分具有用作输出晶体管的 p-和 n-沟道 MOSFET 710 和 711。MOSFET 710 的源极连接到一个施加了电源电压  $V_{DD}$  的电源线。MOSFET 710 的漏极连接到 MOSFET 711 的漏极。MOSFET 711 的源

极接地。MOSFET 710 的栅极连接到第一驱动电路 708 的反相器 708b 的输出端。MOSFET 711 的栅极连接到第二驱动电路 709 的“或非”门 709a 的输出端。MOSFET 710 和 711 的耦合在一起的漏极连接到一个输出接线端  $T_{75}$ ，通过输出接线端  $T_{75}$  导出一个输出数据信号 DOUT。

当 p-沟道输出 MOSFET 710 在导通状态并且 n-沟道输出 MOSFET 711 在截止状态时，输出数据信号 DOUT 等于电源电压  $V_{DD}$ 。反之，当 n-沟道输出 MOSFET 711 在导通状态并且 p-沟道输出 MOSFET 710 在截止状态时，输出数据信号 DOUT 等于接地电位(GND)，即，零电位。

以下参考图 2A 至 2L 说明图 1 的现有输出电路的操作。

图 2A 至 2L 是显示在图 1 中所示现有输出电路中使用的信号波形的时序图。

在此假设已经触发了一个行地址选通脉冲(RAS)信号，取出了希望的行地址，并且对应于指定行地址的数据信号已经被一个读出放大器(未示出)放大。从对应于指定行地址的数据信号中选出对应于由一 CAS 信号指定的列的数据信号，然后将其传送到第一和第二读总线。

图 2A 示出了用作外部时钟信号的信号 CAS。图 2B 示出了一个列地址信号 ADD。图 2C 示出了施加于第三输入接线端  $T_{73}$  的传输控制信号  $\phi$ ，它已经与图 2A 中所示外部时钟信号 CAS 同步化。图 2D 和 2E 分别示出了通过第一和第二输入接线端  $T_{71}$  和  $T_{72}$  传送的第一和第二读总线数据信号 RBST 和 RBSN，其中 RBST 和 RBSN 这两个信号是互补的。图 2F 示出了从传输控制信号  $\phi$  产生的传输门控制信号 TG。图 2G 和 2H 分别示出了锁存在第一和第二触发器 705 和 706 中的第一和第二读总线数据信号 RBST' 和 RBSN'，其中 RBST' 和 RBSN' 这两个信号是互补的。图 2I 示出了输出使能信号 OE。图 2J 和 2K 分别示出了第一和第二驱动信号 OUTT 和 OUTN。图 2L 示出了输出数据信号 DOUT。

如图 2B 中所示，如果在时刻 T1 列地址信号 ADD 被触发(即，从低逻辑“低”状态 L 转变为高逻辑“高”状态 H，或从高逻辑“高”

状态 H 转变为低逻辑“低”状态 L), 那么如图 2E 中所示, 在时刻 T3 第二读总线数据信号 RBSN 从低逻辑“低”状态 L 转变为高逻辑“高”状态 H。此时, 如图 2D 中所示, 第一读总线数据信号 RBST 保持在高逻辑“高”状态 H。

5

然后, 在时刻 T5, 如图 2D 中所示, 第一读总线数据信号 RBST 从逻辑“高”状态 H 转变为逻辑“低”状态 L。

当在时刻 T6, 根据列地址信号 ADD 的变化, 外部时钟信号 CAS 从逻辑“高”状态 H 转变为逻辑“低”状态 L(即, 触发)时, 在时刻 T7 传输控制信号  $\phi$  转变为逻辑“低”状态 L。因此, 传输门控制信号 TG 在时刻 T9 被转变为逻辑“低”状态 L, 并且第一和第二传输门 701 和 702 被导通, 因而如图 2D 和 2E 所示, 分别把第一和第二读总线数据信号 RBST 和 RBSN 传送到第一和第二节点 71 和 72。

10

因此, 如图 2G 和 2E 中所示, 在时刻 T10 锁存在第一节点 71 的第一读总线数据信号 RBST' 从逻辑“高”状态 H 转变为逻辑“低”状态 L, 并且在同一时间, 锁存在第二节点 72 的第二读总线数据信号 RBSN' 从逻辑“低”状态 L 转变为逻辑“高”状态 H。

15

如图 2J 和 2K 中所示, 由于锁存的读总线数据信号 RBST' 和 RBSN', 在时刻 T11 第二驱动信号 OUTN 从逻辑“高”状态 H 转变为逻辑“低”状态 L, 并且在时刻 T12 第一驱动信号 OUTT 从逻辑“高”状态 H 转变为逻辑“低”状态 L。因此, n-沟道 MOSFET 711 转变为截止状态, 并且 p-沟道 MOSFET 710 转变为导通状态。如图 2I 中所示, 由于在读出周期中输出使能信号 OE 已经被固定在逻辑“高”状态 H, 所以输出使能信号 OE 并不影响第一和第二驱动信号 OUTT 和 OUTN。

20

结果, 如图 2L 中所示, 在时刻 T14 输出信号 DOUT 从逻辑“低”状态 L 转变为逻辑“高”状态 H。

25

在这个步骤之后, 在时刻 T16 外部时钟信号 CAS 被转变为逻辑“高”状态 H(即, 重新设置了信号 CAS)。响应信号 CAS 的这种改变, 在时刻 T17 传输控制信号  $\phi$  转变为逻辑“高”状态 H。在时刻 T19, 由于信号  $\phi$  的改变, 传输门控制信号 TG 被转变为逻辑“高”状态 H, 因

30

而使第一和第二读总线与第一和第二触发器 705 和 706 隔离。在这一阶段，第一和第二读总线数据信号 RBST'和 RBSN'被第一和第二触发器 705 和 706 锁存，并且因此使输出数据信号 DOUT 保持在逻辑“高”状态 H。这意味着实现了 EDO 功能。

5

接下来，为了开始下一个读周期，在时刻 T20 触发列地址信号 ADD(即，从逻辑“低”状态 L 转变为逻辑“高”状态 H，或从逻辑“高”状态 H 转变为逻辑“低”状态 L)。然后，在时刻 T22 第一读总线数据信号 RBST 从逻辑“低”状态 L 转变为逻辑“高”状态 H。此时，第二读总线数据信号 RBSN 保持在逻辑“高”状态 H。

10

接着，在时刻 T24，第一读总线数据信号 RBSN 从逻辑“高”状态 H 转变为逻辑“低”状态 L。

15

当根据列地址信号 ADD，外部时钟信号 CAS 在时刻 T25 从逻辑“高”状态 H 转变为逻辑“低”状态 L(即，触发)时，传输控制信号  $\phi$  在时刻 T26 转变为逻辑“低”状态 L。因此，在时刻 T28 传输门控制信号 TG 转变为逻辑“低”状态 L，因而分别把第一和第二读总线数据信号 RBST 和 RBSN 传送到第一和第二节点 71 和 72。

20

因此，如图 2G 和 2H 中所示，在时刻 T29 锁存在第二节点 72 的第二读总线数据信号 RBSN'从逻辑“高”状态 H 转变为逻辑“低”状态 L，并且在相同时间锁存在第一节点 71 的第一读总线数据信号 RBST'从逻辑“低”状态 L 转变为逻辑“高”状态 H。

25

由于锁存的读总线数据信号 RBST'和 RBSN'，在时刻 T30 第二驱动信号 OUTN 从逻辑“低”状态 L 转变为逻辑“高”状态 H，并且在时刻 T31 第一驱动信号 OUTT 从逻辑“低”状态 L 转变为逻辑“高”状态 H。因此，n-沟道输出 MOSFET 711 转变为导通状态，p-沟道输出 MOSFET 710 转变为截止状态。

30

如从图 2J，2K 和 2L 中清楚地看到的，在从 T30 至 T31 的时间周期中，第一和第二驱动信号 OUTN 和 OUTT 都处于逻辑“低”状态 L。因此，如图 2L 中所示，在从 T30 至 T31 的时间周期 T 中，n-和 p-沟道 MOSFET 711 和 710 都保持在导通状态(即，在导通-导通状态)。换言之，电源线路和接地线路短路。因此，大电流通过 MOSFET 710 和

35

711 从电源线路流向接地端, 结果如图 2L 所示输出信号 DOUT 的电平逐渐降低。

5        接下来, 为了读出下一个数据, 外部时钟信号 CAS 转变为逻辑“高”状态 H 以在时刻 T35 重新设置。响应信号 CAS 的这种改变, 传输控制信号  $\phi$  在时刻 T36 转变为逻辑“高”状态 H。由于传输控制信号  $\phi$  的改变, 在时刻 T38 传输门控制信号 TG 转变为逻辑“高”状态 H, 因而将第一和第二读总线从第一和第二触发器 705 和 706 隔离。

10        在这个阶段, 第一和第二读总线数据信号 RBST' 和 RBSN' 被第一和第二触发器 705 和 706 锁存, 并因此为 EDO 功能的目的, 将输出数据信号 DOUT 保持在逻辑“低”状态 L。

在时刻 T38 之后, 重复进行以上过程。

15        如上所述, 利用图 1 中的现有输出电路, 在从 T30 至 T31 的时间周期 T 中, n-和 p-沟道 MOSFET 711 和 710 都处于导通状态(即, 在导通-导通状态)。因此, 产生了在周期 T 中大电流从电源线路通过 p-和 n-沟道输出 MOSFET 710 和 711 流到接地线路的问题。

20        电流从电源线路流到接地线路也改变了电源电平和接地电平。因此, 对输出电路本身的操作产生了不良影响。

25        此外, 如显示图 1 的现有输出电路中使用的信号波形的图 3A 至 3L 中所示, 可以在图 1 的现有输出电路中执行不同的操作。

30        在这种操作中, 为了防止由第一和第二驱动信号 OUTT 和 OUTN 产生 p-和 n-沟道 MOSFET 710 和 711 的导通-导通状态, 如图 3I 中所示使输出使能信号 OE 与外部时钟信号 CAS 同步。

35        信号 CAS, ADD,  $\phi$ , RBST, RBSN, TG, RBST' 和 RBSN' 的时序图与图 2A 至 2H 中的相同。因此, 为简明起见, 这里省略了对这些信号的解释。

当如图 2A 中所示在时刻 T6 触发外部时钟信号 CAS 时, 如图 3A 中所示输出使能信号 OE 在时刻 T8 从逻辑“高”状态 H 转变为逻辑

“低”状态 L。信号 OE 的改变的定时先于被锁存数据信号 RBST'和 RBSN'的电平被改变的时刻 T10。

5 由于信号 OE 的改变，逆变的输出使能信号  $\overline{OE}$  从逻辑“低”状态 L 转变为逻辑“高”状态 H，因而在时刻 T10 将第二驱动信号 OUTN 转变为逻辑“低”状态 L。因此，n-沟道 MOSFET 711 转变为截止，导致 p-和 n-沟道 MOSFET 710 和 711 的截止-截止状态。

10 使用上述图 2A 至 2L 操作的同样方式，如图 2G 和 2H 中所示在时刻 T10 锁存的数据信号 RBST'和 RBSN'被改变。但是，由于输出使能信号 OE 是逻辑“低”状态 L，信号 RBST'和 RBSN'的改变没有被传输到输出 MOSFET 710 和 711。因此，在这个阶段输出信号 DOUT 保持在逻辑“低”状态 L。

15 接下来，如果在时刻 T12 输出使能信号 OE 转变为逻辑“高”状态 H，那么如图 3A 和 3B 中所示，第一驱动信号 OUTT 从逻辑“高”状态 H 转变为逻辑“低”状态 L。因此，如图 3D 中所示 p-沟道 MOSFET 710 转变为导通，这导致了 p-沟道 MOSFET 710 的导通状态而 n-沟道 MOSFET 711 保持在截止状态。结果，输出信号 DOUT 在时刻 T17 转变为逻辑“高”状态 H。

20 如果外部时钟信号 CAS 在时刻 T25 再次转变为逻辑“低”状态 L，那么在时刻 T27 输出使能信号 OE 从逻辑“高”状态 H 转变为逻辑“低”状态 L。信号 OE 改变的定时先于锁存的数据信号 RBST'和 RBSN'电平改变的时刻 T29。这是由于如果在时刻 T29 之后信号 OE 被改变，那么将产生输出 MOSFET 710 和 711 的导通-导通状态这样的事实。

30 使用上述图 2A 至 2L 操作的同样方式，如图 2G 和 2H 中所示在时刻 T29 锁存的数据信号 RBST'和 RBSN'被改变。但是，由于输出使能信号 OE 是逻辑“低”状态 L，信号 RBST'和 RBSN'的改变没有被传输到输出 MOSFET 710 和 711。因此，在这个阶段输出信号 DOUT 保持在逻辑“高”状态 H。

35 由于输出使能信号 OE 在时刻 T27 的改变，逆变的输出使能信号  $\overline{OE}$  从逻辑“低”状态 L 转变为逻辑“高”状态 H，因而在时刻 T30 把第一驱动信号 OUTT 改变为逻辑“高”状态 H。因此，p-沟道 MOSFET

710 改变为截止, 导致在时刻 T30p-和 n-沟道 MOSFET 710 和 711 的截止-截止状态。

5 接下来, 输出使能信号 OE 在时刻 T31 再次转变为逻辑“高”状态 H, 这使第二驱动信号 OUTN 在时刻 T33 变为逻辑“高”状态 H 而同时把第一驱动信号 OUTT 保持在逻辑“高”状态 H。因此, n-沟道 MOSFET M711 在时刻 T33 改变为导通, 而同时使 p-沟道 MOSFET 710 保持在截止。结果, 在时刻 T35 输出数据信号 DOUT 转变为逻辑“低”状态 L。

10

如上所述, 在图 3A 至 3D 中所示的操作中, 第一和第二锁存的信号 RBST'和 RBSN'的改变在输出使能信号 OE 是逻辑“低”状态 L 的时刻 T27 至 T31 的阶段中没有被传送到 p-和 n-沟道输出 MOSFET 710 和 711。换言之, 在第二驱动信号 OUTN 在时刻 T33 转变为逻辑“高”状态 H(即, n-MOSFET 变为导通)之前, 由于信号 OE 第一驱动信号 OUTT 在时刻 T30 被转变为逻辑“高”状态 H(即, p-沟道 MOSFET 变为截止)。

15

因此, 防止了 p-和 n-沟道输出 MOSFET 710 和 711 的导通-导通状态的发生。

20

但是, 图 3A 至 3D 中所示操作具有以下问题。

具体地讲, 一般乐于在与图 1 中所示的现有输出电路分离的电路部件中产生输出使能信号 OE, 然后再把信号 OE 输入到这个输出电路中。因此, 由于被称为“歪斜失真(skew)”现象, 输出使能信号 OE 改变的定时可能相对于锁存的信号 RBST'和 RBSN'改变的定时产生漂移或偏移。

25

如果信号 OE 从逻辑“低”状态 L 至逻辑“高”状态 H 改变的发生早于锁存的信号 RBST'和 RBSN'改变的定时, 那么由于 p-和 n-沟道 MOSFET 710 和 711 的导通-导通状态, 大电流可能从电源线路流到接地线路。

30

另一方面, 如果信号 OE 从逻辑“低”状态 L 至逻辑“高”状态 H 改变的发生晚于锁存的信号 RBST'和 RBSN'改变的定时, 那么输出

35

数据信号 DOUT 的输出可能被延迟。

因此，很难调节或设计输出使能信号 OE 的脉宽，使得能够防止产生 p-和 n-沟道 MOSFET 710 和 711 的导通-导通状态。

5

#### 发明内容

因此，本发明的一个目的是要提供一种防止由于一对输出晶体管的导通-导通状态而使电流流过该输出晶体管对的半导体存储器件的输出电路。

10

本发明的另一个目的是要提供一种改进了存取速度的半导体存储器件的输出电路。

本发明的再一个目的是要提供一种便于调节或设计控制信号的脉宽的存储器件的输出电路。

15

半导体存储器件的输出电路，其特征在于包括：

第一与第二传输门，用于接收第一与第二互补的读总线数据信号，并且根据一传输门控制信号将上述第一与第二读总线数据信号分别传输给第一和第二节点；

20

第一与第二锁存器，用于分别将由上述第一与第二传输门传输的上述第一与第二读总线数据信号锁存在上述第一与第二节点上；

预充电信号发生器，用于产生预充电信号，控制第一与第二预充电晶体管，以分别将上述第一与第二节点预充电到相同电位；

25

第一与第二晶体管驱动器，用于分别根据由第一与第二锁存器锁存在第一与第二节点上的第一与第二读总线数据信号，输出第一与第二驱动信号；

第一与第二互补的输出晶体管，它们分别由第一与第二驱动器输出的上述第一与第二驱动信号驱动；

30

在上述互补的第一与第二读总线数据信号分别被第一与第二传输门传输以及分别被第一与第二锁存器锁存在第一与第二节点上前，第一与第二节点分别由预充电信号预充电到相同电位，

由此从第一与第二晶体管驱动器输出的上述第一与第二驱动信号在不同时间被分别输出到上述第一与第二输出晶体管，从而防止上述第一与第二输出晶体管出现导通状态。

35

利用根据本发明的半导体存储器件的输出电路，第一和第二节点在互补第一和第二读总线数据信号被第一和第二传输门传输及被第一和第二锁存器锁存之前，被预充电信号分别预充电到相同电位。

5                   因此，来自第一和第二晶体管驱动器的第一和第二驱动信号分别以不同定时被输出到第一和第二输出晶体管。通过合适地选择这些定时可以防止第一和第二晶体管的导通-导通状态的发生。

10                   其意味着没有由于导通-导通状态而产生的电流流过互补第一和第二输出晶体管。

15                   因为没有由于导通-导通状态而产生的电流流过互补第一和第二输出晶体管，将防止电源线和地线的电位发生波动，从而使得半导体存储装置的存取速度得到提高。

另外，由于在根据本发明的输出电路中可以很容易地产生预充电信号，因此将不会发生由于“扭曲时滞”而导致的定时偏差。于是，可以很方便地调节或设计控制信号的脉冲宽度，即预充电信号。

20                   在根据本发明的输出电路的优选实施例中，预充电信号是利用传输门控制信号来产生的。

25                   在根据本发明的输出电路的另一个实施例中，另外提供了由预充电信号控制的第一和第二预充电晶体管。第一和第二预充电晶体管用于将第一和第二节点分别预充电到相同电位。

在根据本发明的输出电路的再一个实施例中，第一和第二节点被预充电到的相同电位等于电源电压或地电压。

30                   附图说明

为了让本发明可以更容易地被实施，接下来将参照附图对其进行详细地说明。

35                   图1所示为具有EDO功能的半导体存储装置的常规输出电路的电路结构的方框图。

图2A到2L分别为图1所示常规输出电路一个操作的时序图。

图 3A 到 3D 分别为图 1 所示的常规输出电路的另一个操作的时序图。

图 4 所示为根据本发明的第一实施例的具有 EDO 功能的半导体存储装置输出电路的电路结构的方框图。

5 图 5A 到 5M 分别为根据图 4 所示的第一实施例的输出电路的一个操作的时序图。

图 6 所示为根据本发明的第二实施例的具有 EDO 功能的半导体存储装置输出电路的电路结构的方框图。

10 图 7A 到 7M 分别为根据图 6 所示的第二实施例的输出电路的一个操作的时序图。

图 8 所示为根据本发明的第三实施例的具有 EDO 功能的半导体存储装置输出电路的电路结构的方框图。

图 9A 到 9C 分别为根据图 8 所示的第三实施例的输出电路的一个操作的时序图。

15

#### 具体实施方式

接下来将参照附图对本发明的优选实施例进行说明。

20 如图 4 所示, 一个根据本发明的第一实施例的具有 EDO 功能的 DRAM 的输出电路由以下几部分组成: 一个包括第一和第二传输门 101 和 102 的传输门部, 一个包括第一和第二预充电晶体管 103 和 104 的预充电部, 一个包括第一和第二锁存器 105 和 106 的锁存器部, 一个包括一个控制器 107 的控制器部, 一个包括第一和第二驱动器 108 和 109 和一个反相器 115 的驱动器部, 及一个包括第一和第二输出晶体管 110 和 111 的输出部。

25

控制部控制传输门部, 预充电部和锁存器部。驱动器部驱动输出部。

30 传输门部的第一传输门 101 由一个 P 沟道 MOSFET101a 和一个 N 沟道 MOSFET101b 构成。MOSFET101a 和 101b 的源被耦合到一起并连到第一输入端  $T_{11}$ 。MOSFET101a 和 101b 的漏被耦合到一起并连到第一节点 1。

35 传输门部的第二传输门 102 由一个 P 沟道 MOSFET102a 和一个 N 沟道 MOSFET102b 构成。MOSFET102a 和 102b 的源被耦合到一起并

连到第二输入端  $T_{12}$ 。MOSFET102a 和 102b 的漏被耦合到一起并连到第二节点 2。

5 第一输入端  $T_{11}$  被连到 DRAM 的一个第一读总线（未示出）并被加载一个第一读总线数据信号 RBST。第二输入端  $T_{12}$  被连到 DRAM 的一个第二读总线（未示出）并被加载一个第二读总线数据信号 RBSN。第二读总线数据信号 RBSN 与第一读总线数据信号 RBST 互补，因此当它们中的一个处于高逻辑状态 H 时，另一个便处于低逻辑状态 L。

10 控制部的控制器 107 具有四个反相器 112，107a，113 和 114，一个电容 107b，及一个与非门 107c。在控制器 107 中，反相器 112 用作一个缓冲器，而反相器 107a，电容 107b 和与非门 107c 的组合用作一个用于预充电信号发生器的单射脉冲发生器。

15 反相器 112 的一个输入被连到一个第三输入端  $T_{13}$ ，而反相器 112 的一个输出被连到节点 3。反相器 107a 的一个输入通过节点 3 被连到反相器 112 的输出。反相器 107a 的一个输出被连到节点 4。电容 107b 的两个电极中的一个通过节点 4 被连到反相器 107a 的输出上。电容 20 107b 的另一个电极被接地。

反相器 113 的一个输入通过节点 4 被连到反相器 107a 和电容 107b 的输出。反相器 113 的输出被连到节点 5。

25 第一传输门 101 的 P 沟道 MOSFET101a 和第二传输门 102 的 P 沟道 MOSFET102a 的栅通过节点 4 被共同地连到反相器 107 的输出。第一传输门 101 的 N 沟道 MOSFET101b 和第二传输门 102 的 N 沟道 MOSFET102b 的栅通过节点 5 被共同地连到反相器 113 的输出。

30 与非门 107c 的第一输入通过节点 4 被连到反相器 107a 和电容 107b 的输出。与非门 107c 的第二输入通过节点 3 被连到反相器 112 的输出。与非门 107c 的输出被连到节点 6。

35 预充电部的 P 沟道预充电 MOSFET103 和 104 的栅通过节点 6 被共同地连到与非门 107c 的输出。

反相器 114 的一个输入通过节点 3 被连到反相器 112 的输出。反相器 114 的一个输出被连到节点 7。

5 第一锁存器 105 的 P 沟道 MOSFET105c 和第二锁存器 106 的 P 沟道 MOSFET106c 的栅通过节点 3 被共同地连到反相器 112 的输出。第一锁存器 105 的 N 沟道 MOSFET105d 和第二锁存器 106 的 P 沟道 MOSFET106d 的栅通过节点 7 被共同地连到反相器 114 的输出。

10 第三输入端  $T_{13}$  被连到 DRAM 的一个时钟发生器（未示出）并被加载一个传输器控制信号  $\phi$ 。

15 反相器 107a 根据所加载的传输器控制信号  $\phi$  输出一个传输门控制信号 TG 到与非门 107c，及 P 沟道 MOSFET101a 和 102a 的栅。反相器 113 根据所加载的传输门控制信号 TG 将一个反相的传输门控制信号  $\overline{TG}$  输出到 N 沟道 MOSFET101b 和 102b 的栅。

第一和第二传输门 101 和 102 由传输门控制信号 TG 及反相传输门控制信号  $\overline{TG}$  控制，从而将所加载的第一和第二读总线数据信号 RBST 和 RBSN 分别传输到第一和第二节点 1 和 2。

20 第一预充电晶体管 103 由一个 P 沟道 MOSFET 构成。P 沟道 MOSFET103 的漏被连到一条电源线并被加载电源电压  $V_{DD}$ 。MOSFET103 的源通过第一节点 1 被连到第一传输门 101 的 N 沟道和 P 沟道 MOSFET101a 和 101b 的耦合漏。MOSFET103 的栅通过节点 6 被连到与非门 107c 的输出。

30 第二预充电晶体管 104 也由一个 P 沟道 MOSFET 构成。P 沟道 MOSFET104 的漏被连到电压为  $V_{DD}$  的电源线。MOSFET104 的源通过第二节点 2 被连到第二传输门 102 的 N 沟道和 P 沟道 MOSFET102a 和 102b 的耦合漏。MOSFET104 的栅通过节点 6 被连到与非门 107c 的输出。

35 控制器 107 的反相器 107a，电容 107b，和与非门 107c，其构成了一个单射脉冲发生器，被用作预充电信号发生器。由于有电容 107b 存在，由反相器 107a 输出的控制信号 TG 的波形变得比较平稳，从而由与非门 107c 产生一个单射脉冲 PRE 作为一个预充电信号。该预充电

信号 PRE 通过节点 6 被共同地输入进预充电 MOSFET103 和 104 的栅中。

5 当预充电信号 PRE 被输入进预充电 MOSFET103 和 104 的栅中时，第一和第二预充电 MOSFET103 和 104 将第一和第二节点 1 和 2 分别预充电到电源电压  $V_{DD}$ ，即高逻辑状态 H。正如接下来将要说明的，该预充电信号 PRE 是与传输器控制信号  $\phi$  的下降保持同步地产生的。因此，预充电 MOSFET103 和 104 的预充电动作是在第一和第二读总线数据信号 RBST 和 RBSN 通过第一和第二传输门 101 和 102 分别被传输到第一和第二节点 1 和 2 之前被执行的。

15 第一锁存器 105 由两个反相器 105a 和 105b，一个 P 沟道 MOSFET105c，和一个 N 沟道 MOSFET105d 构成。反相器 105a 和 105b 串联以形成一个回路，从而构成了一个第一触发器。反相器 105a 的一个输入和一个输出被分别连到第一节点 1 和反相器 105b 的一个输入上。反相器 105b 的一个输出被连到第一节点 1。

20 P 沟道 MOSFET105c 被连到反相器 105b 的电源侧，而 N 沟道 MOSFET105d 被连到反相器 105b 的接地侧。具体地，P 沟道 MOSFET105c 的漏被连到电压为  $V_{DD}$  的电源线上。MOSFET105c 的源被连到反相器 105b 的一个接线端。MOSFET105c 的栅通过节点 3 被连到反相器 112 的输出。N 沟道 MOSFET105d 的源被接地。MOSFET105d 的漏被连到反相器 105b 的另一接线端。MOSFET105d 的栅通过节点 7 被连到反相器 114 的输出。

25 第二锁存器 106 由两个反相器 106a 和 106b，一个 P 沟道 MOSFET106c，和一个 N 沟道 MOSFET106d 构成。反相器 106a 和 106b 串联以形成一个回路，从而构成了一个第二触发器。反相器 105a 的一个输入和一个输出被分别连到第二节点 2 和反相器 106b 的一个输入上。反相器 106b 的一个输出被连到第二节点 2。

35 P 沟道 MOSFET106c 被连到反相器 106b 的电源侧，而 N 沟道 MOSFET106d 被连到反相器 106b 的接地侧。具体地，P 沟道 MOSFET106c 的漏被连到电压为  $V_{DD}$  的电源线上。MOSFET106c 的源被连到反相器 106b 的一个接线端。MOSFET106c 的栅通过节点 3 被连到反相器 112 的输出。N 沟道 MOSFET106d 的源被接地。MOSFET106d

的漏被连到反相器 106b 的另一接线端。MOSFET106d 的栅通过节点 7 被连到反相器 114 的输出。

5 第一锁存器 105 用于暂时保存及锁存所加载的第一读总线数据信号 RBST 在第一节点 1 上。随后被第一锁存器 105 锁存的第一读总线数据信号 RBST 被称作第一读总线数据信号 RBST'。

10 第二锁存器 106 用于暂时保存及锁存所加载的第二读总线数据信号 RBSN 在第二节点 2 上。随后被第二锁存器 106 锁存的第二读总线数据信号 RBSN 被称作第二读总线数据信号 RBSN'。

15 MOSFET105c, 105d, 106c 和 106d 用于加速由第一和第二预充电 MOSFET103 和 104 所执行的预充电动作及限制预充电电流。因此, 为了简化可以将 MOSFET105c, 105d, 106c 和 106d 取消。

驱动器部的第一驱动器 108 由一个或非门 108a 和一个反相器 108b 构成。或非门 108a 的一个第一输入通过第一节点 1 被连到第一传输门 101 的输出。或非门 108a 的一个第二输入通过节点 8 被连到反相器 115 的输出。或非门 108a 的一个输出被连到反相器 108b 的一个输入。反相器 108b 的一个输出被连到输出部的 P 沟道输出 MOSFET110 的栅上。

驱动器部的第二驱动器 109 由一个或非门 109a 构成。或非门 109a 的一个第一输入通过第二节点 2 被连到第二传输门 102 的输出。或非门 109a 的一个第二输入通过节点 8 被连到反相器 115 的输出。或非门 109a 的一个输出被连到输出部的 N 沟道输出 MOSFET111 的栅上。

30 反相器 115 的一个输入被连到一个第四输入端  $T_{14}$ , 其上加载了一个输出使能信号 OE。反相器 115 用作信号 OE 的一个缓冲器。反相器 115 根据所加载的信号 OE 输出一个反相的输出使能信号  $\overline{OE}$  到或非门 108a 和 109a 的第二输入上。

35 响应第一锁存读总线数据信号 REST' 及反相输出使能信号  $\overline{OE}$ , 第一驱动器 108 输出一个第一输出信号 OUTT 到 P 沟道 MOSFET110 的栅。响应第二锁存读总线数据信号 RESN' 及反相输出使能信号  $\overline{OE}$ , 第二驱动器 109 输出一个第二输出信号 OUTN 到 N 沟道

MOSFET111 的栅。

5 输出部的 P 沟道 MOSFET110 的源被连到电压为  $V_{DD}$  的电源线上。MOSFET110 的漏被连到 N 沟道 MOSFET111 的漏。MOSFET111 的源被接地。MOSFET110 的栅被连到第一驱动器 108 的反相器 108b 的输出。MOSFET111 的栅被连到第二驱动器 109 的或非门 109a 的输出。MOSFET110 和 111 的耦合漏被连到一个输出接线端 T15, 通过其一个输出数据信号 DOUT 被引出。

10 当第一驱动器 108 的第一驱动信号 OUTT 处于高逻辑状态 H 时, P 沟道输出 MOSFET110 被截止。当第一驱动器 108 的第一驱动信号 OUTT 处于低逻辑状态 L 时, P 沟道输出 MOSFET110 被导通。另一方面, 当第二驱动器 109 的第二驱动信号 OUTN 处于高逻辑状态 H 时, N 沟道输出 MOSFET111 被导通。当第二驱动器 109 的第二驱动信号  
15 OUTN 处于低逻辑状态 L 时, N 沟道输出 MOSFET111 被截止。

因此, 当 P 沟道 MOSFET110 导通而 N 沟道输出 MOSFET111 截止时, 输出数据信号 DOUT 等于电源电压  $V_{DD}$ , 即输出数据信号 DOUT 处于高逻辑状态 H。当 N 沟道输出 MOSFET111 导通而 P 沟道输出  
20 MOSFET110 截止时, 输出数据信号 DOUT 等于地电位或零, 即输出数据信号 DOUT 处于低逻辑状态 L。

接下来, 将参照图 5A 到 5M 所示的该输出电路所用信号的波形图对根据图 4 所示的第一实施例的输出电路的操作进行说明。图 5A 到  
25 5M 中, 字符 T0 到 T42 表示任意时刻。

这里, 假设信号 RAS 已被激励, 且所需的行地址已被取出, 而对应于所选行地址的数据已被一个感应放大器 (未示出) 放大。对应于由信号 CAS 所指定的列的数据从对应于所选行地址的数据中选出并被  
30 发送到第一和第二读总线。

图 5A 所示为外部时钟信号 CAS。图 5B 所示为一个列地址信号 ADD。图 5C 所示为加载到第三输入端  $T_{13}$  上的传输器控制信号  $\phi$ , 其与图 5 所示的信号 CAS 保存同步。图 5D 和 5E 所示为分别通过第一和第二输入端  $T_{11}$  和  $T_{12}$  发送的第一和第二读总线数据信号 RBST 和  
35 RBSN, 其中信号 RBST 和 RBSN 互补。图 5F 所示为预充电信号 PRE,

其是从传输器控制信号 $\phi$ 中产生的。图 5G 所示为传输门控制信号 TG，其也是从传输器控制信号 $\phi$ 中产生的。图 5H 和 5I 所示为分别锁存在第一和第二锁存器 105 和 106 中的第一和第二读总线数据信号 RBST' 和 RBSN'，其中信号 RBST' 和 RBSN' 互补。图 5J 所示为输出使能信号 OE。图 5K 和 5L 所示分别为第一和第二驱动信号 OUTT 和 OUTN。图 5M 所示为输出数据信号 DOUT。

如图 5B 所示，如果列地址信号 ADD 在时刻 T1 被激励（即从低逻辑状态 L 变为高逻辑状态 H），则连到第二读总线上的第二输入端 T<sub>12</sub> 被预充电到电源电压 V<sub>DD</sub>。于是如图 5E 所示，第二读总线数据信号 RBSN 在时刻 T3 从低逻辑状态 L 变为高逻辑状态 H。此时，如图 5D 所示，第一读总线数据信号被保持在高逻辑状态 H。

随后如图 5D 所示，因为新数据已被读出，在时刻 T5，第一读总线数据信号 RBST 从逻辑状态 H 变为逻辑状态 L。

当外部时钟信号 CAS 在时刻 T6 根据列地址信号 ADD 从逻辑状态 H 变为逻辑状态 L（即被激励）时，传输器控制信号 $\phi$ 在时刻 T7 被变为逻辑状态 L。如图 5F 所示，由于传输器控制信号 $\phi$ ，预充电信号 PRE 在时刻 T9 从逻辑状态 H 变为逻辑状态 L，随后其在时刻 T11 从逻辑状态 L 变为逻辑状态 H。

因此，预充电信号 PRE 的形式是一个单射脉冲，其脉冲宽度大约等于分别加载到与非门 107c 第一和第二输入上的反相传输器控制信号 $\bar{\phi}$ 与传输门控制信号 TG 之间的时间差值。

如图 5I 所示，在预充电信号 PRE 在时刻 T9 从逻辑状态 H 变为逻辑状态 L（即被激励）之后，锁存的第二读总线数据信号 RBSN' 在时刻 T10 从逻辑状态 L 变为逻辑状态 H。这是由预充电 MOSFET103 和 104 的预充电动作所引起的。如图 5H 所示，由于锁存第一读总线数据信号 RBST' 已处于逻辑状态 H，该数据信号 RBST' 在时刻 T10 将保持不变。

由于被锁存的第二读总线数据信号 RBSN' 的跳变，第二驱动信号 OUTN 如图 5L 所示在时刻 T11 变为逻辑状态 L。因此，N 沟道输出 MOSFET111 被截止。这时，如图 5K 所示，第一驱动信号 OUT 为逻辑

辑“H”状态，因此，P沟道输出晶体管 MOSFET111 保持为逻辑低“L”状态。

5 由于传输门控制信号 TG 在时刻 T11 变为逻辑“低”状态 L（低电平），因而第一传输门 101 和第二传输门 102 被导通，分别向第一节点 1 和第二节点 2 传输第一和第二读总线数据信号 RBST 和 RBSN（如图 5H 和 5I 所示）。因此，在时刻 T12，锁存在第一节点 1 的第一读总线数据信号 RBST' 从逻辑电平 H 变为逻辑电平 L。此时，锁存在第二节点 2 的第二读总线数据信号 RBSN' 为逻辑电平 H。

10

由于被锁存的第一读总线数据信号 RBST' 的变化，第一驱动信号 OUTT 在时刻 T14 从逻辑“高”状态 H 变为逻辑“低”状态 L。因此，P 沟道 MOSFET110 在时刻 T16 变为导通状态，而 n 沟道 MOSFET111 还保持在截止状态。第一和第二驱动信号 OUTT 和 OUTN 不受输出使能信号 OE 的影响，因为该输出使能信号 OE 一直处于逻辑“高”状态 H（如图 5J 所示）。

15

结果是，如图 5M 所示，输出数据信号 DOUT 在时刻 T16 从逻辑“低”状态 L 变为逻辑“高”状态 H。

20

外部时钟信号 CAS 在时刻 T16 变为逻辑“低”状态 L（即信号 CAS 被复位）。响应该外部时钟信号 CAS 的这一变化，传输控制信号  $\Phi$  在时刻 T17 变为逻辑“高”状态 H。由于传输控制信号  $\Phi$  的变化，传输门控制信号 TG 在时刻 T21 变为逻辑“高”状态 H，从而将第一和第二读总线从第一和第二锁存器 105 和 106 中分离。在这个阶段，第一和第二读总线数据信号 RBST' 和 RBSN' 被触发器 105 和 106 锁存，因而输出数据信号 DOUT 被保持不变。这意味着 EDO 功能得以实现。

25

为开始下一读出循环，列地址信号 ADD 在时刻 T20 被激活（即从逻辑“低”状态 L 变为逻辑“高”状态 H，或从逻辑“高”状态 H 变为逻辑“低”状态 L）。然后，第一读总线数据信号 RBST 在时刻 T22 从逻辑“低”状态 L 变为逻辑“高”状态 H。此时，第二读总线数据信号 RBSN 保持在逻辑“高”状态 H。

30

35

接着，在时刻 T24，第二读总线数据信号 RBST 从逻辑“高”状

态 H 变为逻辑“低”状态 L。

5 当外部时钟信号 CAS 在时刻 T25 响应列地址信号 ADD 从逻辑“高”状态 H 变为逻辑“低”状态 L 时（即被激活），传输控制信号  $\Phi$  在时刻 T26 变为逻辑“低”状态 L。由于受传输控制信号  $\Phi$  影响，如图 5F 所示，预充电信号 PRE 在时刻 T28 从逻辑“高”状态 H 变为逻辑“低”状态 L，而后它在时刻 T30 又从逻辑“高”状态 H 变为逻辑“低”状态 L。

10 因此，预充电信号 PRE 的形式是一个单射脉冲，其脉冲宽度约等于分别加载于 NAND 门第一和第二输入的反相传输控制信号 和传输门控制信号 TG 的时序差。

15 当预充电信号 PRE 在时刻 T28 从逻辑“高”状态 H 变为逻辑“低”状态 L（即被激活）后，如图 5H 所示，第一读总线数据信号 RBST' 从逻辑“低”状态 L 变为逻辑“高”状态 H。这是由预充电 MOSFET103 和 104 的预充电操作造成的。由于第二读总线数据信号 RBSN' 已处于逻辑“高”状态 H，故如图 5I 所示，该数据信号 RBSN' 在时刻 T29 保持不变。

20 由于第一读总线数据信号 RBST' 的变化，如图 5K 所示，第一驱动信号 OUTT 在时刻 T31 变为逻辑“高”状态 H。因此，P 沟道输出 MOSFET110 被截止。此时，如图 5L 所示，第二驱动信号 OUTN 处于逻辑“低”状态 L。因此，n 沟道输出 MOSFET111 保持在截止状态。

25 由于传输门控制信号 TG 在时刻 T30 变为逻辑“低”状态 L，第一和第二传输门 101 和 102 被导通，从而将第一和第二读总线数据信号 RBST 和 RBSN 分别传输至第一和第二节点 1 和 2（如图 5H 和 5I 所示）。因此，锁存在第二节点 2 的第二读总线数据信号 RBSN' 在时刻 T31 从逻辑“高”状态 H 变为逻辑“低”状态 L。此时，锁存在第一节点 1 的第一读总线数据信号 RBST' 处于逻辑“高”状态 H。

30 由于锁存的第二读总线数据信号 RBSN' 的变化，第二驱动信号 OUTN 在  $T_{32}$  时刻从逻辑“高”状态 H 变为逻辑“低”状态 L。因此，n 沟道 MOSFET111 在时刻 T34 变为导通状态，而 P 沟道 MOSFET110 还保持在截止状态。第一和第二驱动信号 OUTT 和 OUTN 不受输出使

能信号 OE 的影响，因为该输出使能信号 OE 一直处于逻辑“高”状态 H（如图 5J 所示）。

5 结果是，如图 5M 所示，输出数据信号 DOUT 在时刻 T34 从逻辑“高”状态 H 变为逻辑“低”状态 L。

10 随后，为读出下一数据，外部时钟信号 CAS 在时刻 T35 变为逻辑“高”状态 H（或称复位）。为响应信号 CAS 的这一变化，传输控制信号  $\Phi$  在时刻 T36 变为逻辑“高”状态 H。由于传输控制信号  $\Phi$  的变化，传输门控制信号 TG 在时刻 T40 变为逻辑“高”状态 H，从而将第一和第二读总线从第一和第二锁存器 105 和 106 中分离。在这个阶段，第一和第二读总线数据信号 RBST' 和 RBSN' 被第一和第二锁存器 105 和 106 锁存，因此使输出数据信号 DOUT 为实现 EDO 功能被保持不变。

15

当地址信号 ADD 在 T39 时刻变化后，第二读出循环将重复以上的过程。

20 如以上详细描述，通过图 4 中的基于第一实施例的 DRAM 的输出电路，当第一节点 1 由于预充电操作变为逻辑“高”状态 H 后，被锁存的第二读总线数据信号 RBSN' 从逻辑“高”状态 H 变为逻辑“低”状态 L。因此，在第一驱动信号 OUTT 从逻辑“低”状态 L 变为逻辑“高”状态 H 后（即 P 沟道输出 MOSFET110 被截止），第二驱动信号 OUTN 从逻辑“低”状态 L 变为逻辑“高”状态 H（即 n 沟道输出 MOSFET111 被导通）。

25

30 结果是，即使用于传输第一和第二读出数据信号 RBST 和 RBSN 至输出 MOSFET110 和 111 的两个传输时间之间存在差异，仍可以防止输出 MOSFET110 和 111 的 0N-0N 状态的发生。所以，不会有由于 MOSFET110 和 111 的 0N-0N 状态导致的电流流过 MOSFET110 和 111。

30

35 因为不会有 0N-0N 状态导致的电流从 MOSFET110 和 111 中间流过，所以防止了电源线（ $V_{DD}$ ）和地线（GND）的电位的波动，使得半导体存储器件的存取速度得到改善。

而且，由于预充电信号 PRE 是使用传输门控制信号  $\Phi$  在基于第一实施例的输出电路中产生的，不会由于“扭曲时滞”而发生时间偏差。所以，控制信号的脉冲宽度的调整或设计得到了简化。

图 6 显示的是一个基于本发明第二实施例的具有 EDO 功能的 DRAM 的输出电路，其中一对预充电晶体管将第一和第二节点充电至接地电位 (GND)，而不是电源电压  $V_{DD}$ 。

基于第二实施例的输出电路与第一实施例的输出电路的结构和操作基本相同，只有涉及以接地电位充电的部的结构有所不同。

如图 6 所示，基于第二实施例的输出电路包括一个具有第一和第二传输门 301 和 302 的传输门部，一个具有第一和第二预充电晶体管 303 和 304 的预充电部，一个具有第一和第二锁存器 305 和 306 的锁存部，一个具有一个控制器 307 的控制部，一个具有第一和第二驱动器 308 和 309 的驱动器部，和一个具有第一和第二输出晶体管 310 和 311 的输出部。

控制部控制传输门部，预充电部和锁存部。驱动器部驱动输出部。

传输门部的第一传输门 301 由一个 P 沟道 MOSFET301a 和一个 n 沟道 MOSFET301b 形成。MOSFET301a 和 301b 的源极耦合后连接至一个第一输入端  $T_{31}$ 。MOSFET301a 和 301b 的漏极耦合后连接至一个第一节点 31。

传输门部的第二传输门 302 由一个 P 沟道 MOSFET302a 和一个 n 沟道 MOSFET302b 形成。MOSFET302a 和 302b 的源极耦合后连接至一个第二输入端  $T_{32}$ 。MOSFET302a 和 302b 的漏极耦合后连接至一个第二节点 32。

第一输入端  $T_{31}$  连接至 DRAM 的一个第一读总线（未显示）并被加载一个第一读总线数据信号 RBST。第二输入端  $T_{32}$  连接至 DRAM 的第二读总线（未显示）并被加载一个第二读总线数据信号 RBSN。第二读总线数据信号 RBSN 与第一读总线数据信号 RBST 互补，因此二者一个处于逻辑“高”状态 H，而另一个处于逻辑“低”状态 L。

控制部的控制器 307 具有四个反相器 312, 307a, 313 和 314, 一个电容器 307b 和一个 NOR 门 (或非门) 307c。在控制器 307 中, 反相器 312 作为一个缓冲器, 反相器 307a, 电容器 307b 和 NOR 门 307c 这三者组合作为一个用于预充电信号发生器的单射脉冲发生器。

5

反相器 312 的一个输入量被连接至一个第三输入端 T33, 反相器 312 的一个输出端被连接至一个节点 33。反相器 307a 的一个输入量被连接至第三输入端 T33。反相器 307a 的一个输出被连接至一个节点 34。电容器 307b 两电极中的一个通过节点 34 被连接至反相器 307a 的输出端。电容器 307b 两电极中的另一个被连接至接地点。

10

反相器 313 的一个输入通过节点 34 被连接至反相器 307a 的输出端和电容器 307b。反相器 313 的一个输出端被连接至一个节点 35。

15

第一传输门 301 的 P 沟道 MOSFET301a 和第二传输门 302 的 P 沟道 MOSFET302a 的栅极共同经节点 35 连接至反相器 313 的输出端。第一传输门 301 的 n 沟道 MOSFET301b 和第二传输门 302 的 n 沟道 MOSFET302b 的栅极共同经节点 34 连接至反相器 307a 的输出端。

20

NOR 门 307c 的一个第一输入通过节点 34 被连接至反相器 307a 的输出端和电容器 307b。NOR 门 307c 的一个第二输入被连接至输入端 T33 的输出端。NOR 门 307c 的一个输出被连接至一个节点 36。

25

预充电部的 n 沟道预充电 MOSFET303 和 304 的栅极经节点 36 共接到 NOR 门 307c 的输出端上。

反相器 314 的一个输入通过节点 33 被连接至反相器 312 的输出端。反相器 314 的一个输出被连接至一个节点 37。

30

第一触发器 305 的 P 沟道 MOSFET305c 和第二触发器 306 的 P 沟道 MOSFET306c 的栅极共同经节点 33 连接至反相器 312 的输出端。第一触发器 305 的 n 沟道 MOSFET305d 和第二触发器 306 的 n 沟道 MOSFET306d 的栅极共同经节点 37 连接至反相器 314 的输出端。

35

第三输入端口 T33 被连接至 DRAM 的一个时钟发生器(未显示), 并被加载以一个传输门控制信号  $\Phi$ 。

反相器 307a 根据所被加载的传输控制信号  $\Phi$  将一个反相的传输门控制信号  $\overline{TG}$  输出至 NOR 门 307c 以及 n 沟道 MOSFET301b 和 302b 的栅极。反相器 313 根据所被加载的反相的传输门控制信号  $\overline{TG}$  将一个传输门控制信号 TG 输出至 P 沟道 MOSFET301a 和 302a 的栅极。

第一和第二传输门 301 和 302 由反相的传输门控制信号  $\overline{TG}$  和传输门控制信号 TG 控制，从而将所被加载的第一和第二读总线数据信号 RBST 和 RBSN 分别传输至第一节点 31 和第二节点 32。

与第一实施例不同，第一预充电晶体管 303 由一个 n 沟道 MOSFET 构成。该 n 沟道 MOSFET303 的一个源极与地连接。该 MOSFET303 的一个漏极通过第一节点 31 与第一传输门 301 中的 n 沟道 MOSFET301a 和 P 沟道 MOSFET301b 的栅极连接。该 MOSFET303 的栅极通过节点 36 连接至 NOR 门 307c 的输出端。

第二预充电晶体管 304 也由一个 n 沟道 MOSFET 构成。该 n 沟道 MOSFET304 的源极与地连接。该 MOSFET304 的漏极通过第二节点 32 与第二传输门 302 中的 n 沟道 MOSFET302a 和 P 沟道 MOSFET302b 的栅极连接。该 MOSFET304 的栅极通过节点 36 连接至 NOR 门 307c 的输出端。

控制器 307 中的反相器 307a，电容器 307b 和 NOR 门 307c 构成一个单射脉冲发生器作为预充电信号发生器。由反相器 307a 输出的传输门控制信号 TG 的波形由于电容器 307b 的存在变得较为平稳，因而可由 NOR 门 307c 产生一个作为预充电信号的单射脉冲 PRE。这个预充电信号 PRE 经过节点 36 被输入至第一预充电 MOSFET303 和第二预充电 MOSFET304 的栅极。

当预充电信号 PRE 被输入至预充电 MOSFET303 和 304 的栅极时，预充电 MOSFET303 和 304 将第一节点 31 和第二节点 32 分别预充电至接地电位，即低逻辑电平 L。这个预充电信号 PRE 是与传输控制信号  $\Phi$  的下降同步产生的。因此，在第一读总线数据信号 RBST 和第二读总线数据信号 RBSN 分别通过第一传输门 301 和第二传输门 302 传输至第一节点 31 和第二节点 32 之前，预充电操作立即执行。

第一锁存器 305 包括两个反相器 305a 和 305b，一个 P 沟道 MOSFET305c，和一个 n 沟道 MOSFET305d。反相器 305a 和 305b 串接在一起以形成一个环路，从而构成一个第一触发器。反相器 305a 的一个输入和一个输出被分别连接至第一节点 31 和反相器 305b 的一个输入端。反相器 305b 的输出接到第一节点 31。

P 沟道 MOSFET305c 被连接至反相器 305b 的电源侧，n 沟道 MOSFET305d 被连接至反相器 305b 的接地侧。具体地说，P 沟道 MOSFET305c 的漏极被连接至电源线  $V_{DD}$ 。MOSFET305c 的源极被连接至反相器 305b 的一个接头。MOSFET305c 的栅极通过节点 33 被连接至反相器 312 的输出端。n 沟道 MOSFET305d 的源极被接地。MOSFET305d 的漏极被连接至反相器 305b 的另一个接头。MOSFET305d 的一个栅极通过节点 37 被连接至反相器 314 的输出端。

第二锁存器 306 包括两个反相器 306a 和 306b，一个 P 沟道 MOSFET306c，和一个 n 沟道 MOSFET306d。反相器 306a 和 306b 串接在一起以形成一个环路，从而构成一个第二触发器。反相器 306a 的一个输入和一个输出被分别连接至第一节点 32 和反相器 306b 的一个输入端。反相器 306b 的一个输出端被连接至第二节点 32。

P 沟道 MOSFET306c 被连接至反相器 306b 的电源侧，n 沟道 MOSFET306d 被连接至反相器 306b 的接地侧。具体地说，P 沟道 MOSFET306c 的一个漏极被连接至电源线  $V_{DD}$ 。MOSFET306c 的源极被连接至反相器 306b 的一个接头。MOSFET306c 的栅极通过节点 33 被连接至反相器 312 的输出端。n 沟道 MOSFET306d 的源极被接地。MOSFET306d 的漏极被连接至反相器 306b 的另一个接头。MOSFET306d 的栅极通过节点 37 被连接至反相器 314 的输出端。

第一锁存器 305 暂时保持或锁存加载在节点 31 处的第一读总线数据信号 RBST。被锁存在第一锁存器 305 中的第一读总线数据信号 RBST 被称为一个第一读总线数据信号 RBST'。

第二锁存器 306 暂时保持或锁存加载在节点 32 处的第二读总线数据信号 RBSN。被锁存在第二锁存器 306 中的第二读总线数据信号 RBSN 被称为一个第二读总线数据信号 RBSN'。

MOSFET305c, 305d, 306c, 和 306d 用于加速由预充电 MOSFET303 和 304 执行的预充电操作, 以及限制预充电电流。因此, 这几个 MOSFET305c, 305d, 306c, 和 306d 可以为简化而省去。

5           驱动器部的第一输出驱动器 308 由一个 NAND 门 308a 构成。该 NAND 门 308a 的一个第一输入通过第一节点 31 被连接至第一传输门 301 的输出端。该 NAND 门 308a 的一个第二输入连接到一个第四输入端  $T_{34}$ 。该 NAND 门 308a 的一个输出被连接至输出部中的 P 沟道输出 MOSFET310 的一个栅极。

10

          输出驱动器部的第二驱动器电路 309 由一个 NAND 门 309a 和一个反相器 309b 构成。该 NAND 门 309a 的第一输入通过第二节点 32 被连接至第二传输门 302 的输出端。该 NAND 门 309a 的一个第二输入连接到一个第四输入端  $T_{34}$ 。该 NAND 门 309a 的一个输出被连接至反相器 309b 的一个输入端。反相器 309b 的一个输出被连接至输出部中的 n 沟道输出 MOSFET311 的栅极。

15

          该第四输入端  $T_{34}$  被加载一个输出使能信号 OE。该输出使能信号 OE 被施加到 NAND 门 308a 和 309a 的第二输入端。

20

          响应被锁存的第一读总线数据信号 RBST' 和输出使能信号 OE, 第一驱动器 308 输出一个第一驱动信号 OUTT 至 P 沟道 MOSFET310 的栅极。响应被锁存的第二读总线数据信号 RBSN' 和输出使能信号 OE, 第二驱动器 309 输出一个第二驱动信号 OUTN 至 n 沟道 MOSFET311 的栅极。

25

          输出部的 P 沟道 MOSFET310 的源极与电源供给线  $V_{DD}$  连接。该 MOSFET310 的漏极与 n 沟道 MOSFET311 的漏极连接。该 MOSFET311 的源极被接地。MOSFET310 的栅极被连接至第一驱动器 308 的 NAND 门 308a 的输出端。MOSFET311 的栅极被连接至第二驱动器 309 的反相器 309b 的输出端。耦合在一起的 MOSFET310 和 311 的漏极被连接至一个输出端  $T_{35}$ , 该输出端所输出的一个输出数据信号为 DOUT。

30

          当第一驱动器 308 的第一驱动信号 OUTT 处于逻辑“高”状态 H 时, P 沟道输出 MOSFET310 被截止。当第一驱动器 308 的第一驱动信号 OUTT 处于逻辑“低”状态 L 时, P 沟道输出 MOSFET310 被导通。

35

另一方面，当第二驱动器 309 的第二驱动信号 OUTN 处于逻辑“高”状态 H 时，n 沟道输出 MOSFET311 被导通。当第二驱动信号 OUTN 处于逻辑“低”状态 L 时，n 沟道输出 MOSFET311 被截止。

5           因此，当 P 沟道 MOSFET310 导通并且 n 沟道输出 MOSFET311 截止时，输出数据信号 DOUT 等于电源供给电压 VDD，即输出数据信号 DOUT 处于逻辑“高”状态 H。当 n 沟道 MOSFET311 导通并且 P 沟道输出 MOSFET310 截止时，输出数据信号 DOUT 等于地电位或零，即输出数据信号 DOUT 处于逻辑“低”状态 L。

10

下面，参考图 7A 至 7M 解释基于图 6 中显示的第二实施例的输出电路的操作过程，图 7A 至图 7M 显示了该输出电路中使用的信号的波形。在图 7A 至 7M 中，符号 T0 至 T42 表示任意的时间段。

15           第二实施例中的假设条件与第一实施例中的相同。

如果如图 7B 所示，列地址信号 ADD 在时刻 T1 被激活（即从逻辑“低”状态 L 变为逻辑“高”状态 H），则与第二读总线连接的第二输入端 T<sub>32</sub> 被预充电至电源电压 V<sub>DD</sub>。因此，如图 7E 所示，第二读总线数据信号 RBSN 在时刻 T3 从逻辑“高”状态 H 变为逻辑“低”状态 L。此时，如图 7D 所示，第一读总线数据信号 RBST 被保持在逻辑“低”状态 L。

20

接着，如图 7D 所示，在时刻 T5，第一读总线数据信号 RBST 因一个新数据而从逻辑“低”状态 L 变为逻辑“高”状态 H。

25

当外部时钟信号 CAS 根据列地址信号 ADD 在时刻 T6 从逻辑“高”状态 H 变为逻辑“低”状态 L 时（即被激活），传输控制信号  $\Phi$  在时刻 T7 变为逻辑“低”状态 L。由于传输控制信号  $\Phi$  的缘故，如图 7F 所示，预充电信号 PRE 在时刻 T8 从逻辑“低”状态 L 变为逻辑“高”状态 H，而后又在时刻 T10 从逻辑“高”状态 H 变为逻辑“低”状态 L。

30

因此，预充电信号 PRE 的形式是一个单射脉冲，其脉冲宽度约等于分别作用于 NAND 门 307c 第一和第二输入的反相传输控制信号  $\Phi$  和传输门控制信号 TG 的时序差。

35

当预充电信号 PRE 在 T8 时刻从逻辑“高”状态 H 变为逻辑“低”状态 L（即被激活）后，如图 7I 所示，被锁存的第二读总线数据信号 RBSN' 在时刻 T9 从逻辑“低”状态 L 变为逻辑“高”状态 H。这是由预充电 MOSFET303 和 304 的预充电操作造成的。由于第一锁存读总线数据信号 RBST' 已处于逻辑“低”状态 L，在时刻 T9 该数据信号 RBST' 保持不变，如图 7H 所示。

由于第二读总线数据信号 RBSN' 的跳变，第二驱动信号 OUTN 在时刻 T11 变到逻辑“低”状态 L，如图 7L 所示。因而 n 沟道输出 MOSFET311 截止。此时第一驱动信号 OUTT 位于逻辑“高”状态 H，如图 7K 所示。因此 p 沟道输出 MOSFET311 保持在截止状态。

另一方面，由于在时刻 T10 传输门控制信号 TG 变到逻辑“低”状态 L，第一与第二传输门 301 与 302 导通，从而分别将读总线数据信号 RBST 与 RBSN 传输到第一与第二节点 31 与 32，如图 7H 与 7I 所示。因此，锁存在第一节点 31 的第一读总线数据信号 RBST' 在时刻 T11 由逻辑“低”状态 L 变到逻辑“高”状态 H。此时，锁存在第二节点 32 的第一读总线数据信号 RBSN' 已经在逻辑“低”状态 L。

由于第一锁存读总线数据信号 RBST' 的跳变，第一驱动信号 OUTT 在时刻 T12 由逻辑“高”状态 H 变到逻辑“低”状态 L。因此，p 沟道 MOSFET310 在时刻 T14 变到导通，而 n 沟道 MOSFET311 保持截止。由于输出使能信号 OE 固定在逻辑“高”状态 H，第一与第二驱动信号 OUTT 与 OUTN 不受它的影响，如图 7J 所示。

结果，输出数据信号 DOUT 在时刻 T14 由逻辑“低”状态 L 变到逻辑“高”状态 H，如图 7M 所示。

在 T16 时刻外部时钟信号 CAS 变到逻辑“高”状态 H（也就是信号 CAS 被复位）。为了适应外部时钟信号 CAS 的变化，传输控制信号  $\phi$  在时刻 T17 变到逻辑“高”状态 H。由于传输控制信号  $\phi$  的变化，传输门控制信号 TG 在时刻 T20 变到逻辑“高”状态 H，因此把第一与第二读总线从第一与第二锁存器 305 与 306 中分离出来。在这一阶段，第一与第二读总线数据信号 RBST' 与 RBSN' 由锁存器 305 与 306 锁存，甚至在 T20 时刻输出数据信号 DOUT 也保持不变。这意味着 EDO

功能已经实现。

5 为了开始下一个读取循环，在时刻 T20 列地址信号 ADD 激发（也就是由逻辑“低”状态 L 变到逻辑“高”状态 H，或由逻辑“高”状态 H 变到逻辑“低”状态 L）。因此第一读总线数据信号 RBST 在 T22 时刻由逻辑“高”状态 H 变到逻辑“低”状态 L。同时第二读总线数据信号 RBSN 保持在逻辑“低”状态 L。

10 然后，由于读出新数据第一读总线数据信号 RBSN 在时刻 T24 由逻辑“高”状态 H 变到逻辑“低”状态 L。

15 当外部时钟信号 CAS 在时刻 T25 根据列地址信号 ADD 由逻辑“高”状态 H 变到逻辑“低”状态 L（也就是激发），传输控制信号  $\phi$  在时刻 T26 变到逻辑“低”状态 L。如图 7F 所示，由于传输控制信号  $\phi$ ，预充电信号 PRE 在时刻 T27 由逻辑“高”状态 H 变到逻辑“低”状态 L，然后在时刻 T29 由逻辑“低”状态 L 回到逻辑“高”状态 H。

20 因此，预充电信号 PRE 为单射脉冲形式，其脉冲宽度大约等于分别加在 NOR 门 307c 的第一与第二输入端的反向传输控制信号  $\phi$  与传输门控制信号 TG 之间的时间差。

25 在预充电信号 PRE 在时刻 T27 由逻辑“高”状态 H 变到逻辑“低”状态 L（也就是激发）后，第一锁存读总线数据信号 RBST' 在时刻 T28 由逻辑“高”状态 H 变到逻辑“低”状态 L，如图 7H 所示。这是由预充电 MOFSET303 与 304 的预充电操作而引起的。由于第二锁存读总线数据信号 RBSN' 已经在逻辑“高”状态 H，数据信号 RBSN' 在 T28 时刻保持不变，如图 7I 所示。

30 由于第一锁存读总线数据信号 RBST' 的跳变，第一驱动信号 OUTT 在时刻 T29 变到逻辑“高”状态 H，如图 7K 所示。因此，p 沟道输出 MOSFET310 变到截止。同时，第二驱动信号 OUTN 位于逻辑“低”状态 L，如图 7L 所示，因此 n 沟道输出 MOSFET311 保持在截止。

35 由于在时刻 T29 传输门控制信号 TG 变到逻辑“低”状态 L，第一与第二传输门 301 与 302 打开，因此将第一与第二读总线数据信号

RBST 与 RBSN 分别传输到第一与第二节点 31 与 32, 如图 7H 与 7I 所示。因此, 锁存在第二节点 32 的第二读总线数据信号 RBSN'在时刻 T30 由逻辑“高”状态 H 变到逻辑“低”状态 L。同时, 锁存在第一节点 31 的第一读总线数据信号 RBST'位于逻辑“低”状态 L。

5

由于第二锁存读总线数据信号 RBSN'的跳变, 第二驱动信号 OUTN 在时刻 T32 由逻辑“低”状态 L 变到逻辑“高”状态 H。因此, n 沟道 MOSFET311 在时刻 T34 变到导通, 而 p 沟道 MOSFET310 保持截止。因为输出使能信号 OE 固定在逻辑“高”状态 H, 第一与第二驱动信号 OUTT 与 OUTN 不受它的影响, 如图 7J 所示。

10

结果, 输出数据信号 DOUT 在时刻 T34 由逻辑“高”状态 H 变到逻辑“低”状态 L, 如图 7M 所示。

15

随后, 在时刻 T35 外部时钟信号 CAS 变到逻辑“高”状态 H (或者说被复位)。为了适应信号 CAS 的变化, 传输控制信号  $\phi$  在时刻 T36 变到逻辑“高”状态 H。由于传输控制信号  $\phi$  的变化, 传输门控制信号 TG 在时刻 T39 变到逻辑“高”状态 H, 因此将第一与第二读总线从第一与第二锁存器 305 与 306 中分离。在这一阶段, 第一与第二读总线数据信号 RBST'与 RBSN'由第一与第二锁存器 305 与 306 锁存, 因此输出数据信号 DOUT 为了实现 EDO 功能而保持不变。

20

在时刻 T39 地址信号 ADD 转变后, 重复上述步骤, 进行第二个读取循环。

25

正如上面所详细解释的一样, 在带有根据图 6 中第二实施例的 DRAM 的输出电路的情况下, 在第一节点 31 由于预充电变到逻辑“低”状态 L 后, 第二锁存读总线数据信号 RBSN'从逻辑“高”状态 H 变到逻辑“低”状态 L。因此, 在第一驱动信号 OUTT 由逻辑“低”状态 L 变到逻辑“高”状态 H (也就是 p 沟道输出 MOSFET310 变到截止) 后, 第二驱动信号 OUTN 由逻辑“低”状态 L 变到逻辑“高”状态 H (也就是 n 沟道输出 MOSFET311 变到导通)。

30

结果, 甚至在第一与第二读总线数据信号 RBST 与 RBSN 到第一与第二输出 MOSFET310 与 311 的传输时间之间存在差异时, 也能防止 p 沟道与 n 沟道输出 MOSFET310 与 311 出现导通-导通状态。

35

由于不会出现导通-导通状态导致的电流流过 MOSFET310 与 311, 防止了电源电压 ( $V_{DD}$ ) 与地线 (GND) 电压的波动, 使半导体存储器件的存取速度提高。

5

此外, 由于输出电路根据使用传输门控制信号  $\phi$  的第二实施例产生预充电信号 PRE, 没有由于“扭曲时滞”而出现时间偏离, 从而促进了控制信号的脉冲宽度的调整或设计。

10

### 第三实施例

图 8 展示了一个根据本发明的第三实施例的带有 EDO 功能的 DRAM 的输出电路, 除了第一与第二输出驱动器 108 与 109 分别被第一与第二输出驱动器 508 与 509 代替外, 它与第一实施例中的电路的外形与工作原理相同。

15

因此, 为了简化叙述, 这里略去了与第一实施例中相同的外形与工作原理, 而在图 8 的同样电路元件上加上了同样的参考标号与符号。

20

正如图 8 中看到的一样, 驱动器部的第一驱动器 508 由 NOR 门 508a 和 NAND 门 508b 形成。NOR 门 508a 的第一输入通过第一节点 1 连接到第一传输门 101 的输出。NOR 门 508a 的第二输入通过极 8 连接到反相器 115 的输出。NOR 门 508a 的输出连接到 NAND 门 508b 的第二输入。NAND 门 508b 的输出连接到输出部的 p 沟道 MOSFET110 的栅。

25

驱动器部的第二驱动器 509 由 NOR 门 509a、NAND 门 509b 以及反相器 509c 形成。NOR 门 509a 的第一输入通过第二节点 2 连接到第二传输门 102 的输出。NOR 门 509a 的第二输入通过极 8 连接到反相器 115 的输出。NOR 门 509a 的输出连接到 NAND 门 509b 的第二输入。NAND 门 509b 的输出连接到反相器 509c 的输入。反相器 509c 的输出连接到输出部的 n 沟道 MOSFET111 门。

30

35

第一驱动器 508 的 NOR 门 508a 的第一输入连接到第二驱动器 509 的 NAND 门 509b 的第一输入。第二驱动器 509 的 NOR 门 509a 的第一输入连接到第一驱动器 508 的 NAND 门 508b 的第一输入。

因此,NOR 与 NAND 门 508a 与 508b 的第一输入和 NOR 与 NAND 门 509a 与 509b 的第一输入交叉耦合。

5 与锁存的第一读总线数据信号 RBST'和反向输出使能信号  $\overline{OE}$  相适应, 第一驱动器 508 将第一驱动信号 OUTT 输出到 p 沟道 MOSFET110 栅。与锁存第二读总线数据信号 RBSN'和反向输出使能信号  $\overline{OE}$  相适应, 第二驱动器 509 将第二驱动信号 OUTN 输出到 n 沟道 MOSFET111 的栅。

10 在根据第三实施例的输出电路中, NOR 与 NAND 门 508a 与 508b 的第一输入和 NOR 与 NAND 门 509a 与 509b 的第一输入交叉连接。因此, 当锁存在第二节点 2 的第二读总线数据信号 RBSN'位于逻辑“低”状态 L, 不依赖于锁存在第一节点 1 的第一读总线数据信号 RBST'的逻辑状态, 第一驱动信号 OUTT 总是位于逻辑“高”状态 H。  
15 因此可以确保 p 沟道 MOFSET110 位于截止。

同样, 当第一锁存读总线数据信号 RBST'位于逻辑“低”状态 L, 不依赖于第二读取数据信号 RBSN'的逻辑状态, 第二驱动信号 OUTN 总是位于逻辑“低”状态 L, 因此 n 沟道 MOFSET111 位于截止。

20 与此相似, 当第一与第二锁存读总线数据信号 RBST'与 RBSN'位于逻辑“高”状态 H, 第一驱动信号 OUTT 位于逻辑“高”状态 H, 第二驱动信号 OUTN 位于逻辑“低”状态 L, 因此 p 沟道与 n 沟道 MOFSET111 与 110 都为截止。

25 结果, 根据第三实施例的输出电路另外有如下的优点。

由于第一与第二读总线数据信号 RBST 与 RBSN 的电平不稳, 锁存在第一与第二节点 1 与 2 的互补的第一与第二读总线数据信号  
30 RBST'与 RBSN'可能同时达到逻辑“低”状态 L 或 H。然而, 在第三实施例的这种情况下, p 沟道与 n 沟道 MOFSET110 与 111 也能防止出现导通-导通状态。

35 在另一方面, 它也有一个缺点, 由于第一与第二驱动电路 508 与 509 中 NAND 门 508b 与 509b 的存在, 可以达到的存取速度比第一实施例与第二实施例低。

接下来,参考显示了第一与第二驱动信号 OUTT 与 OUTN 与输出数据信号 DOUT 的波形图 9A 到 9C,下面解释了根据图 8 所示第三实施例的输出电路的工作原理。

5

在第三实施例中,外部时钟信号 CAS、列地址信号 ADD、传输控制信号 $\phi$ 、第一与第二读总线数据信号 RBST 与 RBSN、预充电信号 PRE、传输门控制信号 TG、锁存的第一与第二读总线信号 RBST'与 RBSN'以及输出使能信号 OE 都有与图 5A~5J 所示的同样的定时图。因此,图 9A 到 9C 只分别显示了第一与第二驱动信号 OUTT 与 OUTN 以及输出数据信号 DOUT。

10

与第一实施例相同,在时刻 T9 预充电信号 PRE 由逻辑“高”状态 H 变到逻辑“低”状态 L(也就是被激发),在时刻 T10 第二锁存读总线数据信号 RBSN'由逻辑“低”状态 L 变到逻辑“高”状态 H,如图 5I 所示。这是由预充电 MOSFET103 与 104 的预充电操作引起的。由于第一锁存读总线数据信号 RBST'已经位于逻辑“高”状态 H,在时刻 T10 数据信号 RBST'保持不变,如图 5H 所示。

15

20

由于第二锁存读总线数据信号 RBSN'的跳变,在时刻 T13 第二驱动信号 OUTN 变到逻辑“低”状态 L,如图 9B 所示。因此 n 沟道输出 MOSFET111 变到截止。同时,第一驱动信号 OUTT 位于逻辑“高”状态 H,如图 5K 所示。因此, p 沟道输出 MOSFET111 保持在截止位置。

25

与第一实施例相同,第一驱动信号 OUTT 在时刻 T14 由逻辑“高”状态 H 变到逻辑“低”状态 L,如图 9A 所示。因此,在时刻 T16p 沟道 MOSFET110 变到导通位置,而 n 沟道 MOSFET111 保持在截止位置。结果,在 T16 时刻输出信号 DOUT 由逻辑“低”状态 L 变到逻辑“高”状态 H,如图 9C 所示。

30

更进一步,与第一实施例相同,在时刻 T28 预充电信号 PRE 由逻辑“高”状态 H 变到逻辑“低”状态 L(也就是被激发),如图 5F 所示。在时刻 T29 第一锁存读总线数据信号 RBST'由逻辑“低”状态 L 变到逻辑“高”状态 H,如图 5H 所示。这是由预充电 MOSFET103 与 104 的预充电操作引起的。由于第二锁存读总线数据信号 RBSN'已经在逻辑“高”状态 H,在 T29 时刻数据信号 RBSN'保持不变,如图 5I

35

所示。

由于第一锁存读总线数据信号 RBST' 的跳变，在 T31 时刻第一驱动信号 OUTT 变到逻辑“高”状态 H，如图 9A 所示。因此，p 沟道输出 MOSFET110 变到截止。同时，第二驱动信号 OUTN 位于逻辑“低”状态 L，如图 9B 所示。因此，n 沟道输出 MOSFET111 保持在截止状态。

由于在 T30 时刻传输门控制信号 TG 变到逻辑“低”状态 L，第一与第二传输门 101 与 102 打开，因此分别将第一与第二读总线数据信号 RBST 与 RBSN 传输到第一与第二节点 1 与 2，如图 5H 与 5I 所示。因此，锁存在第二节点 2 的第二读总线数据信号 RBSN' 在 T31 时刻由逻辑“高”状态 H 变到逻辑“低”状态 L。同时，锁存在第一节点 1 的第一读总线数据信号 RBST' 位于逻辑“高”状态 H。

由于第二锁存读总线数据信号 RBSN' 的跳变，第二驱动信号 OUTN 在 T34 时刻由逻辑“高”状态 H 变到逻辑“低”状态 L。因此，在 T34 时刻 n 沟道 MOSFET111 变到导通状态，而 p 沟道 MOSFET110 保持在截止状态。

结果，在 T34 时刻输出信号 DOUT 由逻辑“高”状态 H 变到逻辑“低”状态 L，如图 9C 所示。

在 T34 随后的步骤与第一实施例中相同。

在第三实施例中，第一与第二预充电 MOSFET M103 与 M104 将第一与第二节点 1 与 2 预充电到电源电压  $V_{DD}$ 。然而，不能说第一与第二预充电 MOSFET M103 与 M104 可以将第一与第二节点 1 与 2 预充电到接地电压 (GND)，正如根据图 6 的第二实施例的输出电路中解释的那样。

尽管本发明适用于第一到第三实施例的 DRAM，不能说本发明可以应用于有 EDO 内存的任何别的半导体存储器件。

这里描述了本发明的更好形式，可以理解，对于那些熟悉本领域工艺的人可以在不背离发明精神的情况下进行改动。因此，下面的权

---

利要求确定了发明的范围。

图 1

## 现有技术

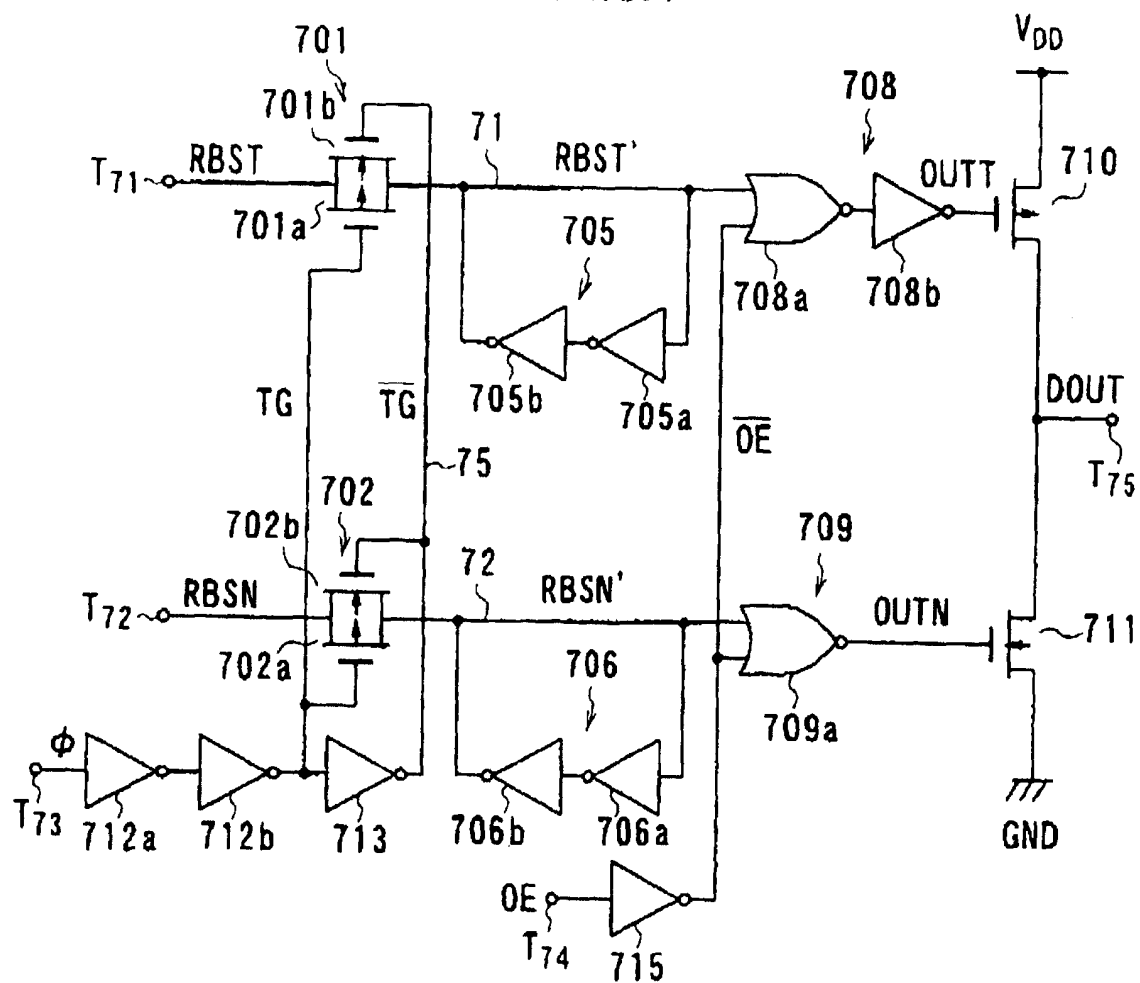


图 2A

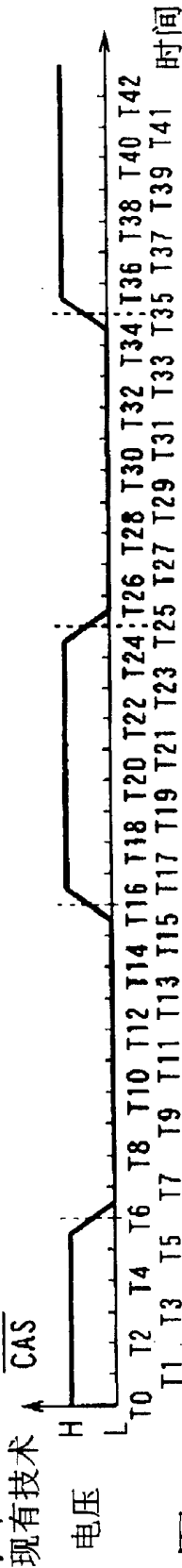


图 2B

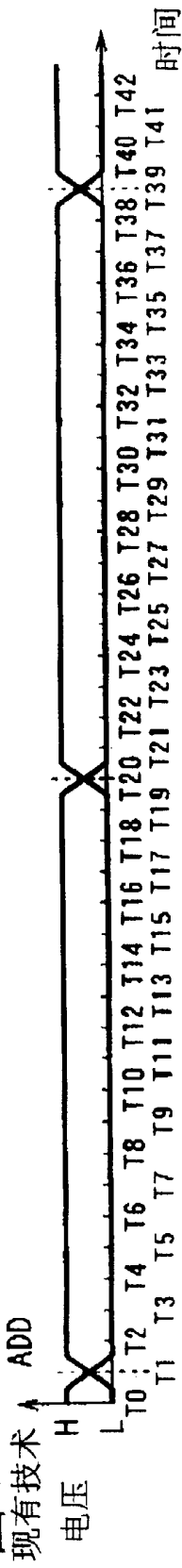


图 2C

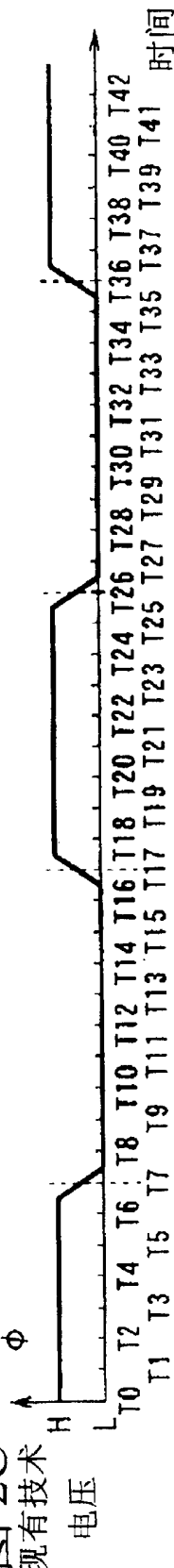


图 2D  
现有技术  
电压

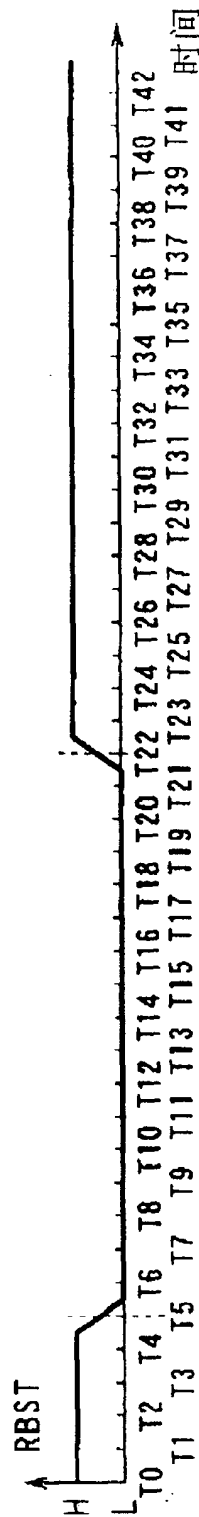


图 2E  
现有技术  
电压

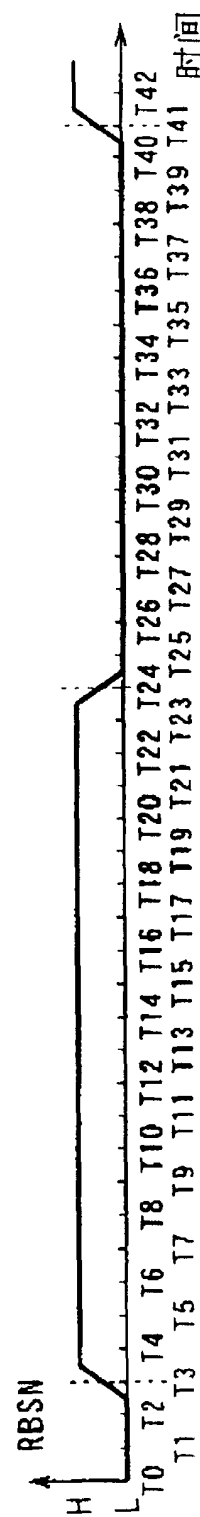


图 2F  
现有技术  
电压

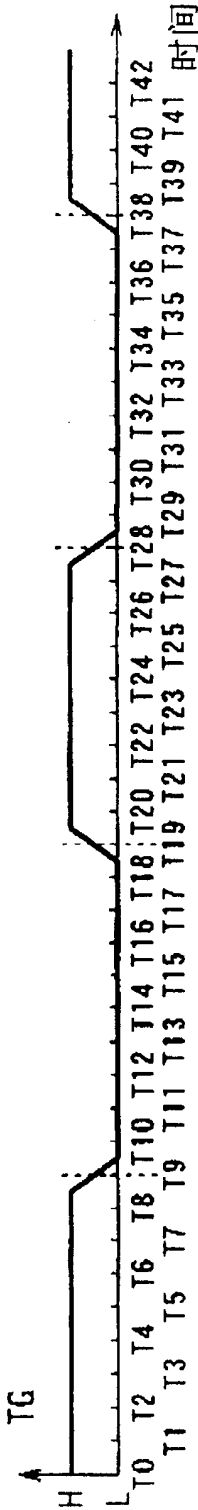


图 2G  
现有技术  
电压

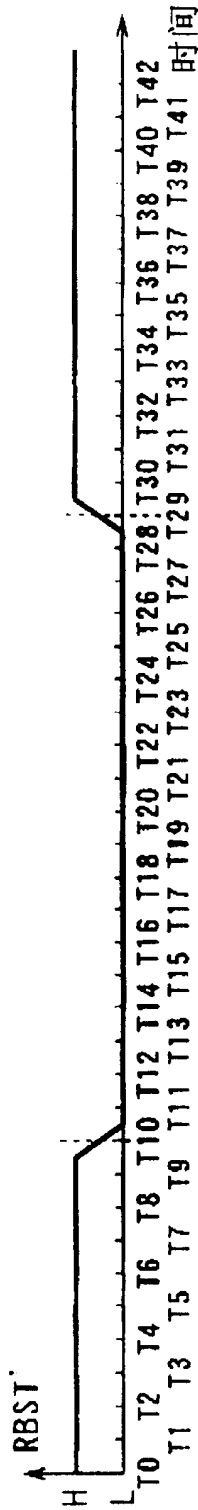
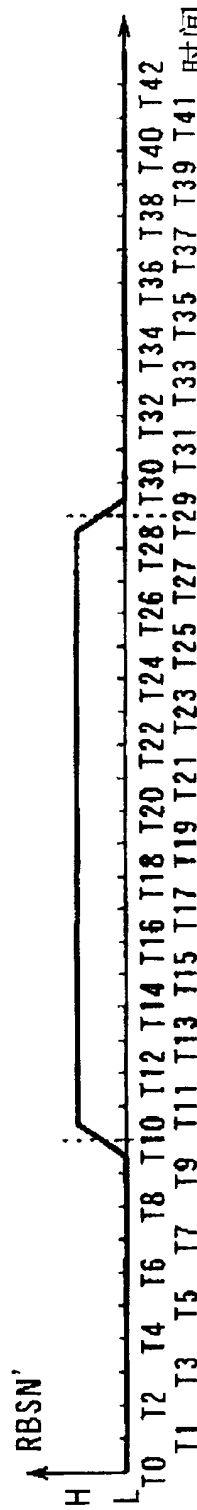


图 2H  
现有技术  
电压



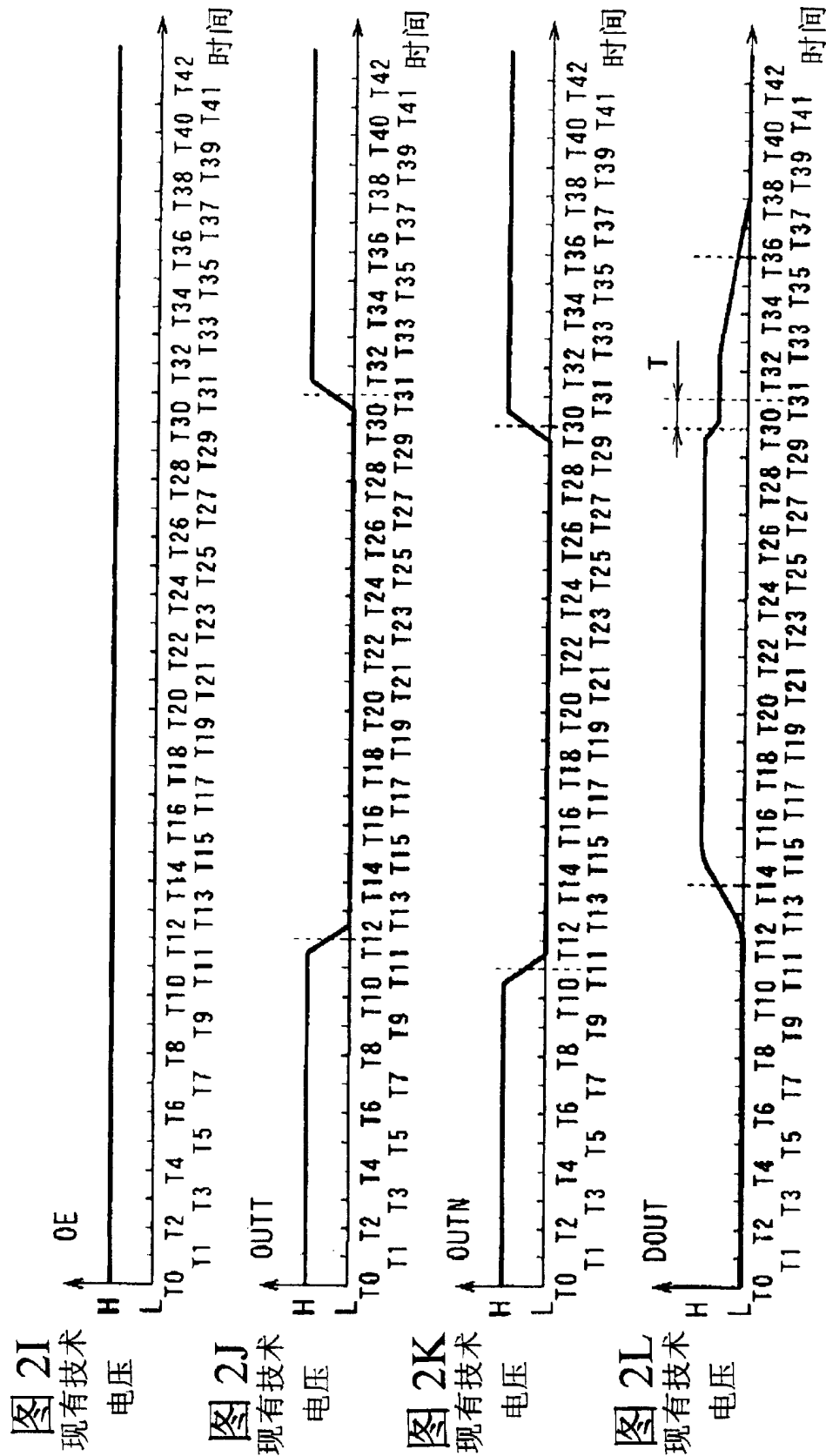


图 3A  
现有技术  
电压

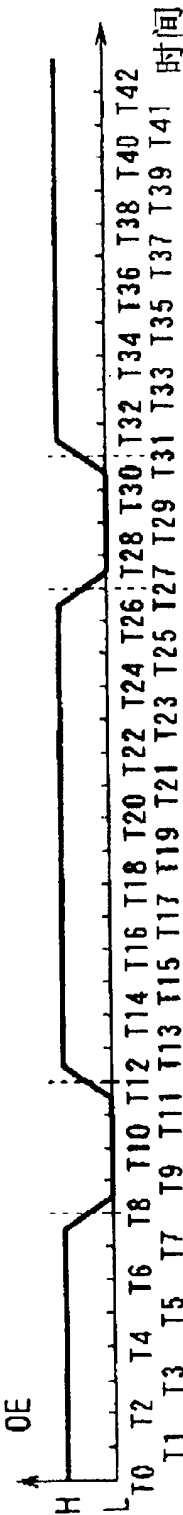


图 3B  
现有技术  
电压

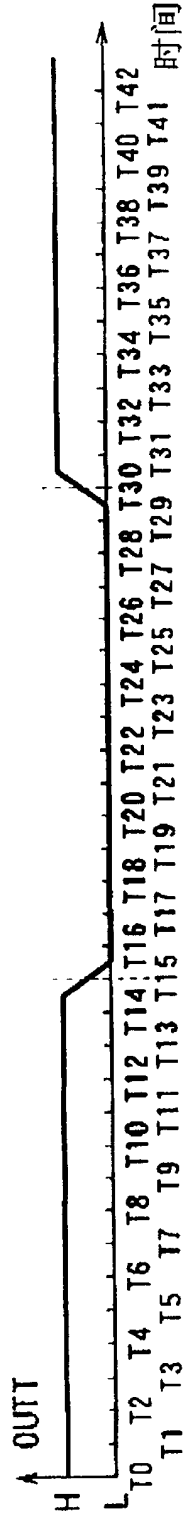


图 3C  
现有技术  
电压

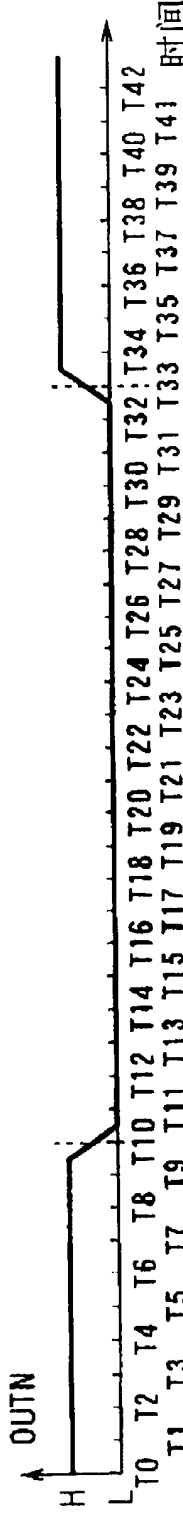
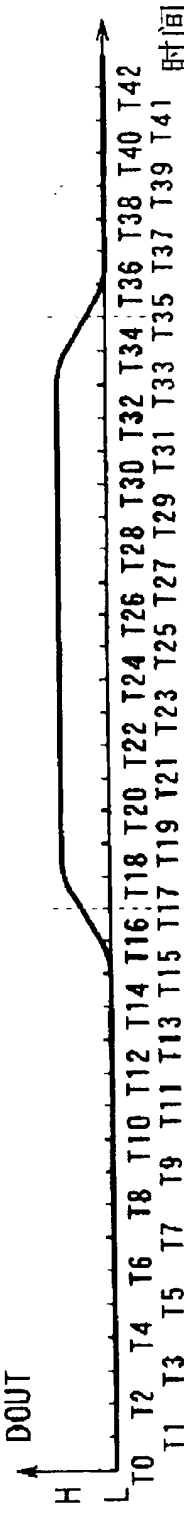
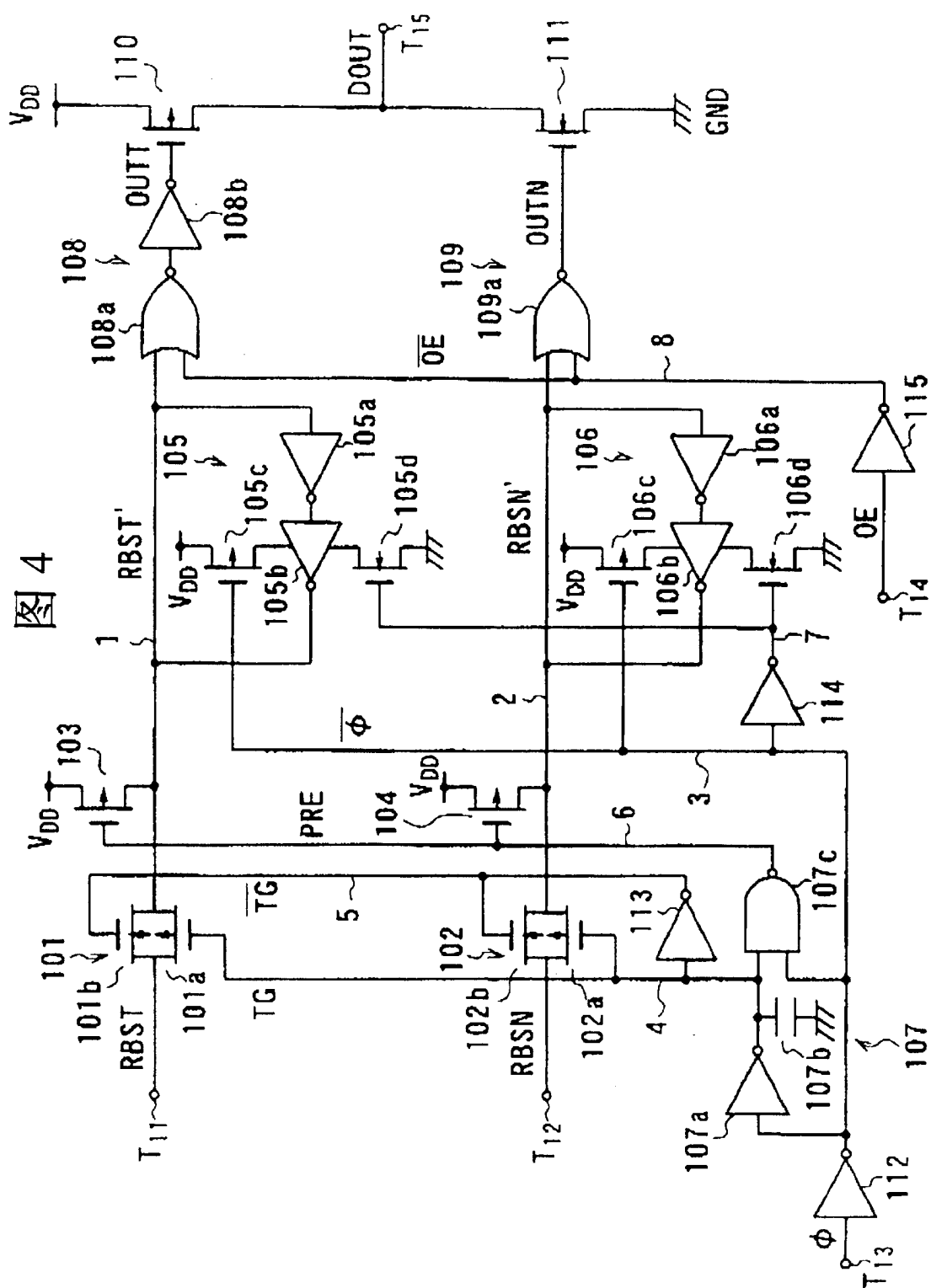


图 3D  
现有技术  
电压





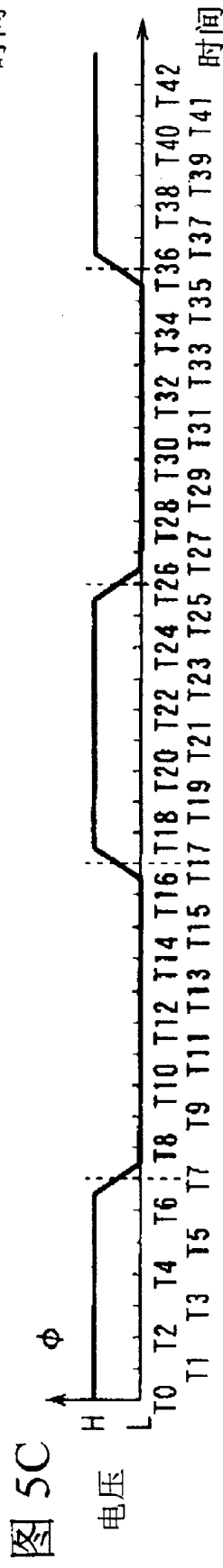
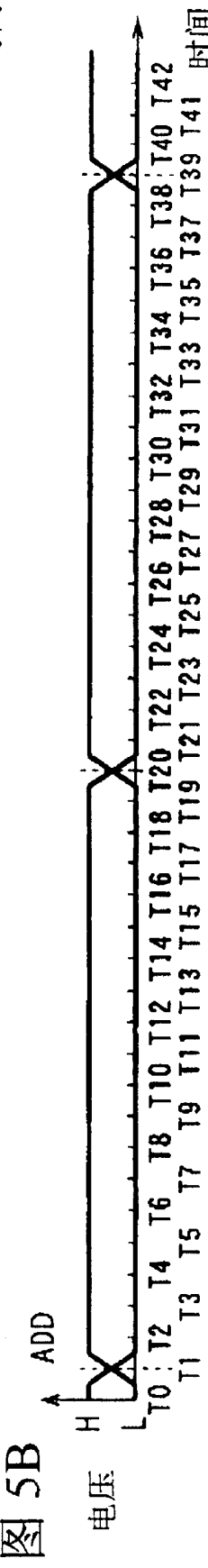
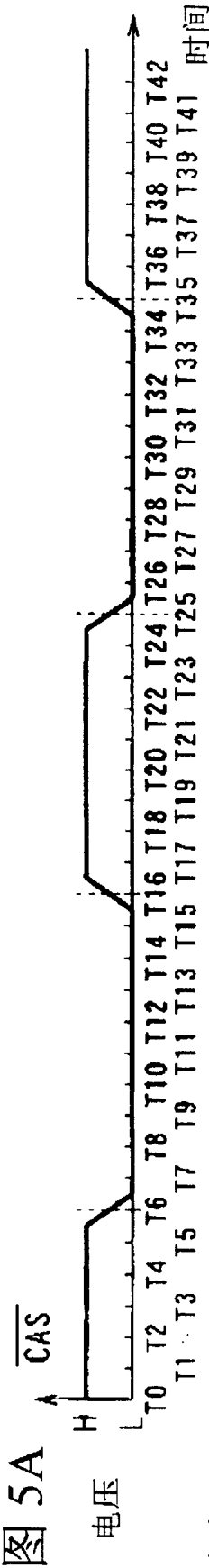


图 5D

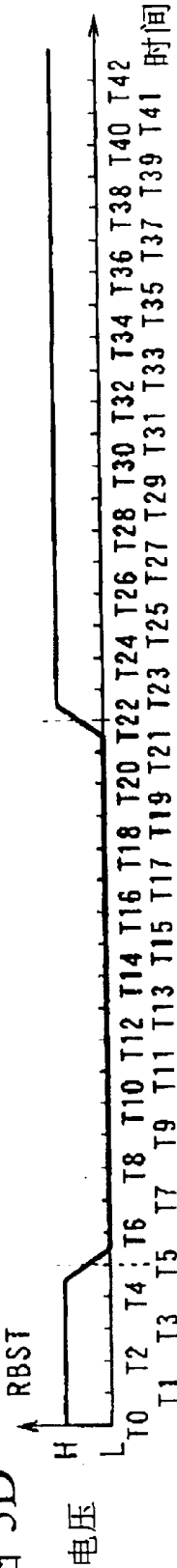
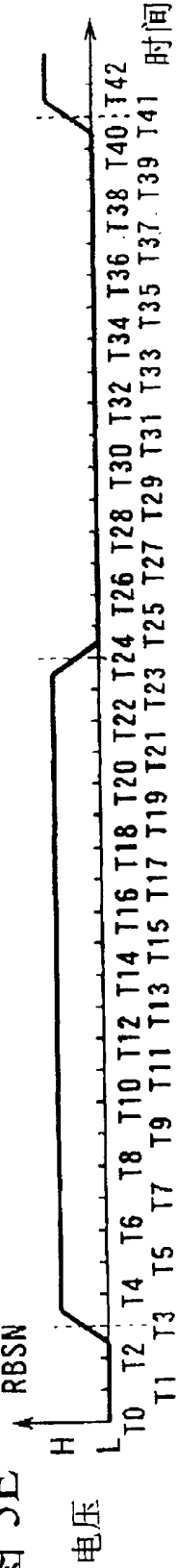
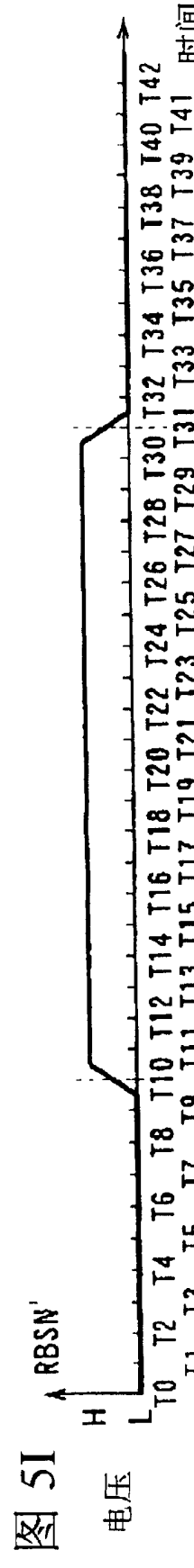
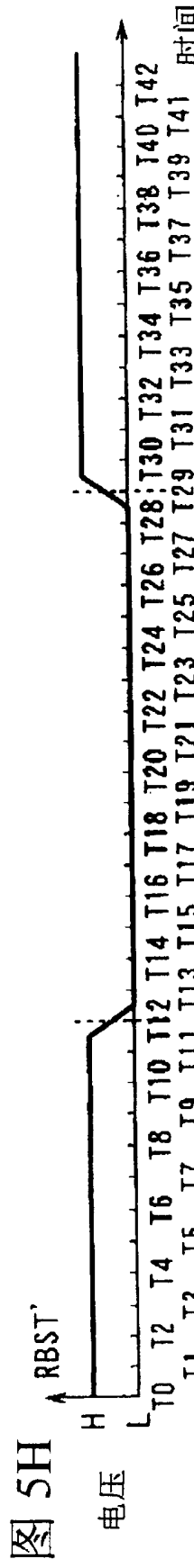
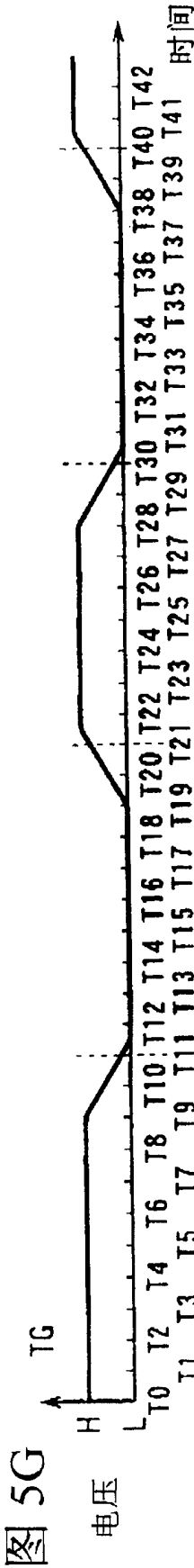
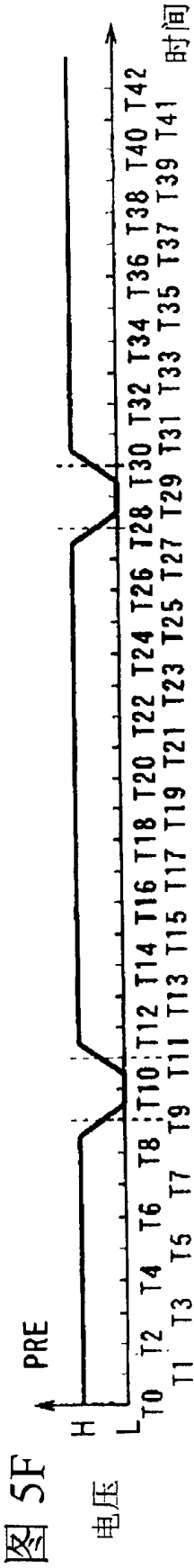
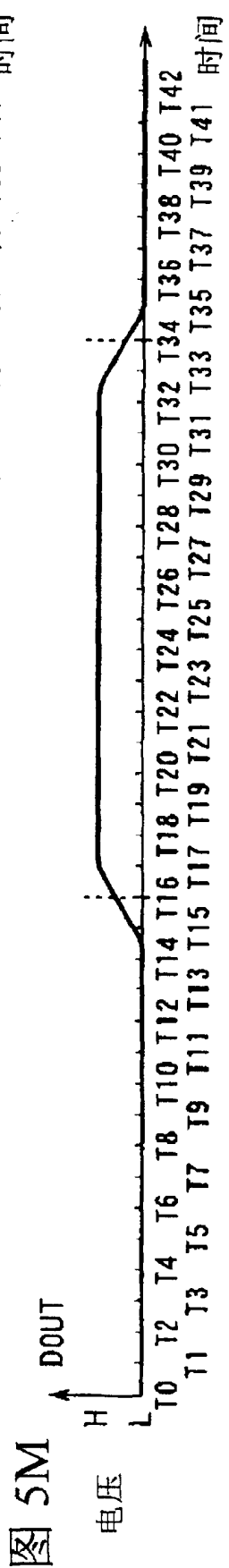
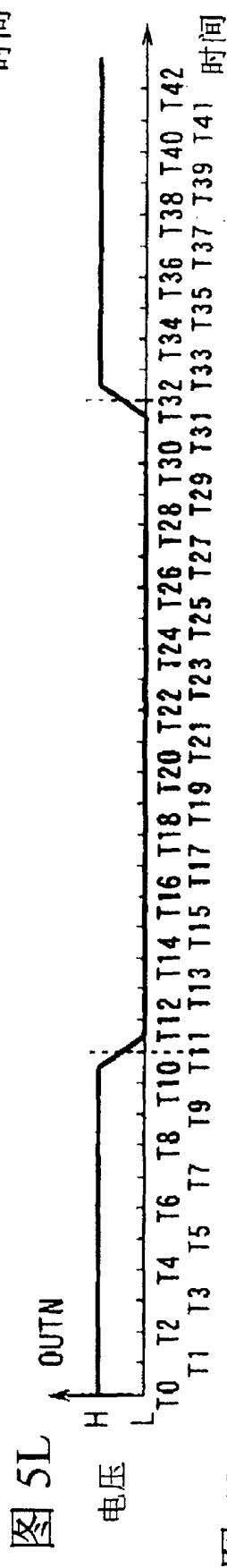
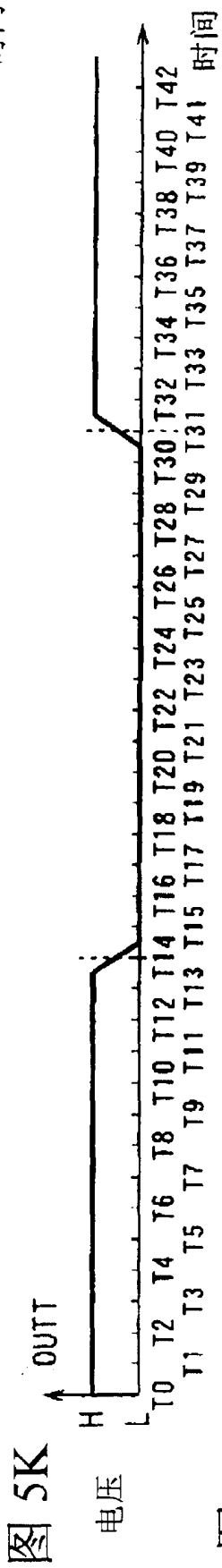
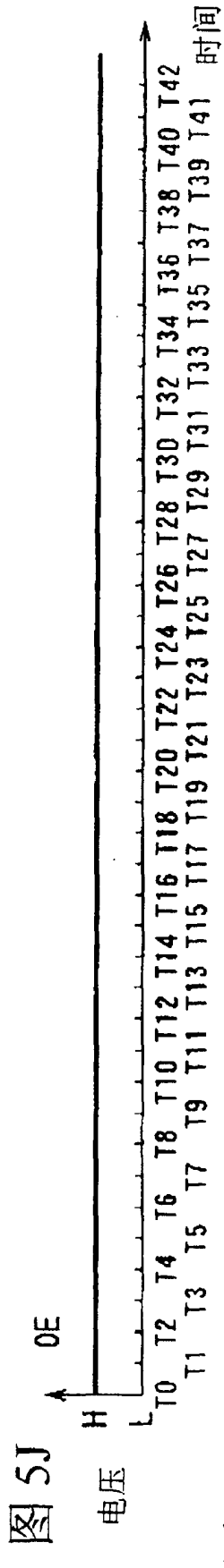


图 5E







6  

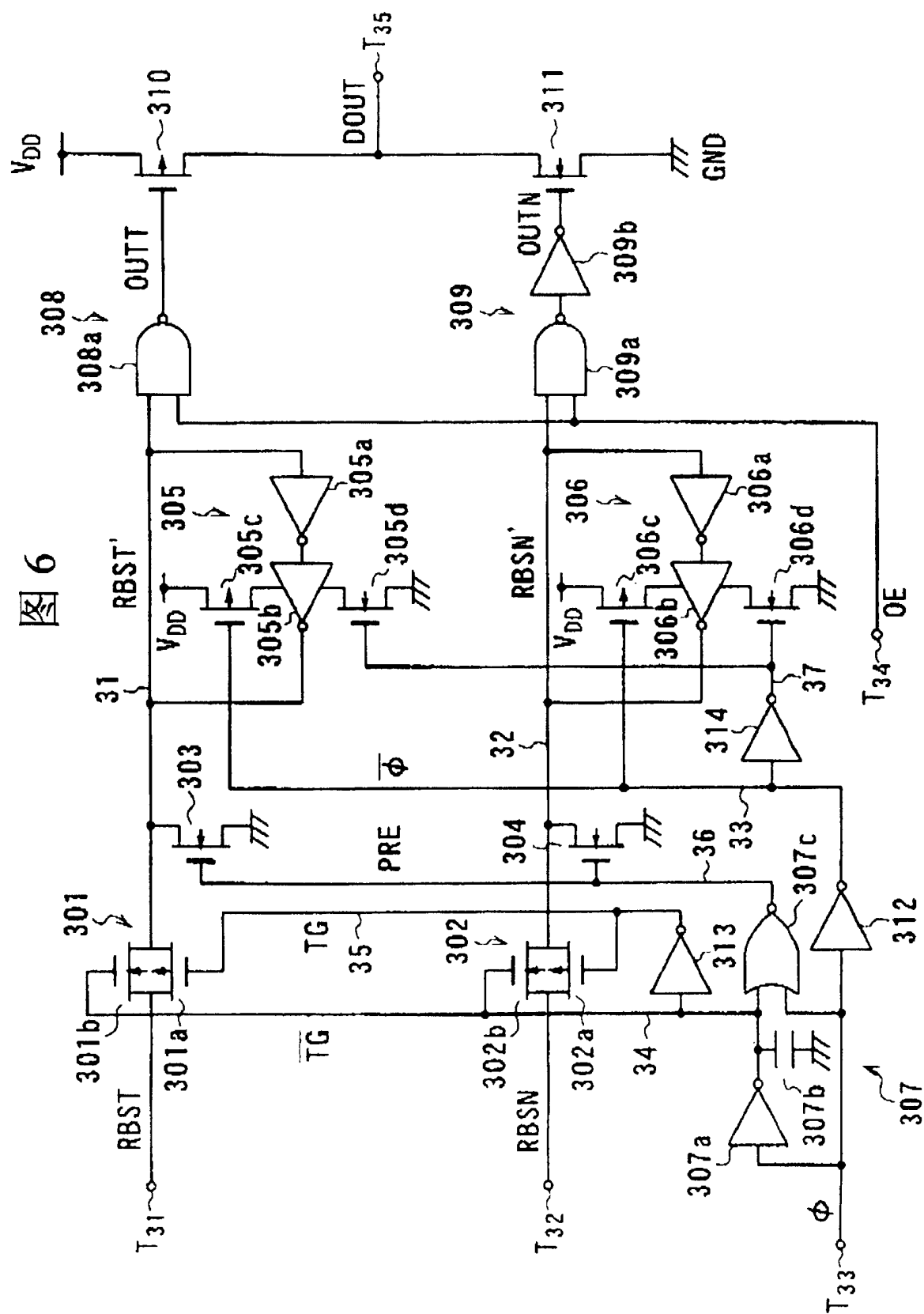



图 7A

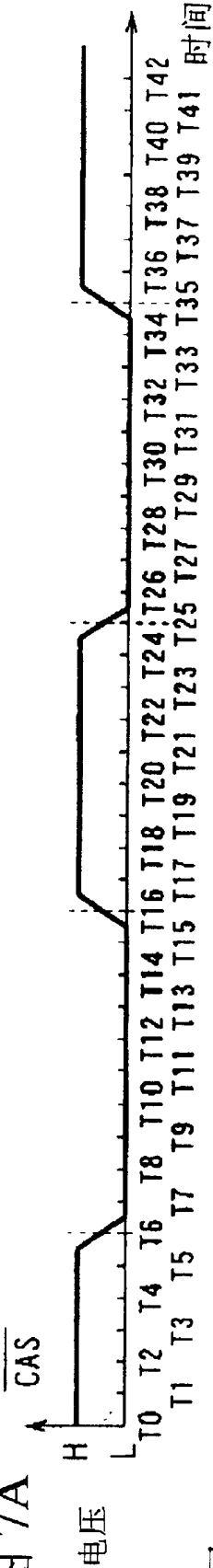


图 7B

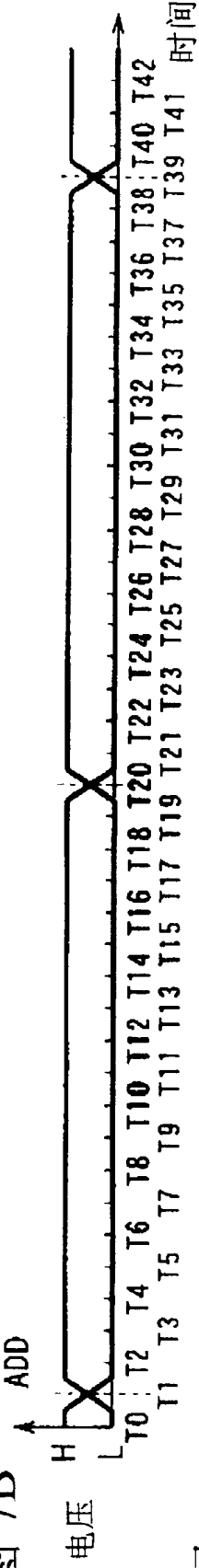
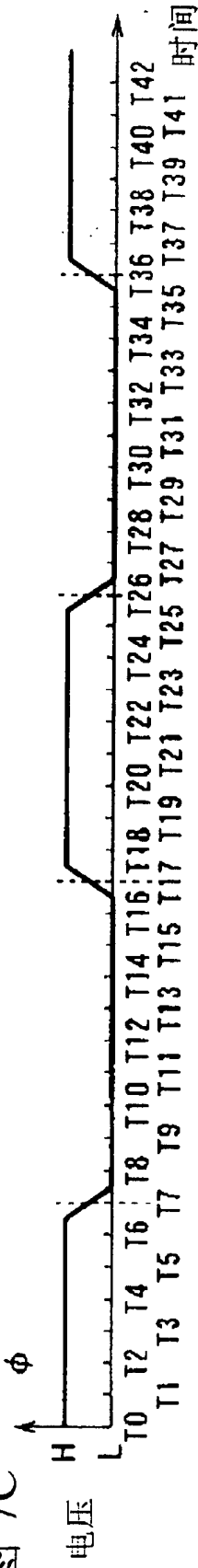


图 7C



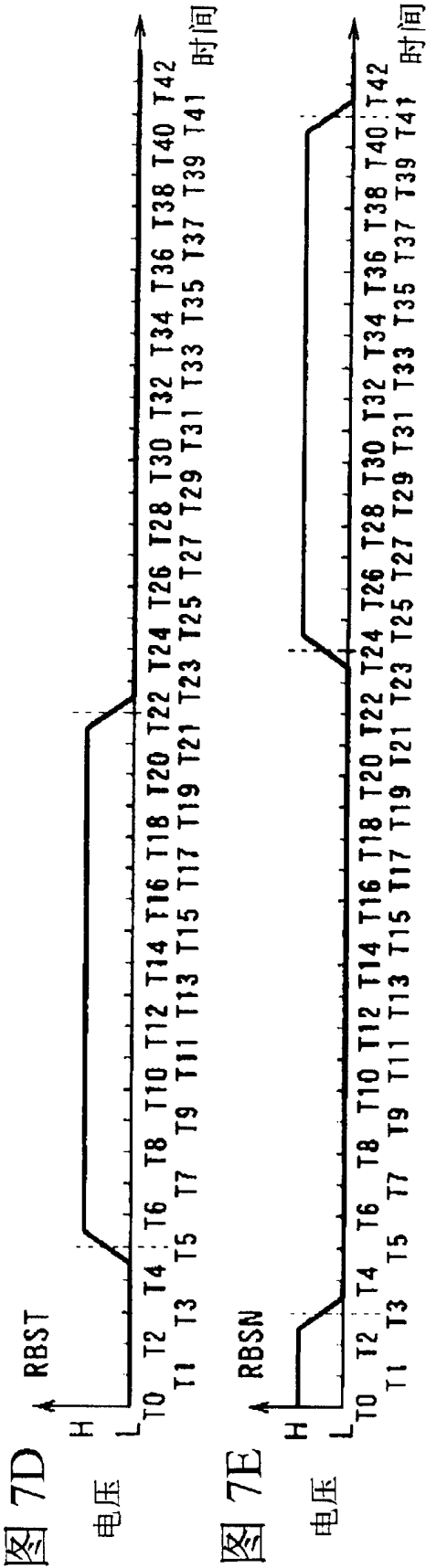


图 7F

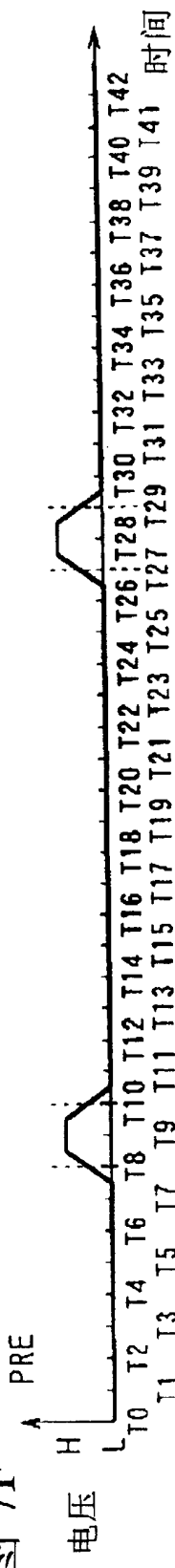


图 7G

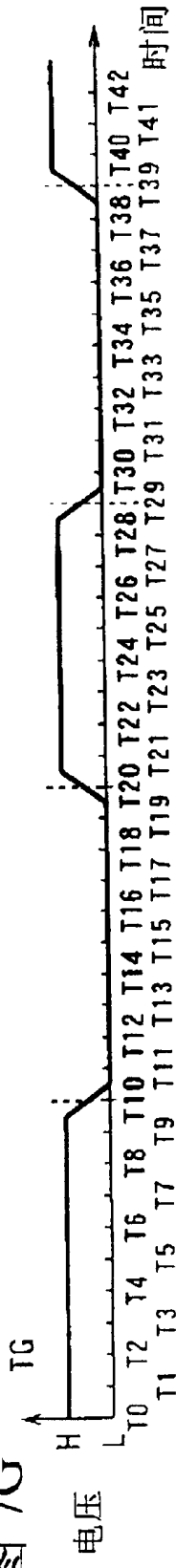


图 7H

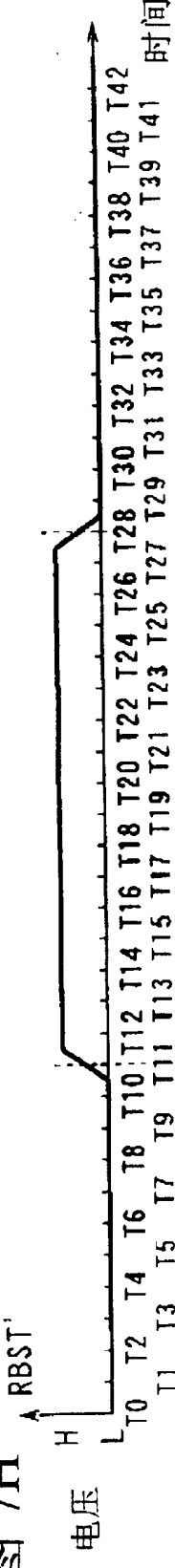


图 7I

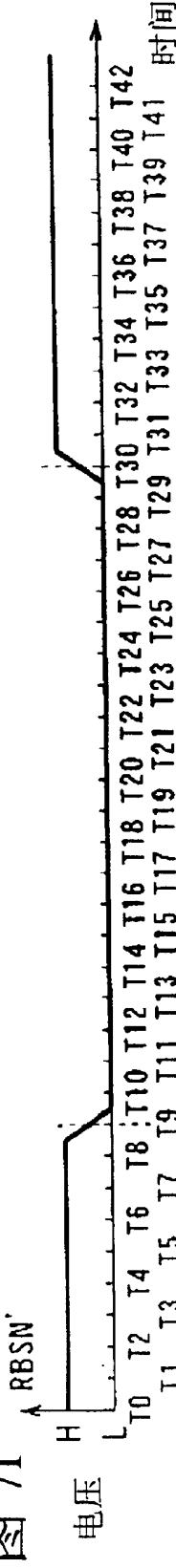


图 7J

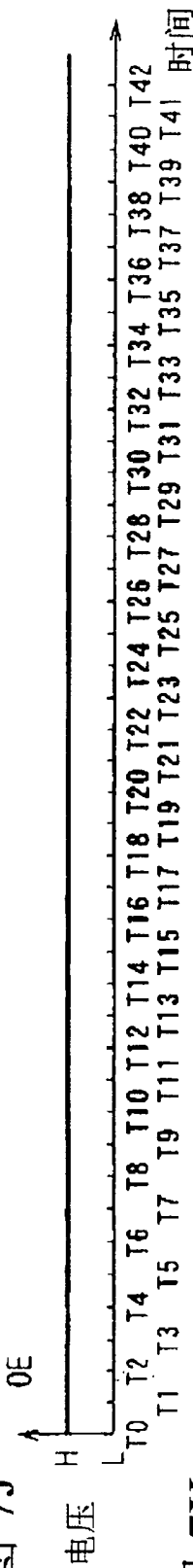


图 7K

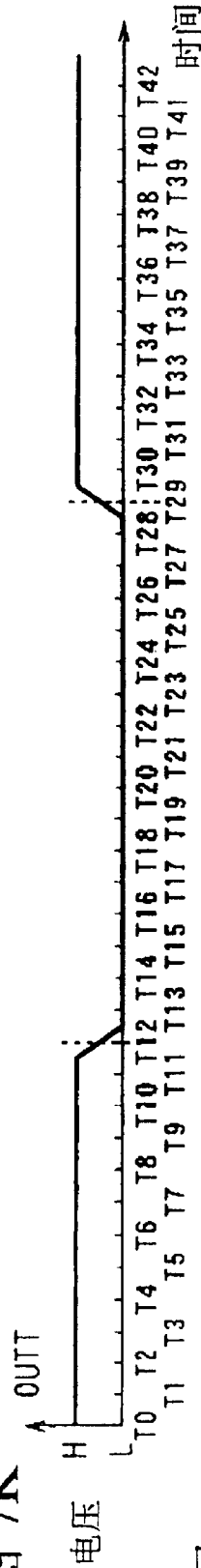


图 7L

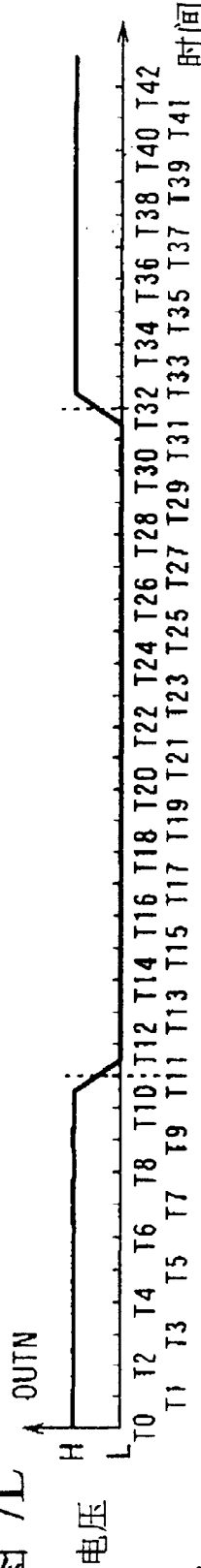


图 7M

