



등록특허 10-2675753



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

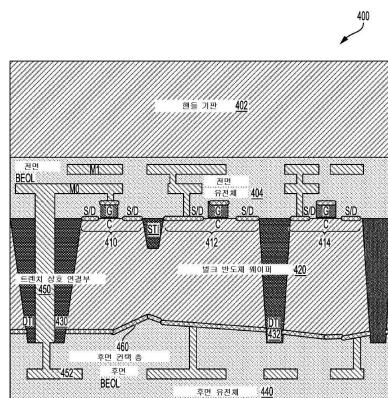
(45) 공고일자 2024년06월14일
(11) 등록번호 10-2675753
(24) 등록일자 2024년06월12일

- (51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01) *H01L 21/762* (2006.01)
H01L 21/8234 (2006.01) *H01L 23/48* (2006.01)
H01L 23/522 (2006.01) *H10N 97/00* (2023.01)
- (52) CPC특허분류
H01L 21/76898 (2013.01)
H01L 21/76229 (2013.01)
- (21) 출원번호 10-2020-7008515
- (22) 출원일자(국제) 2018년08월27일
심사청구일자 2021년08월03일
- (85) 번역문제출일자 2020년03월24일
- (65) 공개번호 10-2020-0057714
- (43) 공개일자 2020년05월26일
- (86) 국제출원번호 PCT/US2018/048125
- (87) 국제공개번호 WO 2019/067129
국제공개일자 2019년04월04일
- (30) 우선권주장
62/565,495 2017년09월29일 미국(US)
15/975,434 2018년05월09일 미국(US)
- (56) 선행기술조사문헌
JP2006278646 A*
(뒷면에 계속)
- 전체 청구항 수 : 총 10 항
- 심사관 : 김영진

(54) 발명의 명칭 후면 실리사이드화에 의한 벌크 층 전사 프로세싱

(57) 요 약

RFIC(radio frequency integrated circuit)는 벌크 반도체 다이를 포함한다. RFIC는 또한, 벌크 반도체 다이의 제1 면 상의 제1 액티브/페시브 디바이스, 및 제1 면으로부터 벌크 반도체 다이의 제1 면과 대향하는 제2 면으로 연장되는 제1 딥 트렌치 격리 영역을 포함한다. RFIC는 또한, 벌크 반도체 다이의 제2 면 상의 컨택 층을 포함한다. RFIC는 컨택 층 상의 제2 면 유전체 층을 더 포함한다. 제1 딥 트렌치 격리 영역은 컨택 층을 통해 제2 면 유전체 층 내로 연장될 수 있다.

대 표 도 - 도4

(52) CPC특허분류

H01L 21/823475 (2013.01)
H01L 21/823481 (2013.01)
H01L 23/481 (2013.01)
H01L 23/522 (2013.01)
H01L 28/10 (2013.01)
H01L 28/40 (2013.01)

(56) 선행기술조사문현

KR1020160060389 A*
KR1020160134700 A*
JP2004311949 A
JP2006108520 A
JP2007335642 A
JP2010114352 A
JP2015228473 A
JP2016526285 A
KR1020110124142 A
KR1020140131976 A
KR1020150028845 A
KR1020160130820 A
US09755029 B1
US20100099357 A1
US20160379936 A1

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

별크 반도체 다이 – 상기 별크 반도체 다이는 상기 별크 반도체 다이의 제1 면 상의 제1 액티브(active) 또는 패시브(passive) 디바이스를 포함함 –;

상기 제1 면으로부터 상기 별크 반도체 다이의 상기 제1 면과 대향하는 제2 면으로 연장되는 제1 딥 트렌치 격리(deep trench isolation) 영역;

상기 별크 반도체 다이의 상기 제2 면 상의 컨택 층;

상기 제1 액티브 또는 패시브 디바이스 상의 제1 면 유전체 층;

상기 컨택 층 상의 제2 면 유전체 층 – 상기 제1 딥 트렌치 격리 영역은 상기 컨택 층을 통해 상기 제2 면 유전체 층 내로 연장되고, 상기 제2 면 유전체 층은 상기 제1 면 유전체 층으로부터 떨어져 있음(distal) –;

상기 제1 면 유전체 층으로부터 상기 제1 딥 트렌치 격리 영역을 통해 상기 제2 면 유전체 층 내로 연장되는 트렌치 상호 연결부;

상기 트렌치 상호 연결부에 커플링된, 상기 제1 면 유전체 층 내의 제1 면 금속화 층; 및

상기 트렌치 상호 연결부에 커플링된, 상기 제2 면 유전체 층 내의 제2 면 금속화 층을 포함하고,

상기 제2 면 금속화 층은 상기 제1 면 금속화 층으로부터 떨어져 있는, RFIC(radio frequency integrated circuit).

청구항 2

제1 항에 있어서,

상기 제1 면 유전체 층 상의 핸들 기판을 더 포함하는, RFIC.

청구항 3

제1 항에 있어서,

상기 별크 반도체 다이의 상기 제1 면 상의 제2 액티브 또는 패시브 디바이스;

상기 제1 액티브 또는 패시브 디바이스와 상기 제2 액티브 또는 패시브 디바이스 사이의, 상기 별크 반도체 다이의 상기 제1 면 상의 쉘로우 트렌치 격리(STI: shallow trench isolation) 영역; 및

상기 제2 액티브 또는 패시브 디바이스에 근접한, 상기 별크 반도체 다이의 상기 제1 면으로부터 상기 제2 면으로 연장되는 제2 딥 트렌치 격리(DTI) 영역을 더 포함하는, RFIC.

청구항 4

제1 항에 있어서,

상기 컨택 층은 상기 별크 반도체 다이의 상기 제2 면의 전체 길이 상의 실리사이드 층을 포함하는, RFIC.

청구항 5

제1 항에 있어서,

상기 제1 액티브 또는 패시브 디바이스는 CMOS 트랜지스터를 포함하는, RFIC.

청구항 6

제1 항에 있어서,

RF 프론트 엔드 모듈에 통합되고,

상기 RF 프론트 엔드 모듈은 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정 위치 데이터 유닛, 모바일 폰, 및 휴대용 컴퓨터 중 적어도 하나에 통합되는, RFIC.

청구항 7

무선 트랜시버 – 상기 무선 트랜시버는, 벌크 반도체 다이의 제1 면 상의 제1 트랜지스터를 포함하는 상기 벌크 반도체 다이; 상기 제1 면으로부터 상기 벌크 반도체 다이의 상기 제1 면과 대향하는 제2 면으로 연장되는 제1 딥 트렌치 격리 영역; 상기 벌크 반도체 다이의 상기 제2 면 상의 컨택 층; 상기 제1 트랜지스터 상의 제1 면 유전체 층; 상기 컨택 층 상의 제2 면 유전체 층; 상기 제1 면 유전체 층으로부터 상기 제1 딥 트렌치 격리 영역을 통해 상기 제2 면 유전체 층 내로 연장되는 트렌치 상호 연결부; 상기 트렌치 상호 연결부에 커플링된, 상기 제1 면 유전체 층 내의 제1 면 금속화 층; 및 상기 트렌치 상호 연결부에 커플링된, 상기 제2 면 유전체 층 내의 제2 면 금속화 층을 포함하며, 상기 제1 딥 트렌치 격리 영역은 상기 컨택 층을 통해 상기 제2 면 유전체 층 내로 연장되고, 상기 제2 면 금속화 층은 상기 제1 면 금속화 층으로부터 떨어져 있음 –; 및

상기 무선 트랜시버의 출력에 커플링된 안테나를 포함하는, RF(radio frequency) 프론트 엔드 모듈.

청구항 8

제7 항에 있어서,

상기 무선 트랜시버는,

상기 벌크 반도체 다이의 상기 제1 면 상의 제2 트랜지스터;

상기 제1 트랜지스터와 상기 제2 트랜지스터 사이의, 상기 벌크 반도체 다이의 상기 제1 면 상의 셀로우 트렌치 격리(STI) 영역; 및

상기 제2 트랜지스터에 근접한, 상기 제1 면으로부터 상기 벌크 반도체 다이의 상기 제2 면으로 연장되는 제2 딥 트렌치 격리(DTI) 영역을 더 포함하는, RF 프론트 엔드 모듈.

청구항 9

제7 항에 있어서,

상기 무선 트랜시버는,

상기 제1 면 유전체 층 상의 핸들 기판을 더 포함하는, RF 프론트 엔드 모듈.

청구항 10

제7 항에 있어서,

뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정 위치 데이터 유닛, 모바일 폰, 및 휴대용 컴퓨터 중 적어도 하나에 통합되는, RF 프론트 엔드 모듈.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001]

[0001] 본 출원은, "BULK LAYER TRANSFER PROCESSING WITH BACKSIDE SILICIDATION"이라는 명칭으로 2017년 9월 29일자로 출원된 미국 특허 출원 번호 제 62/565,495 호를 우선권으로 주장하는, "BULK LAYER TRANSFER PROCESSING WITH BACKSIDE SILICIDATION"이라는 명칭으로 2018년 5월 9일자로 출원된 미국 특허 출원 번호 제 15/975,434 호를 우선권으로 주장하고, 상기 출원의 개시내용들은 그 전체가 본원에서 인용에 의해 명백하게 포함된다.

[0002]

[0002] 본 개시내용은 일반적으로 IC(integrated circuit)들에 관한 것이다. 더 구체적으로, 본 개시내용은 후면 실리사이드화(backside silicidation)에 의한 벌크 층 전사 프로세싱에 관한 것이다.

배경 기술

[0003]

[0003] 모바일 RF(radio frequency) 칩들(예컨대, 모바일 RF 트랜시버들)의 설계는 통신 향상들을 지원하기 위한 추가 회로 기능들에 의해 복잡해졌다. 이 모바일 RF 트랜시버들의 설계는 반도체 온 절연체(semiconductor on insulator) 기술의 사용을 포함할 수 있다. 반도체 온 절연체(SOI) 기술은, 종래의 반도체(예컨대, 실리콘) 기판들을, 기생 커패시턴스를 감소시키고 성능을 개선시키기 위해 계층화된 반도체-절연체-반도체 기판으로 대체한다. SOI-기반 디바이스들은, 실리콘 접합이 전기 아이솔레이터(electrical isolator), 통상적으로 BOX(buried oxide) 층 위에 있기 때문에, 종래의 실리콘-내장 디바이스(silicon-built device)들과 상이하다. 그러나, 두께가 감소된 BOX 층은 SOI 층 상의 액티브(active) 디바이스와 BOX 층을 지지하는 SOI 기판의 근접성에 의해 야기된 인공 고조파들을 충분히 감소시키지 못할 수 있다.

[0004]

[0004] 예컨대, 고 성능 CMOS(complementary metal oxide semiconductor) RF(radio frequency) 스위치 기술들은 현재 SOI 기판들을 사용하여 제조된다. SOI 기판들은 모바일 RF 트랜시버들에서 인공 고조파들에 대해 일부 보호를 제공할 수 있지만, SOI 기판들은 매우 비싸다. 게다가, 디바이스 격리를 증가시키고 RF 손실을 감소시키는 것은 비싼 핸들 웨이퍼들을 수반할 수 있다. 예컨대, CMOS 스위치 디바이스는 HR(high resistivity)-실리콘 또는 사파이어와 같은 HR 핸들 웨이퍼에 물리적으로 본딩될 수 있다. 하부 기판(underlying substrate)으로부터의 스위치 디바이스의 증가된 공간 분리는 CMOS 스위치의 RF 성능을 극적으로 개선시키지만, HR-실리콘 또는 사파이어 핸들 웨이퍼의 사용은 극적으로 비용을 증가시킨다. 즉, SOI 웨이퍼들 및 핸들 기판들의 사용은 벌크 반도체 웨이퍼의 비용에 비해 상당히 비싸다.

발명의 내용

[0005]

[0005] RFIC(radio frequency integrated circuit)는 벌크 반도체 다이를 포함할 수 있다. RFIC는 벌크 반도체 다이의 제1 면(first-side) 상의 제1 액티브/패시브 디바이스, 및 제1 면으로부터 벌크 반도체 다이의 제1 면과 대향하는 제2 면(second-side)으로 연장되는 제1 딥 트렌치 격리(deep trench isolation) 영역을 포함할 수 있다. RFIC는 또한, 벌크 반도체 다이의 제2 면 상의 컨택 층을 포함할 수 있다. RFIC는 컨택 층 상의 제2 면 유전체 층을 더 포함할 수 있다. 제1 딥 트렌치 격리 영역은 컨택 층을 통해 제2 면 유전체 층 내로 연장될 수 있다.

[0006]

[0006] RF(radio frequency) 집적 회로를 구성하는 방법은, 벌크 반도체 웨이퍼의 제1 면 상에 제1 트랜지스터를 제조하는 단계를 포함할 수 있다. 방법은 또한, 제1 트랜지스터에 근접하게, 벌크 반도체 웨이퍼 내에 제1 딥 트렌치 격리 영역을 형성하는 단계를 포함할 수 있다. 방법은 또한, 제1 트랜지스터 상에 제1 면 유전체 층을 증착시키는 단계를 포함할 수 있다. 방법은 제1 면 유전체 층에 헨들 기판을 본딩하는 단계를 더 포함할 수 있다. 방법은 또한, 벌크 반도체 웨이퍼의 제2 면에서 제1 딥 트렌치 격리 영역을 노출시키는 단계를 포함할 수 있다. 방법은 벌크 반도체 웨이퍼의 제2 면 상에 그리고 제1 딥 트렌치 격리 영역의 노출된 측벽들 상에 컨택 층을 증착시키는 단계를 더 포함할 수 있다.

[0007]

[0007] RF(radio frequency) 프론트 엔드 모듈은 무선 트랜시버를 포함할 수 있다. 무선 트랜시버는 벌크 반도체 다이의 제1 면 상의 제1 트랜지스터, 및 제1 면으로부터 벌크 반도체 다이의 제1 면과 대향하는 제2 면으로 연장되는 제1 딥 트렌치 격리 영역을 포함하는 벌크 반도체 다이를 포함할 수 있다. 무선 트랜시버는 또한, 벌크 반도체 다이의 제2 면 상의 컨택 층, 및 컨택 층 상의 제2 면 유전체 층을 포함할 수 있다. 제1 딥 트렌치 격리 영역은 컨택 층을 통해 제2 면 유전체 층 내로 연장될 수 있다. RF 프론트 엔드 모듈은 또한, 무선 트랜시버의 출력에 커플링된 안테나를 포함할 수 있다.

[0008]

[0008] 이것은 다음의 상세한 설명이 더 잘 이해될 수 있도록, 본 개시내용의 특징들 및 기술적 이점들을 상당히 광범위하게 요약하였다. 본 개시내용의 부가적 특징들 및 이점들이 이하에서 설명될 것이다. 본 개시내용은 본 개시내용의 동일한 목적들을 수행하기 위해 다른 구조들을 수정하거나 또는 설계하기 위한 기반으로서 용이하게 이용될 수 있다는 것이 당업자들에 의해 인식되어야 한다. 또한, 그러한 등가의 구성들이 첨부된 청구항들에서 기술된 바와 같은 본 개시내용의 교시 사항들로부터 벗어나지 않는다는 것이 당업자들에 의해 인식되어야 한다. 본 개시내용의 구조 및 동작 방법 둘 모두에 대해, 본 개시내용의 특성인 것으로 여겨지는 신규한 특징들은 추가적 목적들 및 이점들과 함께, 첨부한 도면들과 관련하여 고려될 때 다음의 설명으로부터 더 잘 이해될 것이다. 그러나, 도면들 각각이 단지 예시 및 설명만을 위해 제공되며, 본 개시내용의 제한들의 정의로서 의도되는 것이 아니라는 것이 명백하게 이해될 것이다.

도면의 간단한 설명

[0009]

[0009] 이제, 본 개시내용의 더 완전한 이해를 위해, 첨부한 도면들과 함께 살펴볼 다음의 설명에 대한 참조가 이루어진다.

[0010] 도 1은 칩셋을 위한 무선 근거리 네트워크 모듈 및 RF(radio frequency) 프론트 엔드 모듈을 갖는 무선 디바이스의 개략적 다이어그램이다.

[0011] 도 2는 RF 반도체 온 절연체(SOI) 디바이스를 포함하는 RFIC(radio frequency integrated circuit)의 단면도를 도시한다.

[0012] 도 3은 본 개시내용의 양상들에 따른 벌크 반도체 층 전사 프로세스를 사용하여 제조된 RFIC(radio frequency integrated circuit)의 단면도이다.

[0013] 도 4는 본 개시내용의 양상들에 따른, 벌크 반도체 다이의 후면 상의 컨택 층을 포함하는 벌크 반도체 다이를 갖는 RFIC(radio frequency integrated circuit)의 단면도이다.

[0014] 도 5a - 5g는 본 개시내용의 양상들에 따른, 도 4의 RFIC를 제조하기 위한 프로세스를 예시한다.

[0015] 도 6은 본 개시내용의 양상들에 따른 벌크 반도체 층 전사 프로세스를 사용하여 RFIC(radio frequency integrated circuit)를 구성하는 방법을 예시하는 프로세스 흐름 다이어그램이다.

[0016] 도 7은 본 개시내용의 구성이 유리하게 사용될 수 있는 예시적 무선 통신 시스템을 도시하는 블록 다이

어그램이다.

[0017] 도 8은 본 개시내용의 일 구성에 따른 반도체 컴포넌트의 회로, 레이아웃, 및 논리 설계에 사용되는 설계 워크스테이션을 예시하는 블록 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

[0010]

[0018] 첨부된 도면들과 관련하여 아래에서 기술되는 상세한 설명은 다양한 구성들의 설명으로서 의도되며, 본원에서 설명된 개념들이 실시될 수 있는 구성들만을 표현하도록 의도되지 않는다. 상세한 설명은 다양한 개념들의 철저한 이해를 제공할 목적으로 특정 세부사항들을 포함한다. 그러나, 이 개념들은 이 특정 세부사항들 없이 실시될 수 있다는 것이 당업자들에게 명백할 것이다. 일부 사례들에서는, 그러한 개념들을 모호하게 하는 것을 회피하기 위해, 잘 알려져 있는 구조들 및 컴포넌트들이 블록 다이어그램 형태로 도시된다.

[0011]

[0019] 본원에서 설명된 바와 같이, "및/또는"이라는 용어의 사용은 "포함적 논리합(inclusive OR)"을 나타내도록 의도되고, "또는"이라는 용어의 사용은 "배타적 논리합(exclusive OR)"을 나타내도록 의도된다. 본원에서 설명된 바와 같이, 본 설명 전반에 걸쳐 사용되는 "예시적"이라는 용어는, "예, 예증 또는 예시로서 제공되는"을 의미하며, 다른 예시적 구성들에 비해 선호되거나 또는 유리한 것으로 반드시 해석되지 않아야 한다. 본원에서 설명된 바와 같이, 본 설명 전반에 걸쳐 사용되는 "커플링된"이라는 용어는 "직접적으로든 또는 중간 연결(intervening connection)들(예컨대, 스위치)을 통해 간접적으로든, 전기적으로, 기계적으로, 또는 다른 방식으로 연결된"을 의미하며, 반드시 물리적 연결들에 제한되지 않는다. 추가적으로, 연결들은 오브젝트들이 영구적으로 연결되거나 또는 해제가능하게 연결되는 것일 수 있다. 연결들은 스위치들을 통해 이루어질 수 있다. 본원에서 설명된 바와 같이, 본 설명 전반에 걸쳐 사용되는 "근접한"이라는 용어는 "인접한, 매우 근접한, 바로 옆에, 또는 가까운"을 의미한다. 본원에서 설명된 바와 같이, 본 설명 전반에 걸쳐 사용되는 "~ 상에(on)"라는 용어는 일부 구성들에서 "직접적으로 ~ 상에" 그리고 다른 구성들에서 "간접적으로 ~ 상에"를 의미한다.

[0012]

[0020] 모바일 RF(radio frequency) 트랜시버들의 설계는 반도체 온 절연체 기술의 사용을 포함할 수 있다. 반도체 온 절연체(SOI) 기술은, 종래의 실리콘 기판들을, 기생 커파시턴스를 감소시키고 성능을 개선시키기 위해 계층화된 반도체-절연체-반도체 기판으로 대체한다. SOI-기반 디바이스들은 전기 아이솔레이터, 통상적으로 BOX(buried oxide) 층 위에 실리콘 접합을 포함함으로써 종래의 실리콘-내장 디바이스들과 상이하지만, SOI-기반 디바이스들은 종래의 실리콘-내장 디바이스들보다 더 비싸다. 게다가, 두께가 감소된 BOX 층은 SOI 층 상의 액티브 디바이스 및 BOX 층을 지지하는 SOI 기판의 근접성에 의해 야기된 인공 고조파들을 충분히 감소시키지 못할 수 있다.

[0013]

[0021] SOI 층 상의 액티브 디바이스들은 고 성능 CMOS(complementary metal oxide semiconductor) 트랜지스터들을 포함할 수 있다. 예컨대, 고 성능 CMOS RF 스위치 기술들은 현재 SOI 기판들을 사용하여 제조된다. RF FE(radio frequency front end) 모듈은 성공적 동작을 위해 이러한 고 성능 CMOS RF 스위치 기술들에 의존할 수 있다. 그에 따라서, RF FE 모듈을 제조하기 위한 프로세스는 이러한 고 성능 CMOS RF 스위치 기술들을 지원하기 위해 SOI 웨이퍼를 고가로 통합하는 것을 수반한다. 게다가, 향후 RF 성능 향상들을 지원하는 것은 RF 손실을 감소시키면서 디바이스 격리를 증가시키는 것을 수반한다.

[0014]

[0022] 디바이스 격리를 증가시키고 RF 손실을 감소시키기 위한 하나의 기법은 트랩 리치(trap rich) 영역들을 갖는 SOI 웨이퍼들을 사용하여 RF FE 모듈을 제조하는 것이다. 예컨대, RF 디바이스(예컨대, RF 스위치 디바이스)는 트랩 리치 영역을 갖는 SOI 웨이퍼를 사용하여 제조될 수 있다. 불행하게도, 트랩 리치 영역들을 갖는 SOI 웨이퍼들은 정규 SOI 웨이퍼들보다 약 2배의 비용이 든다. 대안적으로, 층 전사 프로세스는 (예컨대, HR(high resistivity)-실리콘 또는 사파이어와 같은) HR 핸들 웨이퍼에 RF 스위치 디바이스(예컨대, SOI 웨이퍼를 사용하여 제조됨)를 물리적으로 본딩할 수 있다. 다수의 절연 유전체 층들로 인한 증가된 공간 분리는 하부 기판으로부터 RF 스위치 디바이스를 격리시키며, 이는 RF 스위치 디바이스의 RF 성능을 극적으로 개선시킨다. 불행하게도, 예컨대, HR-실리콘 또는 사파이어 웨이퍼를 포함하는 HR 핸들 웨이퍼의 사용은 별크 반도체 웨이퍼의 비용에 비해 상당히 비싸다.

[0015]

[0023] 본 개시내용의 다양한 양상들은 후면 실리사이드화에 의한 별크 층 전사 프로세싱을 위한 기법들을 제공한다. 집적 RF 회로의 반도체 제조를 위한 프로세스 흐름은 FEOL(front-end-of-line) 프로세스들, MOL(middle-of-line) 프로세스들, 및 BEOL(back-end-of-line) 프로세스들을 포함할 수 있다. "층"이라는 용어는 막을 포함하며, 달리 서술되지 않는 한, 수직 또는 수평 두께를 표시하는 것으로 해석되지 않아야 한다는 것이 이해될 것이다. 본원에서 설명된 바와 같이, "기판"이라는 용어는 다이싱된 웨이퍼(diced wafer)의 기판을

지칭할 수 있거나 또는 다이싱되지 않은 웨이퍼의 기판을 지칭할 수 있다. 유사하게, 칩 및 다이라는 용어들은 상호 교환가능하게 사용될 수 있다.

[0016] [0024] 본 개시내용의 양상들은 SOI 웨이퍼들을 대체하기 위한 벌크 반도체(예컨대, 실리콘) 웨이퍼의 사용을 포함한다. 즉, 본 개시내용의 양상들은 비싼 SOI 웨이퍼를 사용하지 않고 반도체 디바이스 층을 형성하기 위해 저렴한 벌크 반도체 웨이퍼들을 사용한다. 본 개시내용의 이러한 양상에 따르면, RFIC(radio frequency integrated circuit)는 벌크 반도체 다이의 전면(front-side) 상의 반도체 디바이스 층을 포함한다. 딥 트렌치 격리 영역은 전면으로부터 벌크 반도체 다이의 전면에 대향하는 후면으로 연장될 수 있다.

[0017] [0025] 실리사이드 층은 컨택 층으로서 벌크 반도체 다이의 후면 상에 증착될 수 있다. 또한, 벌크 반도체 다이의 후면은 반도체 디바이스 층 상의 전면 유전체 층(예컨대, 제1 면 유전체 층)으로부터 멀리 있는(distal) 후면 유전체 층(예컨대, 제2 면 유전체 층)에 의해 지지될 수 있다. RFIC는 또한 전면 유전체 층 상의 핸들 기판을 포함할 수 있다. 전면 및 후면은 각각 제1 면 또는 제2 면으로 지칭될 수 있다. 일부 경우들에서, 전면은 제1 면으로 지칭될 것이다. 다른 경우들에서는, 후면이 제1 면으로 지칭될 것이다.

[0018] [0026] 도 1은 칩셋을 위한 무선 근거리 네트워크 모듈 및 RF(radio frequency) 프론트 엔드 모듈을 갖는 무선 디바이스(예컨대, 셀룰러 폰 또는 스마트폰)의 개략적 다이어그램이다. 무선 디바이스(100)는 본 개시내용의 양상들에 따른, 벌크 반도체 다이를 사용하여 제조될 수 있는, 칩셋(110)을 위한 무선 근거리 네트워크(WLAN) (예컨대, WiFi) 모듈(150) 및 RF 프론트 엔드 모듈(170)을 포함할 수 있다. WiFi 모듈(150)은 안테나(162)를 무선 근거리 네트워크 모듈(예컨대, WLAN 모듈(152))에 통신가능하게 커플링하는 제1 디아플렉서(160)를 포함한다. RF 프론트 엔드 모듈(170)은 듀플렉서(180)(DUP)를 통해 안테나(192)를 무선 트랜시버(120)(WTR)에 통신가능하게 커플링하는 제2 디아플렉서(190)를 포함한다.

[0019] [0027] 무선 트랜시버(120) 및 WiFi 모듈(150)의 WLAN 모듈(152)은 PMIC(power management integrated circuit)(140)를 통해 전원(102)에 의해 전력을 공급받는 모뎀(MSM, 예컨대, 기저대역 모뎀)(130)에 커플링된다. 칩셋(110)은 또한 신호 무결성을 제공하기 위해 커패시터들(112 및 114)뿐만 아니라 인더터(들)(116)를 포함한다. PMIC(140), 모뎀(130), 무선 트랜시버(120) 및 WLAN 모듈(152)은 각각 커패시터들(예컨대, 142, 132, 122 및 154)을 포함하며, 클럭(118)에 따라 동작한다. 칩셋(110) 내의 다양한 인더터 및 커패시터 컴포넌트들의 기하학적 구조(geometry) 및 어레인지먼트(arrangement)는 컴포넌트들 사이의 전자기적 커플링을 감소시킬 수 있다.

[0020] [0028] 무선 디바이스(100)의 무선 트랜시버(120)는 일반적으로 양방향 통신을 위한 데이터를 송신 및 수신하기 위한 모바일 RF 트랜시버를 포함한다. 모바일 RF 트랜시버는 데이터 송신을 위한 송신 셙션 및 데이터 수신을 위한 수신 셙션을 포함할 수 있다. 데이터 송신을 위해, 송신 셙션은 변조된 RF 신호를 획득하기 위해 데이터로 RF 캐리어 신호를 변조하고, 적절한 출력 전력 레벨을 갖는 증폭된 RF 신호를 획득하기 위해 전력 증폭기(PA)를 사용하여 변조된 RF 신호를 증폭시키고, 그리고 증폭된 RF 신호를 안테나(192)를 통해 기지국으로 송신할 수 있다. 데이터 수신을 위해, 수신 셙션은 수신된 RF 신호를 안테나(192)를 통해 획득할 수 있으며, 저잡음 증폭기(LNA)를 사용하여 수신된 RF 신호를 증폭시키고, 수신된 RF 신호를 프로세싱하여 통신 신호에서 기지국에 의해 전송된 데이터를 복구할 수 있다.

[0021] [0029] 무선 트랜시버(120)는 이 통신 신호들을 증폭시키기 위한 하나 이상의 회로들을 포함할 수 있다. 증폭기 회로들(예컨대, LNA/PA)은 하나 이상의 구동기 스테이지들 및 하나 이상의 증폭기 출력 스테이지들을 가질 수 있는 하나 이상의 증폭기 스테이지들을 포함할 수 있다. 증폭기 스테이지들 각각은 통신 신호들을 증폭시키기 위한 다양한 방식들로 구성된 하나 이상의 트랜지스터들을 포함한다. 무선 트랜시버(120)에 의해 송신 및 수신된 통신 신호들을 증폭시키도록 구성된 트랜지스터들을 제조하기 위한 다양한 옵션들이 존재한다.

[0022] [0030] 무선 트랜시버(120) 및 RF 프론트 엔드 모듈(170)은 도 2에 도시된 바와 같이, 기판으로부터 액티브 디바이스를 분리하기 위해 층 전사 프로세스를 사용하여 구현될 수 있다.

[0023] [0031] 도 2는 층 전사 프로세스를 사용하여 제조될 수 있는, RF 반도체 온 절연체(SOI) 디바이스를 포함하는 RF(radio frequency) 집적 회로(200)의 단면도를 도시한다. 도 2에 도시된 바와 같이, RF 디바이스는 희생 기판(201)에 의해 초기에 지지된, 절연체 층(220) 상의 액티브 디바이스(210)를 포함한다. RF 디바이스는 또한, 제1 유전체 층(204) 내의 액티브 디바이스(210)에 커플링된 상호 연결부들(250)을 포함한다. 층 전사 프로세스에서, 핸들 기판(202)은 희생 기판(201)의 제거를 가능하게 하기 위해 RF 디바이스의 제1 유전체 층(204)에 본딩된다. 층 전사 프로세스를 사용하는 희생 기판(201)의 제거는, 예컨대, 제1 유전체 층(204)의 유전체 두께를

증가시킴으로써 고-성능의 저-기생(low-parasitic) RF 디바이스들을 인에이블(enable)시킨다. 즉, RF 디바이스의 기생 커페시턴스는 유전체 두께에 비례하며, 이는 액티브 디바이스(210)와 핸들 기판(202) 사이의 거리를 결정한다.

[0024] [0032] BOX 층(220) 상의 액티브 디바이스(210)는 CMOS(complementary metal oxide semiconductor) 트랜지스터일 수 있다. RFFE 모듈(170)(도 1)은 성공적 동작을 위해 이러한 고 성능 CMOS RF 기술들에 의존할 수 있다.

[0025] [0033] 도 3은 본 개시내용의 양상들에 따른 벌크 반도체 층 전사 프로세스를 사용하여 제조된 RFIC(radio frequency integrated circuit)의 단면도이다. 대표적으로, RF 접적 회로(300)는 벌크 반도체 웨이퍼(320)의 전면 상에 각각 형성된 게이트, 소스/드레인(S/D) 영역들, 및 소스/드레인 영역들 사이의 채널 영역을 갖는 액티브 디바이스(310)를 포함한다. SOI 구현들과 대조적으로, 소스/드레인 및 채널 영역들을 포함하는 액티브 디바이스 층은 BOX(buried oxide) 층에 의해 지지되지 않는다. 액티브 디바이스로서 도시되지만, 액티브 디바이스(310)는 제1 액티브/패시브 디바이스뿐만 아니라 제2 액티브/패시브 디바이스일 수 있다는 것이 인식되어야 한다.

[0026] [0034] RF 접적 회로(300)는 또한 액티브 디바이스(310)의 소스/드레인 영역들에 커플링된 MOL(middle-of-line)/BEOL(back-end-of-line) 상호 연결부들을 포함한다. 설명된 바와 같이, MOL/BEOL 층들은 제1 면(예컨대, 전면) 층들로 지칭될 수 있다. 이에 반해, 벌크 반도체 웨이퍼(320)를 지지하는 층들은 제2 면(예컨대, 후면) 층들로 지칭될 수 있다. 이 예에서, 전면 금속화 층(M1)은 액티브 디바이스(310)의 소스/드레인 영역들에 커플링되며, 전면 유전체 층(304)에 배열된다. 또한, 핸들 기판(302)은 전면 유전체 층(304)에 커플링된다. 후면 유전체(340)는 벌크 반도체 웨이퍼(320)에 인접하며, 가능하게는 이를 지지한다. 또한, 후면 금속화 층(예컨대, 제2 면 금속화 층)은 도 4에 추가로 예시된 바와 같이, 벌크 반도체 웨이퍼(320)의 전면으로부터 후면으로 연장되는 딥 트렌치 격리(DTI) 영역(330)을 통해 트렌치 상호 연결부(350)에 의해 전면 금속화 층(M1)에 커플링된다.

[0027] [0035] 도 4는 본 개시내용의 양상들에 따른, 벌크 반도체 다이의 후면 상의 컨택 층을 포함하는 벌크 반도체 다이를 갖는 RFIC(radio frequency integrated circuit)의 단면도이다. 대표적으로, RF 접적 회로(400)는 벌크 반도체 웨이퍼(420)(예컨대, 벌크 실리콘 웨이퍼)의 전면 상에 각각 형성된 게이트(G), 소스/드레인(S/D) 영역들, 및 소스/드레인 영역들 사이의 채널(C) 영역을 각각 갖는 제1 액티브 디바이스(410), 제2 액티브 디바이스(412), 및 제3 액티브 디바이스(414)를 포함한다. SOI 구현들과 대조적으로, 액티브 디바이스들(예컨대, 410, 412, 및 414)의 소스/드레인 및 채널 영역들을 포함하는 액티브 디바이스 층은 BOX(buried oxide) 층에 의해 지지되지 않는다.

[0028] [0036] 제1 액티브 디바이스로서 도시되지만, 제1 액티브 디바이스(410)는 제1 액티브/패시브 디바이스뿐만 아니라 제2 액티브 디바이스(412)와 같은 제2 액티브/패시브 디바이스일 수 있다는 것이 인식되어야 한다. 또한, 평면 디바이스들로서 도시되지만, 액티브 디바이스들(예컨대, 410, 412 및 414)은 평면 디바이스들에 제한되지 않는다는 것이 인식되어야 한다. 예컨대, 액티브 디바이스들(예컨대, 410, 412 및 414)은 평면 FET(field effect transistor)들, FinFET(fin-type FET)들, 나노와이어 FET들, 또는 다른 유사한 FET들을 포함할 수 있지만, 이에 제한되지 않는다.

[0029] [0037] RF 접적 회로(400)는 또한, 액티브 디바이스들(예컨대, 410, 412 및 414)의 소스/드레인 영역들뿐만 아니라 게이트에 커플링된 MOL 상호 연결부들(M0) 및 BEOL 상호 연결부들(M1)을 포함한다. MOL 상호 연결부들은 트렌치 상호 연결부들(예컨대, CA, CB), 및 BEOL(back-end-of-line) 프로세싱 동안 형성된 금속화 층들에 FEOL(front-end-of-line) 동안 형성된 액티브 디바이스들을 커플링시키기 위한 비아들(예컨대, V0)을 포함할 수 있다. 이 예에서, MOL 상호 연결부(M0)는 제1 액티브 디바이스(410)의 게이트의 게이트 컨택(예컨대, 폴리 컨택(poly contact))에 커플링되며, 전면 유전체 층(404)에 배열된다. 또한, 핸들 웨이퍼(402)(핸들 기판)는 전면 유전체 층(404)에 커플링된다. 후면 유전체 층(440)은 벌크 반도체 웨이퍼(420)에 인접하며, 가능하게는 이를 지지한다.

[0030] [0038] 이러한 구성에서, 후면 금속화 층(예컨대, 제2 면 금속화 층)은 트렌치 상호 연결부(450)를 통해 전면 MOL 제로 상호 연결부(M0)에 커플링된다. 트렌치 상호 연결부(450)는 벌크 반도체 웨이퍼(420)의 전면으로부터 후면으로 제1 딥 트렌치 격리(DTI) 영역(430)을 통해 연장된다. 후면 금속화는 또한 후면 컨택 층(460)에 커플링될 수 있다.

[0031] [0039] 본 개시내용의 양상들에 따르면, 제1 DTI 영역(430)은 후면 컨택 층(460)을 통해 후면 유전체 층(440)

내로 연장된다. 유사하게, 제2 딥 트렌치 격리(DTI) 영역(432)은 후면 컨택 층(460)을 통해 후면 유전체 층(440) 내로 연장된다. 이 예에서, 후면 컨택 층(460)은 벌크 반도체 웨이퍼(420)의 후면을 따라 증착된다. 후면 컨택 층(460)은 실리사이드 재료 또는 다른 유사한 전도성 재료로 구성될 수 있다. 후면 컨택 층(460)은 또한 벌크 반도체 웨이퍼(420)의 후면으로부터 연장되는 제1 DTI 영역(430)의 일부분과 컨택한다. 또한, 후면 유전체 층(440)은 벌크 반도체 웨이퍼(420)의 후면으로부터 연장되는 제1 DTI 영역(430)의 나머지 부분과 컨택한다.

[0032] [0040] 도 2에 도시된 층 전사 프로세스는 도 4에 도시된 바와 같이, 비싼 SOI 기판들을 사용하지 않고 CMOS 제품들(예컨대, CMOS 트랜지스터)을 생성하기 위해 벌크 반도체 웨이퍼들과 함께 사용될 수 있다. 본 개시내용의 다양한 양상들은 도 5a - 5g에서 설명된 바와 같이, 후면 실리사이드화에 의한 벌크 층 전사 프로세싱을 위한 기법들을 제공한다. 본 개시내용의 일 양상은 예컨대, 도 4에 도시된 바와 같이, RF 집적 회로를 형성하기 위해 후면 실리사이드화(도 6)를 갖는 벌크 층 전사 프로세스를 사용한다.

[0033] [0041] 도 5a - 5g는 본 개시내용의 양상들에 따른, 도 4의 RF 집적 회로(400)를 제조하기 위한 프로세스를 예시한다. 도 5a는 도 4의 RF 집적 회로(400)를 형성하기 위한 초기 단계를 예시한다. 이 프로세스는 벌크 실리콘 웨이퍼와 같은 CMOS(complementary metal oxide semiconductor) 웨이퍼로 시작할 수 있다. 다음으로, 제1 액티브 디바이스(410), 제2 액티브 디바이스(412), 및 제3 액티브 디바이스(414)를 형성하기 위해 벌크 반도체 웨이퍼(420)에 대해 CMOS FEOL(front-end-of-line) 통합이 수행된다. 이 예에서, 제1 액티브 디바이스(410) 및 제2 액티브 디바이스(412)는 쉘로우 트렌치 격리(STI: shallow trench isolation) 영역에 의해 분리된다. 이에 반해, 제2 액티브 디바이스(412) 및 제3 액티브 디바이스(414)는 제2 DTI 영역(432)에 의해 분리된다. RF 집적 회로(400)의 제조 프로세스를 간략화하기 위해 제1 액티브 디바이스(410) 및 제2 액티브 디바이스(412)가 DTI 영역에 의해 분리된다는 것이 인식되어야 한다.

[0034] [0042] 본 개시내용의 양상들에 따르면, STI 영역들은 액티브 디바이스 분리에 사용되는 반면, DTI 영역들은 포스트 층 전사 분리에 사용된다. 제1 DTI 영역(430) 및 제2 DTI 영역(432)의 깊이는 0.4 내지 4 마이크로미터의 범위에 있을 수 있지만, 제1 DTI 영역(430) 및 제2 DTI 영역(432)의 깊이는 향후 프로세스들에 대해 감소될 수 있다. DTI 영역들뿐만 아니라 STI 영역들은 실리콘 다이옥사이드(SiO_2)와 같은 유사한 유전체 재료로 충전되고, 액티브 디바이스들 이전에 형성될 수 있다.

[0035] [0043] 일단 액티브 디바이스들이 형성되면, MOL 프로세스들은 액티브 디바이스들을 BEOL 상호 연결 층들에 연결시킨다. 이 예에서, 제로-층 상호 연결부(zero-layer interconnect)(M0)는 제1 액티브 디바이스(410)의 게이트(G)에 커플링된다. 또한, 제1 BEOL 상호 연결부(M1)는 제로-층 상호 연결부(M0)에 커플링된다. 제1 BEOL 상호 연결부(M1)는 전면 BEOL 프로세스의 일부로서 형성된다. 이 프로세스 이후에 전면 유전체 층(404)을 증착시킨다. 일단 전면 유전체 층(404)이 증착되면, 핸들 웨이퍼(402)는 전면 유전체 층(404)에 본딩된다. 핸들 웨이퍼(402)는 프로세싱된 웨이퍼 또는 베어 웨이퍼(bare wafer)일 수 있다.

[0036] [0044] 도 5b는 벌크 반도체 웨이퍼(420)의 백그라인드(backgrind) 프로세스를 예시한다. 이 초기 백그라인드 프로세스는 액티브 디바이스 층으로부터 멀리 있는, 벌크 반도체 웨이퍼(420)의 후면에 적용된다. 이 초기 백그라인드 프로세스는 약 5 내지 10 마이크로미터의 표면 변화를 남길 수 있다. 백그라인드 프로세스가 도 5c에서 계속되며, 여기서 CMP(chemical mechanical polish) 프로세스는 벌크 반도체 웨이퍼(420)의 후면에 적용된다. 이 CMP 프로세스는 벌크 반도체 웨이퍼(420)의 후면의 표면 변화를 0.1 마이크로미터 내지 0.4 마이크로미터, 바람직하게 0.1 마이크로미터의 범위로 감소시킬 수 있다. 이 CMP 프로세스는 제1 DTI 영역(430) 또는 제2 DTI 영역(432)을 노출시키지 않는다.

[0037] [0045] 도 5b에 도시된 바와 같이, 백그라인드 프로세스는 5-10 미크론의 표면 변화로 벌크 반도체 웨이퍼(420)의 후면에 적용될 수 있다. 표면 변화는 도 5c에 도시된 바와 같이, 벌크 반도체 웨이퍼(420)의 후면을 사전 결정된 표면 변화(예컨대, 0.3 미크론 미만)로 연마함으로써 감소될 수 있다. 또한, 실리콘 에칭(예컨대, 포타슘 하이드록사이드(KOH) 또는 테트라메틸암모늄 하이드록사이드(TMAH)), CMP(chemical mechanical polish), 또는 CMP와 에칭의 조합은 벌크 반도체 웨이퍼의 두께를 DTI 영역들의 두께와 동일하거나 또는 그 미만의 두께로 감소시키기 위해 수행될 수 있다.

[0038] [0046] 도 5d에 도시된 바와 같이, 제1 DTI 영역(430)뿐만 아니라 제2 DTI 영역(432)의 일부분을 노출시키기 위해 실리콘 에칭/CMP가 벌크 반도체 웨이퍼(420)의 후면 상에서 수행된다. 본 개시내용의 추가적 양상에서, 벌크 반도체 웨이퍼(420)의 후면의 평탄성을 개선시키기 위해 에칭 중지 층이 벌크 반도체 웨이퍼(420) 내에 형성될 수 있다. 일단 제1 DTI 영역(430) 및 제2 DTI 영역(432)이 노출되면, 후면 컨택 층(460)을 형성하기 위해

포스트-층 전사 실리사이드 층이 벌크 반도체 웨이퍼(420)의 후면의 전체 길이 상에 증착될 수 있으며, 이는 도 5e에서 추가로 설명된다.

[0039] [0047] 도 5f에 도시된 바와 같이, 트렌치 상호 연결부(450)는 제1 DTI 영역(430)을 통해 형성된다. 이 예에서, 트렌치 상호 연결부(450)는 전면 유전체 층(404)에서 전면 제로 상호 연결부(M0)에 커플링된다. 도 5g에 도시된 바와 같이, RF 접적 회로(400)는, 후면 BEOL 상호 연결부(452)를 형성하고 후면 유전체 층(440)을 증착시킴으로써 완성된다. 후면 유전체 층(440)은 벌크 반도체 웨이퍼(420)의 후면 및 벌크 반도체 웨이퍼(420)의 후면으로부터 연장되는 제1 DTI 영역(430)의 노출된 측벽들 상에 증착된다. 이 예에서, 후면 유전체 층(440)은 전면 유전체 층(404)으로부터 멀리 있다. 이 예에서, 후면 BEOL 상호 연결부(452)는 트렌치 상호 연결부(450)를 통해 전면 제로 상호 연결부(M0)에 커플링된다.

[0040] [0048] 도 6은 본 개시내용의 양상에 따라 RFIC(radio frequency integrated circuit)를 구성하기 위한 제2 면(예컨대, 후면) 실리사이드화를 갖는 벌크 층 전사 프로세스의 방법(600)을 예시하는 프로세스 흐름 다이어그램이다. 블록(602)에서, 제1 트랜지스터가 벌크 반도체 웨이퍼의 제1 면 상에 제조된다. 예컨대, 도 4에 도시된 바와 같이, 제1 액티브 디바이스(410)는 벌크 반도체 웨이퍼(420)의 제1 면 상에 제조된다. 블록(604)에서, 제1 딥 트렌치 격리 영역이 제1 트랜지스터에 근접하게, 벌크 반도체 웨이퍼 내에 형성된다. 예컨대, 도 4에 도시된 바와 같이, 제1 DTI 영역(430)은 벌크 반도체 웨이퍼(420)의 제1 면으로부터 제2 면으로 연장된다.

[0041] [0049] 방법(600)은 벌크 반도체 웨이퍼의 제1 면 상에 제2 트랜지스터를 제조하는 단계를 더 포함할 수 있다. 예컨대, 도 4에 도시된 바와 같이, 제2 액티브 디바이스(412)는 제1 액티브 디바이스(410)에 인접하게 제조된다. STI 영역은 액티브 디바이스들을 형성하기 이전에, 제1 액티브 디바이스(410)와 제2 액티브 디바이스(412) 사이에, 벌크 반도체 웨이퍼(420)의 제1 면 상에 형성될 수 있다. 다음으로, 제2 DTI 영역(432)은 제2 액티브 디바이스(412)에 근접하게, 벌크 반도체 웨이퍼(420)의 제1 면으로부터 제2 면으로 연장되어 형성될 수 있다. 예컨대, 도 4에 도시된 바와 같이, 제2 DTI 영역(432)은 제2 액티브 디바이스(412)와 제3 액티브 디바이스(414) 사이에 형성된다.

[0042] [0050] 도 6을 다시 참조하면, 블록(606)에서, 제1 면 유전체 층이 제1 트랜지스터 상에 증착된다. 예컨대, 도 4에 도시된 바와 같이, 전면 유전체 층(404)은 제1 액티브 디바이스(410) 상에 증착된다. 도 6을 다시 참조하면, 블록(608)에서, 핸들 기판이 제1 면 유전체 층에 본딩된다. 예컨대, 도 4에 도시된 바와 같이, 핸들 웨이퍼(402)는 전면 유전체 층(404)에 본딩된다. 블록(610)에서, 제1 딥 트렌치 격리 영역이 벌크 반도체 웨이퍼의 제2 면에서 노출된다.

[0043] [0051] 예컨대, 도 5d에 도시된 바와 같이, 제1 DTI 영역(430)은 벌크 반도체 웨이퍼(420)의 제2 면에서 노출된다. 제1 DTI 영역(430)의 노출은, 벌크 반도체 웨이퍼의 제2 면을 백그라인딩하고, 벌크 반도체 웨이퍼의 제2 면을 사전 결정된 표면 변화로 연마함으로써 수행될 수 있다. 도 6을 다시 참조하면, 블록(612)에서, 컨택 층이 벌크 반도체 웨이퍼의 제2 면 상에 그리고 제1 딥 트렌치 격리 영역의 노출된 측벽들 상에 증착된다. 예컨대, 도 5e에 도시된 바와 같이, 후면 컨택 층(460)은 후면 실리사이드 프로세스를 사용하여 벌크 반도체 웨이퍼(420)의 후면 상에 증착된다.

[0044] [0052] 본 개시내용의 양상들은 SOI 웨이퍼들을 대체하기 위한 벌크 반도체(예컨대, 실리콘) 웨이퍼의 사용에 관한 것이다. 즉, 본 개시내용의 양상들은 비싼 SOI 웨이퍼를 사용하지 않고 반도체 디바이스 층을 형성하기 위해 저렴한 반도체 웨이퍼들을 사용한다. 본 개시내용의 일 양상은, 제1 면 상의 액티브 디바이스 층 및 벌크 반도체 웨이퍼의 제2 면 상의 컨택 층을 포함하는 벌크 반도체 웨이퍼를 형성하기 위해 층 전사를 갖는 후면 실리사이드화 프로세스를 사용한다. 또한, 포스트-층 전사 금속화 프로세스는 벌크 반도체 웨이퍼 내의 딥 트렌치 격리 영역을 통해 연장되는 트렌치 상호 연결부에 의해 제1 면 금속화에 커플링된 제2 면 금속화의 형성을 가능하게 한다.

[0045] [0053] 본 개시내용의 추가적 양상에 따르면, 제1 면 상의 액티브/패시브 디바이스를 갖는 벌크 반도체 다이, 및 제1 면으로부터 벌크 반도체 다이의 제1 면에 대향하는 제2 면으로 연장되는 딥 트렌치 격리 영역을 포함하는 RF 접적 회로가 설명된다. RF 접적 회로는 액티브/패시브 디바이스 상의 제1 면 유전체 층을 포함한다. RF 접적 회로 구조는 또한 제1 면 유전체 층 상의 RF 접적 회로를 핸들링하기 위한 수단을 포함한다. 핸들링 수단은 도 3에 도시된 핸들 웨이퍼일 수 있다. 본 개시내용의 다른 양상에서, 전술된 수단은 전술된 수단에 의해 기술된 기능들을 수행하도록 구성된 임의의 모듈 또는 임의의 장치일 수 있다.

[0046] [0054] 도 7은 본 개시내용의 양상이 유리하게 사용될 수 있는 예시적 무선 통신 시스템(700)을 도시하는 블록

다이어그램이다. 예시를 목적으로, 도 7은 3개의 원격 유닛들(720, 730 및 750) 및 2개의 기지국들(740)을 도시한다. 무선 통신 시스템들이 훨씬 더 많은 원격 유닛들 및 기지국들을 가질 수 있다는 것이 인식될 것이다. 원격 유닛들(720, 730 및 750)은 개시된 RFIC를 포함하는 IC 디바이스들(725A, 725C, 및 725B)을 포함한다. 다른 디바이스들은 개시된 RFIC, 이를테면, 기지국들, 스위칭 디바이스들, 및 네트워크 장비를 또한 포함할 수 있다는 것이 인식될 것이다. 도 7은 기지국(740)으로부터 원격 유닛들(720, 730 및 750)로의 순방향 링크 신호들(780) 및 원격 유닛들(720, 730 및 750)로부터 기지국들(740)로의 역방향 링크 신호들(790)을 도시한다.

[0047] [0055] 도 7에서, 원격 유닛(720)은 모바일 전화로서 도시되고, 원격 유닛(730)은 휴대용 컴퓨터로서 도시되며, 원격 유닛(750)은 무선 로컬 루프 시스템의 고정 위치 원격 유닛으로서 도시된다. 예컨대, 원격 유닛은, 모바일 폰, 핸드-헬드 PCS(personal communication systems) 유닛, PDA(personal digital assistant)와 같은 휴대용 데이터 유닛, GPS 가능 디바이스, 네비게이션 디바이스, 셋탑 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 계측 장비와 같은 고정 위치 데이터 유닛, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 리트리브하는 다른 통신 디바이스, 또는 이들의 조합들일 수 있다. 도 7은 본 개시내용의 양상들에 따른 원격 유닛들을 예시하지만, 본 개시내용은 이러한 예시적인 예시된 유닛들에 제한되지 않는다. 본 개시내용의 양상들은 개시된 RFIC를 포함하는 많은 디바이스들에서 적합하게 사용될 수 있다.

[0048] [0056] 도 8은 위에서 개시된 RF 디바이스들과 같은 반도체 컴포넌트의 회로, 레이아웃, 및 논리 설계에 사용되는 설계 워크스테이션을 예시하는 블록 다이어그램이다. 설계 워크스테이션(800)은 운영 시스템 소프트웨어, 지원 파일들, 및 Cadence 또는 OrCAD와 같은 설계 소프트웨어를 포함하는 하드 디스크(801)를 포함한다. 설계 워크스테이션(800)은 또한 회로 설계(810) 또는 RFIC 설계(812)를 가능하게 하기 위한 디스플레이(802)를 포함한다. 회로 설계(810) 또는 RFIC 설계(812)를 유형적으로 저장하기 위한 저장 매체(804)가 제공된다. 회로 설계(810) 또는 RFIC 설계(812)는 GDSII 또는 GERBER와 같은 파일 포맷으로 저장 매체(804) 상에 저장될 수 있다. 저장 매체(804)는 CD-ROM, DVD, 하드 디스크, 플래시 메모리, 또는 다른 적절한 디바이스일 수 있다. 게다가, 설계 워크스테이션(800)은 저장 매체(804)로부터의 입력을 수용하거나 또는 저장 매체(804)에 출력을 기록하기 위한 구동 장치(803)를 포함한다.

[0049] [0057] 저장 매체(804) 상에 레코딩된 데이터는 논리 회로 구성들, 포토리소그래피 마스크들에 대한 패턴 데이터, 또는 전자 빔 리소그래피와 같은 직렬 기록 툴들에 대한 마스크 패턴 데이터를 특정할 수 있다. 데이터는 타이밍 다이어그램들 또는 논리 시뮬레이션들과 연관된 네트 회로들과 같은 논리 검증 데이터를 더 포함할 수 있다. 저장 매체(804) 상에 데이터를 제공하는 것은 반도체 웨이퍼들을 설계하기 위한 프로세스들의 수를 감소 시킴으로써 회로 설계(810) 또는 RFIC 설계(812)의 설계를 가능하게 한다.

[0050] [0058] 펌웨어 및/또는 소프트웨어 구현을 위해, 방법들은 본원에서 설명된 기능들을 수행하는 모듈들(예컨대, 프로시저들, 기능들 등)로 구현될 수 있다. 명령들을 유형적으로(tangible) 구현하는 머신-판독가능한 매체는 본원에서 설명된 방법들을 구현하는 데 사용될 수 있다. 예컨대, 소프트웨어 코드들은 메모리에 저장될 수 있으며, 프로세서 유닛에 의해 실행될 수 있다. 메모리는 프로세서 유닛 내에서 또는 프로세서 유닛 외부에서 구현될 수 있다. 본원에서 사용되는 바와 같이, "메모리"라는 용어는 장기, 단기, 휴발성, 비휘발성 또는 다른 메모리의 타입들을 지칭하며, 특정 타입의 메모리 또는 메모리들의 수, 또는 메모리가 저장되는 매체들의 타입으로 제한되지 않을 것이다.

[0051] [0059] 펌웨어 및/또는 소프트웨어로 구현되는 경우, 기능들은 컴퓨터-판독가능한 매체 상에 하나 이상의 명령들 또는 코드로서 저장될 수 있다. 예들은 데이터 구조로 인코딩된 컴퓨터-판독가능한 매체들 및 컴퓨터 프로그램으로 인코딩된 컴퓨터-판독가능한 매체들을 포함한다. 컴퓨터-판독가능한 매체들은 물리적 컴퓨터 저장 매체들을 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 이용가능한 매체일 수 있다. 제한이 아닌 예시로서, 그러한 컴퓨터-판독가능한 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장소, 자기 디스크 저장소, 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 저장하기 위해 사용될 수 있고 컴퓨터에 의해 액세스될 수 있는 다른 매체를 포함할 수 있고; 본원에서 사용되는 디스크(disk 및 disc)는 CD(compact disc), 레이저 디스크(disc), 광학 디스크(disc), DVD(digital versatile disc), 플로피 디스크(disk) 및 블루-레이 디스크(disc)를 포함하며, 여기서 디스크(disk)들은 통상적으로 데이터를 자기적으로 재생하는 반면, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 위의 것들의 조합들이 또한 컴퓨터-판독가능한 매체들의 범위 내에 포함되어야 한다.

[0052] [0060] 컴퓨터 판독가능한 매체 상의 저장 이외에, 명령들 및/또는 데이터는 통신 장치 내에 포함된 송신 매체들 상에서 신호들로서 제공될 수 있다. 예컨대, 통신 장치는 명령들 및 데이터를 표시하는 신호들을 갖는 트랜

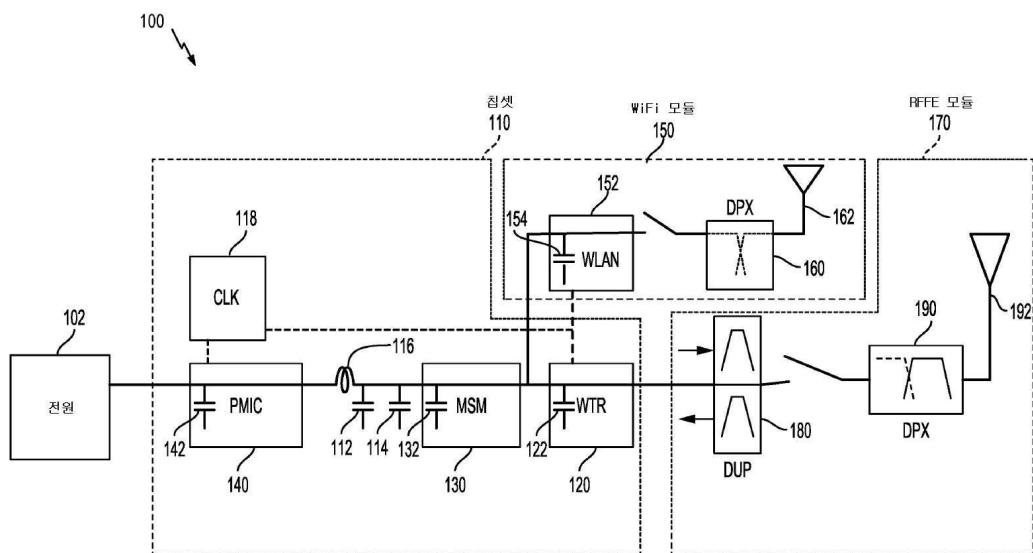
시버를 포함할 수 있다. 명령들 및 데이터는, 하나 이상의 프로세서들로 하여금, 청구항들에서 요약된 기능들을 구현하게 하도록 구성된다.

[0053]

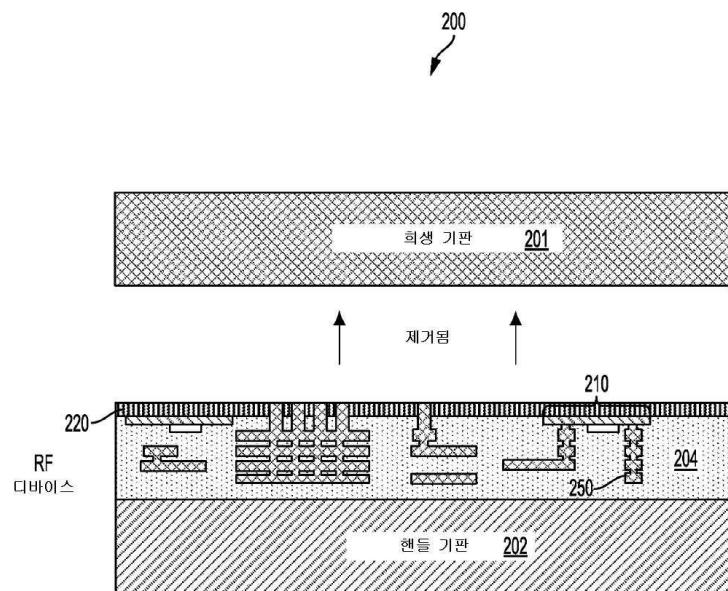
[0061] 본 개시내용 및 본 개시내용의 이점들이 상세하게 설명되었지만, 첨부된 청구항들에 의해 정의되는 본 개시내용의 기술로부터 벗어나지 않으면서, 다양한 변화들, 치환들 및 변경들이 본원에서 행해질 수 있다는 것이 이해되어야 한다. 예컨대, "위" 및 "아래"와 같은 관계적 용어들이 기판 또는 전자 디바이스에 대해 사용된다. 물론, 기판 또는 전자 디바이스가 반전되면, 위가 아래가 되고, 그 반대도 마찬가지이다. 추가적으로, 옆으로 배향되면, 위 및 아래는 기판 또는 전자 디바이스의 측면들을 지칭할 수 있다. 더욱이, 본 출원의 범위는 본 명세서에서 설명된 프로세스, 머신, 제조 및 물질의 조성, 수단, 방법들 및 단계들의 특정 구성들로 제한되도록 의도되지 않는다. 당업자가 본 개시내용으로부터 용이하게 인식하는 바와 같이, 본원에서 설명된 대응하는 구성들과 실질적으로 동일한 결과를 달성하거나 또는 실질적으로 동일한 기능을 수행하는, 현재 존재하거나 또는 향후에 개발될 프로세스들, 머신들, 제조, 물질의 조성들, 수단, 방법들, 또는 단계들이 본 개시내용에 따라 이용될 수 있다. 따라서, 첨부된 청구항들은 그러한 프로세스들, 머신들, 제조, 물질의 조성들, 수단, 방법들, 또는 단계들을 그들의 범위 내에 포함하도록 의도된다.

도면

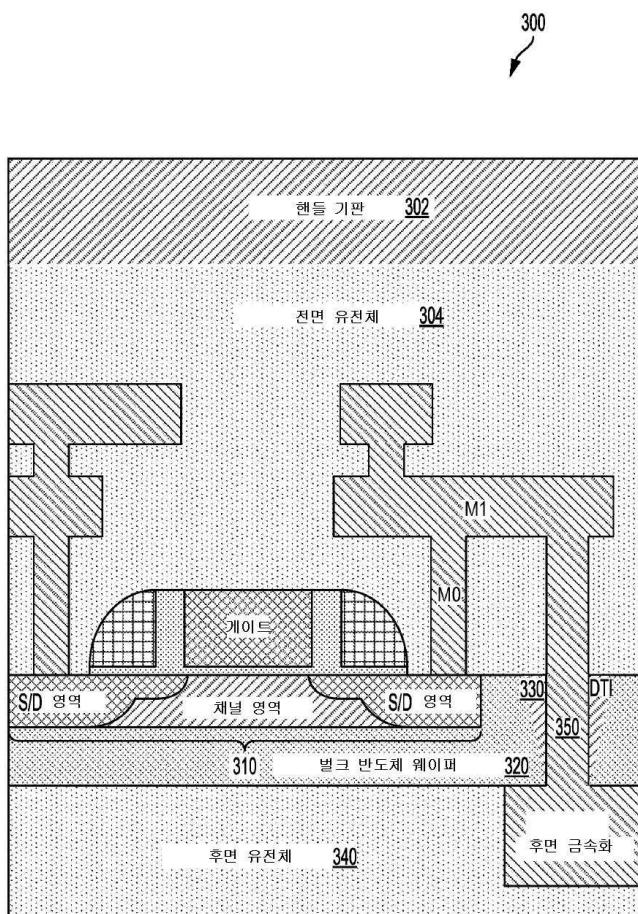
도면1



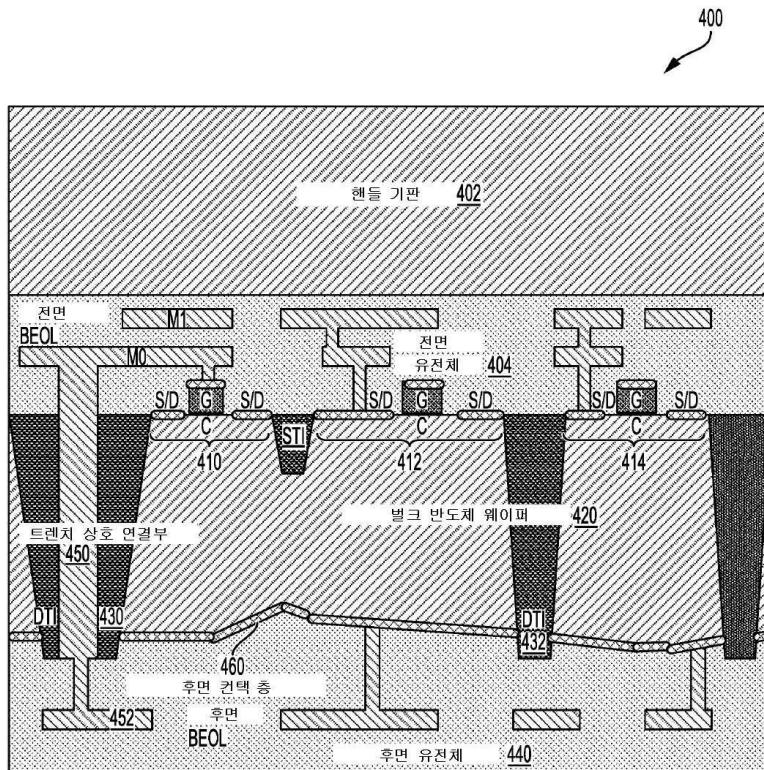
도면2



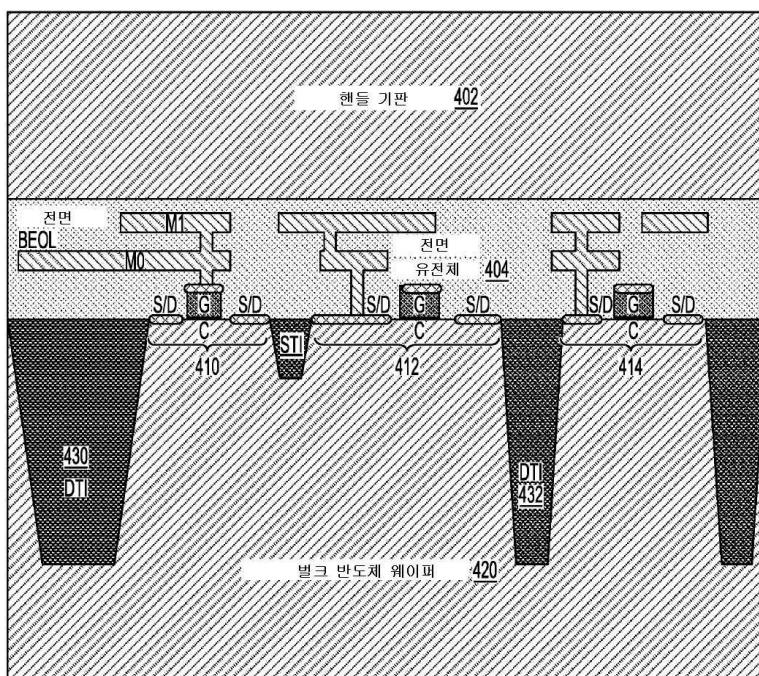
도면3



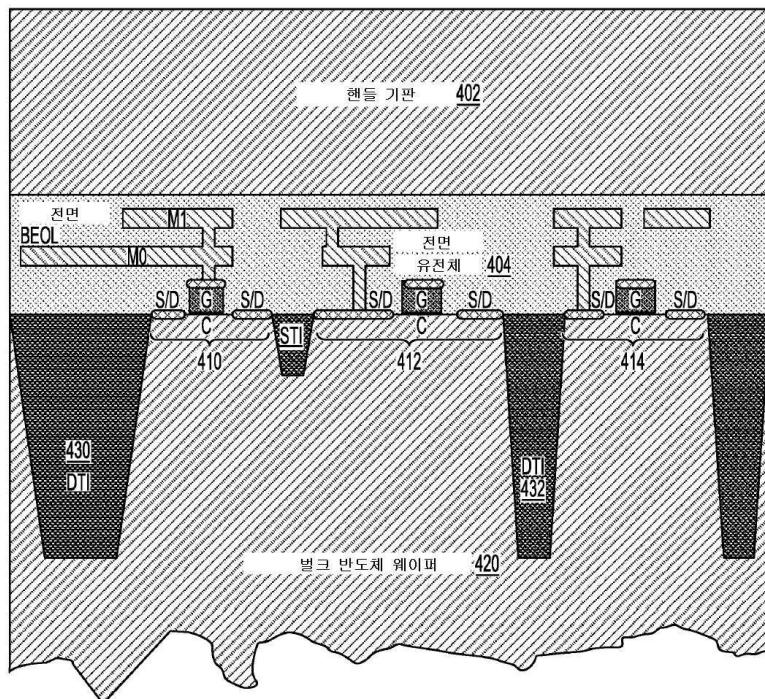
도면4



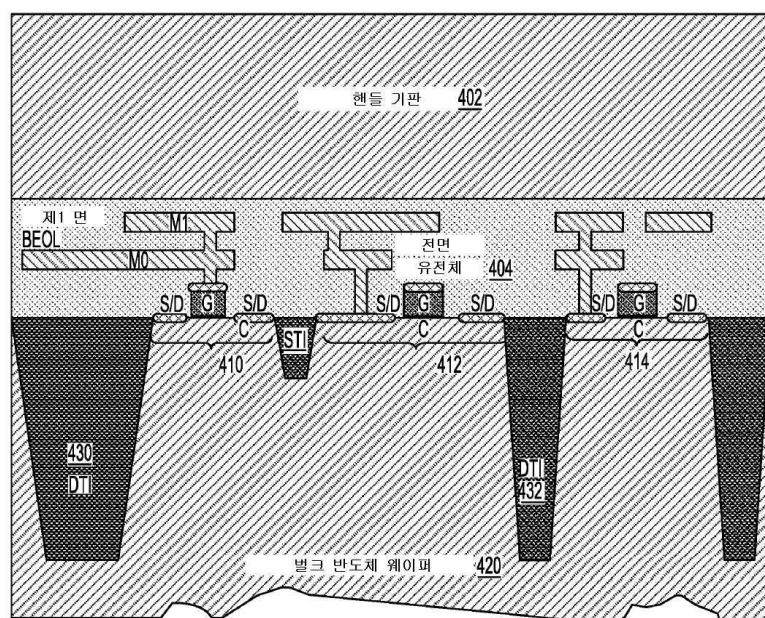
도면5a



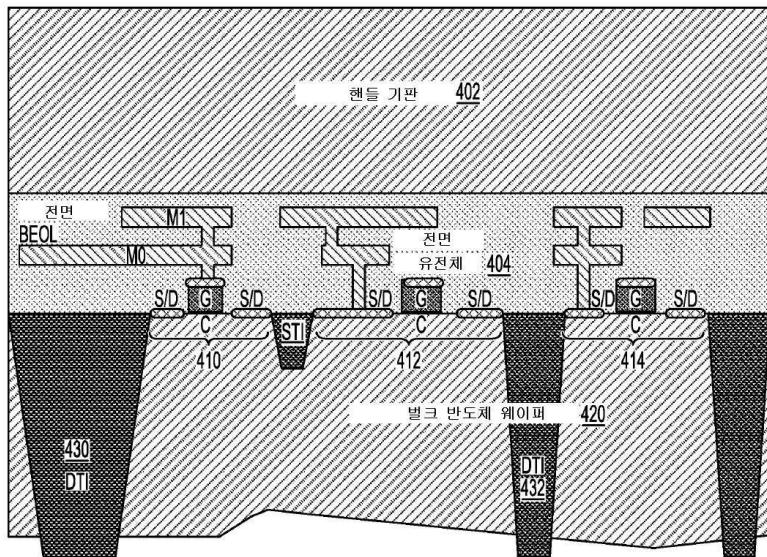
도면5b



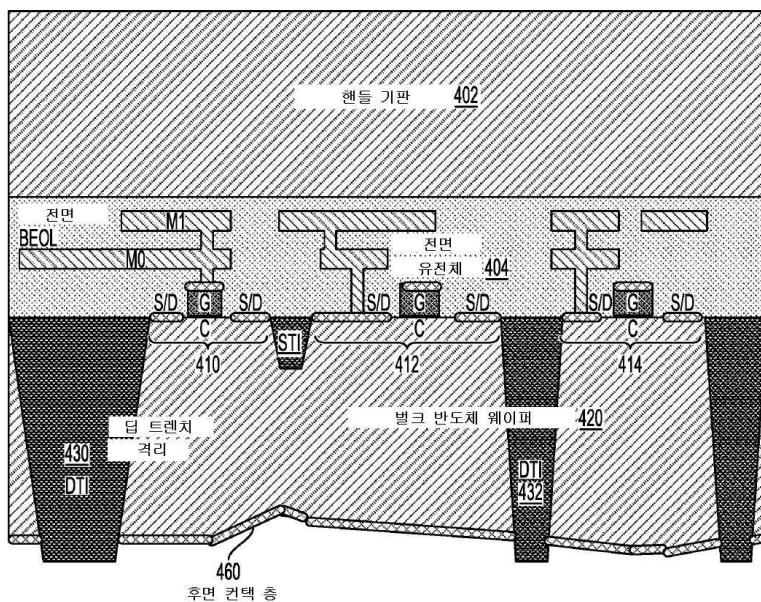
도면5c



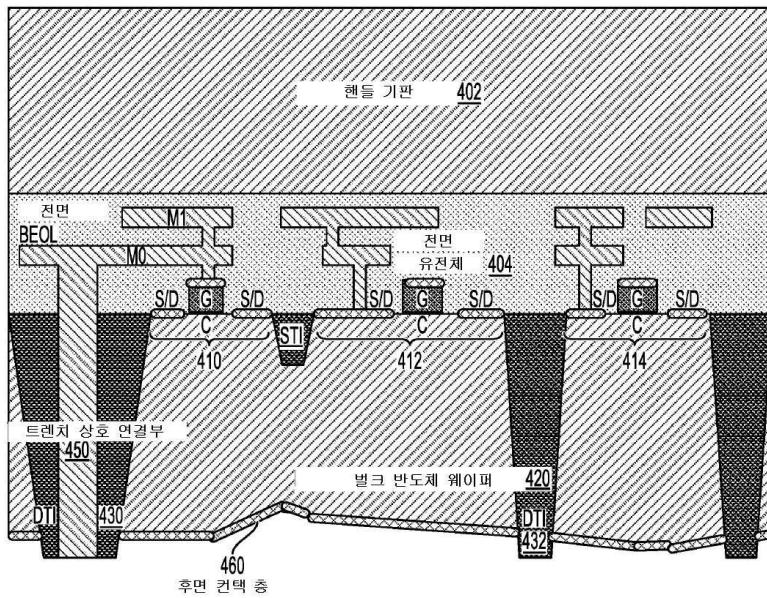
도면5d



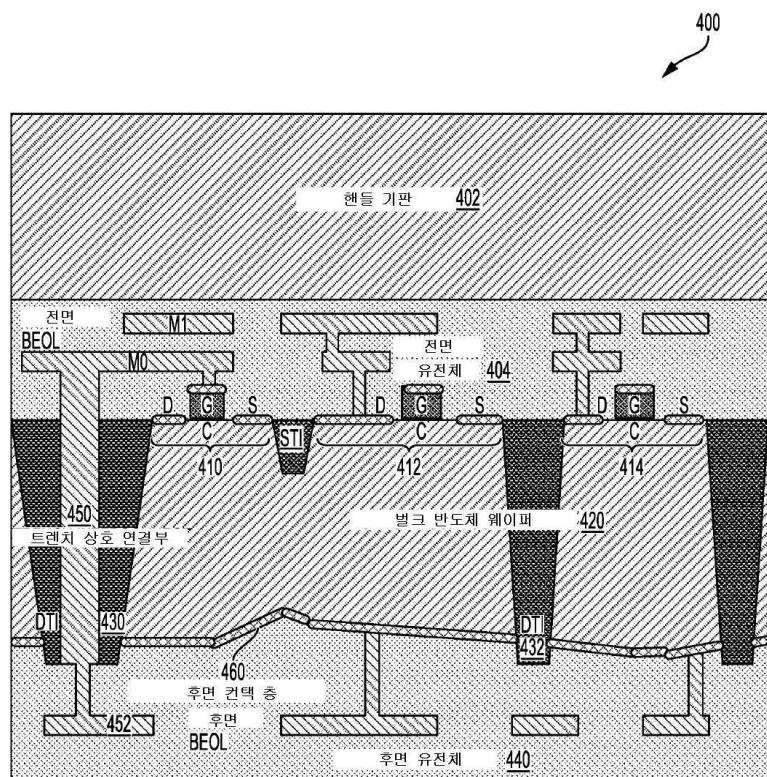
도면5e



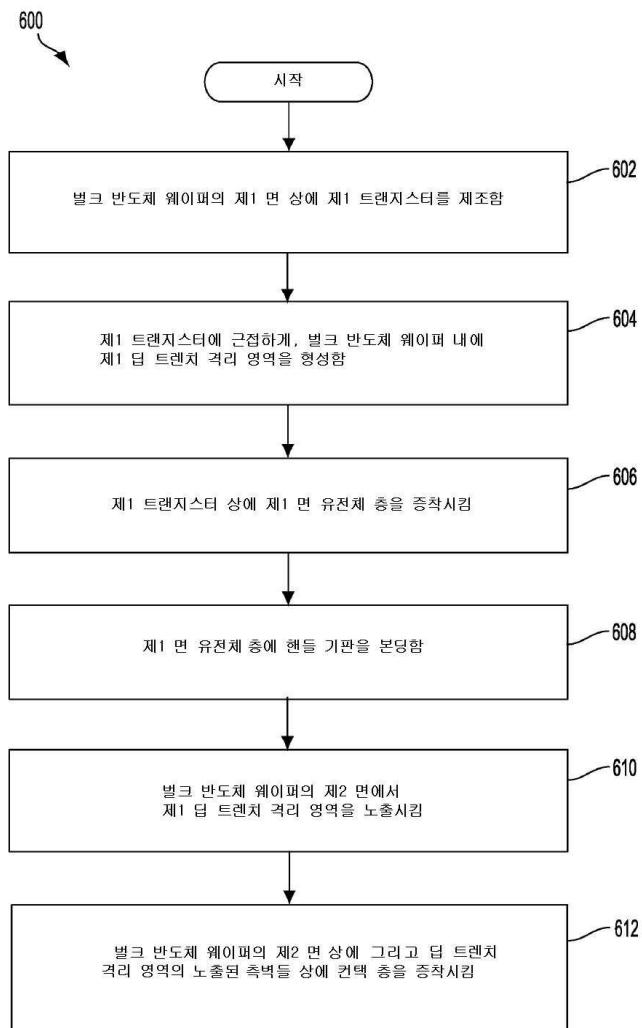
도면5f



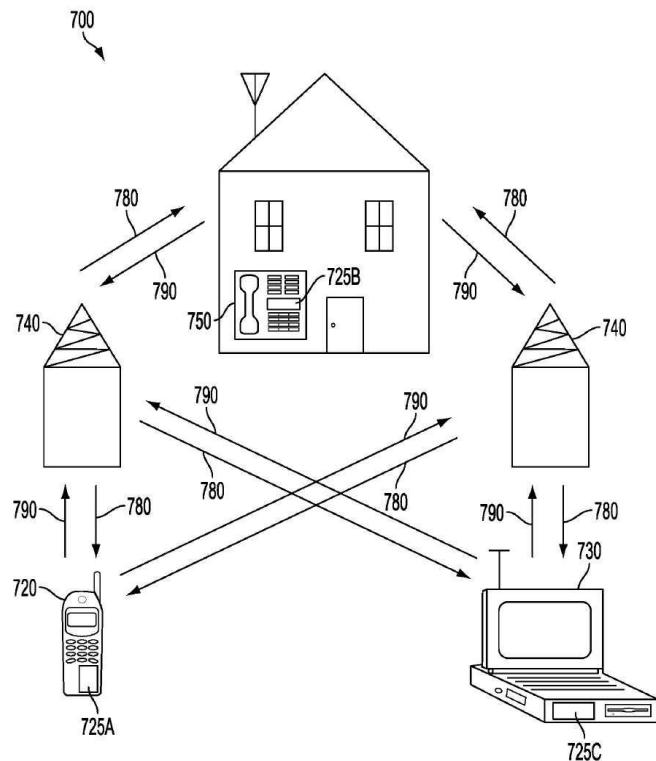
도면5g



도면6



도면7



도면8

