

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 15 日(15.11.2012)



(10) 国際公開番号
WO 2012/153468 A1

- (51) 国際特許分類:
G09G 3/34 (2006.01) *G09G 3/20* (2006.01)
G02F 1/167 (2006.01)
- (21) 国際出願番号: PCT/JP2012/002670
- (22) 国際出願日: 2012 年 4 月 18 日(18.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
61/484,424 2011 年 5 月 10 日(10.05.2011) US
特願 2011-132463 2011 年 6 月 14 日(14.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): セイコーエプソン株式会社(SEIKO EPSON CORPORATION) [JP/JP]; 〒1630811 東京都新宿区西新宿二丁目 4 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山田 裕介 (YAMADA, Yusuke) [JP/JP]; 〒3928502 長野県諏訪市大和 3 丁目 3 番 5 号セイコーエプソン株式会社内 Nagano (JP).
- (74) 代理人: 上柳 雅誉, 外(KAMIYANAGI, Masataka et al.); 〒3990785 長野県塩尻市広丘原新田 8 0 セ

イコーエプソン株式会社 知的財産本部内
Nagano (JP).

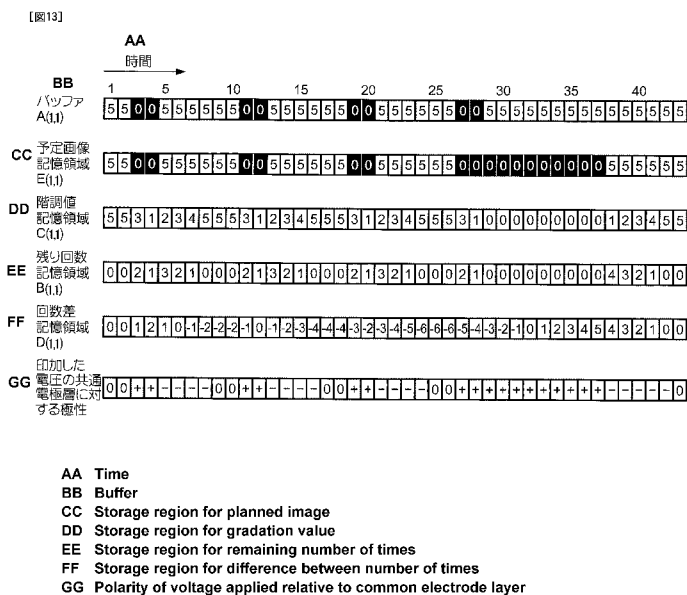
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: DEVICE FOR CONTROLLING ELECTRO-OPTICAL DEVICE, METHOD FOR CONTROLLING ELECTRO-OPTICAL DEVICE, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC EQUIPMENT

(54) 発明の名称: 電気光学装置の制御装置、電気光学装置の制御方法、電気光学装置及び電子機器



(57) Abstract: A write operation for setting a pixel to white is newly started if the pixel is set to white in the middle of a write operation for setting the pixel to black, and a write operation for setting the pixel to black is newly started if the pixel is set to black in the middle of a write operation for setting the pixel to white. Furthermore, if the difference between the number of times a first voltage is applied at a predetermined timing to change the pixel to white and the number of times a second voltage is applied to change the pixel to black is not a predetermined value, the first voltage or second voltage is applied to the pixel until this difference reaches the predetermined value.

(57) 要約: 画素を黒にする書き込み動作の途中で画素を白にする場合、画素を白にする書き込み動作を新規に開始し、画素を白にする書き込み動作の途中で画素を黒にする場合、画素を黒にする書き込み動作を新規に開始する。また、所定のタイミングにおいて画素を白へ変化させるために印加した第 1 電圧の印加回数と、画素を黒へ変化させるために印加した第 2 電圧の印加回数との差が所定値でない場合、この差が所定値になるまで第 1 電圧または第 2 電圧を画

素へ印加する。

明 細 書

発明の名称：

電気光学装置の制御装置、電気光学装置の制御方法、電気光学装置及び電子機器

技術分野

[0001] 本発明は、電気光学装置の制御装置、電気光学装置の制御方法、電気光学装置及び電子機器に関する。

背景技術

[0002] 画像を表示する表示装置として、マイクロカプセルを用いた電気泳動方式の表示装置がある。この表示装置でアクティブマトリクス方式のものは、行方向へ伸びた複数の行電極と、列方向に伸びた複数の列電極との交点の各々にマイクロカプセルを駆動する駆動回路が設けられている。行電極と列電極に電圧を印加すると、駆動回路に設けられた電極と、この電極に対してマイクロカプセルを挟んで対向する電極との間に電位差が生じる。マイクロカプセルを挟んで対向する電極間に電位差が生じると、この電位差により生じた電界に応じてマイクロカプセル内の白粒子と黒粒子が移動する。各マイクロカプセル内の白粒子と黒粒子の分布が変わることにより光学的反射特性が変化し、画像が表示されることとなる。

[0003] ところで、電気泳動方式の表示装置においては、アクティブマトリクス方式で表示を変更する際に画像の書き換えが複数フレームに渡って行われるものがある。しかし、画像の書き換えを複数フレームに渡って行う際に全画面で書き換えを始めてしまうと、書き込みが終了するまでの間は新たに書き込みが行えないため、画像の追記や削除を行う際には一旦画像の書き込みが終了してから次ぎの書き込みを開始することとなり、時間がかかって操作性の観点で問題がある。

そこで、このような問題を解決するために、部分領域の単位でパイプライン処理を行うことにより書き込みを行う方式が考案されている（特許文献1

参照)。特許文献１に開示されている方式によれば、画面上の互いに重ならない２つの部分領域にタイミングをずらして画像を書き込む場合、先に書き込みを開始した部分領域の書き込みが完了していなくても、後から書き込みを開始する部分領域の書き込みを開始することができ、この方式を採用しない場合と比較して表示速度が向上する。

先行技術文献

特許文献

[0004] 特許文献１：特開２００９－２５１６１５号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、特許文献１に開示されている方式の場合、部分領域同士が一部で重なってしまうと、結局は後から書き込みを開始する部分領域については、先に書き込みを開始した部分領域の書き込みが終了するまで書き込みを待機しなければならず、表示が完了するまでに時間が掛かることとなる。

[0006] 本発明は、上述した事情に鑑みてなされたものであり、その目的の一つは、画素の階調変更に複数回の電圧印加を要する電気光学装置の体感的な表示速度を向上させることである。

課題を解決するための手段

[0007] 上記目的を達成するために、本発明に係わる電気光学装置の制御装置は、複数の画素を含む表示部を備え、前記画素を第１階調から第２階調へ変化させる書き込み動作と、前記第２階調から前記第１階調へ変化させる書き込み動作が、前記画素へ電圧を複数回印加する動作によって行われる電気光学装置の制御装置であって、前記画素を前記第１階調へ変化させるために印加した第１電圧の印加回数と、前記画素を前記第２階調へ変化させるために印加した第２電圧の印加回数との差を算出する回数差算出部と、所定のタイミングにおいて前記画素についての前記差が所定値でない場合、前記差が所定値になるまで前記第１電圧または前記第２電圧を前記画素へ印加し、前記画素

の階調を変更する場合、前記書き込み動作の途中でも前記画素へ電圧を複数回印加する動作を新規に開始する電圧制御部とを備える。

本発明によれば、画素の階調変更に複数回の電圧印加を要する電気光学装置の体感的な表示速度を向上させることができる。

[0008] なお、前記制御装置においては、前記電圧制御部は、前記書き込み動作が終了した後で、前記画素が前記第1階調であり且つ前記画素について前記差が所定値でない場合、前記差が所定値になるまで前記画素に対して前記第1電圧を印加する構成としてもよい。

この構成によれば、書き込み動作が終了した後で第1電圧の印加回数と第2電圧の印加回数に差がある場合、印加回数の差が所定値になるまで第1電圧が印加され、第1電圧の印加回数と第2電圧の印加回数の差が大きくなり、画素の劣化を抑えることができる。

[0009] また前記制御装置においては、前記電圧制御部は、前記書き込み動作が終了した後で、前記画素が前記第2階調であり且つ前記画素について前記差が所定値でない場合、前記差が所定値になるまで前記画素に対して前記第2電圧を印加する構成としてもよい。

この構成によれば、書き込み動作が終了した後で第1電圧の印加回数と第2電圧の印加回数に差がある場合、印加回数の差が所定値になるまで第2電圧が印加され、第1電圧の印加回数と第2電圧の印加回数の差が大きくなり、画素の劣化を抑えることができる。

[0010] また前記制御装置においては、前記画素を前記第2階調にする書き込み動作の途中で前記画素を前記第1階調にする書き込み動作を開始する時に前記差の絶対値が閾値以上である場合、前記電圧制御部は、前記差が所定値になるまで前記第2電圧を印加した後で前記第1電圧の印加を開始する構成としてもよい。

この構成によれば、第1電圧の印加回数と第2電圧の印加回数の差を所定値にしてから新規の書き込み動作が開始されるので、新規の書き込み動作を行っても第1電圧の印加回数と第2電圧の印加回数の差が大きくなり、画

素の劣化を抑えることができる。

- [0011] また前記制御装置においては、前記画素を前記第 1 階調にする書き込み動作の途中で前記画素を前記第 2 階調にする書き込み動作を開始する時に前記差の絶対値が閾値以上である場合、前記電圧制御部は、前記差が所定値になるまで前記第 1 電圧を印加した後で前記第 2 電圧の印加を開始する構成としてもよい。

この構成によれば、第 1 電圧の印加回数と第 2 電圧の印加回数の差を所定値にしてから新規の書き込み動作が開始されるので、新規の書き込み動作を行っても第 1 電圧の印加回数と第 2 電圧の印加回数の差が大きくなり、画素の劣化を抑えることができる。

- [0012] また前記制御装置においては、前記画素の階調を変更する場合、変更前の前記画素の階調、変更後の前記画素の階調、及び変更前の階調から変更後の階調へ階調を変更するための電圧の印加回数と変更前後の階調とを対応付けたテーブルとに基づいて前記印加回数を決定する印加回数決定部を備える構成としてもよい。

この構成によれば、階調変更前の画素の階調と階調変更後の画素の階調とに基づいて適切な電圧印加回数を設定するため、電圧印加回数を一定の回数にする構成と比較して画素の書き換えの速度を早くすることができる。

- [0013] また前記制御装置においては、前記画素を前記第 1 階調へ変化させるために印加する第 1 電圧の印加回数と、前記画素を前記第 2 階調へ変化させるために印加する第 2 電圧の印加回数とが異なる構成としてもよい。

この構成によれば、画素を第 1 階調へ変化させる場合と第 2 階調へ変化させる場合とで電圧印加回数が同じである構成と比較すると、いずれか一方の階調への変化を早くすることができる。

- [0014] また上記目的を達成するために本発明に係る電気光学装置の制御方法は、複数の画素を含む表示部を備え、前記画素を第 1 階調から第 2 階調へ変化させる書き込み動作と、前記第 2 階調から前記第 1 階調へ変化させる書き込み動作が、前記画素へ電圧を複数回印加する動作によって行われる電気光学装

置の制御方法であって、前記画素を前記第 1 階調へ変化させるために印加した第 1 電圧の印加回数と、前記画素を前記第 2 階調へ変化させるために印加した第 2 電圧の印加回数との差を算出するステップと、所定のタイミングにおいて前記画素についての前記差が所定値でない場合、前記差が所定値になるまで前記第 1 電圧または前記第 2 電圧を前記画素へ印加し、前記画素の階調を変更する場合、前記書き込み動作の途中でも前記画素へ電圧を複数回印加する動作を新規に開始するステップとを備える。

本発明によれば、画素の階調変更に複数回の電圧印加を要する電気光学装置の体感的な表示速度を向上させることができる。

[0015] また上記目的を達成するために本発明に係る電気光学装置は、複数の画素を含む表示部を備え、前記画素を第 1 階調から第 2 階調へ変化させる書き込み動作と、前記第 2 階調から前記第 1 階調へ変化させる書き込み動作が、前記画素へ電圧を複数回印加する動作によって行われる電気光学装置であって、前記画素を前記第 1 階調へ変化させるために印加した第 1 電圧の印加回数と、前記画素を前記第 2 階調へ変化させるために印加した第 2 電圧の印加回数との差を算出する回数差算出部と、所定のタイミングにおいて前記画素についての前記差が所定値でない場合、前記差が所定値になるまで前記第 1 電圧または前記第 2 電圧を前記画素へ印加し、前記画素の階調を変更する場合、前記書き込み動作の途中でも前記画素へ電圧を複数回印加する動作を新規に開始する電圧制御部とを備える。

本発明によれば、画素の階調変更に複数回の電圧印加を要する電気光学装置の体感的な表示速度を向上させることができる。

[0016] なお、本発明は、電気光学装置のみならず、当該電気光学装置を有する電子機器としても概念することができる。

図面の簡単な説明

[0017] [図1]表示装置 1 0 0 0 と電気光学装置 1 のハードウェア構成を示した図。

[図2]表示領域 1 0 0 の断面を示した図。

[図3]画素 1 1 0 の等価回路を示した図。

[図4]記憶領域の構成を説明するための図。

[図5]コントローラー5で実現する機能の構成を示したブロック図。

[図6]階調を変化させるのに要する最小の電圧印加回数を示した。

[図7]第1実施形態のコントローラー5が行う処理の流れを示したフローチャート。

[図8]第1実施形態のコントローラー5が行う処理の流れを示したフローチャート。

[図9]第1実施形態のコントローラー5が行う処理の流れを示したフローチャート。

[図10]第1実施形態のコントローラー5が行う処理の流れを示したフローチャート。

[図11]第1実施形態の動作を説明するための図。

[図12]第1実施形態の動作を説明するための図。

[図13]第1実施形態の動作を説明するための図。

[図14]第2実施形態のコントローラー5が行う処理の流れを示したフローチャート。

[図15]第2実施形態のコントローラー5が行う処理の流れを示したフローチャート。

[図16]第2実施形態のコントローラー5が行う処理の流れを示したフローチャート。

[図17]第2実施形態の動作を説明するための図。

[図18]第2実施形態の動作を説明するための図。

[図19]第2実施形態の動作を説明するための図。

[図20]第2実施形態の動作を説明するための図。

[図21]電子ブックリーダー2000の外観図。

[図22]変形例のコントローラー5が行う処理の流れを示したフローチャート。

[図23]変形例のコントローラー5が行う処理の流れを示したフローチャート。

。

[図24]変形例のコントローラー5が行う処理の流れを示したフローチャート

。

[図25]変形例のコントローラー5が行う処理の流れを示したフローチャート

。

発明を実施するための形態

[0018] [第1実施形態]

(第1実施形態の構成)

図1は、本発明の一実施形態に係る表示装置1000のハードウェア構成を示したブロック図である。表示装置1000は、画像を表示する装置であり、電気泳動方式の電気光学装置1、制御部2、VRAM (Video Random Access Memory) 3及び記憶部の一例であるRAM4を備えている。また、電気光学装置1は、表示部10とコントローラー5を備えている。

[0019] 制御部2は、CPU (Central Processing Unit)、ROM (Read Only Memory)、RAM等を備えたマイクロコンピュータであり、表示装置1000の各部を制御する。また、制御部2は、VRAM3にアクセスし、表示領域100に表示させる画像を示す画像データをVRAM3に書き込む。

コントローラー5は、表示部10の表示領域100に画像を表示させるための各種信号を表示部10の走査線駆動回路130とデータ線駆動回路140に供給するものである。コントローラー5は、電気光学装置1の制御装置に相当する。なお、制御部2とコントローラー5を合わせた部分を電気光学装置1の制御装置と定義することもできる。あるいは、制御部2、コントローラー5、VRAM3およびRAM4の全体を、電気光学装置1の制御装置と定義することもできる。

[0020] VRAM3は、制御部2により書き込まれた画像データを記憶するメモリーである。VRAM3は、後述するm行×n列で配列された画素110毎に記憶領域(バッファ)を有している。画像データは、各画素110の階調を表す画素データを含んでおり、一の画素110の階調を表す画素データは、

VRAM3において当該画素110に対応した一の記憶領域に記憶される。
VRAM3に書き込まれた画素データは、コントローラ5により読み出される。

RAM4は、表示領域100に画像を表示させるために用いられる各種データを記憶する。RAM4には、残り回数記憶領域B、階調値記憶領域C、回数差記憶領域D、予定画像記憶領域Eが設けられている。各記憶領域の詳細については後述する。

[0021] 表示領域100では、複数の走査線112が図において行(X)方向に沿って設けられ、複数のデータ線114が、列(Y)方向に沿って、かつ、各走査線112と互いに電氣的に絶縁を保つように設けられている。そして、画素110が各走査線112と各データ線114との交差に対応して、それぞれ設けられている。便宜的に走査線112の行数を「m」とし、データ線114の列数を「n」としたとき、画素110は、縦m行×横n列でマトリクス状に配列して表示領域100を構成することになる。

[0022] 図2は、表示領域100の断面を示した図である。表示領域100は、図2に示したように大別して第1基板101、電気泳動層102および第2基板103によって構成されている。第1基板101は、絶縁性及び可撓性を有する基板101a上に回路の層が形成された基板である。基板101aは、本実施形態においてはポリカーボネートで形成されている。なお、基板101aとしては、ポリカーボネートに限定されることなく、軽量性、可撓性、弾性及び絶縁性を有する樹脂材料を用いることができる。また、基板101aは、可撓性を持たないガラスで形成されていてもよい。基板101aの表面には、接着層101bが設けられ、接着層101bの表面には回路層101cが積層されている。

回路層101cは、行方向に配列された複数の走査線112と、列方向に配列された複数のデータ線114を有している。また、回路層101cは、走査線112とデータ線114との交差のそれぞれに対応して、画素電極101dを有している。

- [0023] 電気泳動層 102 は、バインダー 102b と、バインダー 102b によって固定された複数のマイクロカプセル 102a で構成されており、画素電極 101d 上に形成されている。なお、マイクロカプセル 102a と画素電極 101d との間には、接着剤により形成された接着層を設けてもよい。
- [0024] バインダー 102b としては、マイクロカプセル 102a との親和性が良好で電極との密着性が優れ、且つ絶縁性を有するものであれば特に制限はない。マイクロカプセル 102a 内には、分散媒と電気泳動粒子が格納されている。マイクロカプセル 102a を構成する材料としては、アラビアゴム・ゼラチン系の化合物やウレタン系の化合物等の柔軟性を有するものを用いるのが好ましい。
- [0025] 分散媒としては、水、アルコール系溶媒（メタノール、エタノール、イソプロパノール、ブタノール、オクタノール、メチルセルソルブなど）、エステル類（酢酸エチル、酢酸ブチルなど）、ケトン類（アセトン、メチルエチルケトン、メチルイソブチルケトンなど）、脂肪族炭化水素（ペンタン、ヘキサン、オクタンなど）、脂環式炭化水素（シクロヘキサン、メチルシクロヘキサンなど）、芳香族炭化水素（ベンゼン、トルエン、長鎖アルキル基を有するベンゼン類（キシレン、ヘキシルベンゼン、ヘプチルベンゼン、オクチルベンゼン、ノニルベンゼン、デシルベンゼン、ウンデシルベンゼン、ドデシルベンゼン、トリデシルベンゼン、テトラデシルベンゼンなど））、ハロゲン化炭化水素（塩化メチレン、クロロホルム、四塩化炭素、1, 2-ジクロロエタンなど）、カルボン酸塩などのいずれかを用いることができ、また、分散媒は、その他の油類であってもよい。また、これらの物質は単独又は混合して分散媒に用いることができ、さらに界面活性剤などを配合して分散媒としてもよい。
- [0026] 電気泳動粒子は、分散媒中で電界によって移動する性質を有する粒子（高分子あるいはコロイド）である。本実施形態においては白の電気泳動粒子と黒の電気泳動粒子がマイクロカプセル 102a 内に格納されている。黒の電気泳動粒子は、例えば、アニリンブラックやカーボンブラック等の黒色顔料

からなる粒子であり、本実施形態では正に帯電されている。白の電気泳動粒子は、例えば、二酸化チタンや酸化アルミニウム等の白色顔料からなる粒子であり、本実施形態では負に帯電されている。

[0027] 第2基板103は、フィルム103aと、フィルム103aの下面に形成された透明な共通電極層103b（第2電極）で構成されている。フィルム103aは、電気泳動層102の封止及び保護の役割を担うものであり、例えばポリエチレンテレフタレートのフィルムである。フィルム103aは、透明で絶縁性を有している。共通電極層103bは、例えば、酸化インジウム膜（ITO膜）などの透明な導電膜で構成されている。

[0028] 図3は、画素110の等価回路を示した図である。なお、本実施形態では、各走査線112を区別するために、図1に示した走査線112を上から順に1、2、3、・・・、(m-1)、m行目という呼び方をする場合がある。また同様に、各データ線114を区別するために、図1に示したデータ線114を左から順に1、2、3、・・・、(n-1)、n列目という呼び方をする場合がある。

図3においては、i行目の走査線112とj列目のデータ線114との交差に対応した画素110の等価回路を示している。他のデータ線114と走査線112との交差に対応した画素110も構成は図に示した構成と同じであるため、ここでは、代表してi行目のデータ線114とj列目の走査線112との交差に対応した画素110の等価回路について説明し、他の画素110の等価回路については説明を省略する。

[0029] 図3に示したように、各画素110は、nチャネル型の薄膜トランジスタ（thin film transistor：以下単に「TFT」と略称する）110aと、表示素子110bと、補助容量110cとを有する。画素110において、TFT110aのゲート電極はi行目の走査線112に接続される一方、そのソース電極はj列目のデータ線114に接続され、そのドレイン電極は、表示素子110bの一端である画素電極101dと補助容量110cの一端とにそれぞれ接続されている。補助容量110cは、回路層101cに形成

された一対の電極によって誘電体層を挟持した構成である。補助容量 110c の他端の電極は、各画素にわたって共通の電圧にされている。画素電極 101d は、共通電極層 103b と対向し、画素電極 101d と共通電極層 103b との間には電気泳動層 102 が挟まれている。このため、表示素子 110b は、等価回路でみたときに、画素電極 101d と共通電極層 103b とで、電気泳動層 102 を挟持した容量になる。そして、表示素子 110b は、両電極間の電圧を保持（記憶）するとともに、この保持した電圧によって生じる電界方向にしたがって表示を行うことになる。なお、本実施形態においては、図示省略した外部回路によって、各画素 110 の補助容量 110c の他端の電極と、共通電極層 103b には、共通の電圧 V_{com} が印加される。

[0030] 図 1 に戻り、走査線駆動回路 130 は、表示領域 100 の各走査線 112 と接続されている。走査線駆動回路 130 は、コントローラ 5 による制御にしたがって、走査線 112 を 1、2、・・・、 m 行目という順番で選択し、選択した走査線 112 に対してハイ（High）レベルの信号を供給し、選択されていない他の走査線 112 に対しロー（Low）レベルの信号を供給するものである。

データ線駆動回路 140 は、表示領域の各データ線 114 と接続されており、選択された走査線 112 に接続されている画素 110 の 1 行分の表示内容に応じて各列のデータ線 114 にデータ信号をそれぞれ供給するものである。

[0031] 走査線駆動回路 130 が 1 行目の走査線 112 を選択してから m 行目の走査線 112 の選択が終了するまでの期間（以下、「フレーム期間」又は単に「フレーム」と称する）において各走査線 112 は一回ずつ選択され、各画素 110 には 1 フレームに一回ずつデータ信号が供給される。

走査線 112 がハイレベルとなると、当該走査線 112 にゲートが接続された TFT 110a がオン状態になり、画素電極 101d がデータ線 114 に接続される。走査線 112 がハイレベルであるときにデータ線 114 にデ

ータ信号を供給すると、当該データ信号は、オン状態になったTF T 1 1 0 aを介して画素電極1 0 1 dに印加される。走査線1 1 2がローレベルになると、TF T 1 1 0 aはオフ状態になるが、データ信号によって画素電極1 0 1 dに印加された電圧は、補助容量1 1 0 cに蓄積され、画素電極1 0 1 dの電位及び共通電極層1 0 3 bの電位との電位差（電圧）に応じて電気泳動粒子が移動する。

[0032] 例えば、共通電極層1 0 3 bの電圧 V_{com} に対して画素電極1 0 1 dの電圧が+1 5 V（第2電圧）である場合、負に帯電している白の電気泳動粒子が画素電極1 0 1 d側に移動し、正に帯電している黒の電気泳動粒子が共通電極層1 0 3 b側に移動して画素1 1 0は黒の表示となる。また、共通電極層1 0 3 bの電圧 V_{com} に対して画素電極1 0 1 dの電圧が-1 5 V（第1電圧）である場合、正に帯電している黒の電気泳動粒子が画素電極1 0 1 d側に移動し、負に帯電している白の電気泳動粒子が共通電極層1 0 3 b側に移動して画素1 1 0は白の表示となる。なお、画素電極1 0 1 dの電圧は、上述した電圧に限定されるものではなく、共通電極層1 0 3 bの電圧 V_{com} に対してプラスの電圧またはマイナスの電圧であれば、上述した+1 5 Vや-1 5 V以外の電圧であってもよい。

[0033] 本実施形態においては、各画素1 1 0の表示状態を第1階調である白（低階調）から第2階調である黒（高階調）又は黒から白へ変化させる際には、1フレームだけ画素1 1 0へデータ信号を供給して表示状態を変化させるのではなく、複数フレームに渡って画素1 1 0へデータ信号を供給する書き込み動作により表示状態を変化させる。これは、表示状態を白から黒へ変化させるに際し、1フレームだけ電気泳動粒子に電位差を与えても黒の電気泳動粒子が完全には表示側に移動しきらず、表示状態が完全な黒とはならないためである。このことは、表示状態を黒から白へ変化させる場合の白の電気泳動粒子についても同様である。よって、例えば、画素1 1 0の表示状態を白から黒へ変化させる場合、画素1 1 0に黒を表示させるためのデータ信号が複数フレームに渡って画素1 1 0へ供給され、画素1 1 0の表示状態を黒か

ら白へ変化させる場合には、画素に白を表示させるためのデータ信号が複数フレームに渡って画素 1 1 0 へ供給される。

[0034] また本実施形態においては、1フレーム内である画素 1 1 0 の画素電極 1 0 1 d を共通電極層 1 0 3 b に対して電位が高くなる正極とし、同じフレーム内で他の画素 1 1 0 の画素電極 1 0 1 d を共通電極層 1 0 3 b に対して電位が低くなる負極とすることができる。つまり、1フレーム内で共通電極層 1 0 3 b に対して正極と負極の両方の極を選択できる駆動（以下、両極駆動という）となっている。より詳しくは、1フレーム内において、階調を高階調側（第2階調側）に変更する画素 1 1 0 の画素電極 1 0 1 d は正極とし、階調を低階調側（第1階調側）に変更する画素 1 1 0 の画素電極 1 0 1 d は負極とする。なお、黒の電気泳動粒子が負に帯電し、白の電気泳動粒子が正に帯電している場合には、階調を高階調側（第2階調側）に変更する画素 1 1 0 の画素電極 1 0 1 d は負極とし、階調を低階調側（第1階調側）に変更する画素 1 1 0 の画素電極 1 0 1 d は正極とすればよい。

[0035] 次に残り回数記憶領域 B、階調値記憶領域 C、回数差記憶領域 D 及び予定画像記憶領域 E について説明する。図 4 は、表示領域 1 0 0 の画素 1 1 0 の一部と、これらの画素 1 1 0 に対応する各記憶領域を示した図である。各記憶領域は、m 行×n 列の画素 1 1 0 の各々に対応した記憶領域を備えている。

図 4（a）は、画素 1 1 0 の配列を示した図である。画素 $P(i, j)$ は、i 行 j 列目にある一つの画素 1 1 0 を表している。添字の i は、行列に配置された画素 1 1 0 の行番号を表し、添字の j は、列番号を表している。

図 4（b）は、VRAM 3 において、図 4（a）に示した画素の各々に対応したバッファを示した図である。例えば、バッファ $A(i, j)$ は画素 $P(i, j)$ に対応した記憶領域である。バッファ $A(i, j)$ には、画素 $P(i, j)$ の階調を示す画素データが格納される。なお、画素を黒にする場合には値が「0」である画素データが書き込まれ、画素を白にする場合には値が「5」である画素データが書き込まれる。

図4(c)は、残り回数記憶領域Bにおいて、図4(a)に示した画素の各々に対応した記憶領域を示した図である。例えば、残り回数記憶領域 $B(i, j)$ は画素 $P(i, j)$ に対応した記憶領域である。残り回数記憶領域 $B(i, j)$ には、画素 $P(i, j)$ に対して電圧を複数回印加する時の残りの印加回数を示す値が格納される。

図4(d)は、階調値記憶領域Cにおいて、図4(a)に示した画素の各々に対応した記憶領域を示した図である。例えば、階調値記憶領域 $C(i, j)$ は画素 $P(i, j)$ に対応した記憶領域である。階調値記憶領域 $C(i, j)$ には、電圧が印加されたことにより変化した画素 $P(i, j)$ の階調を示す値が格納される。

図4(e)は、回数差記憶領域Dにおいて、図4(a)に示した画素の各々に対応した記憶領域を示した図である。例えば、回数差記憶領域 $D(i, j)$ は画素 $P(i, j)$ に対応した記憶領域である。回数差記憶領域 $D(i, j)$ には、画素 $P(i, j)$ において、プラスの電圧が印加された回数とマイナスの電圧が印加された回数との差を表す値が格納される。

図4(f)は、予定画像記憶領域Eにおいて、図4(a)に示した画素の各々に対応した記憶領域を示した図である。例えば、予定画像記憶領域 $E(i, j)$ は画素 $P(i, j)$ に対応した記憶領域である。予定画像記憶領域 $E(i, j)$ には、表示領域100に表示させる予定の画像の各画素の画素データが格納される。

[0036] 次に、コントローラ5の構成について説明する。図5は、コントローラ5において実現する機能を示したブロック図である。コントローラ5においては、回数差算出部501、電圧制御部502及び印加回数決定部503が実現する。なお、これらの各ブロックは、ハードウェアにより実現されてもよく、コントローラ5にCPUを設け、このCPUでプログラムを実行することにより各ブロックが実現されるようにしてもよい。

回数差算出部501は、各画素について上記回数差を算出するブロックである。回数差算出部501は、回数差記憶領域 $D(i, j)$ に対応した画素 $P(i, j)$ の画素電極101dへ第2電圧を印加した場合には回数差記憶領域 $D(i, j)$ の値をインクリメントし、第1電圧を印加した場合には回数差記憶領域 $D(i, j)$

の値をデクリメントし、第1電圧を印加した回数と第2電圧を印加した回数との差を得る。回数差算出部501は、第1電圧を印加した回数と第2電圧を印加した回数との差を回数差記憶領域D(i, j)に書き込む。

[0037] 電圧制御部502は、残り回数記憶領域B(i, j)の値が0のタイミングで、回数差記憶領域D(i, j)の値が予め定められた所定値でない場合、回数差記憶領域D(i, j)の値が所定値になるまで走査線駆動回路130とデータ線駆動回路140を制御して第1電圧または第2電圧を画素電極101dへ印加する。また電圧制御部502は、バッファA(i, j)の値と予定画像記憶領域E(i, j)の値が異なるタイミングで回数差記憶領域D(i, j)の値が所定値でない場合、回数差記憶領域D(i, j)の値が所定値になるまで走査線駆動回路130とデータ線駆動回路140を制御して第1電圧または第2電圧を画素電極101dへ印加する。また電圧制御部502は、予定画像記憶領域E(i, j)の値と、残り回数記憶領域B(i, j)の値に基づいて、走査線駆動回路130とデータ線駆動回路140を制御して第1電圧または第2電圧を画素電極101dへ印加する。また電圧制御部502は、画素への複数回の電圧印加が終了する前に当該画素の階調を変更する場合、書き込み動作の途中であっても画素へ電圧を複数回印加する動作を新規に開始する。

[0038] 印加回数決定部503は、階調値記憶領域C(i, j)の値、バッファA(i, j)の値及び後述する図6のテーブルに基づいて、画素P(i, j)の階調を変更するための第1電圧または第2電圧の印加回数を決定するブロックである。印加回数決定部503は、決定した印加回数を残り回数記憶領域B(i, j)に書き込む。

[0039] なお、本実施形態においては、白から黒へ表示の状態を変化させるのに要する最小の電圧印加回数（フレーム数）と、黒から白へ表示の状態を変化させるのに要する最小の電圧印加回数（フレーム数）とが異なる。図6は、階調を変化させるのに要する最小の電圧印加回数を示した図である。コントローラ5は、図6に示したテーブルを記憶している。本実施形態においては、画素110の階調は0～5までの6段階で変化し、階調値が小さいほど高

濃度とし、階調値が0の場合には黒、階調値が5の場合には白と定義している。

図6によると、本実施形態においては、階調値が0の状態（画素が黒の状態）から共通電極層103bの電圧 V_{com} に対して $-15V$ の電圧を画素電極101dに5回印加すると、階調値が5の状態（画素が白の状態）になる。一方、階調値が5の状態（画素が白の状態）から共通電極層103bの電圧 V_{com} に対して $+15V$ の電圧を画素電極101dに3回印加すると、階調値が0の状態（画素が黒の状態）になる。

[0040] 階調を変化させるのに必要な最小回数で電圧を印加すれば、画像の書き換えを早く行うことができる。しかしながら、画素を黒から白にする場合と、画素を白から黒にする場合とで電圧の印加回数が異なるため、画像の書き換えが繰り返し行われると、共通電極層103bに対してプラスの電圧が印加された回数と、共通電極層103bに対してマイナスの電圧が印加された回数で偏りが生じ、マイクロカプセルが早く劣化してしまう虞がある。そこで本実施形態においては、共通電極層103bの電圧 V_{com} に対してプラスの電圧が印加された回数と、共通電極層103bの電圧 V_{com} に対してマイナスの電圧が印加された回数との間に大きな偏りが生じないようにする。以下、その動作について説明する。

[0041] （第1実施形態の第1の動作例）

次に本実施形態の動作について説明する。図7～図10は、コントローラ5が行う処理の流れを示したフローチャートである。また、図11は、時間の経過と共に変化する各記憶領域の内容を示した図であり、一の画素 $P(1,1)$ に対応したバッファ $A(1,1)$ 、残り回数記憶領域 $B(1,1)$ 、階調値記憶領域 $C(1,1)$ 、回数差記憶領域 $D(1,1)$ 及び予定画像記憶領域 $E(1,1)$ の内容について示している。なお、各記憶領域の内容はフレーム期間が終了した後の値となっている。また、図11においては、1フレーム期間において画素電極101dに印加した電圧の共通電極層103bに対する極性も示している。

[0042] まず、図11の1フレーム目においては、バッファ $A(1,1)$ が5、階調値記

憶領域C(1,1)が5、残り回数記憶領域B(1,1)及び回数差記憶領域D(1,1)が0である。ここで、3フレーム目の開始前までは、画素電極101dに印加する電圧は電圧Vcomと同じであり、各記憶領域の値は変化しない。

[0043] 次に3フレーム目の開始前にVRAM3の内容が書き換えられた場合、コントローラー5は、フレーム期間の開始前に図7の処理を行う。具体的には、コントローラー5は、各記憶領域の内容に応じて、残り回数記憶領域Bと予定画像記憶領域Eの内容を書き換える。

まずコントローラー5は、変数iと変数jを初期化して1にする（ステップSA1, SA2）。次にコントローラー5は、バッファA(i,j)の値と予定画像記憶領域E(i,j)の値が同じであるか判断する。ここで、コントローラー5は、バッファA(i,j)の値と予定画像記憶領域E(i,j)の値が同じである場合（ステップSA3でYES）、処理の流れをステップSA9へ移す。

一方、コントローラー5は、バッファA(i,j)の値と予定画像記憶領域E(i,j)の値が異なる場合（ステップSA3でNO）、残り回数記憶領域B(i,j)が0であるか判断する。コントローラー5は、残り回数記憶領域B(i,j)が0である場合（ステップSA4でYES）、バッファA(i,j)、階調値記憶領域C(i,j)及び図6のテーブルに基づいて、残り回数記憶領域B(i,j)に残りの印加回数を書き込む（ステップSA5）。コントローラー5は、ステップSA5が終了すると、予定画像記憶領域E(i,j)の値をバッファA(i,j)の値で上書きする。

[0044] また、コントローラー5は、残り回数記憶領域B(i,j)の値が0ではない場合（ステップSA4でNO）、バッファA(i,j)の値が5（白）であるか判断する。コントローラー5は、バッファA(i,j)の値が5ではない場合（ステップSA7でNO）、処理の流れをステップSA5へ移す。一方、コントローラー5は、バッファA(i,j)の値が5である場合（ステップSA7でYES）、回数差記憶領域D(i,j)の値が予め定められた閾値（本実施形態では-4）以下であるか判断する（換言すると、コントローラー5は、バッファA(i,j)の値が5である場合（ステップSA7でYES）、回数差記憶領域D(i,j)の

値の絶対値が予め定められた閾値の4以上であるか判断する)。コントローラー5は、回数差記憶領域 $D(i, j)$ の値が閾値以下でない場合(ステップSA8でNO)、処理の流れをステップSA5へ移す。また、コントローラー5は、回数差記憶領域 $D(i, j)$ の値が閾値以下である場合(ステップSA8でYES)、処理の流れをステップSA9へ移す。

[0045] コントローラー5は、ステップSA9で変数 j の値が n であるか判断する。コントローラー5は、変数 j の値が n ではない場合、変数 j をインクリメントし、処理の流れをステップSA3へ移す。またコントローラー5は、変数 j の値が n である場合、ステップSA10で変数 i の値が m であるか判断する。コントローラー5は、変数 i の値が m ではない場合、変数 i をインクリメントし、処理の流れをステップSA2へ移す。また、コントローラー5は、変数 i の値が m である場合、図7の処理を終了する。

[0046] 例えば、コントローラー5は、3フレーム目の開始前にバッファ $A(1, 1)$ が5から0に書き換えられ、バッファ $A(1, 1)$ の値が3フレーム目開始前の予定画像記憶領域 $E(1, 1)$ の値(5)と異なっている場合(ステップSA3でNO)、残り回数記憶領域 $B(1, 1)$ が0であるか判断する。ここで、図11に示したように3フレーム目開始前の時点で残り回数記憶領域 $B(1, 1)$ が0であると(ステップSA4でYES)、コントローラー5は、画素 $P(1, 1)$ の階調を5から0まで変化させるのに必要な電圧印加回数を残り回数記憶領域 $B(1, 1)$ に書き込む(ステップSA5)。図6を参照すると、画素の階調を階調値記憶領域 $C(i, j)$ の値である5からバッファ $A(i, j)$ の値である0まで変化させるのに必要な電圧印加回数は3であるため、コントローラー5は、3を残り回数記憶領域 $B(1, 1)$ に書き込む。またコントローラー5は、予定画像記憶領域 $E(i, j)$ の値をバッファ $A(i, j)$ の値である0で上書きする(ステップSA6)。

[0047] コントローラー5は、図7の処理が終了した後にフレーム期間になると、走査線駆動回路130とデータ線駆動回路140を駆動する。コントローラー5は、データ線駆動回路を駆動する際に図8～10の処理を行う。まずコントローラー5は、変数 i と変数 j を初期化して1にする(ステップSB1

、SB2)。次にコントローラー5は、バッファA(i,j)の値が0であるか判断する。コントローラー5は、バッファA(i,j)の値が0（黒）であると（ステップSB3でYES）、ステップSB4で図9に示した処理を行う。

まず、コントローラー5は、残り回数記憶領域B(i,j)の値が0であるか判断する。コントローラー5は、残り回数記憶領域B(i,j)の値が0ではない場合（ステップSC1でNO）、残り回数記憶領域B(i,j)の値をデクリメントする（ステップSC2）。またコントローラー5は、j列目のデータ線114を電圧Vcomに対して+15Vにし（ステップSC3）、回数差記憶領域D(i,j)の値をインクリメントする（ステップSC4）。次にコントローラー5は、階調値記憶領域C(i,j)の値を更新し（ステップSC5）、処理の流れをステップSC6へ移す。

[0048] また、コントローラー5は、残り回数記憶領域B(i,j)の値が0である場合（ステップSC1でYES）、回数差記憶領域D(i,j)の値が5未満であるか判断する。コントローラー5は、回数差記憶領域D(i,j)の値が5未満である場合（ステップSC6でYES）、処理の流れをステップSC3へ移す。コントローラー5は、回数差記憶領域D(i,j)の値が予め定められた閾値（ここでは5）以上である場合（ステップSC6でNO）、j列目のデータ線114を電圧Vcomに対して0Vにし（ステップSC7）、処理の流れをステップSB6へ移す。

[0049] 図8に戻り、コントローラー5は、バッファA(i,j)の値が5（白）である場合（ステップSB3でNO）、図10の処理を行う。コントローラー5は、バッファA(i,j)の値と予定画像記憶領域E(i,j)の値が同じであるか判断する。コントローラー5は、バッファA(i,j)の値と予定画像記憶領域E(i,j)の値が異なる場合（ステップSD1でNO）、j列目のデータ線114を電圧Vcomに対して+15Vにし（ステップSD2）、回数差記憶領域D(i,j)の値をインクリメントする（ステップSD3）。また、コントローラー5は、階調値記憶領域C(i,j)の値を更新する（ステップSD4）。次にコントローラー5は、回数差記憶領域D(i,j)の値が5である場合（ステップSD5で

YES)、予定画像記憶領域E(i, j)の値をバッファA(i, j)の値で上書きする(ステップSD6)。コントローラー5は、ステップSD6の処理を終えると処理の流れをステップSB6へ移す。また、コントローラー5は、回数差記憶領域D(i, j)の値が5ではない場合(ステップSD5でNO)、処理の流れをステップSB6へ移す。

[0050] また、コントローラー5は、ステップSD1でYESと判断した場合、残り回数記憶領域B(i, j)の値が0であるか判断する。コントローラー5は、残り回数記憶領域B(i, j)の値が0である場合(ステップSD7でYES)、j列目のデータ線114を電圧Vcomに対して0Vにし(ステップSD12)、処理の流れをステップSB6へ移す。

[0051] また、コントローラー5は、ステップSD7でNOと判断した場合、残り回数記憶領域B(i, j)の値をデクリメントする(ステップSD8)。次にコントローラー5は、j列目のデータ線114を電圧Vcomに対して-15Vにし(ステップSD9)、回数差記憶領域D(i, j)の値をデクリメントする(ステップSD10)。また、コントローラー5は、階調値記憶領域C(i, j)の値を更新する(ステップSD11)。コントローラー5は、ステップSD11の処理を終えると処理の流れをステップSB6へ移す。

[0052] 図8に戻り、コントローラー5は、ステップSB6で変数jの値がnであるか判断する。コントローラー5は、変数jの値がnではない場合、変数jをインクリメントし、処理の流れをステップSB3へ移す。またコントローラー5は、変数jの値がnである場合、i行目の走査線を駆動する(ステップSB7)。次にコントローラー5は、ステップSB8で変数iの値がmであるか判断する。コントローラー5は、変数iの値がmではない場合、変数iをインクリメントし、処理の流れをステップSB2へ移す。またコントローラー5は、変数iの値がmである場合、図8の処理を終了する。

[0053] 例えば、3フレーム目の開始時点においては、コントローラー5は、バッファA(1, 1)の値が0であり(ステップSB3でYES)、残り回数記憶領域B(1, 1)の値が3であるため(ステップSC1でNO)、残り回数記憶領域B(1,

1)の値をデクリメントして2にする（ステップSC2）。コントローラー5は、1列目のデータ線114を電圧Vcomに対して+15Vにした後（ステップSC3）、回数差記憶領域D(1,1)の値をインクリメントして1にする（ステップSC4）。

またコントローラー5は、階調値記憶領域C(1,1)の値を更新する（ステップSC5）。なお、電圧Vcomに対して画素電極101dへ+15Vの電圧を印加した場合、一回の電圧印加による実際の画素の階調値の変化量は2であるため、3フレーム目が終了した時点では、階調値記憶領域C(1,1)の階調値は3となる。この後、1行目の走査線112が駆動されると（ステップSB7）、1行1列目の画素の画素電極101dには、電圧Vcomに対して+15Vの電圧が印加され、黒の電気泳動粒子が共通電極層103b側に移動する。

[0054] この後、コントローラー5は、4フレーム目と5フレーム目においては、3フレーム目と同様の処理を行う。次に6フレーム目においては、コントローラー5の動作は以下の通りとなる。

まず、コントローラー5は、バッファA(1,1)の値が0であり（ステップSB3でYES）、残り回数記憶領域B(1,1)の値が0であるため（ステップSC1でYES）、回数差記憶領域D(1,1)の値を判断する。ここで、回数差記憶領域D(1,1)の値は3であり、値が5未満であるため（ステップSC6でYES）、1列目のデータ線114を電圧Vcomに対して+15Vにした後（ステップSC3）、回数差記憶領域D(1,1)の値をインクリメントして4にする（ステップSC4）。また、コントローラー5は、階調値記憶領域C(1,1)の値を更新する（ステップSC5）。なお、ここで階調値記憶領域C(1,1)の値が0になっている場合は、値を0のままとする。

[0055] コントローラー5は、7フレーム目においては、6フレーム目と同様の処理を行う。次に8フレーム目においては、コントローラー5の動作は以下の通りとなる。

まず、コントローラー5は、バッファA(1,1)の値が0であり（ステップS

B 3でYES)、残り回数記憶領域B(1,1)の値が0であるため(ステップSC 1でYES)、回数差記憶領域D(1,1)の値を判断する。ここで、回数差記憶領域D(1,1)の値は5であるため(ステップSC 6でNO)、1列目のデータ線114を電圧Vcomに対して0Vにする(ステップSC 7)。

[0056] 次に10フレーム目の開始前にバッファA(1,1)が0(黒)から5(白)に書き換えられると、コントローラ5の動作は以下の通りとなる。

コントローラ5は、バッファA(1,1)の値が10フレーム目開始前の予定画像記憶領域E(1,1)の値(0)と異なっているため(ステップSA 3でNO)、残り回数記憶領域B(1,1)が0であるか判断する。ここで、図11に示したように10フレーム目開始前の時点(9フレーム目が終了した時点)で残り回数記憶領域B(1,1)が0であると(ステップSA 4でYES)、コントローラ5は、画素P(1,1)の階調を5から0まで変化させるのに必要な電圧印加回数を残り回数記憶領域B(1,1)に書き込む(ステップSA 5)。図6を参照すると、画素の階調を5から0まで変化させるのに必要な電圧印加回数は3であるため、コントローラ5は、3を残り回数記憶領域B(1,1)に書き込む。またコントローラ5は、予定画像記憶領域E(i,j)の値をバッファA(i,j)の値である5で上書きする(ステップSA 6)。

[0057] この後にフレーム期間となると、コントローラ5は、バッファA(i,j)の値が0であるか判断する。コントローラ5は、バッファA(i,j)の値が5(白)であると(ステップSB 3でNO)、図10に示した処理を行う。

まずコントローラ5は、バッファA(i,j)の値と予定画像記憶領域E(i,j)の値が同じであり(ステップSD 1でYES)、残り回数記憶領域B(i,j)の値が0ではないため(ステップSD 7でNO)、残り回数記憶領域B(1,1)の値をデクリメントして4にする(ステップSD 8)。またコントローラ5は、1列目のデータ線114を電圧Vcomに対して-15Vにした後(ステップSD 9)、回数差記憶領域D(1,1)の値をデクリメントして4にする(ステップSD 10)。またコントローラ5は、階調値記憶領域C(1,1)の値を更新する(ステップSD 11)。なお、画素電極101dへ電圧Vcom

に対して -1.5 V の電圧を印加した場合、一回の電圧印加による実際の画素の階調値の変化量は1であるため、10フレーム目が終了した時点では、階調値記憶領域C(1,1)の階調値は4となる。この後、1行目の走査線112が駆動されると（ステップSB7）、1行1列目の画素の画素電極101dには、電圧 V_{com} に対して -1.5 V の電圧が印加され、白の電気泳動粒子が共通電極層103b側に移動する。

[0058] この後、コントローラ5は、残り回数記憶領域B(1,1)の値が0になるまで各フレーム期間において画素電極101dに電圧を印加する。コントローラ5は、15フレーム目の開始時点で残り回数記憶領域B(1,1)の内容が0になると、15フレーム目においては、画素電極101dへ電圧 V_{com} と同じ電圧を印加する。

[0059] （第1実施形態の第2の動作例）

次に、残り回数記憶領域の値が0になる前にVRAM3の内容が変更された場合の動作について、図12を用いて説明する。図12も、時間の経過と共に変化する各記憶領域の内容を示した図であり、画素P(1,1)に対応したバッファA(1,1)、残り回数記憶領域B(1,1)、階調値記憶領域C(1,1)及び回数差記憶領域D(1,1)の内容について示している。なお、図12において1フレーム目から4フレーム目までの動作については、図11の1フレーム目から4フレーム目までの動作と同じであるため説明を省略する。

[0060] コントローラ5は、画素P(1,1)について残り回数記憶領域B(1,1)の値が0になる前に、5フレーム目の前でバッファA(1,1)に画素110の階調値として5（白）が書き込まれると、ステップSA3でNOと判断し、ステップSA4でNOと判断する。またコントローラ5は、バッファA(1,1)の値が5であり（ステップSA7でYES）、回数差記憶領域D(1,1)の値が2であるため、ステップSA5で残り回数記憶領域B(1,1)に4を書き込み、ステップSA6で予定画像記憶領域E(1,1)に5を書き込む。

[0061] この後、コントローラ5は、5フレーム目から8フレーム目までは、画素P(1,1)の画素電極101dの電圧を電圧 V_{com} に対して -1.5 V にする

。コントローラー 5 は、残り回数記憶領域 B(1,1)の値が 0 になると（9 フレーム目と 10 フレーム目）、画素 P(1,1)の画素電極 101 d の電圧を電圧 V_{com}と同じ電圧にする。

[0062] 次にコントローラー 5 は、11 フレーム目の前にバッファ A(1,1)に画素 110 の階調値として 0（黒）が書き込まれると、図 11 の 3 フレーム目以降と同様に、回数差記憶領域 D(1,1)の値が 5 になるまで画素 P(1,1)の画素電極 101 d の電圧を電圧 V_{com}に対して +15 V にする。また、コントローラー 5 は、20 フレーム目の前にバッファ A(1,1)に画素 110 の階調値として 5（白）が書き込まれると、図 11 の 10 フレーム目以降と同様に、残り回数記憶領域 B(1,1)の値が 0 になるまで画素 P(1,1)の画素電極 101 d の電圧を電圧 V_{com}に対して -15 V にする。

[0063] （第 1 実施形態の第 3 の動作例）

次に、残り回数記憶領域 B(1,1)の値が 0 になる前にバッファ A(1,1)の内容を変更する動作が繰り返された場合について、図 13 を用いて説明する。図 13 も、時間の経過と共に変化する各記憶領域の内容を示した図であり、画素 P(1,1)に対応したバッファ A(1,1)、残り回数記憶領域 B(1,1)、階調値記憶領域 C(1,1)及び回数差記憶領域 D(1,1)の内容について示している。なお、図 13 の 1 フレーム目から 12 フレーム目までの動作については、図 12 の 1 フレーム目から 12 フレーム目までの動作と同じであるため説明を省略する。

[0064] コントローラー 5 は、13 フレーム目の前にバッファ A(1,1)に画素 110 の階調値として 5（白）が書き込まれると、5 フレーム目から 8 フレーム目までの動作と同じ動作を行う。またコントローラー 5 は、19 フレーム目の前にバッファ A(1,1)に画素 110 の階調値として 0（黒）が書き込まれ、21 フレーム目の前にバッファ A(1,1)に画素 110 の階調値として 5（白）が書き込まれると、19 フレーム目から 24 フレーム目までは、3 フレーム目から 8 フレーム目までの動作と同じ動作を行う。またコントローラー 5 は、27 フレーム目の前にバッファ A(1,1)に画素 110 の階調値として 0（黒）

が書き込まれると、27フレーム目と28フレーム目については、3フレーム目及び4フレーム目と同じ動作を行う。

[0065] 次に、29フレーム目の前にバッファA(1,1)に画素110の階調値として5（白）が書き込まれると、コントローラ5は、ステップSA3でNOと判断し、ステップSA4でNOと判断する。またコントローラ5は、バッファA(1,1)の値が5であるため（ステップSA7でYES）、回数差記憶領域D(1,1)の値を判断する。ここで、コントローラ5は、回数差記憶領域D(1,1)の値が-4であるため、ステップSA8でYESと判断し、予定画像記憶領域E(1,1)の内容を更新しない。

[0066] この後にフレーム期間となると、コントローラ5は、バッファA(1,1)の値が5であるため、ステップSB5の処理を行う。まずコントローラ5は、バッファA(1,1)の値と予定画像記憶領域E(1,1)の値が異なるため（ステップSD1でNO）、1列目のデータ線114を電圧Vcomに対して+15Vにした後（ステップSD2）、回数差記憶領域D(1,1)の値をインクリメントして-3にする。またコントローラ5は、階調値記憶領域C(1,1)の値を0に更新する。次にコントローラ5は、回数差記憶領域D(1,1)の値が5であるか判断する。ここで回数差記憶領域D(1,1)の値は-3であるため、ステップSD5でNOと判断され、予定画像記憶領域E(1,1)の値は0のままとなる。

この後、1行目の走査線112が駆動されると（ステップSB7）、1行1列目の画素の画素電極101dには、電圧Vcomに対して+15Vの電圧が印加され、バッファA(1,1)の値は、画素の階調として白を表す5であるものの、黒の電気泳動粒子が共通電極層103b側に移動する。

[0067] コントローラ5は、30フレーム目から36フレーム目までは、画素P(1,1)については、29フレーム目と同じ動作となる。コントローラ5は、37フレーム目においては、バッファA(1,1)の値と予定画像記憶領域E(1,1)の値が異なるため（ステップSD1でNO）、1列目のデータ線114を電圧Vcomに対して+15Vにした後（ステップSD2）、回数差記憶領域D(1

, 1)の値をインクリメントして5にする。この後、コントローラ5は、回数差記憶領域D(1, 1)の値が5であるため（ステップSD5でNO）、予定画像記憶領域E(1, 1)の値をバッファA(1, 1)の値である5で上書きし、バッファA(1, 1)、階調値記憶領域C(1, 1)及び図6のテーブルを基にして、残り回数記憶領域B(1, 1)に値を書き込む。

[0068] コントローラ5は、38フレーム目においては、バッファA(1, 1)の値が5であるため、ステップSB5の処理を行う。コントローラ5は、バッファA(1, 1)の値と予定画像記憶領域E(1, 1)の値が同じであり、残り回数記憶領域B(1, 1)の値が0ではないため、ステップSD8～ステップSD11の処理を行う。即ち、1行1列目の画素の画素電極101dには、電圧Vcomに対して-15Vの電圧が印加されることとなる。

この後コントローラ5は、42フレーム目までは、画素P(1, 1)の画素電極101dについて、電圧Vcomに対して-15Vの電圧を印加する。

[0069] 仮に、バッファA(1, 1)が書き換えられたことにより、29フレーム目から画素P(1, 1)の画素電極101dについて電圧Vcomに対して-15Vの電圧を印加すると、回数差記憶領域D(1, 1)の値の絶対値がさらに大きくなる。つまり、画素P(1, 1)においては、共通電極層103bに対してプラスの電圧が印加された回数と、共通電極層103bに対してマイナスの電圧が印加された回数との間に大きな偏りが生じ、画素110が早く劣化することとなる。

一方、本実施形態では、上述した29フレーム目以降の動作のように、バッファ記憶領域の内容が書き換えられても、画素電極101dに印加する電圧を制御し、共通電極層103bに対してプラスの電圧が印加された回数と、共通電極層103bに対してマイナスの電圧が印加された回数との間に大きな偏りが生じないため、画素110の劣化を抑えることができる。

[0070] [第2実施形態]

次に、本発明の第2実施形態について説明する。第2実施形態に係る表示装置は、ハードウェア構成については第1実施形態と同じである。第2実施

形態に係る表示装置が第1実施形態に係る表示装置と相違する点は、階調値記憶領域Cが設けられていない点と、コントローラ5が行う処理が異なる点にある。以下、この相違点を中心に説明する。

[0071] 図14～図16は、コントローラ5が行う処理の流れを示したフローチャートである。図14は、VRAM3の内容が書き換えられた場合にコントローラ5が行う処理の流れを示した図である。図14は、ステップSA11を備えている点が第1実施形態の図7の処理と異なる。コントローラ5は、バッファA(i, j)の値が予定画像記憶領域E(i, j)の値と異なり、残り回数記憶領域B(i, j)の値が0ではなく、バッファA(i, j)の値が0である場合、ステップSA11において回数差記憶領域D(i, j)の値が4以上であるか判断する。コントローラ5は、ステップSA11において回数差記憶領域D(i, j)の値が予め定められた閾値（ここでは4）未満である場合、ステップSA5へ処理の流れを移し、ステップSA11において回数差記憶領域D(i, j)の値が4以上である場合には処理の流れをステップSA9へ移す。

[0072] なお、データ線駆動回路140を駆動する時の処理については、図8の処理が行われるが、本実施形態においては、ステップSB4の内容とステップSB5の内容が異なる。図15は、本実施形態に係るステップSB4（サブルーチン1）の処理の流れを示したフローチャートである。

コントローラ5は、バッファA(i, j)の値と予定画像記憶領域E(i, j)の値が同じであるか判断する。コントローラ5は、バッファA(i, j)の値と予定画像記憶領域E(i, j)の値が異なる場合（ステップSE1でNO）、j列目のデータ線114を電圧Vcomに対して-1.5Vにし（ステップSE2）、回数差記憶領域D(i, j)の値をデクリメントする（ステップSE3）。また、コントローラ5は、回数差記憶領域D(i, j)の値が0である場合（ステップSE4でYES）、予定画像記憶領域E(i, j)の値をバッファA(i, j)の値で上書きする（ステップSE5）。コントローラ5は、ステップSE5の処理を終えると処理の流れをステップSB6へ移す。また、コントローラ5は、回数差記憶領域D(i, j)の値が0ではない場合（ステップSE4でNO）、

処理の流れをステップS B 6へ移す。

[0073] また、コントローラー5は、ステップS E 1でYESと判断した場合、残り回数記憶領域B(i, j)の値が0であるか判断する。コントローラー5は、残り回数記憶領域B(i, j)の値が0である場合（ステップS E 6でYES）、回数差記憶領域D(i, j)の値が5未満であるか判断する。コントローラー5は、回数差記憶領域D(i, j)の値が5未満である場合（ステップS E 10でYES）、処理の流れをステップS E 7へ移し、回数差記憶領域D(i, j)の値が5未満でない場合（ステップS E 10でNO）、j列目のデータ線114を電圧V_{com}に対して0Vにし（ステップS E 11）、処理の流れをステップS B 6へ移す。

[0074] また、コントローラー5は、ステップS E 6でNOと判断した場合、残り回数記憶領域B(i, j)の値をデクリメントする（ステップS E 7）。次にコントローラー5は、j列目のデータ線114を電圧V_{com}に対して+15Vにし（ステップS E 8）、回数差記憶領域D(i, j)の値をデクリメントする（ステップS E 9）。コントローラー5は、ステップS E 9の処理を終えると処理の流れをステップS B 6へ移す。

[0075] 図16は、本実施形態に係るステップS B 5（サブルーチン2）の処理の流れを示したフローチャートである。図10の処理と比較すると、ステップS D 4とステップS D 11の処理が設けられていない点、ステップS D 13とステップS D 14が設けられている点が第1実施形態と異なり、他は第1実施形態と同じ処理が行われる。なお、ステップS D 14の処理は、第1実施形態のステップS D 12と同じ処理である。コントローラー5は、ステップS D 13で回数差記憶領域D(i, j)の値が0を超えている場合（ステップS D 13でYES）、処理の流れをステップS D 8へ移し、回数差記憶領域D(i, j)の値が0以下である場合（ステップS D 13でNO）、j列目のデータ線114を電圧V_{com}に対して0Vにし（ステップS E 11）、処理の流れをステップS B 6へ移す。

[0076] （第2実施形態の第1の動作例）

次に、第2実施形態の動作について説明する。図17は、時間の経過と共に変化する各記憶領域の内容を示した図であり、画素P(1,1)に対応したバッファA(1,1)、残り回数記憶領域B(1,1)、回数差記憶領域D(1,1)及び予定画像記憶領域E(1,1)の内容について示している。なお、各記憶領域の内容はフレーム期間が終了した後の値となっている。また、図17においては、1フレーム期間において画素電極101dに印加した電圧の共通電極層103bに対する極性も示している。

[0077] まず3フレーム目の開始前にバッファA(1,1)が5から0に書き換えられた場合、コントローラ5は、フレーム期間の開始前に図14の処理を行う。ここで、画素P(1,1)について注目すると、コントローラ5は、ステップSA5で残り回数記憶領域B(1,1)に5を書き込み、予定画像記憶領域E(1,1)に0を書き込む。このように本実施形態では、図6のテーブルを用いずに5を書き込む点で第1実施形態と異なる。

[0078] コントローラ5は、3フレーム目から7フレーム目までは、画素P(1,1)の画素電極101dへ電圧Vcomに対して+15Vの電圧を印加し、残り回数記憶領域B(1,1)の値をデクリメントし、回数差記憶領域D(1,1)の値をインクリメントする。

コントローラ5は、8フレーム目と9フレーム目においては、バッファA(1,1)と予定画像記憶領域E(1,1)の値が同じであり、残り回数記憶領域B(1,1)の値が0であるため、画素P(1,1)の画素電極101dの電圧を電圧Vcomと同じにする。

コントローラ5は、10フレーム目の開始前にバッファA(1,1)が5から0に書き換えられた場合、ステップSA5で残り回数記憶領域B(1,1)に5を書き込み、予定画像記憶領域E(1,1)に5を書き込む。コントローラ5は、10フレーム目から14フレーム目までは、画素P(1,1)の画素電極101dへ電圧Vcomに対して-15Vの電圧を印加し、残り回数記憶領域B(1,1)の値をデクリメントし、回数差記憶領域D(1,1)の値をデクリメントする。

[0079] (第2実施形態の第2の動作例)

次に、残り回数記憶領域の値が0になる前にVRAM3の内容が変更された場合の動作について、図18を用いて説明する。図18も、画素P(1,1)に対応した各記憶領域の内容について示した図である。なお、図18において1フレーム目から4フレーム目までの動作については、図18の4フレーム目までの動作と同じであるため説明を省略する。

5フレーム目の開始前にバッファA(1,1)が0から5に書き換えられた場合、コントローラ5は、フレーム期間の開始前に図14の処理を行う。ここで、画素P(1,1)について注目すると、コントローラ5は、ステップSA5で残り回数記憶領域B(1,1)に5を書き込み、予定画像記憶領域E(1,1)に5を書き込む。

[0080] コントローラ5は、画素P(1,1)について残り回数記憶領域B(1,1)の値が0になる前に、5フレーム目の前でバッファA(1,1)に画素110の階調値として5（白）が書き込まれると、ステップSA3でNOと判断し、ステップSA4でNOと判断する。またコントローラ5は、バッファA(1,1)の値が5であり（ステップSA7でYES）、回数差記憶領域D(1,1)の値が2であるため、ステップSA5で残り回数記憶領域B(1,1)に5を書き込み、ステップSA6で予定画像記憶領域E(1,1)に5を書き込む。

[0081] この後、コントローラ5は、5フレーム目から9フレーム目までは、画素P(1,1)の画素電極101dの電圧を電圧Vcomに対して-15Vにする。コントローラ5は、残り回数記憶領域B(1,1)の値が0になると（10フレーム目）、画素P(1,1)の画素電極101dの電圧を電圧Vcomと同じ電圧にする。

[0082] 次にコントローラ5は、11フレーム目の前にバッファA(1,1)に画素110の階調値として0（黒）が書き込まれると、残り回数記憶領域B(i,j)の値が0になるまで画素P(1,1)の画素電極101dの電圧を電圧Vcomに対して+15Vにする。また、コントローラ5は、回数差記憶領域D(i,j)の値が5になるまで画素P(1,1)の画素電極101dの電圧を電圧Vcomに対して+15Vにする。また、コントローラ5は、20フレーム目の前にバ

バッファA(1,1)に画素110の階調値として5（白）が書き込まれると、図17の10フレーム目以降と同様に、残り回数記憶領域B(1,1)の値が0になるまで画素P(1,1)の画素電極101dの電圧を電圧Vcomに対して-15Vにする。

[0083] （第2実施形態の第3の動作例）

次に、残り回数記憶領域B(1,1)の値が0になる前にバッファA(1,1)の内容を変更する動作が繰り返された場合について、図19を用いて説明する。図19も、画素P(1,1)に対応した各記憶領域の内容について示した図である。なお、図19の1フレーム目から12フレーム目までの動作については、図18の1フレーム目から12フレーム目までの動作と同じであるため説明を省略する。

[0084] コントローラー5は、13フレーム目の前にバッファA(1,1)に画素110の階調値として5（白）が書き込まれると、13フレーム目以降は、5フレーム目から9フレーム目の動作と同じ動作を行う。またコントローラー5は、19フレーム目の前にバッファA(1,1)に画素110の階調値として0（黒）が書き込まれると、19フレーム目と20フレーム目については、3フレーム目及び4フレーム目と同じ動作を行う。

[0085] 次に、21フレーム目の前にバッファA(1,1)に画素110の階調値として5（白）が書き込まれると、コントローラー5は、ステップSA3でNOと判断し、ステップSA4でNOと判断する。またコントローラー5は、バッファA(1,1)の値が5であるため（ステップSA7でYES）、回数差記憶領域D(1,1)の値を判断する。ここで、コントローラー5は、回数差記憶領域D(1,1)の値が-4であるため、ステップSA8でYESと判断し、予定画像記憶領域E(1,1)の内容を更新しない。

[0086] この後にフレーム期間となると、コントローラー5は、バッファA(i,j)の値が5であるため、ステップSB5の処理を行う。まずコントローラー5は、バッファA(1,1)の値と予定画像記憶領域E(1,1)の値が異なるため（ステップSD1でNO）、1列目のデータ線114を電圧Vcomに対して+15

Vにした後（ステップS D 2）、回数差記憶領域D(1,1)の値をインクリメントして-3にする。次にコントローラー5は、回数差記憶領域D(1,1)の値が5であるか判断する。ここで回数差記憶領域D(1,1)の値は-3であるため、ステップS D 5でNOと判断され、予定画像記憶領域E(1,1)の値は0のままとなる。

この後、1行目の走査線112が駆動されると（ステップS B 7）、1行1列目の画素の画素電極101dには、電圧Vcomに対して+15Vの電圧が印加され、バッファA(1,1)の値は画素の階調として白を表す5であるものの、黒の電気泳動粒子が共通電極層103b側に移動する。

[0087] コントローラー5は、22フレーム目から28フレーム目までは、画素P(1,1)については、21フレーム目と同じ動作となる。コントローラー5は、29フレーム目においては、バッファA(1,1)の値と予定画像記憶領域E(1,1)の値が異なるため（ステップS D 1でNO）、1列目のデータ線114を電圧Vcomに対して+15Vにした後（ステップS D 2）、回数差記憶領域D(1,1)の値をインクリメントして5にする。この後、コントローラー5は、回数差記憶領域D(1,1)の値が5であるため（ステップS D 5でNO）、予定画像記憶領域E(1,1)の値をバッファA(1,1)の値である5で上書きし、残り回数記憶領域B(1,1)に5を書き込む。

[0088] コントローラー5は、30フレーム目においては、バッファA(1,1)の値が5であるため、ステップS B 5の処理を行う。コントローラー5は、バッファA(1,1)の値と予定画像記憶領域E(1,1)の値が同じであり、残り回数記憶領域B(1,1)の値が0ではないため、ステップS D 8～ステップS D 10の処理を行う。即ち、1行1列目の画素の画素電極101dには、電圧Vcomに対して-15Vの電圧が印加されることとなる。この後コントローラー5は、34フレーム目までは、画素P(1,1)の画素電極101dについて、電圧Vcomに対して-15Vの電圧が印加する。

[0089] （第2実施形態の第4の動作例）

次に、残り回数記憶領域B(1,1)の値が0になる前にバッファA(1,1)の内容

を変更する動作が繰り返された場合について、図20を用いて説明する。図20も、画素P(1,1)に対応した各記憶領域の内容について示した図である。

[0090] まず、図20の1フレーム目においては、バッファA(1,1)が0、階調値記憶領域C(1,1)が0、残り回数記憶領域B(1,1)及び回数差記憶領域D(1,1)が5である。ここで、3フレーム目の前までは、画素電極101dに印加する電圧は電圧Vcomと同じであり、各記憶領域の値は変化しない。

[0091] 次に3フレーム目の開始前にバッファA(1,1)が0から5に書き換えられ、バッファA(1,1)の値が3フレーム目開始前の予定画像記憶領域E(1,1)の値(0)と異なっている場合(ステップSA3でNO)、残り回数記憶領域B(1,1)が0であるか判断する。ここで、図20に示したように3フレーム目開始前の時点で残り回数記憶領域B(1,1)が0であると(ステップSA4でYES)、コントローラ5は、画素P(1,1)の階調を0から5まで変化させるのに必要な電圧印加回数として、残り回数記憶領域B(1,1)に5を書き込む(ステップSA5)。またコントローラ5は、予定画像記憶領域E(i,j)の値をバッファA(i,j)の値である5で上書きする(ステップSA6)。

[0092] コントローラ5は、フレーム期間になると、走査線駆動回路130とデータ線駆動回路140を駆動する。コントローラ5は、バッファA(1,1)の値が5(ステップSB3でNO)、バッファA(1,1)と予定画像記憶領域E(1,1)の値が同じ(ステップSD1でYES)、残り回数記憶領域B(1,1)の値が5であるため(ステップSD7でNO)、残り回数記憶領域B(1,1)の値をデクリメントして4にする(ステップSD8)。コントローラ5は、1列目のデータ線114を電圧Vcomに対して-15Vにした後(ステップSD9)、回数差記憶領域D(1,1)の値をデクリメントして4にする(ステップSD10)。

[0093] コントローラ5は、画素P(1,1)について残り回数記憶領域B(1,1)の値が0になる前に、5フレーム目の前でバッファA(1,1)に画素110の階調値として0(黒)が書き込まれると、ステップSA3でNOと判断し、ステップSA4でNOと判断する。またコントローラ5は、バッファA(1,1)の値が

0であり（ステップS A 7でNO）、回数差記憶領域D(1,1)の値が3であるため、ステップS A 5で残り回数記憶領域B(1,1)に5を書き込み、ステップS A 6で予定画像記憶領域E(1,1)に0を書き込む。

[0094] この後、コントローラー5は、5フレーム目から9フレーム目までは、画素P(1,1)の画素電極101dの電圧を電圧Vcomに対して+15Vにする。コントローラー5は、残り回数記憶領域B(1,1)の値が0になると、画素P(1,1)の画素電極101dの電圧を電圧Vcomと同じ電圧にする。

[0095] 次にコントローラー5は、11フレーム目の前にバッファA(1,1)に画素110の階調値として5（白）が書き込まれると、11フレーム目と12フレーム目では3フレーム目及び4フレーム目と同様に、画素P(1,1)の画素電極101dの電圧を電圧Vcomに対して-15Vにする。

また、コントローラー5は、13フレーム目の前にバッファA(1,1)に画素110の階調値として0（黒）が書き込まれると、ステップS A 3でNOと判断し、ステップS A 4でNOと判断する。またコントローラー5は、バッファA(1,1)の値が0であるため（ステップS A 7でNO）、回数差記憶領域D(1,1)の値を判断する。ここで、コントローラー5は、回数差記憶領域D(1,1)の値が7であるため、ステップS A 11でYESと判断し、予定画像記憶領域E(1,1)の内容を更新しない。

[0096] この後にフレーム期間となると、コントローラー5は、バッファA(i,j)の値が0であるため、ステップS B 4の処理を行う。まずコントローラー5は、バッファA(i,j)の値と予定画像記憶領域E(i,j)の値が異なるため（ステップS E 1でNO）、1列目のデータ線114を電圧Vcomに対して-15Vにした後（ステップS E 2）、回数差記憶領域D(1,1)の値をデクリメントして6にする。次にコントローラー5は、回数差記憶領域D(1,1)の値が0であるか判断する。ここで回数差記憶領域D(1,1)の値は6であるため、ステップS E 4でNOと判断され、予定画像記憶領域E(1,1)の値は5のままとなる。

この後、1行目の走査線112が駆動されると（ステップS B 7）、1行

1 列目の画素の画素電極 101d には、電圧 V_{com} に対して $-15V$ の電圧が印加され、バッファ A(1,1) の値は、画素の階調として黒を表す 0 であるものの、白の電気泳動粒子が共通電極層 103b 側に移動する。

[0097] この後、回数差記憶領域 $D(i, j)$ の値が 0 になる 19 フレーム目までは、画素 P(1,1) については、電圧 V_{com} に対して $-15V$ の電圧が印加される。コントローラ 5 は、19 フレーム目においては、ステップ SE4 で YES と判断し、残り回数記憶領域 $B(i, j)$ に 5 を書き込み、予定画像記憶領域 $E(i, j)$ の値をバッファ A(i, j) の値で上書きする。

コントローラ 5 は、20 フレーム目においては、バッファ A(1,1) の値が 0 であるため、ステップ SB4 の処理を行う。コントローラ 5 は、バッファ (1,1) の値と予定画像記憶領域 E(1,1) の値が同じであり、残り回数記憶領域 B(1,1) の値が 0 ではないため、ステップ SE7～ステップ SE9 の処理を行う。即ち、1 行 1 列目の画素の画素電極 101d には、電圧 V_{com} に対して $+15V$ の電圧が印加されることとなる。この後コントローラ 5 は、24 フレーム目までは、画素 P(1,1) の画素電極 101d について、電圧 V_{com} に対して $+15V$ の電圧を印加する。

[0098] このように、画素を黒に書き換えている最中に白に書き換える動作が繰り返されても、画素電極 101d に印加する電圧を制御し、共通電極層 103b に対してプラスの電圧が印加された回数と、共通電極層 103b に対してマイナスの電圧が印加された回数との間に大きな偏りが生じないため、画素 110 の劣化を抑えることができる。

[0099] [電子機器]

次に、上述した実施形態に係る電気光学装置 1 を適用した電子機器の例について説明する。図 21 は、当該電気光学装置 1 を用いた電子ブックリーダーの外観を示した図である。電子ブックリーダー 2000 は、板状のフレーム 2001 と、ボタン 9A～9F と、上述した実施形態に係る電気光学装置 1、制御部 2、VRAM 3 および RAM 4 を備えている。電子ブックリーダー 2000 においては表示領域 100 が露出している。電子ブックリーダー

2000においては、電子書籍の内容が表示領域100に表示され、ボタン9A～9Fを操作することにより電子書籍のページがめくられる。

なお、このほかにも、上述した実施形態に係る電気光学装置1が適用可能な電子機器としては、時計や、電子ペーパー、電子手帳、電卓、携帯電話機等などが挙げられる。

[0100] [変形例]

以上、本発明の実施形態について説明したが、本発明は上述した実施形態に限定されることなく、他の様々な形態で実施可能である。例えば、上述の実施形態を以下のように変形して本発明を実施してもよい。なお、上述した実施形態及び以下の変形例は、各々を組み合わせてもよい。

[0101] 本発明においては、画素を書き換える時の電圧印加回数を画素110周辺の温度に応じて変更してもよい。例えば、温度が高い場合には電圧印加回数を少なくし、温度が低い場合には電圧印加回数を多くしてもよい。また、画素を書き換える時の電圧印加回数を温度に応じて変更した場合、第1実施形態のステップSA8、ステップSC6、ステップSD5などの判断処理で使用する値も、温度に応じて変更してもよい。また、画素を書き換える時の電圧印加回数を温度に応じて変更した場合、第2実施形態のステップSA8、ステップSA11、ステップSE4、ステップSD5などの判断処理で使用する値も、温度に応じて変更してもよい。

[0102] 本発明においては、電気泳動粒子の素材により、例えば、黒から白への電圧印加回数が3であり、白から黒への電圧印加回数が5というように、黒から白への電圧印加回数より白から黒への電圧印加回数の方が多い場合も生じえる。

この場合、第1実施形態では図7～10の処理に替えて、図22～図25の処理を行う。

図22の処理においては、ステップSA7AでバッファA(i, j)の値が5（白）であればステップSA5へ移行し、値が0（黒）であればステップSA8Aへ移行する。また、ステップSA8Aにおいては、回数差記憶領域D(i, j

)の値が4以上であればステップS A 9へ移行し、回数差記憶領域D(i, j)の値が4未満であればステップS A 5へ移行する。

また、図23の処理においては、ステップS B 3 AでバッファA(i, j)の値が5（白）であればステップS B 4 Aへ移行し、0（黒）であればステップS B 5 Aへ移行する。なお、ステップS B 4 Aでは図24の処理が行われ、ステップS B 5 Aでは図25の処理が行われる。

また、図24の処理においては、ステップS C 3 Aではj列目のデータ線を電圧V c o mに対して-15Vとし、ステップS C 4 Aで回数差記憶領域D(i, j)の値をデクリメントする。また、図24の処理においては、ステップS C 6 Aで回数差記憶領域D(i, j)の値が0を超えているか判断し、0を超えていればステップS C 3 Aへ移行し、0以下であれば図24の処理を終了するようにする。

また、図25の処理においては、ステップS D 2 Aでj列目のデータ線を電圧V c o mに対して-15Vとし、ステップS D 3 Aで回数差記憶領域D(i, j)の値をデクリメントし、ステップS D 5 Aで回数差記憶領域D(i, j)の値が0であればステップS D 6へ移行し、値が5であれば図25の処理を終了する。また、図25の処理においては、ステップS D 9 Aではj列目のデータ線を電圧V c o mに対して+15Vとし、ステップS D 10 Aで回数差記憶領域D(i, j)の値をインクリメントする。

この構成によれば、画素を白に書き換えている最中に黒に書き換える動作が繰り返されても、画素電極101dに印加する電圧を制御し、共通電極層103bに対してプラスの電圧が印加された回数と、共通電極層103bに対してマイナスの電圧が印加された回数との間に大きな偏りが生じないため、画素110の劣化を抑えることができる。

[0103] 上述した実施形態においては、電気光学装置として電気泳動層102を有するものを例に説明したが、これに限定する趣旨ではない。電気光学装置は、画素の表示状態を第1表示状態から第2表示状態へ変化させるための書き込みが、電圧を複数回印加する書き込み動作によって行われるものであれば

どのようなものであってもよく、例えば電子粉流体を用いた電気光学装置であってよい。

符号の説明

[0104] 1…電気光学装置、2…制御部、3…VRAM、4…RAM、5…コントローラー、9A～9F…ボタン、10…表示部、100…表示領域、101…第1基板、101a…基板、101b…接着層、101c…回路層、101d…画素電極、102…電気泳動層、102a…マイクロカプセル、102b…バインダー、103…第2基板、103a…フィルム、103b…共通電極層、110…画素、110a…TFT、110b…表示素子、110c…補助容量、112…走査線、114…データ線、501…回数差算出部、502…電圧制御部、503…印加回数決定部、2000…電子ブックリーダー、2001…フレーム、 $A(i, j)$ …バッファ、 $B, B(i, j)$ …残り回数記憶領域、 $C, C(i, j)$ …階調値記憶領域、 $D, D(i, j)$ …回数差記憶領域、 $E, E(i, j)$ …予定画像記憶領域。

請求の範囲

[請求項1] 複数の画素を含む表示部を備え、前記画素を第1階調から第2階調へ変化させる書き込み動作と、前記第2階調から前記第1階調へ変化させる書き込み動作が、前記画素へ電圧を複数回印加する動作によって行われる電気光学装置の制御装置であって、

前記画素を前記第1階調へ変化させるために印加した第1電圧の印加回数と、前記画素を前記第2階調へ変化させるために印加した第2電圧の印加回数との差を算出する回数差算出部と、

所定のタイミングにおいて前記画素についての前記差が所定値でない場合、前記差が所定値になるまで前記第1電圧または前記第2電圧を前記画素へ印加し、前記画素の階調を変更する場合、前記書き込み動作の途中でも前記画素へ電圧を複数回印加する動作を新規に開始する電圧制御部と

を備える電気光学装置の制御装置。

[請求項2] 前記電圧制御部は、前記書き込み動作が終了した後で、前記画素が前記第1階調であり且つ前記画素について前記差が所定値でない場合、前記差が所定値になるまで前記画素に対して前記第1電圧を印加すること

を特徴とする請求項1に記載の電気光学装置の制御装置。

[請求項3] 前記電圧制御部は、前記書き込み動作が終了した後で、前記画素が前記第2階調であり且つ前記画素について前記差が所定値でない場合、前記差が所定値になるまで前記画素に対して前記第2電圧を印加すること

を特徴とする請求項1または請求項2に記載の電気光学装置の制御装置。

[請求項4] 前記画素を前記第2階調にする書き込み動作の途中で前記画素を前記第1階調にする書き込み動作を開始する時に前記差の絶対値が閾値以上である場合、前記電圧制御部は、前記差が所定値になるまで前記

第2電圧を印加した後で前記第1電圧の印加を開始すること

を特徴とする請求項1乃至請求項3のいずれかに記載の電気光学装置の制御装置。

[請求項5] 前記画素を前記第1階調にする書き込み動作の途中で前記画素を前記第2階調にする書き込み動作を開始する時に前記差の絶対値が閾値以上である場合、前記電圧制御部は、前記差が所定値になるまで前記第1電圧を印加した後で前記第2電圧の印加を開始すること

を特徴とする請求項1乃至請求項4のいずれかに記載の電気光学装置の制御装置。

[請求項6] 前記画素の階調を変更する場合、変更前の前記画素の階調、変更後の前記画素の階調、及び変更前の階調から変更後の階調へ階調を変更するための電圧の印加回数と変更前後の階調とを対応付けたテーブルとに基づいて前記印加回数を決定する印加回数決定部

を備えることを特徴とする請求項1乃至請求項5のいずれかに記載の電気光学装置の制御装置。

[請求項7] 前記画素を前記第1階調へ変化させるために印加する第1電圧の印加回数と、前記画素を前記第2階調へ変化させるために印加する第2電圧の印加回数とが異なること

を特徴とする請求項1乃至請求項6のいずれかに記載の電気光学装置の制御装置。

[請求項8] 複数の画素を含む表示部を備え、前記画素を第1階調から第2階調へ変化させる書き込み動作と、前記第2階調から前記第1階調へ変化させる書き込み動作が、前記画素へ電圧を複数回印加する動作によって行われる電気光学装置の制御方法であって、

前記画素を前記第1階調へ変化させるために印加した第1電圧の印加回数と、前記画素を前記第2階調へ変化させるために印加した第2電圧の印加回数との差を算出するステップと、

所定のタイミングにおいて前記画素についての前記差が所定値でな

い場合、前記差が所定値になるまで前記第 1 電圧または前記第 2 電圧を前記画素へ印加し、前記画素の階調を変更する場合、前記書き込み動作の途中でも前記画素へ電圧を複数回印加する動作を新規に開始するステップと

を備える電気光学装置の制御方法。

[請求項9]

複数の画素を含む表示部を備え、前記画素を第 1 階調から第 2 階調へ変化させる書き込み動作と、前記第 2 階調から前記第 1 階調へ変化させる書き込み動作が、前記画素へ電圧を複数回印加する動作によって行われる電気光学装置であって、

前記画素を前記第 1 階調へ変化させるために印加した第 1 電圧の印加回数と、前記画素を前記第 2 階調へ変化させるために印加した第 2 電圧の印加回数との差を算出する回数差算出部と、

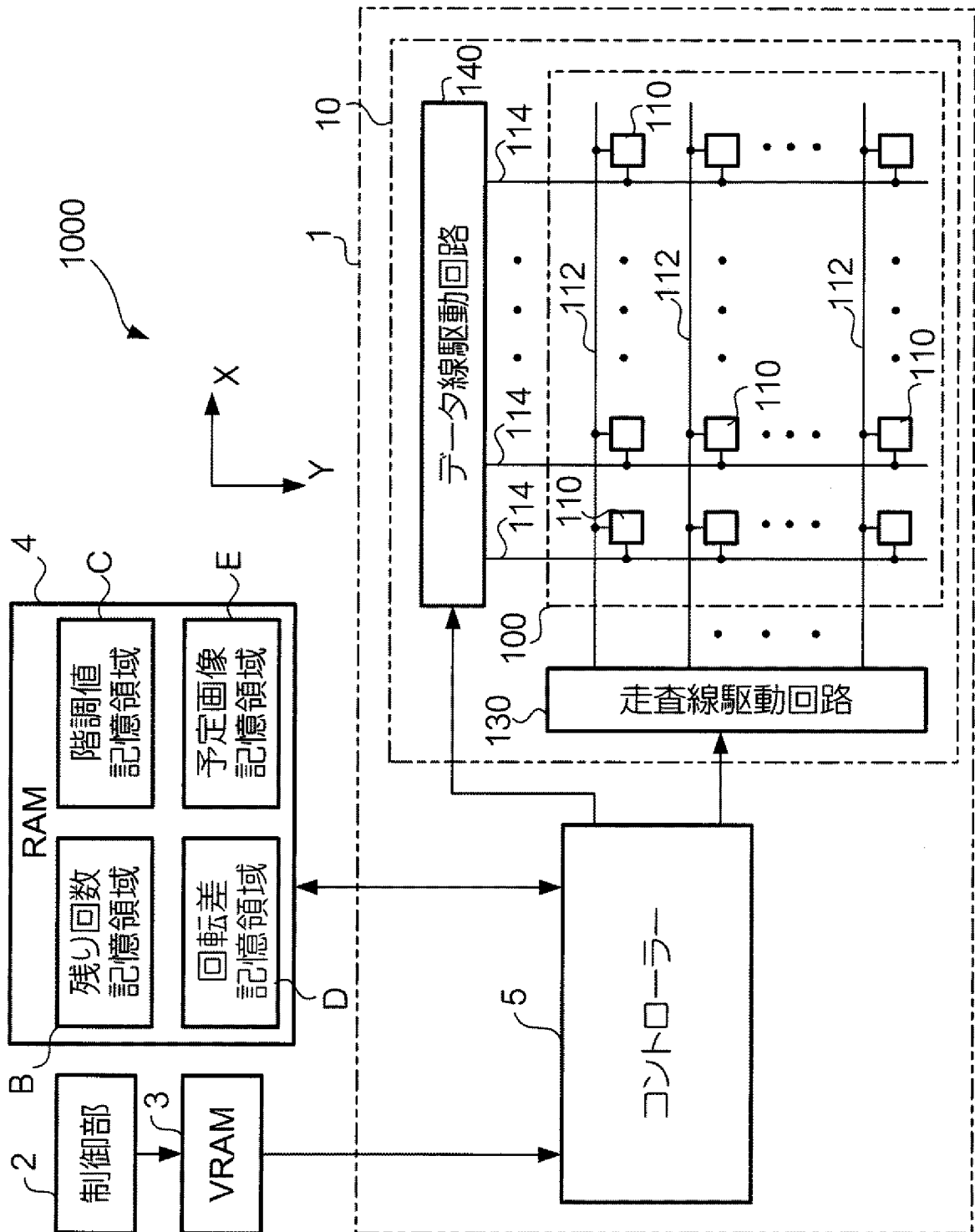
所定のタイミングにおいて前記画素についての前記差が所定値でない場合、前記差が所定値になるまで前記第 1 電圧または前記第 2 電圧を前記画素へ印加し、前記画素の階調を変更する場合、前記書き込み動作の途中でも前記画素へ電圧を複数回印加する動作を新規に開始する電圧制御部と

を備える電気光学装置。

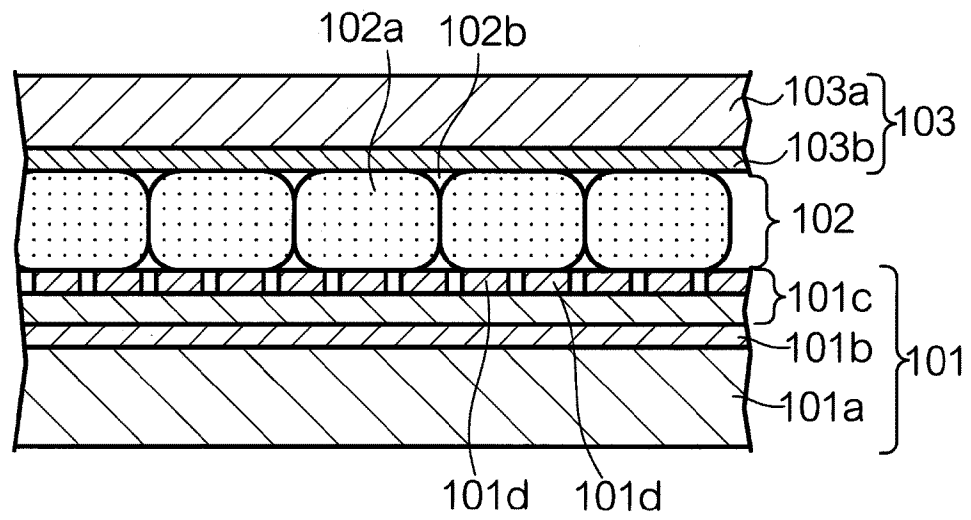
[請求項10]

請求項 9 に記載の電気光学装置を備えることを特徴とする電子機器。
。

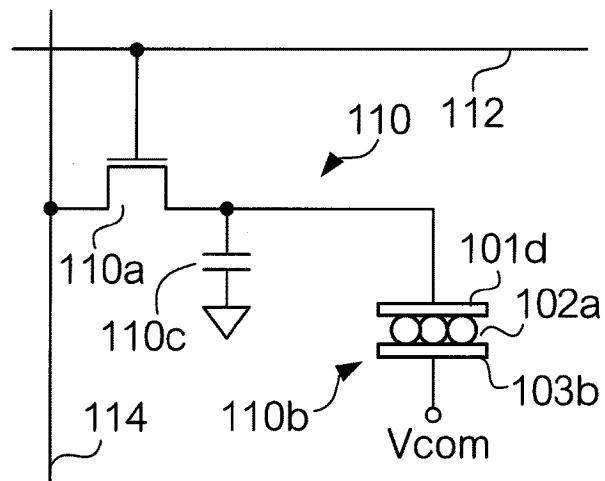
[図1]



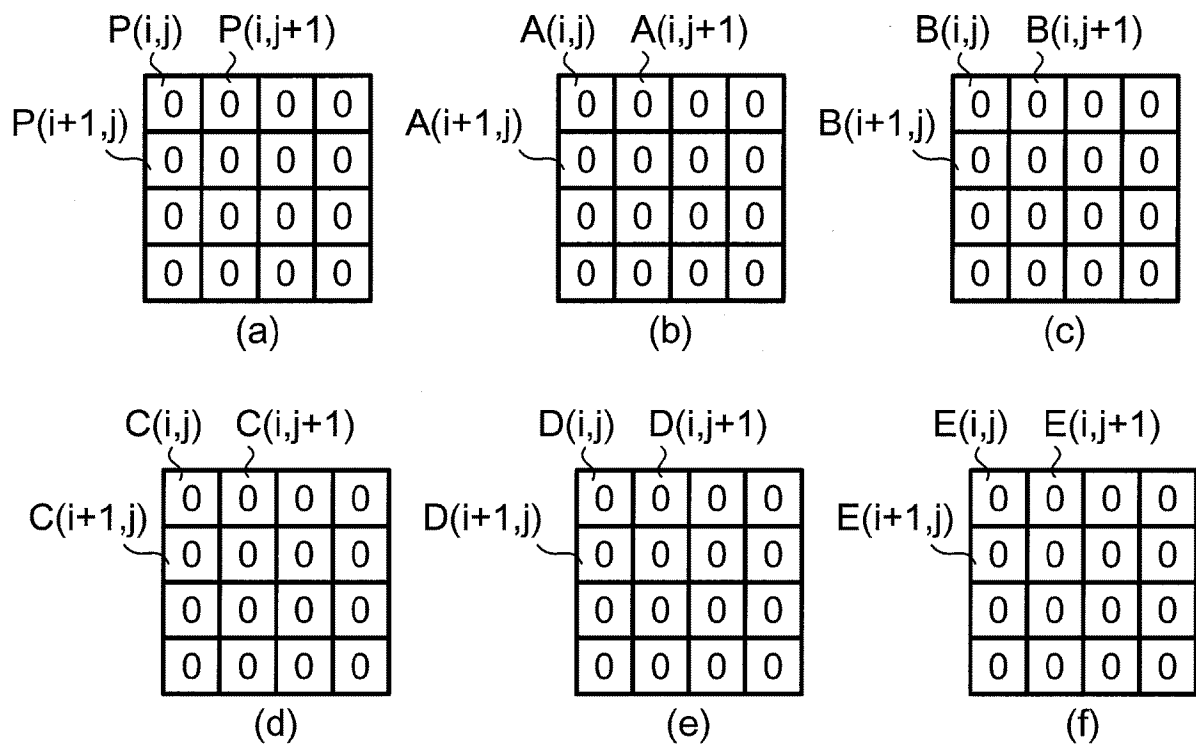
[図2]



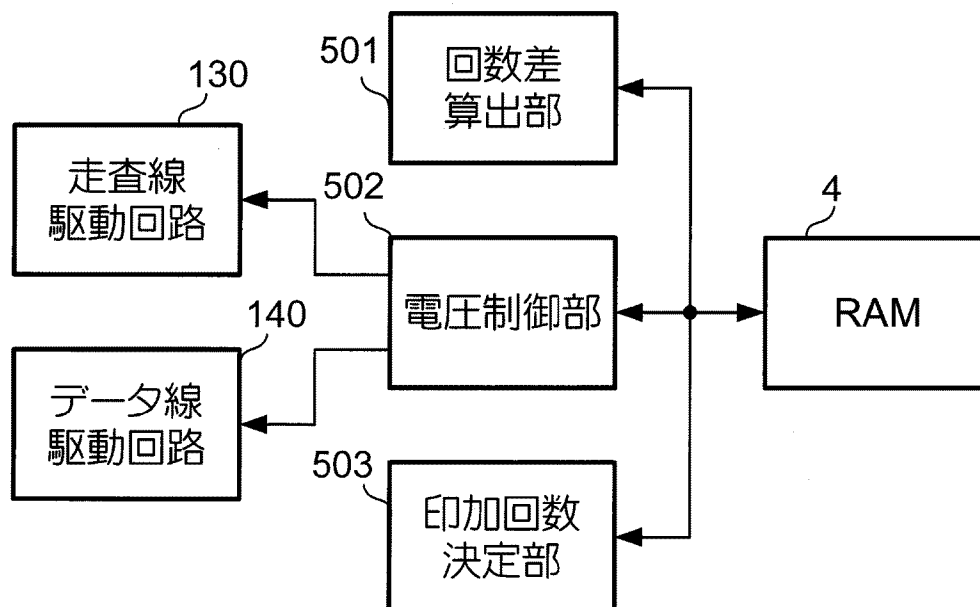
[図3]



[図4]



[図5]



[図6]

		変更後の階調値	
		5	0
変更前の階調値	5	0	3
	4	1	2
	3	2	2
	2	3	1
	1	4	1
	0	5	0

階調値=5

階調値=4

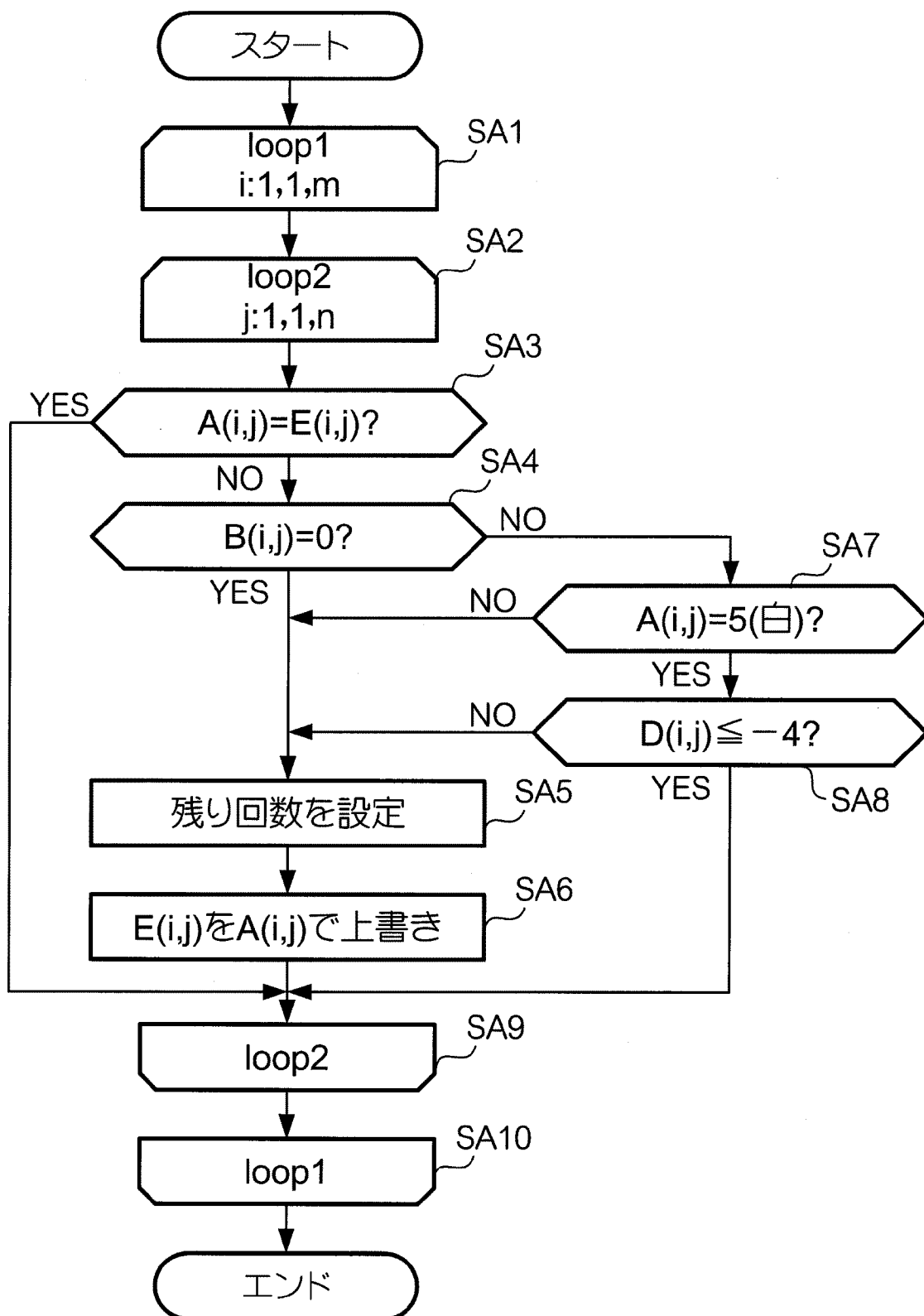
階調値=3

階調値=2

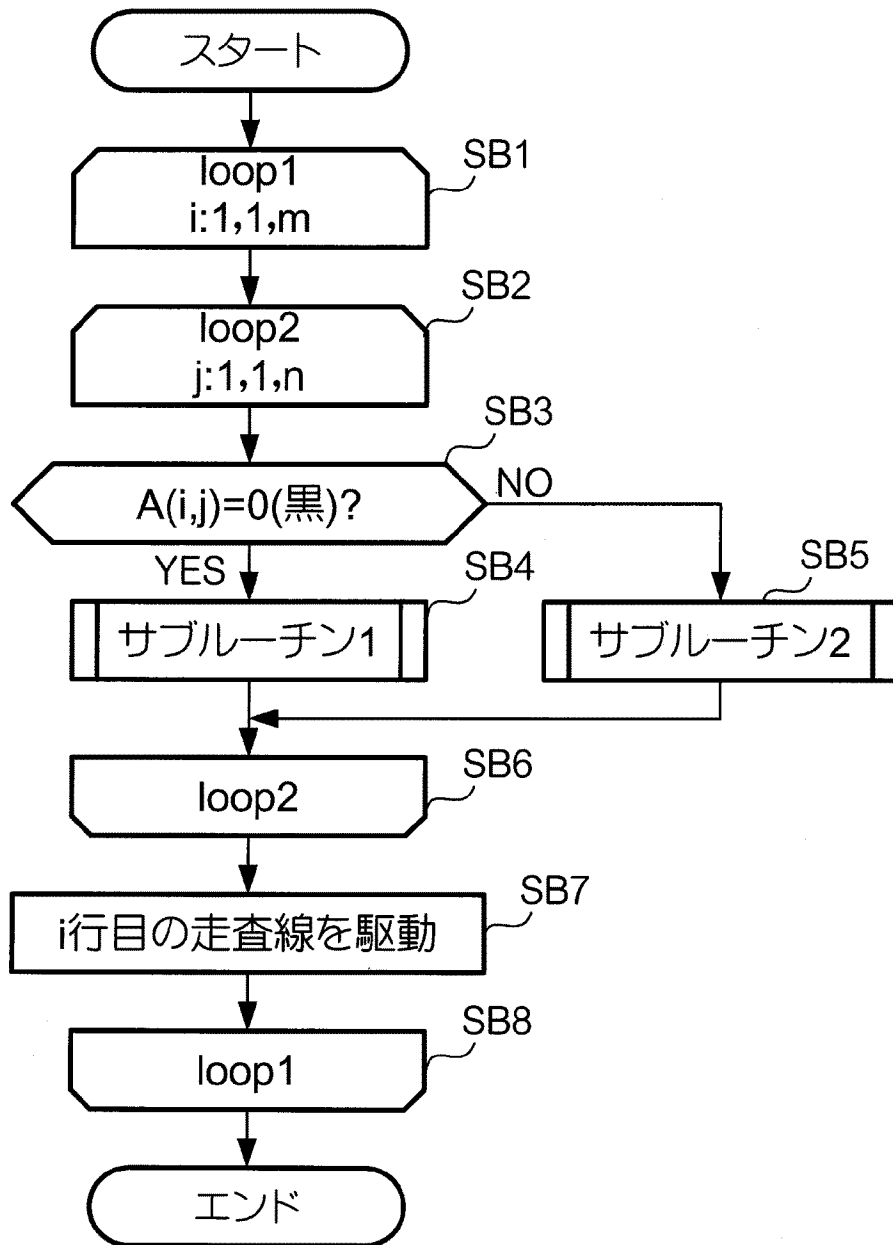
階調値=1

階調値=0

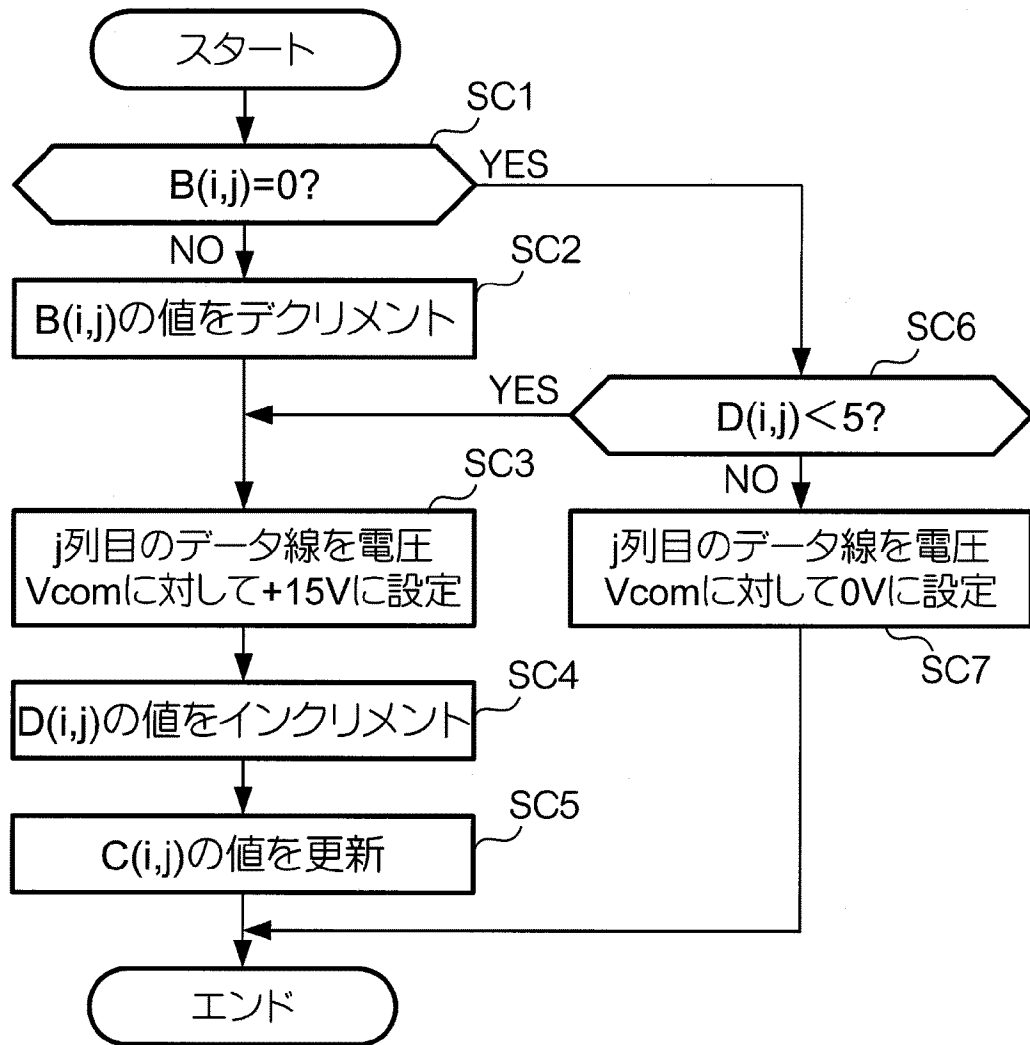
[図7]



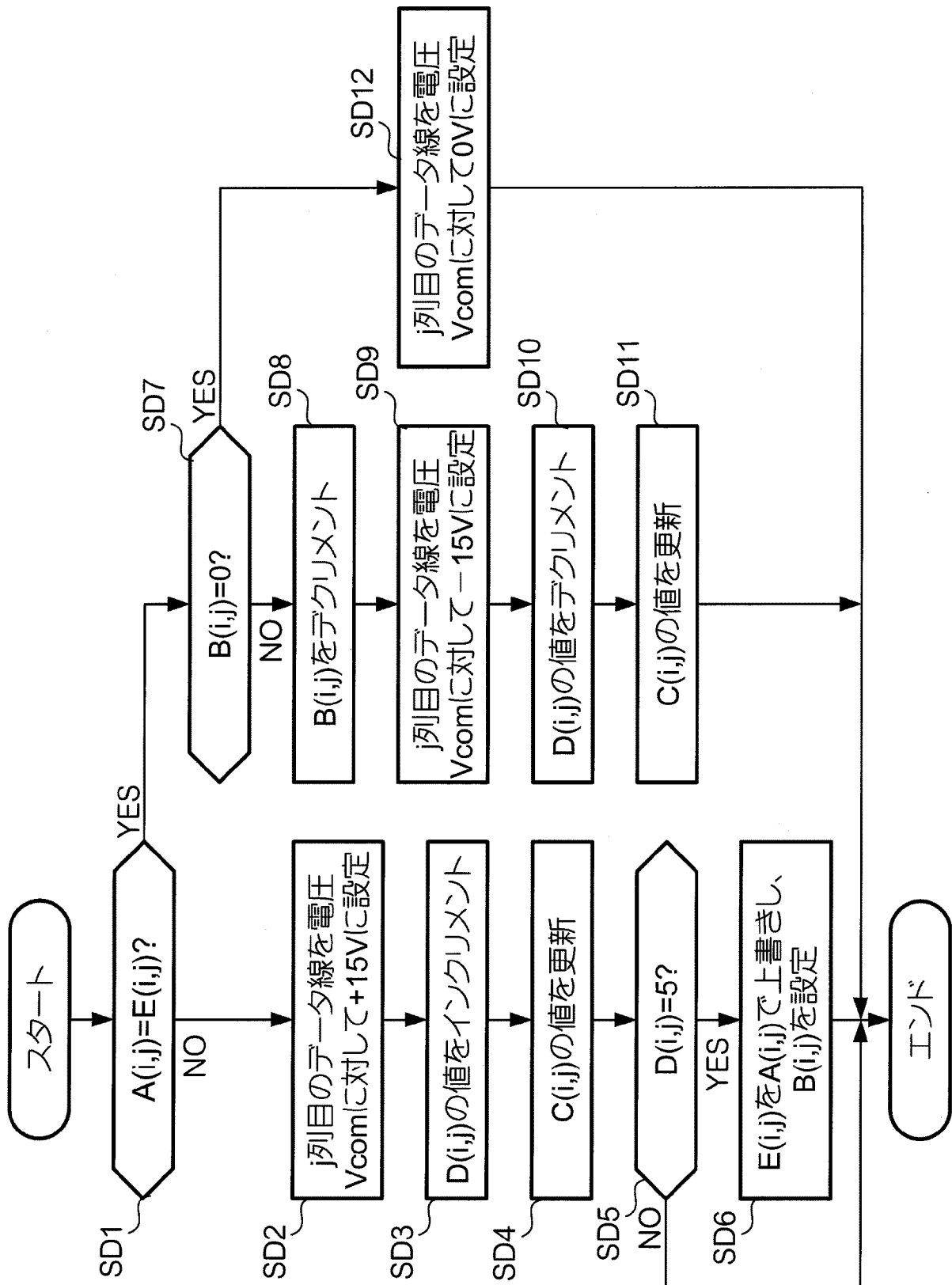
[図8]



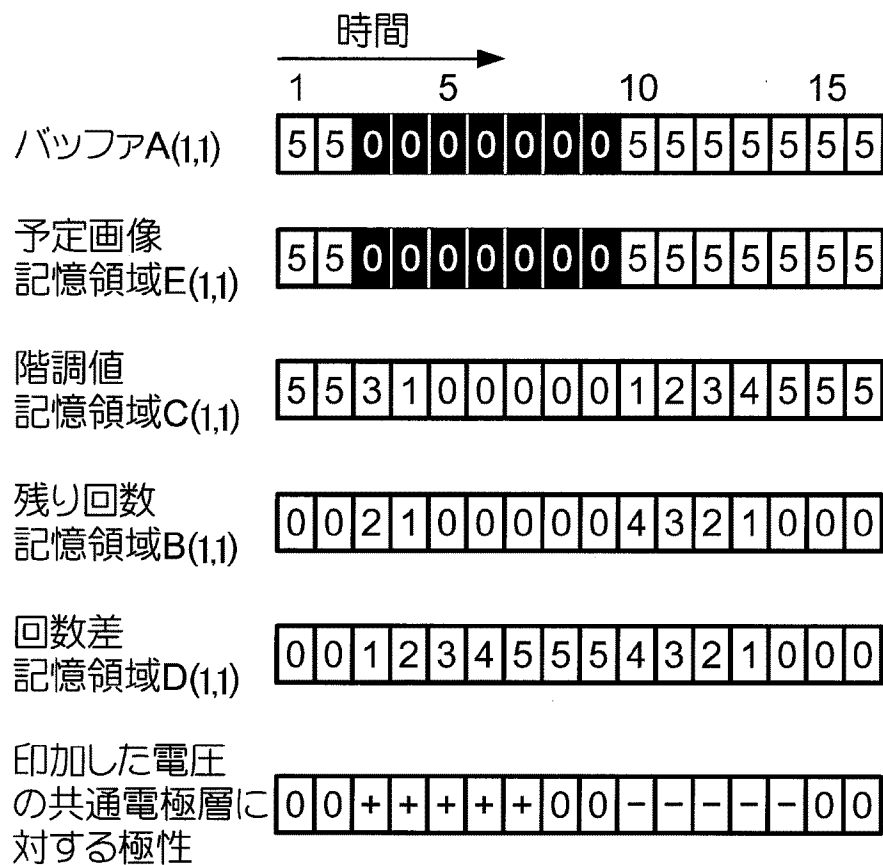
[図9]



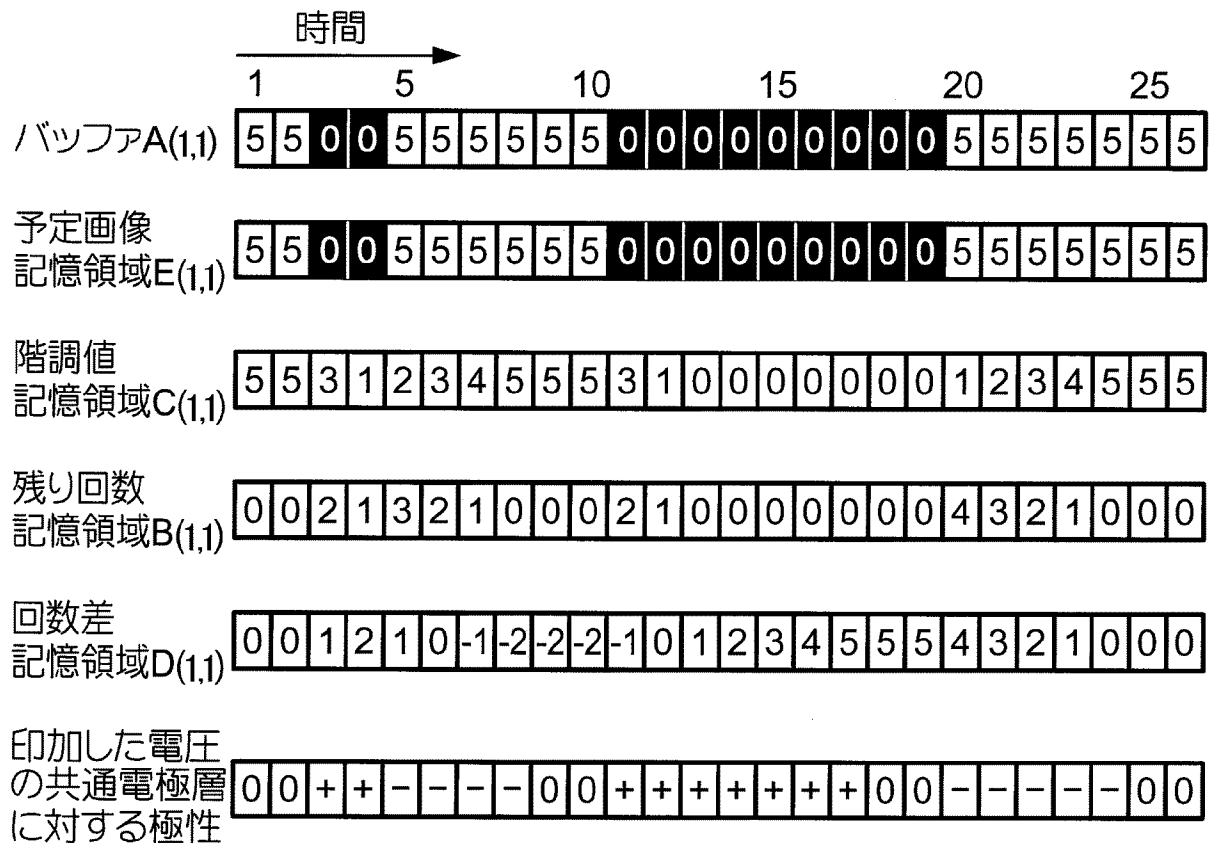
[図10]



[図11]



[図12]



時間 ↑

1 5 10 15 20 25 30 35 40

バックア
A(1,1)

予定画像
記憶領域
E(1,1)

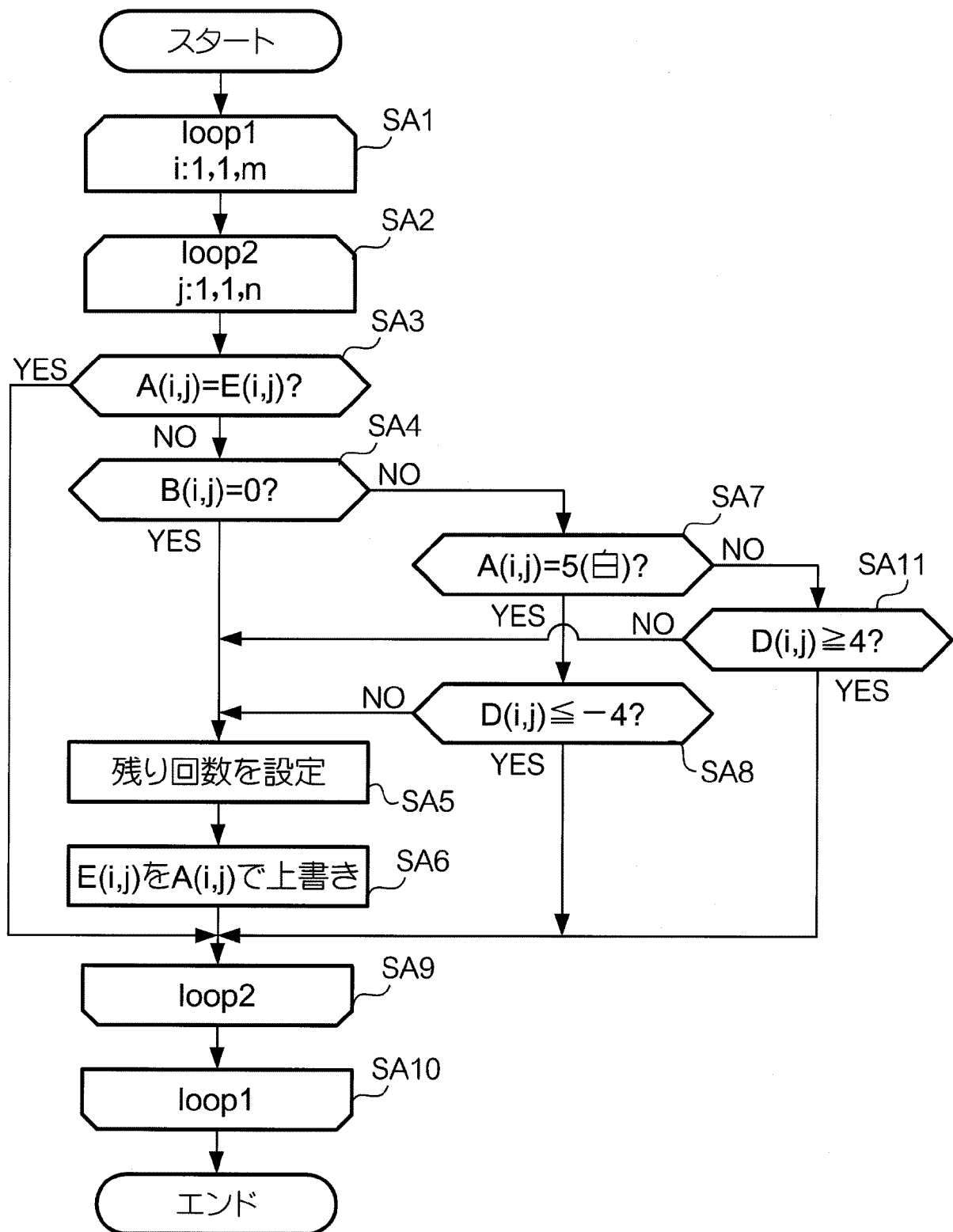
階調値
記憶領域
C(1,1)

残り回数
記憶領域
B(1,1)

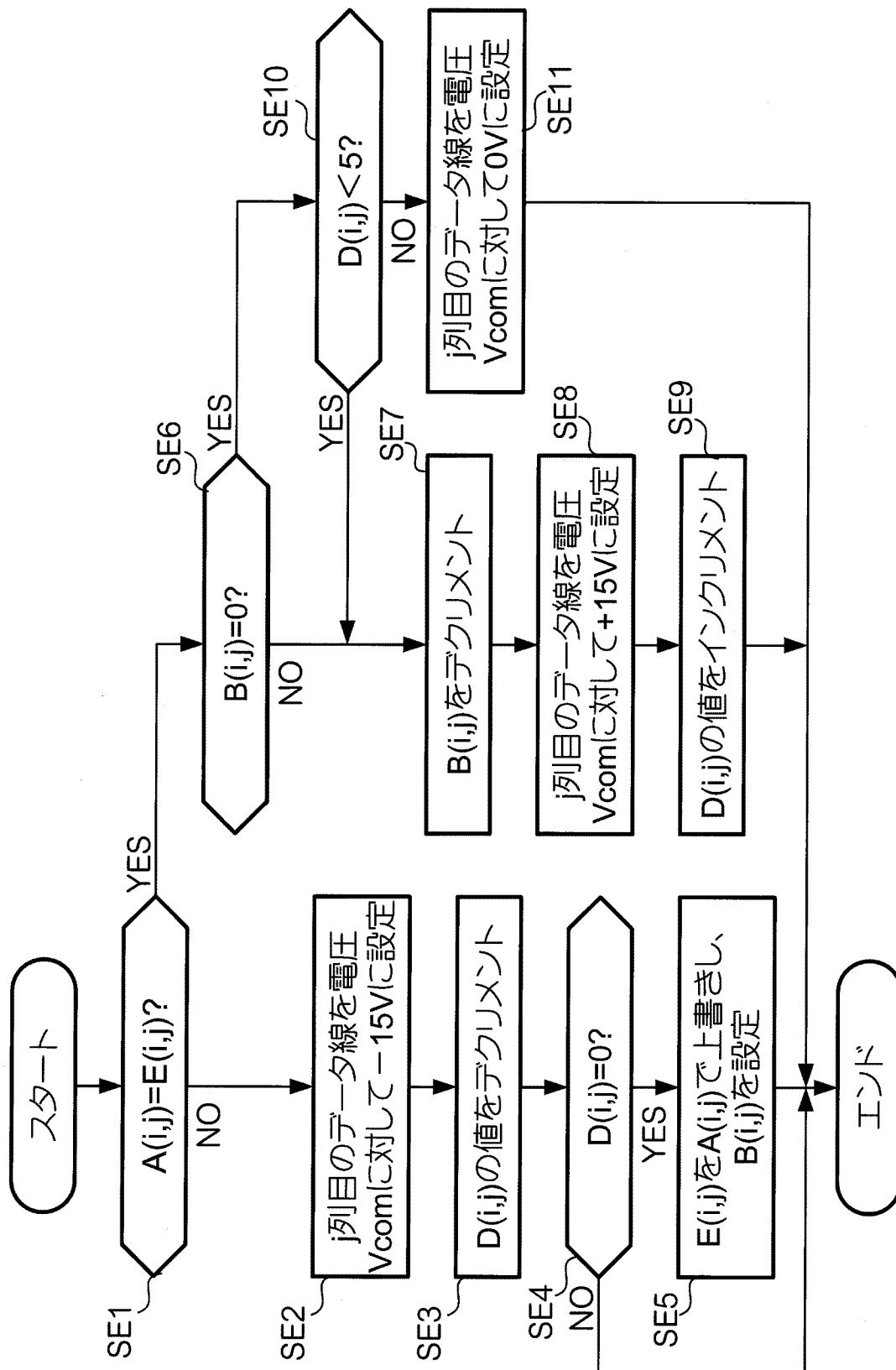
回数差
記憶領域
D(1,1)

印加した
電圧の共通
電極層に対
する極性

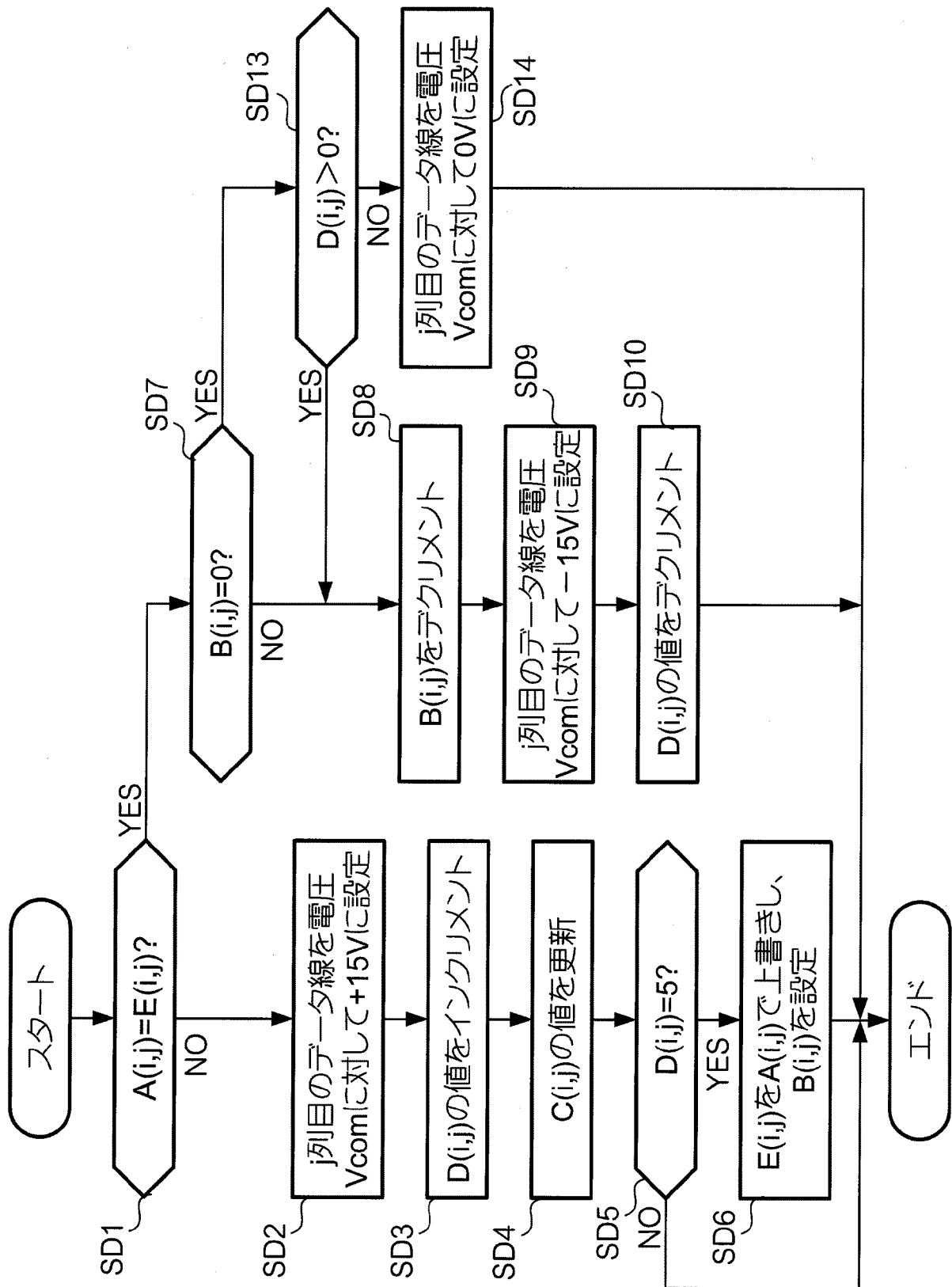
[図14]



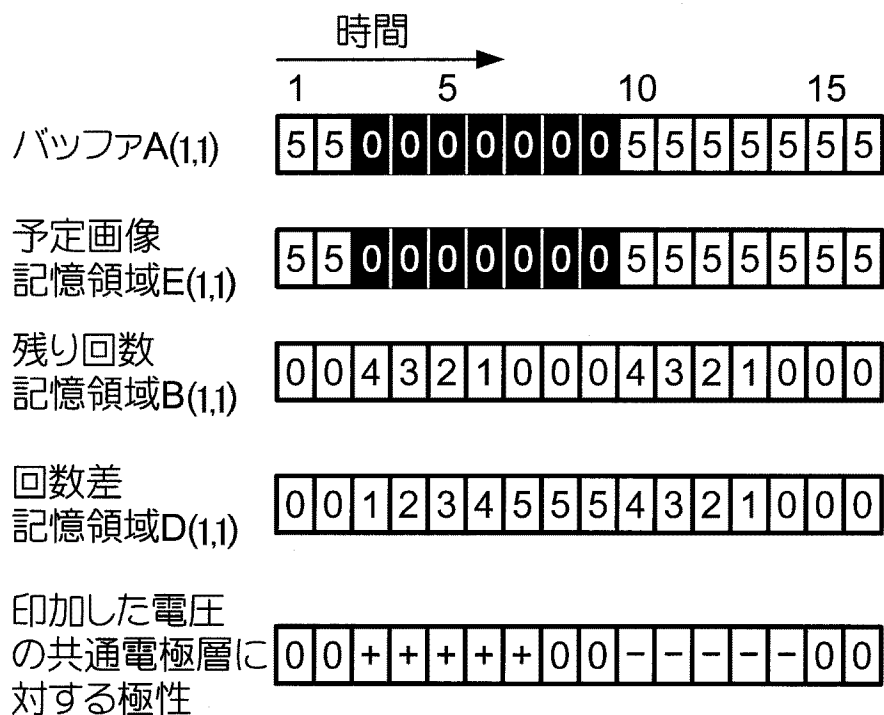
[図15]



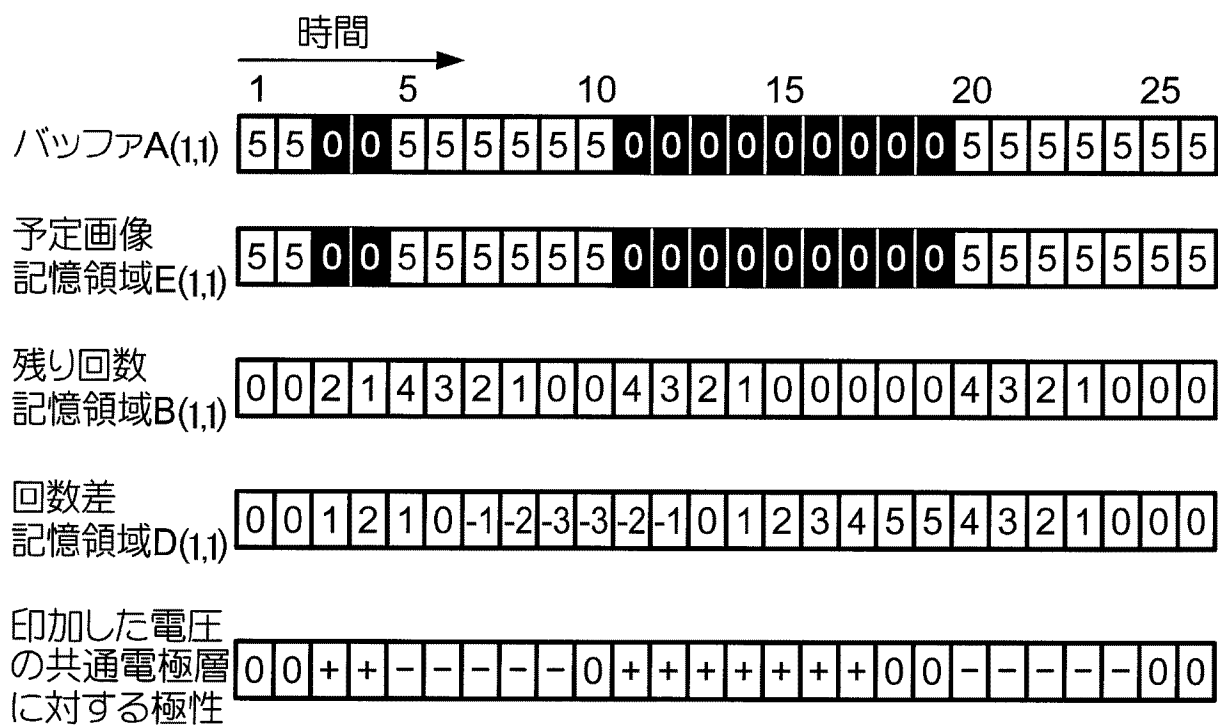
[図16]



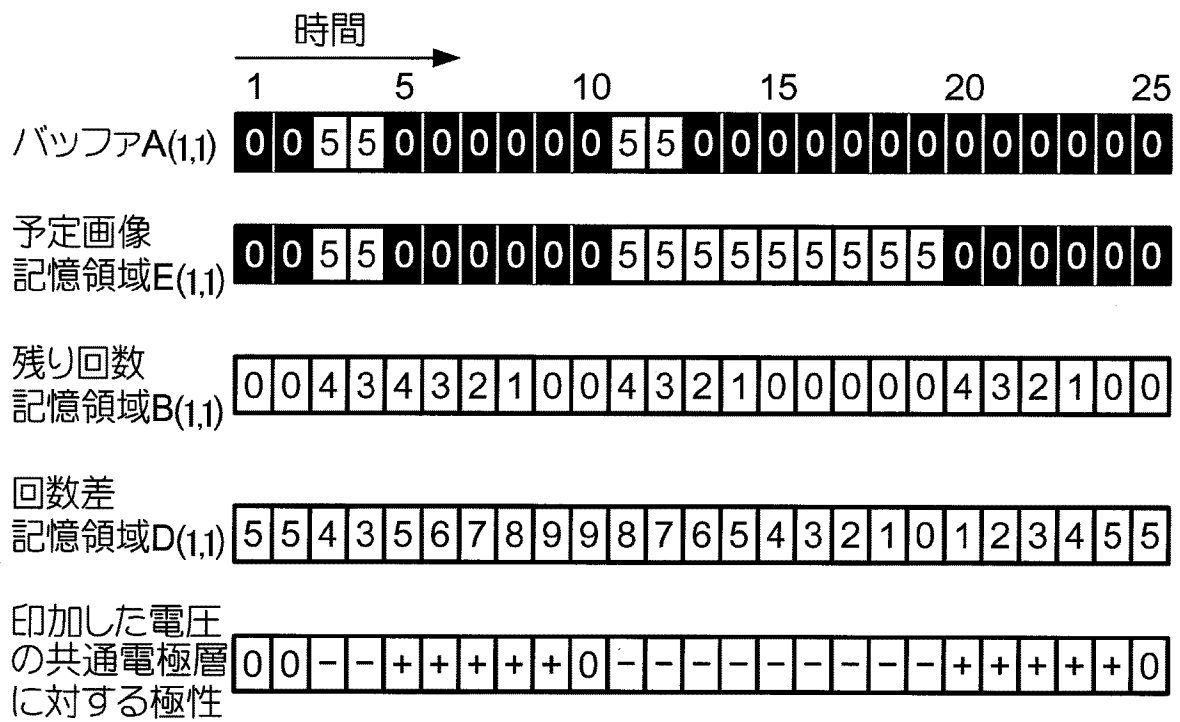
[図17]



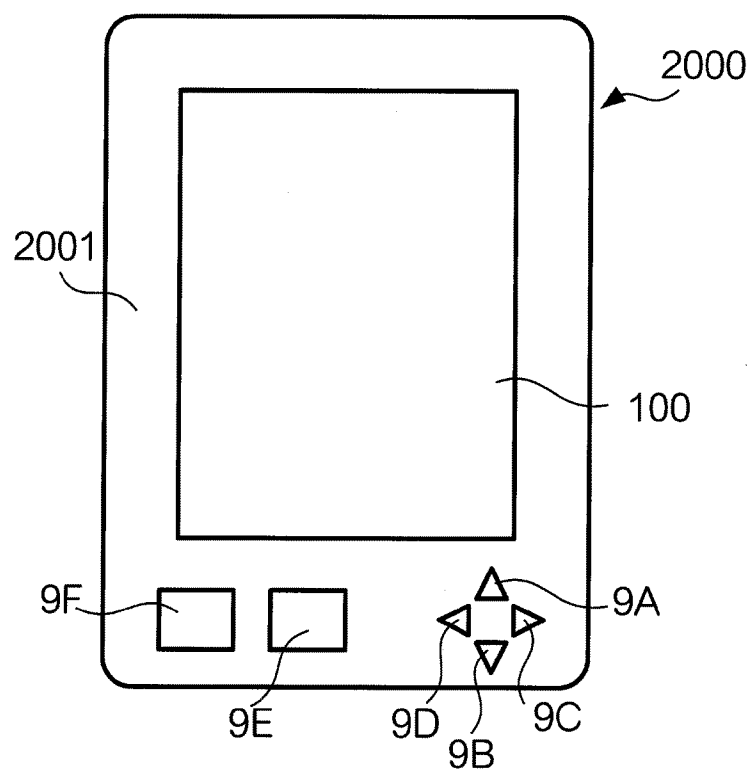
[図18]



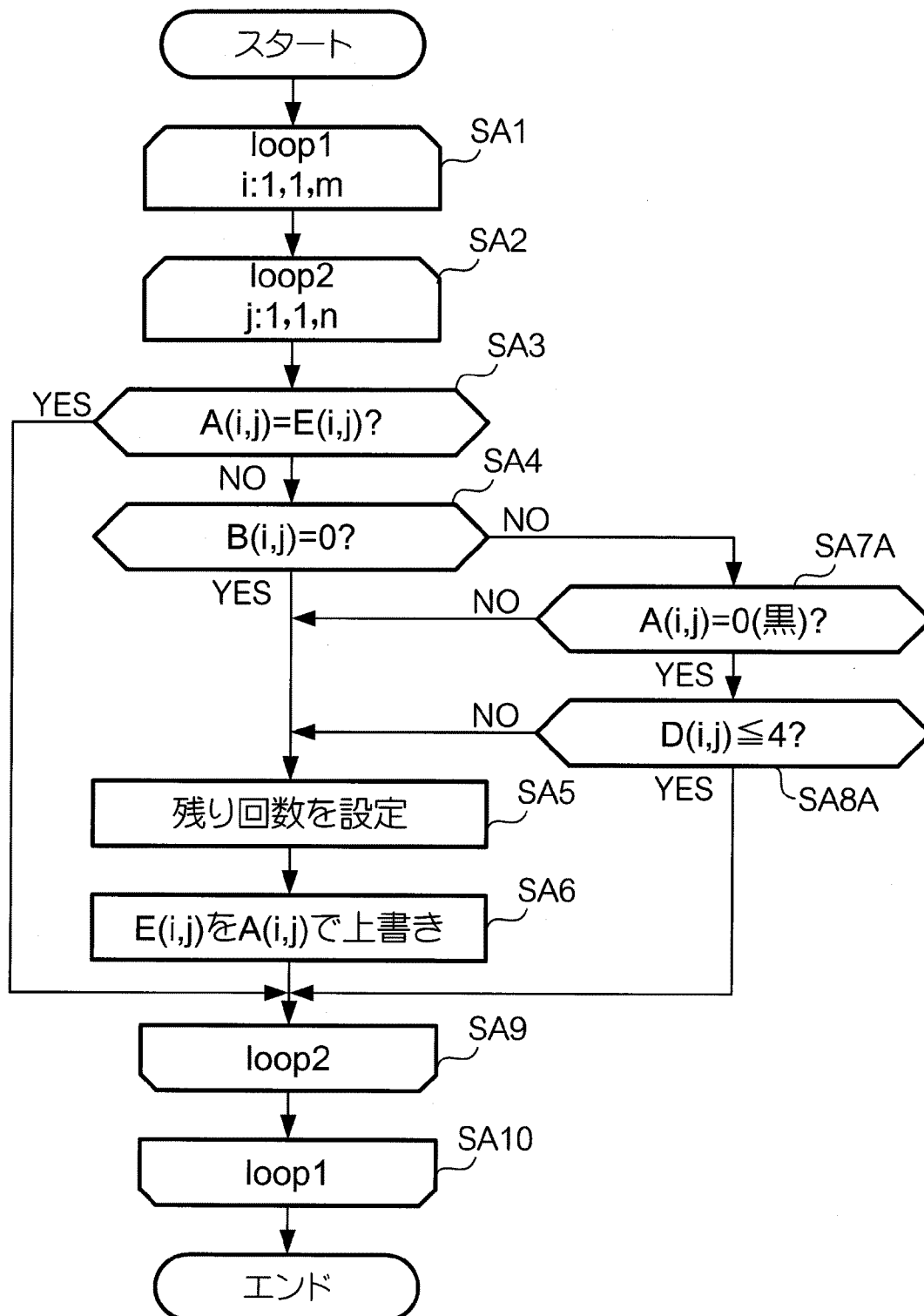
[図20]



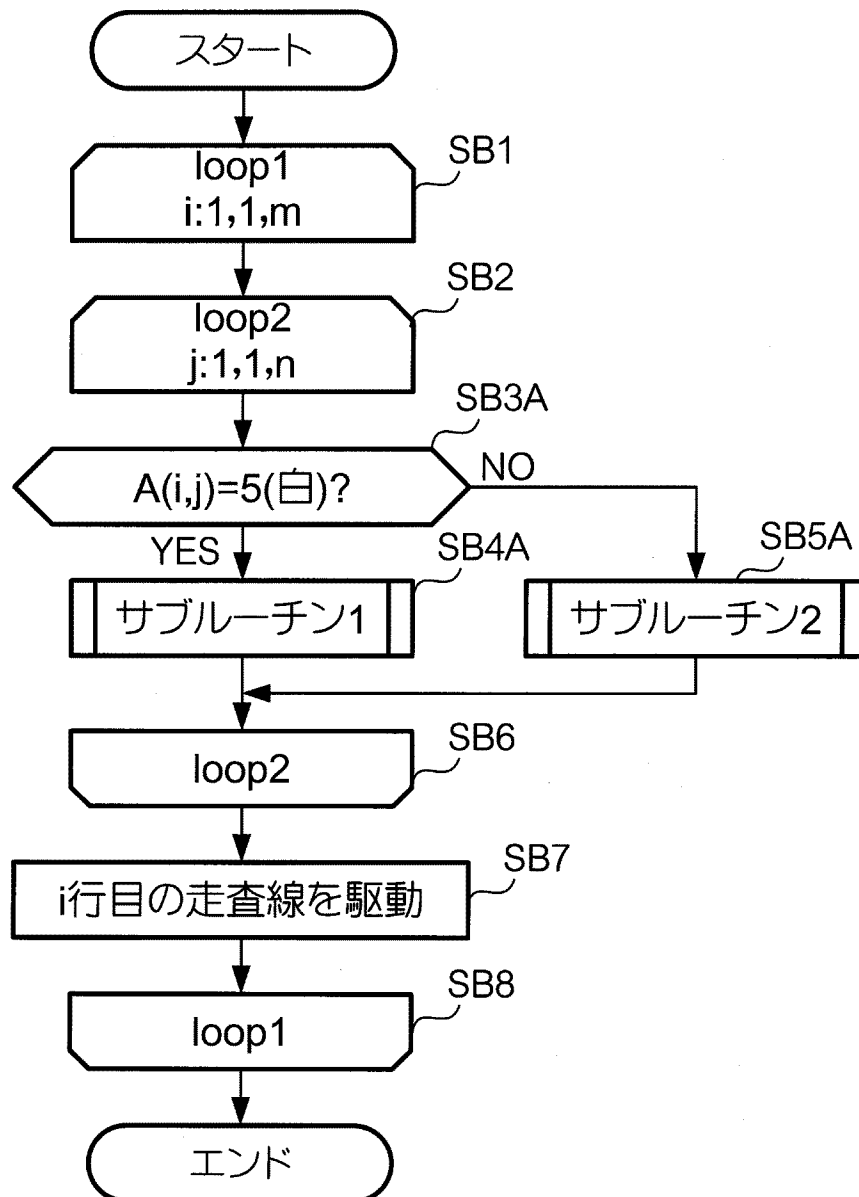
[図21]



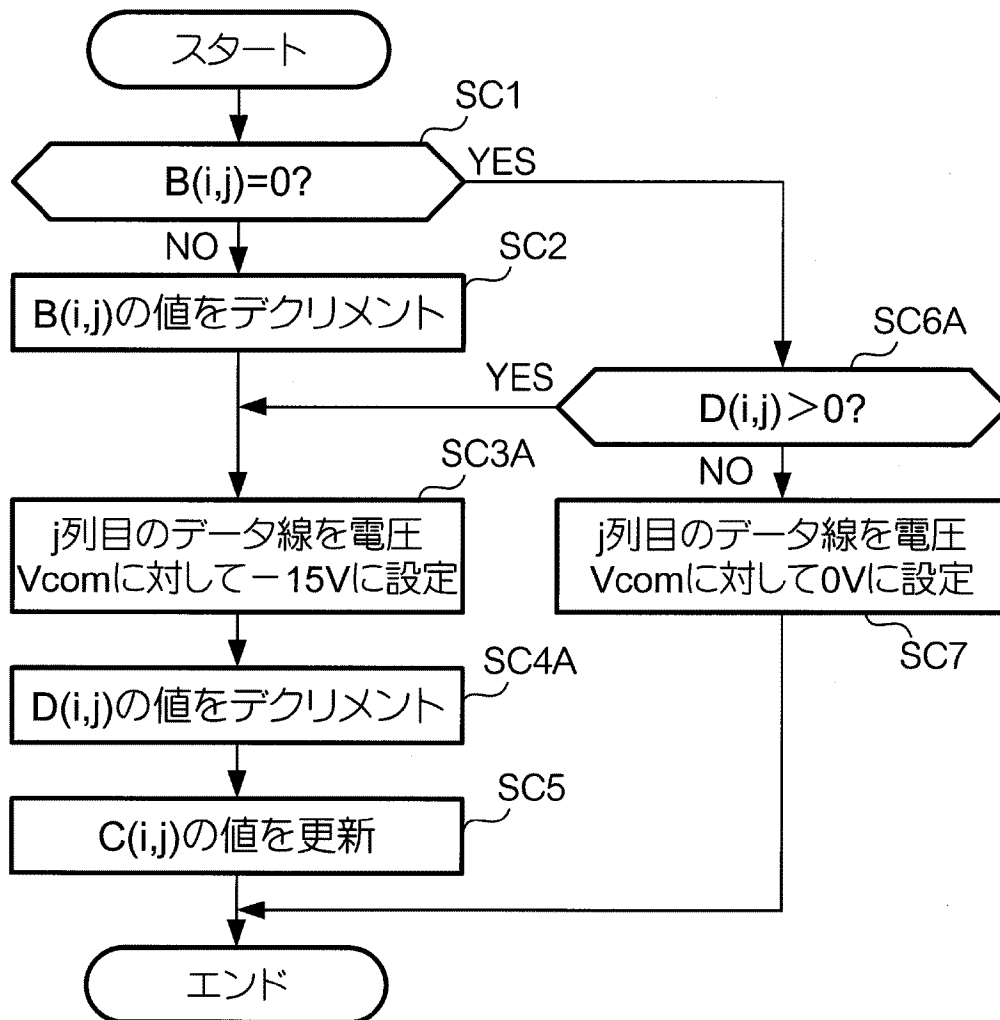
[図22]



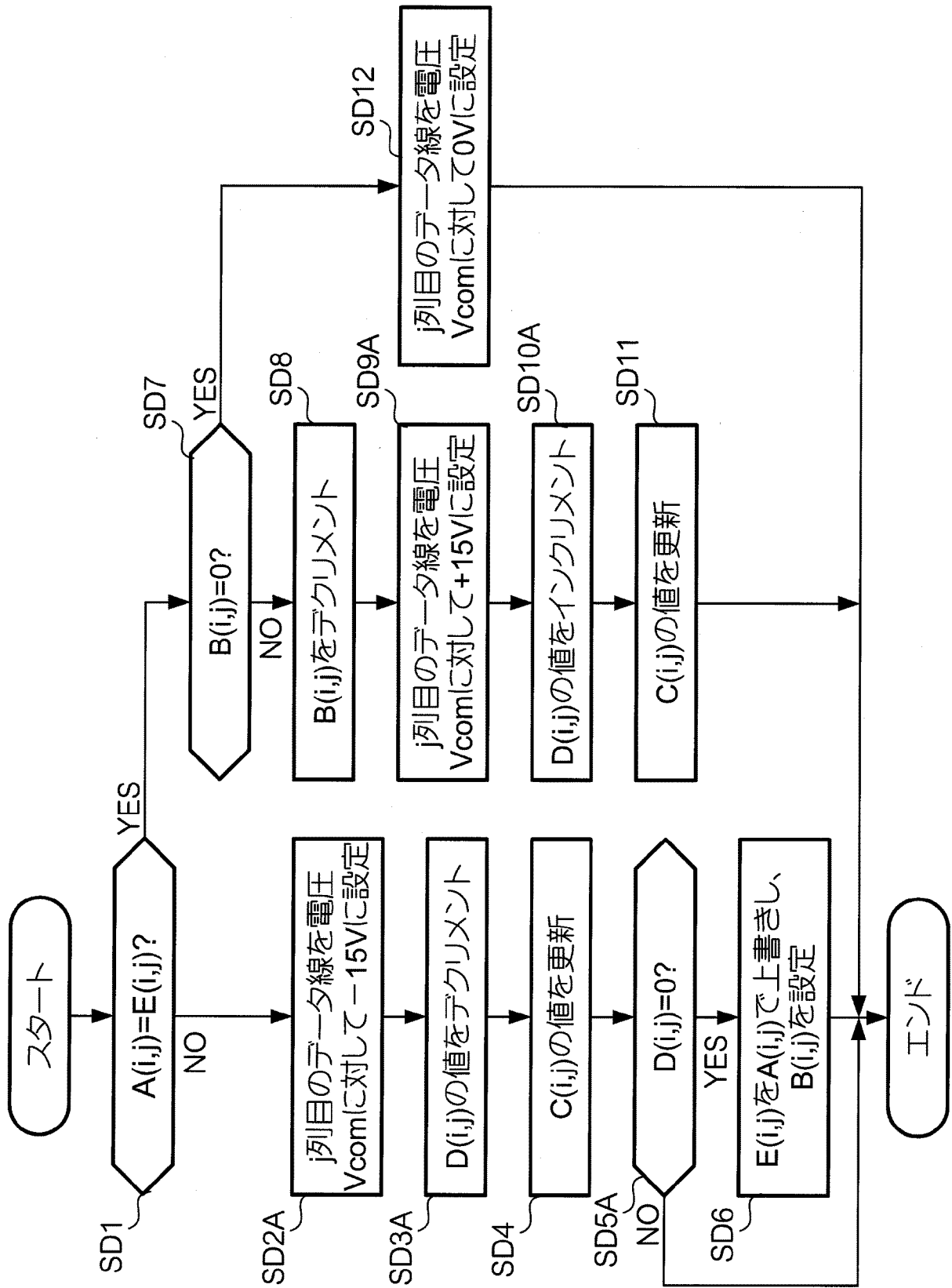
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002670

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/34(2006.01)i, G02F1/167(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/34, G02F1/167, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-26159 A (Seiko Epson Corp.), 04 February 2010 (04.02.2010), entire text; all drawings (Family: none)	1-10
A	JP 2008-224890 A (Mitsubishi Pencil Co., Ltd.), 25 September 2008 (25.09.2008), claims 4, 6 (Family: none)	6-7
A	JP 2009-204813 A (Seiko Epson Corp.), 10 September 2009 (10.09.2009), paragraphs [0021] to [0022]; fig. 5 (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 July, 2012 (13.07.12)Date of mailing of the international search report
24 July, 2012 (24.07.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002670

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-204814 A (Seiko Epson Corp.), 10 September 2009 (10.09.2009), entire text; all drawings (Family: none)	1-10
A	JP 2009-192786 A (Seiko Epson Corp.), 27 August 2009 (27.08.2009), entire text; all drawings (Family: none)	1-10
A	JP 2009-251615 A (Seiko Epson Corp.), 29 October 2009 (29.10.2009), entire text; all drawings & US 2009/0256798 A1	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/34(2006.01)i, G02F1/167(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/34, G02F1/167, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-26159 A（セイコーエプソン株式会社）2010.02.04, 全文、全図（ファミリーなし）	1 - 1 0
A	JP 2008-224890 A（三菱鉛筆株式会社）2008.09.25, 請求項4, 6（ファミリーなし）	6 - 7
A	JP 2009-204813 A（セイコーエプソン株式会社）2009.09.10, 段落0021-0022, 図5（ファミリーなし）	1 - 1 0

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 0 7 . 2 0 1 2

国際調査報告の発送日

2 4 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

福村 拓

2 G

3 3 0 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-204814 A (セイコーエプソン株式会社) 2009. 09. 10, 全文、全図 (ファミリーなし)	1 - 1 0
A	JP 2009-192786 A (セイコーエプソン株式会社) 2009. 08. 27, 全文、全図 (ファミリーなし)	1 - 1 0
A	JP 2009-251615 A (セイコーエプソン株式会社) 2009. 10. 29, 全文、全図 & US 2009/0256798 A1	1 - 1 0