

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>4</sup>  
H01L 29/78

(45) 공고일자 1989년09월 19일  
(11) 공고번호 89-003382

(21) 출원번호	특1984-0006235	(65) 공개번호	특1985-0003067
(22) 출원일자	1984년10월06일	(43) 공개일자	1985년05월28일
(30) 우선권 주장	58-191181 1983년10월12일 일본(JP)		
(71) 출원인	후지쓰가부시끼가이샤 야마모토 다쿠마		
	일본국 가나가와켄 가와자끼시 나가하라구 가미고다나까 1015반찌		
(72) 발명자	타니 사토루		
	일본국 가나가와켄 가와자끼시 나가하라구 가미고다나까 1015반찌 후 지쓰가가부시끼가이샤내		
(74) 대리인	문기상, 조기호		

심사관 : 정용철 (책자공보 제1639호)

(54) 유전체 분리 콤프리멘타리 IC의 제조방법

### 요약

내용 없음.

### 대표도

### 도1

### 명세서

[발명의 명칭]

유전체 분리 콤프리멘타리 IC의 제조방법

[도면의 간단한 설명]

제1도는 예시적인 유전체 분리 콤프리멘타리 IC의 구조를 도시하는 도면.

제2도는 P형 도상(島狀)영역이 P형 기판위에 제조되는 과정을 도시하는 도면.

제3도는 도상 영역의 표면이 도우프되고 이산화 실리콘막으로 코팅되는 과정을 도시하는 도면.

제4도는 n형층이 기판의 표면상에서 성장하는 과정을 도시하는 도면.

제5도는 다른 n형 도상 영역이 제조되고 그 표면이 도우프되는 과정을 도시하는 도면.

제6도는 기판의 표면이 이산화 실리콘 막으로 코팅되는 과정을 도시하는 도면.

제7도는 P형 웰(well)이 n형 기판속에 제조되고 기판의 표면의 일부분이 도우프되는 과정을 도시하는 도면.

제8도는 기판의 표면이 이산화 실리콘 막과 질화 실리콘 막으로 코팅되는 과정을 도시하는 도면.

제9도는 기판이 애칭되고 p 형 및 n형 도상 영역이 동시에 제조되는 과정을 도시하는 도면.

제10도는 기판의 표면이 p형 불순물로 도우프되는 과정을 도시하는 도면.

제11도는 기판의 표면이 한번 더 애칭되어 n 형 도상 영역이 재 성형되는 과정을 도시하는 도면.

제12도는 기판의 표면이 n형 불순물로 도우프되는 과정을 도시하는 도면.

제13도는 기판의 표면이 이산화 실리콘 막으로 코팅되는 과정을 도시하는 도면.

제14도는 다결정실리콘층이 기판의 표면위로 성장하는 과정을 도시하는 도면.

제15도는 실리콘 기판이 연마되고 나머지 부분이 뒤집혀지는 과정을 도시하는 도면.

제16도는 pnp 및 npn 트랜지스터가 각기 분리된 영역으로 제조되는 과정을 도시하는 도면.

\* 도면의 주요부분에 대한 부호의 설명

1 : 형 실리콘 기판	2 : 도상영역
3 : p형영역	4 : 이산화실리콘층
5 : n형 반도체층	7 : 이산화실리콘층
12 : p형 웰	13 : n <sup>+</sup> 영역
14 : p <sup>+</sup> 영역	15 : 이산화실리콘막
16 : 질화실리콘막	17 : n형 도상영역
18 : p형 도상영역	19 : p <sup>+</sup> 층
20 : n <sup>+</sup>	22 : 다결정실리콘기판
23 : 베이스	24 : 에미터

#### [발명의 상세한 설명]

본 발명은 유전체 분리 콤프리멘타리 IC의 제조방법에 관한 것으로, 특히 콤프리멘타리 트랜지스터가 제조되는 유전체 분리 영역의 제조방법에 관한 것이다.

집적회로의 초기서 부터, 회로의 분리가 큰 관심사이었다. 공기적 분리, 유전체 분리 및 접합 분리가 개발의 주류이었으며, 이중에서, 접합분리가 가장 많이 이루어졌고 현재 광범위하게 사용되고 있다. 이산화 실리콘과 같은 유전체 막으로 회로 소자를 서로 분리시키는 유전체 분리법은 기생용량이 적고 브레이크다운 전압이 높은 장점이 제공되지만 제한된 용도에만 사용되어 왔다. 이것은 주로 유전체 분리 장치의 제조 방법의 난점으로 부터 기인된다. 즉, 이것은 기판의 대부분을 연마에 의해서 제거시켜야 하고 분리를 위해서 기판의 깊은 홈 표면에 패터를 정렬시키기가 어려우며, 이러한 사실들이 수율을 감소시키고 IC의 비용을 증가시켰다.

최근에 IC가 전자 장치에 널리 사용됨에 따라 고전압용IC장치의 요구가 증가되고 있다. 예를들면, 전자전화기 교환 장치에서 사용되는 가압자선회로(SLIC)는 수백볼트에서 유지되는 것을 필요로 한다. 더우기, 이것은 pnp 및 npn형 트랜지스터를 지니는 콤프리멘타리 IC 이어야 한다. 콤프리멘타리 IC 회로를 제조하기 위해서 최근에 유전체 분리법이 제고되었다.

본 발명의 장점을 명확히 하기 위해서, 제1도에 도시된 종래의 유전체 분리 콤프리멘타리 IC를 제조하는 방법을 간단히 설명한다. 제1도에는 유전체 분리 콤프리멘타리 트랜지스터를 지니는 예시적인 IC의 구성이 개략적인 부분단면으로 도시된다. 이러한 분리구조는 에피택셜 성장시킨 집적회로(EPIC)로 불리우며 IC의 초기단계에서부터 잘 알려져 있다. (예를들면 1976년 6월 29일자 특허된 “유전체분리 반도체 장치”의 명칭의 에이케이 호치베르그(A.K.Hochberg)의 미합중국 특허 제 3,966,577호).

제1도를 참조하면, p는 pnp 트랜지스터가 제조되는 p형 반도체 영역을 표시하며, N은 npn 트랜지스터가 제조되는 n형 영역을 표시한다. I는 이산화 실리콘층을 표시하며, B형 영역을 표시한다. I는 이산화 실리콘층을 표시하며, B는 매립층을 표시하고, S는 다결정 실리콘 기판을 표시한다. 제조방법은 하기와 같다.

제2도를 참조하면, p형 실리콘 기판(1)위에 도상 영역(2)이 제조된다. 이러한 도상영역은 선택된 에칭에 의해서 형성되며, 즉, 처음에는 도상영역(2)이 질화실리콘막(도시안됨)에 의해서 코팅되고 나머지 부분은 에칭에 의해서 제거된다. 면방위 (100)의 실리콘면이 수산화칼륨용액으로 에칭되고 이 방성 결정에 대한 에칭 속도의 차이로 도상영역(2)이 제2도와 같이 형성된다. 이러한 이방성 에칭은 V 컷트라고 불리우며, 제2도에는 도상영역(2)을 피복하는 질화실리콘이 제거된 후의 상태가 도시된다.

다음에는, 제3도에 도시되듯이, 기판(1)의 표면이 도상영역(2)의 부분을 제외하고 질화실리콘막(도시안됨)으로 다시 코팅되며 봉소가 질화실리콘막을 마스크로 사용하는 이온 주입에 의해서 도상영역(2)의 표면의에 도우프된다. 그후에 기판을 열처리하여 도상영역(2)의 표면이 p형 영역(3)을 변환된다. 기판의 표면은 다시 습기분위기에서 다시 가열되고 두꺼운 이산화 실리콘 피복막이(4)이 제3도에 도시되듯이 도상영역(2)의 표면위에서 성장된다. 최후로, 기판(1)의 표면을 피복한 질화실리콘막이 제거된다. 이러한 방법은 반도체 제조에 널리 이용되는 사진식판법이다. 물론 많은 변경이 가능하며 질화실리콘막 대신에 이산화 실리콘막이 사용될 수 있다. 이러한 유전체 분리방법의 난점은 도상영역(2)의 상부와 기판(1)의 표면사이의 높이차이로부터 발생된다. 예를들면, 기판(1)의 표면으로부터 돌출된 도상영역(2)의 높이가 약 40 $\mu$ m가 되어서 마스크패턴의 배치가 어렵고, 또한 깊은 에칭의 균일성에 문제를 지닌다.

이러한 기판에서는 도상영역(2)이 제4도에 도시되듯이 n형 반도체층(5)으로 에피택셜하게 성장된다. 이때에 새로이 성장된 n형 반도체층(5)은 다결정 구조를 지니는 이산화실리콘위의 부분이 그 결정구조를 잃어버려서 다결정 실리콘으로 된다. 따라서, 기판(1)의 도상부분(2)은 다결정실리콘(5')으로 코팅되고 나머지 부분은 제4도에 도시되듯이 n형 단결정층(5)을 코팅된다.

n형 반도체층(5)으로 다결정실리콘층(5')의 돌출부분을 제거한 후에 제2도 및 제3도에 대해 설명된 것과 유사한 방법이 n형 반도체층(5)에 대해 반복된다. 즉, 질화실리콘막 마스크(도시안됨)를 사용하여 기판을 선택적으로 에칭하여 제5도에 도시된 바와같은 새로운 도상영역(5)을 남긴다. 이러한 방법으로 제 1의 도상영역(2)을 피복하는 다결정실리콘층(5')이 동시에 에칭되나 이산화실리콘층(4)이 실리콘에 대한 식각제에 의해서 에칭되지 않으며 도면에는 도시되지 않았지만 제 1의 도상영역

역(2)위에 남게된다. 이러한 이산화실리콘층(4)을 마스크로서 사용하여, 인이나 비소같은 n형 불순물이 기판의 표면위에 이온주입법에 의해서 주입되며 고농도로 도우프된  $n^+$  매립층(6)이 열처리에 의해서 형성된다. 그후에, 이산화실리콘층(4)은 불화수소산속에서 제거되고 기판이 제5도에 도시되듯이 형성된다.

다음에는, 제6도에 도시되듯이, 약  $2\mu\text{m}$ 두께의 이산화실리콘층(7)이 기판을 산소가스속에서 가열하거나 화학증기증착법(CVD)에 의해서 기판의 표면위에 형성된다. 도상영역(2, 5)을 피복하는 이러한 이산화실리콘층(7)은 반도체 소자를 분리시키는 유전체분리층 1(제1도)으로 이후에 사용된다. 그후에, 다결정실리콘층은 기판(1)의 전 표면위에 증착되고 최종적으로 기판(1)은 도상영역(2, 5)의 부분을 남기고 연마된다. 따라서, 제1도에 도시된 것같은 기판이 준비된다. 상기에 언급한 설명한 본 발명에 상응한 연속공정에 중점을 두어 이루어진 것이나, 이러한 공정은 모두 반도체 제조를 위한 공지의 것이며, 따라서 상세한 설명은 생략된다.

상기에 언급되듯이, 연속적으로 p형 및 n형 도상영역을 형성하는 것이 필요하며 기판의 표면으로부터 이러한 도상영역의 돌출부는 매우 높다. 경우에 따라서는, 이것은 수십  $\mu\text{m}$ 를 초과한다. 기판 표면위에 이러한 높이 차이는 기판을 패터닝하고 에칭하는데 어려움을 준다.

이러한 문제를 극복하기 위해서는 포토레지스트가 수번 입혀지고 패터닝과 에칭이 수번 반복된다. 그러나, 이러한 개선은 여전히 부적당하며 포토레지스트의 두께의 균일성의 감소는 불균일한 에칭을 야기시켰다.

또한, 연마, 에칭 또는 정마에 의해서 도상영역(2)위에 형성되는 다결정 실리콘의 돌출부분을 제거시키는 별개의 공정을 제공할 필요가 있다. 이러한 별개의 공정은 수율을 감소시키며 IC의 비용을 증가시킨다.

언급된 바와같이, 종래의 공정은 이러한 난점을 극복하는 해결책을 찾지못했고, 또한 도상영역을 만드는 공정을 반복해야 하며 별개로 p형 및 n형 도상영역의 표면을 도우프처리해야 한다. 따라서, 유전체분리 콤프리멘타리 IC의 수율은 좋지 못했고 비용은 비싸졌다.

따라서, 본 발명의 목적은 콤프리멘타리 IC를 제조하기 위해서 유전체 분리 IC를 특별히 제조하는 개선된 방법을 제공하는데 있다.

본 발명의 다른 목적은 유전체 물질에 의해서 IC의 다른 부분과 분리되는 영역을 제조하는 방법을 제공하는데 있다.

본 발명의 또다른 목적은 평탄면위에 상기의 분리영역을 패터닝하는 방법을 제공하는데 있다.

본 발명이 다른 목적은 공정을 쉽게하고 유전체분리 IC의 수율을 증진시키는데 있다.

상기의 목적은 다음과 같은 과정에 의해서 주로 얻어진다. p형 웰이 n형 기판속에서 제조되고, 기판의 일부표면에 p형 및 n형 도상영역이 형성되며 이 부분이 보호막으로 피복되며, 기판은 보호막이 마스크로서 사용되는 이방성 에칭(V 컷트)을 사용하여 에칭되어서 p형 및 n형 도상영역이 동시에 형성되고, 각각의 도상영역의 표면이 각각의 형태의 불순물로 도우프되며 (이러한 고농도 도우프 표면은 이후에 각각의 매립층이 된다), 기판의 표면이 다결정 실리콘층으로 성장하고, 다결정 실리콘층 아래의 실리콘 기판은 연마되어 없어지고 다결정 실리콘층은 새로운 기판이 되며, pnp인 npn 트랜지스터는 각각의 도상영역에 제조된다.

이것은 이상적인 연속공정이나 실제로는 현재의 기술에 의해서 실행될 수 없다. 가장 심각한 것은 돌출 도상영역의 표면상에 선택적인 도우프를 위한 마스크링 및 패터닝 방법이다. 포토레지스트는 이렇게 급경사진 표면에 이루어질수 없어서 각각의 도상영역의 측벽을 각각의 형태의 불순물로 선택적으로 도우프하는 것은 불가능하다. 따라서, 상기의 이상적인 연속공정은 현재의 기술에 의해서 실행되도록 변경된다. 이러한 변경의 상세한 것은 첨부된 도면을 참조하여 설명하는 본 발명의 다음 설명으로부터 명백해진다.

도면은 유전체분리 콤프리멘타리 IC의 제조방법의 공정을 도시하며 각각의 공정에서 기판의 횡단면 구조를 개략적으로 도시하는데, 제1도-제6도는 종래의 방법의 공정을 도시하며, 제7도-제16도는 본 발명에 따른 공정을 도시한다. 도면을 통해서 동일한 참조부호로는 상응한 부분을 나타낸다.

앞에서 언급했듯이, 본 발명은 동시에 p형 및 n형 도상영역을 형성하고 경우에 따라서 문제를 야기시키는 깊은 에칭의 반복을 방지하는 것이다. 또한, 본 발명은 큰 높이 차이를 지니는 표면위에 마스크를 배치시키고 마스크의 급경사를 유지시키며 사진식판법의 균일성은 얻는 것이다.

본 발명에 따른 방법의 상세한 것은 첨부된 도면을 참조하면서 기술된다.

본 발명의 방법은 (100)면방위를 지니는 n형 실리콘 기판을 준비하므로서 시작된다. 설명은 n형 기판에 대해서 이루어지나 본 방법은 p형 기판에 대해서 쉽게 변경될 수 있음을 이 분야의 기술자에게는 명백하다.

제7도에 도시되듯이, p형 웰(12)은 결정방위(100)을 지니는 표면을 갖는 n형 기판(11)에 형성되어 있다. npn 및 pnp 트랜지스터가 제조되는 기판(11)의 표면위에는,  $n^+$  영역(13)과  $p^+$  영역(14)이 도면에 도시되듯이 p형 및 n형 영역(웰)위에 각기 제조된다. (이러한 고농도의 도우프 영역은 이후에 분리 영역의 매립층이 된다). 이러한 고농도 도우프 영역(13, 14)은 포토레지스트막이나 분리막의 사진식판 패터닝과 같은 통상의 반도에 제조방법과 확산 또는 이온주입법에 의해서 제조된다.

기판의 표면위에는, 제 1의 분리막이라 불리는 이산화실리콘막(15)과 제 2의 분리막이라 불리는 질화실리콘막(16)이 형성된다. 이러한 분리막은 통상의 사진식판법을 사용하여서 제8도에 도시되듯이 패터닝된다. 제 2의 분리막(16)은 고농도의 도우프 영역(13, 14)과 같은 크기이며 고농도도우프 영역의 각각의 바로위에 위치되나, 제 1의 분리막 (15)은 제 2의 분리막(16)보다 크게 패터닝되며

도면에 도시되듯이 제 2의 분리막(16)주위로 약  $5\mu\text{m}$  넓이로 확장된다.

이제까지의 방법에서 사용된 마스크배치 및 사진식판에칭작업은 기판의 평탄면에서 시행되었고, 따라서 패턴의 해상도는 표면의 불균일에 의해서 결코 손상되지 않았다는 것을 지적해 둔다. 그리고, 이후의 방법에서는 사진식판법은 p형 및 n형 분리영역이 완성될때까지는 결코 사용되지 않는다. 이것이 본 발명의 특징중의 하나이다.

다음에는, 분리막으로부터 기판의 노출부분은 수산화칼륨 용액속에서, 에칭되며 n형 도상영역(17) 및 p형 도상영역(18)은 제9도에 도시되듯이 동시에 제조된다. 상기에 언급되듯이, 이것은 본 발명의 다른 특징이다. 면방위(100)의 실리콘 표면은 이방성으로 에칭되고 도상영역의 측벽을 형성하는 (111)표면은 거의 에칭되지 않아서 도상영역의 상부에 평탄분리막 (15) 또는 (16)을 지니는 사다리꼴 도상영역이 형성된다.

제10도에 도시되듯이 에칭공정이 지난후에는, 기판의 표면은 예를들어 70keV의 가속전압으로 이온주입되어 약  $10^{16}$  도오즈량으로 붕소로 도오프된다. 이때에 분리막 (15, 16)은 마스크로서 사용된다. 기판을 열처리하여 절연막(15, 16)으로부터 노출된 기판의 표면이 고농도 도오프된  $p^+$  층 (19)으로 변환된다.

그후에 제10도의 질화실리콘막(16)으로 부터 노출된 이산화실리콘막(15)이 불소산에 의해서 제거되고 기판은 다시 수산화칼륨 용액에 의해서 에칭되어 질화실리콘막 (16)이 마스크로서 사용된다. 그후에, 이방성에칭에 의해서 n형 도상영역과 도상영역의 측벽과 바닥위의  $p^+$  영역이 에칭되고 도상영역은 제11도에 도시되듯이 재성형된다. 그후에, 제12도에 도시되듯이, 비소가 도스량  $8 \times 10^{15}$  이고 가속전압 70keV로 기판 표면위에 주입된다.

이때에 절연층(16)은 다시 마스크로서 사용된다. 열처리에 의해서, 기판의 표면과 기판의 측벽은  $n^+$  층 (20)으로 변환된다.  $n^+$  층(20)의 두께는  $p_a$  층(19)의 두께보다 얇으며 붕소와 비소의 확산계수의 차이에 따른다. (붕소의 확산계수는 비소의 확산계수보다 매우크다)따라서,  $p^+$  층(19)은 제12도에 도시되듯이  $n^+$  층(20)아래에 남게된다. 예를들어,  $p^+$  층(19)의 두께가  $5\mu\text{m}$ 이면  $n^+$  층 (20)의 두께는  $2\mu\text{m}$  미만이다. 따라서, p형 도상영역(18)의  $p^+$  영역(19)은 적어도  $3\mu\text{m}$ 로 유지되고, 이것은 p형 영역(18)에 대한 매립층으로 사용되기에 충분하다.

질화실리콘막 (16)과 이산화실리콘막(15)을 제거시킨후에는, 기판은  $1,000^\circ\text{C}$ 에서 산화기류속에서 열처리되고 2.5 내지  $3\mu\text{m}$  두께의  $\text{SiO}_2$ 막이 제13도에 도시되듯이 기판의 표면위에 형성된다.

그후에는, 제14도에 도시되듯이, 수백  $\mu\text{m}$  두께의 다결정 실리콘층 (22)이 화학증기증착법에 의해서 기판의 표면위에 성장된다. 그리고, 마지막으로 기판(11)의 거의 모든 부분이 연마되거나 정마되어 배면이 된다. (이것은 에칭제거될 수 있다) 기판을 뒤집으면 제15도에 도시된 것 같이 된다. 도면에서 볼 수 있듯이, p형 및 n형 분리영역(17, 18)이 새로운 다결정 실리콘기판(22)에 제조된다. 이들은 각각  $p^+$  및  $n^+$ 형 매몰층에 의해서 둘러싸이고 이산화실리콘층과 다결정실리콘 물질에 의해서 서로 분리된다.

따라서, 분리영역을 제조하는 방법은 종료되며 유전체분리 IC가 제조되어야 하는 기판이 마련된다. 기판의 표면이 평탄하기 때문에 IC의 회로소자를 제조하기는 쉽다. 제16도는 베이스(23)와 에미터(24)가 제조되는 상태를 도시하며 pnp 및 npn 트랜지스터가 p형 및 n형 분리영역위에 각기 제조된다. 이들은 종래의 반도체제조방법으로도 제조될 수 있다. 트랜지스터가 배선층(wiring layer) (도시안됨)으로 적당히 배선된 후에는 유전체 분리 콤프리멘타리 IC가 완성된다.

상기에 언급되듯이, 본 발명의 방법에 따라서 IC를 제조하는데 사용되는 이산화 실리콘막 (15)과 질화실리콘막(16)을 지니는 모든 패턴이 배치되며 기판의 평탄면위에 형성된다. 따라서, 패턴의 정도가 매우 높다.

그리고, 분리영역을 형성하는 깊은 에칭이 한번의 에칭공정으로 이루어진다. 이것들은 IC 소자의 패킹밀도를 증진시키며 또한 수율을 상당히 증진시킨다. 그리고 유전체 분리 콤프리멘타리 IC의 비용을 매우 절감시킨다.

상기의 설명이 유전체분리 콤프리멘타리 IC를 제조하는 실시예에 대해서 이루어졌으나, 본 발명의 사용은 콤프리멘타리 IC에 제한되지 않으며, 기판위에 유전체분리 회로소자를 지니는 어떤 종류의 반도체 소자에도 사용될 수 있음이 분명하다. 만약 본 발명이 예를들어 npn 트랜지스터같은 온타입의 트랜지스터만을 지니는 소자를 제조하는데 사용된다면, 제조방법은 간단해지며 기판위에 반대형 도전성의 웰 또는 도상영역을 제조하는 수개의 공정이 생략될 수 있다. 또한, 본 발명은  $n^+$  (또는  $p^+$ )형 매립층에 의해서 둘러싸인 n형 (또는 p형) 분리영역(또는 도상영역)뿐 아니라  $p^+$  (또는  $n^+$ )매립층에 의해서 둘러싸인 n형 (또는 p형)영역을 지니는 기판을 제조하는 경우에도 사용될 수 있다.

상기의 설명에서는, n형 실리콘기판에 대해서 설명되었으나 p형 기판을 위해서도 이러한 방법은 변경될 수 있음은 명백하다. 더우기, 상기의 방법은 어떤 종래의 반도체 제조방법을 이용하여 이루어질 수 있으므로 많은 변경이 본 발명의 영역내에서 이루어질 수 있다. 예를 들면, 이온주입법이 확산법을 대체될 수 있고 산화열처리 공정이 화학증기증착 공정으로 대체될 수 있다.

## (57) 청구의 범위

### 청구항 1

a) 제 7 의 도전형 기판(11)에 제 2 의 도전형 웰(12)을 제공하고, b) 제1 및 제2의 도전형 분리영역이 (17, 18)이 각기 제조되는 상기 기판의 (11)의 표면의 일부분에 제 1 의 도전형의 제 1 의 고농도 도우프 영역(13)과 제 2 의 도전형의 제 2 의 고농도 도우프 영역(14)을 제공하며, c) 상기 제 1 의 고농도 도우프 영역을 제 1 의 고농도 도우프 영역보다 크게 패턴닝된 제 1 의 분리막(15)으로 피복시키고, d) 상기 제1 및 제2의 고농도 도우프 영역을 각각의 고농도 도우프 영역의 패턴과 같게 피복되게 패턴닝된 제 2 의 분리막(16)으로 피복시키며, e) 상기 제1 및 제2의 분리막으로 부터 노출되는 기판의 표면을 에칭시키고 분리막 아래의 기판 표면으로 부터 돌출하는 도상영역을 (17, 18)을 제조하며, f) 제1 및 제2의 분리막을 마스크로 사용하여 기판의 표면(19)을 제 2 의 도전형 불순물로 도우프시키고, g) 제 2 의 분리막(16)으로 부터 노출되는 제 1 의 분리막(15)의 일부분을 에칭 제거하며, h)상기 공정으로 제 1 의 분리막의 제거된 부분으로 부터 노출되는 기판의 부분을 에칭 제거하고, i) 제 2 의 분리막을 마스크로 사용하여 기판의 표면을 제 1 의 도전성 불순물로 도우프시키며, j)제1 및 제2의 분리막을 제거시키고, k) 기판의 표면위에 제 3 의 분리막 (21)을 형성하며, l)기판의 표면위에 다결정 실리콘층(22)을 성장시키고, m)그 배면으로부터 기판(11)을 제거하여 다결정 실리콘층(22)에 도상영역(17, 18)을 남기는 공정으로 구성된 유전체분리 콤프리멘타리 IC의 제조방법.

## 청구항 2

제1항에 있어서, 상기 기판의(11)의 재료가 실리콘이고 상기 제1 및 제2의 도전형이 각기 n 형 및 p 형 도전체이거나 그 반대인 유전체 분리 콤프리멘타리 IC의 제조방법.

## 청구항 3

제1항에 있어서, 제 1 의 분리막(15)이 이산화 실리콘막이고, 제 2 의 분리막(16)이 질화실리콘막인 유전체분리 콤프리멘타리 IC의 제조방법.

## 청구항 4

제1항에 있어서, 공정 e 및 h 가 수산화칼륨 용액을 식각제로 사용하는 이방성 에칭공정을 지니는 유전체분리 콤프리멘타리 IC의 제조방법.

## 청구항 5

제1항에 있어서, 공정 f 및 i에서 사용되는 불순물이 각기 붕소와 비소인 유전체분리 콤프리멘타리 IC의 제조방법.

## 청구항 6

제1항에 있어서, 공정 f 및 i가 이온 주입공정을 지니는 유전체분리 콤프리멘타리 IC의 제조방법.

## 청구항 7

제1항에 있어서, 공정 k가 산화열처리 공정을 지니고, 공정 k에 의해서 형성된 제 3 의 분리막(21)이 이산화실리콘막인 유전체분리 콤프리멘타리 IC의 제조방법.

## 청구항 8

제1항에 있어서, 공정 m이 기판을 연마, 정마 및 에칭시키는 공정을 지니는 유전체분리 콤프리멘타리 IC의 제조방법.

## 청구항 9

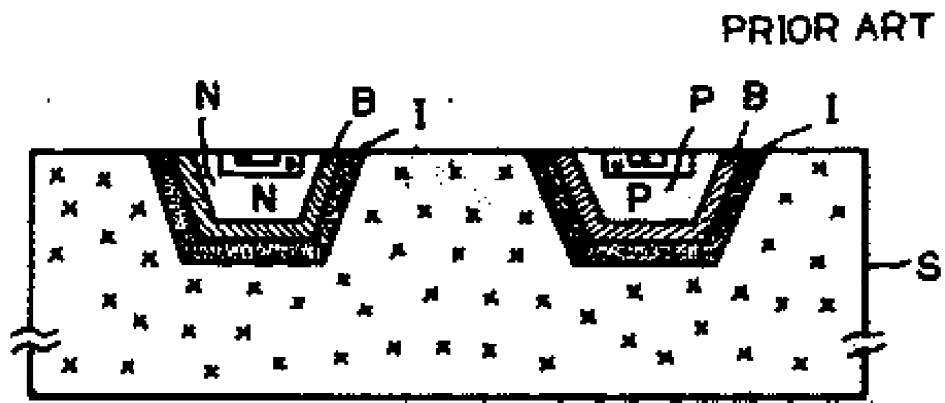
제1항에 있어서, 각각의 상기 제 1 의 분리막(15)이 약  $5\mu\text{m}$  넓이로 상기 제 1 의 고농도 도우프 영역의 둘레로 확장되는 유전체분리 콤프리멘타리 IC의 제조방법.

## 청구항 10

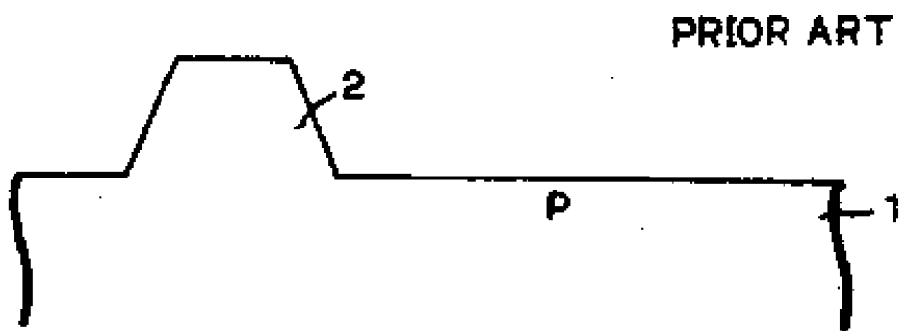
a') 반도체 기판(11)을 준비하고, b') 반도체 기판의 표면의 분리영역위(13, 14)에 제1 및 제2의 마스크층 패턴(15, 16)을 형성시키며, c') 적어도 상기 제 2 의 마스크층 패턴(16)의 주위영역을 피복하는 제 3 의 마스크층 패턴(19)을 형성하고, d') 상기 제 1 의 마스크층 패턴에 의해서 제공되는 제 1 의 도상영역(17)을 형성하고 제 2 의 마스크층 패턴(16)의 주위영역이 제 3 의 마스크층 패턴(19)으로 피복되게 반도체 기판(11)을 제 1 의 마스크층 패턴(15)을 사용하여 에칭시키며, e') 상기 제 1 의 도상영역(17)의 측벽이 제 1 의 도전형의 불순물 영역(20)을 형성하도록 상기 제 1 의 마스크층 패턴(15)을 사용하여 상기 반도체 기판(11)속으로 불순물을 선택적으로 주입시키고, f') 상기 제 3 의 마스크층 패턴(19)을 제거시키며, g') 상기 제 3 의 마스크층 패턴을 제거시킨후 제 2 의 도상영역(18)을 형성하도록 상기 제 2 의 마스크층 패턴(16)을 사용하여 상기 반도체 기판을 에칭시키고, h') 상기 제 2 의 도상영역(18)의 측벽속에 상기 제 1 의 도전형을 반대하는 제 1 의 도전형의 불순물 영역을 형성하도록상기 제 2 의 마스크층 패턴(16)을 사용하여 상기 반도체 기판속으로 불순물을 선택적으로 주입시키며, i') 상기 제 1 및 제2의 도상영역(17, 18)을 지니는 반도체 기판 위에 소자분리층(21)을 형성하고, j') 상기 제 1 및 제2의 도상영역속에 반도체 소자를 각기 형성하는 공정을 지니는 유전체분리 콤프리멘타리 IC의 제조방법.

도면

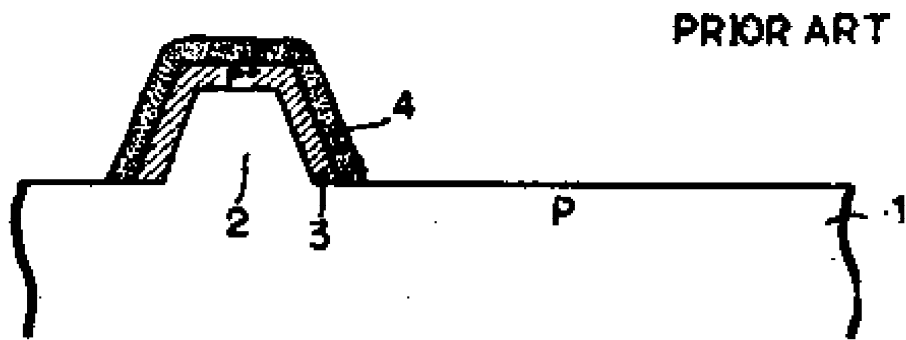
도면1



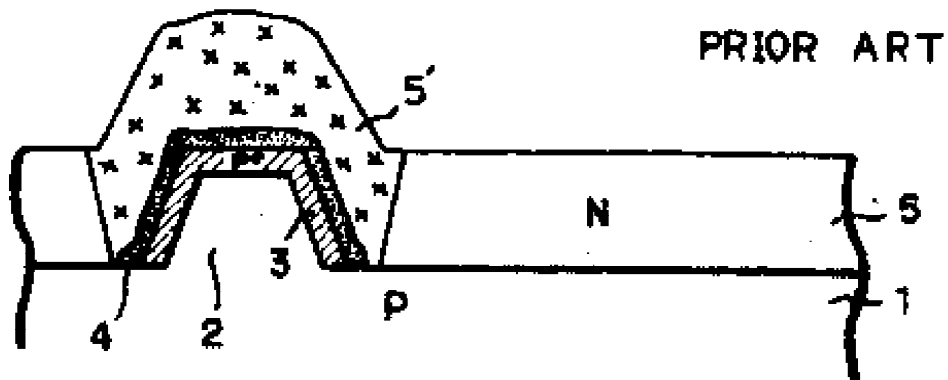
도면2



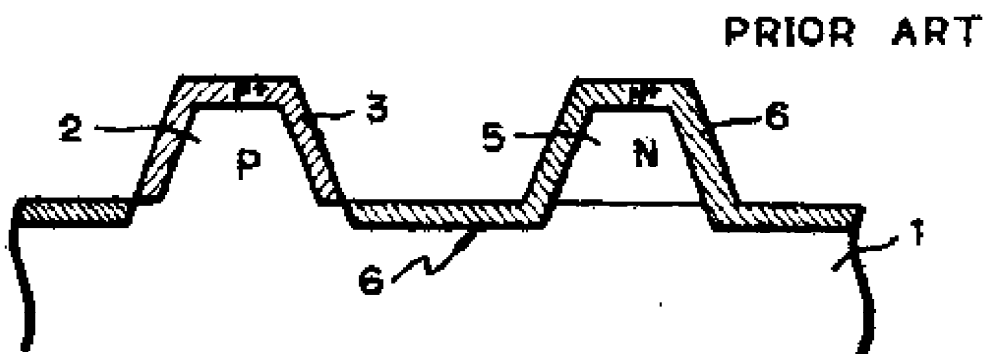
도면3



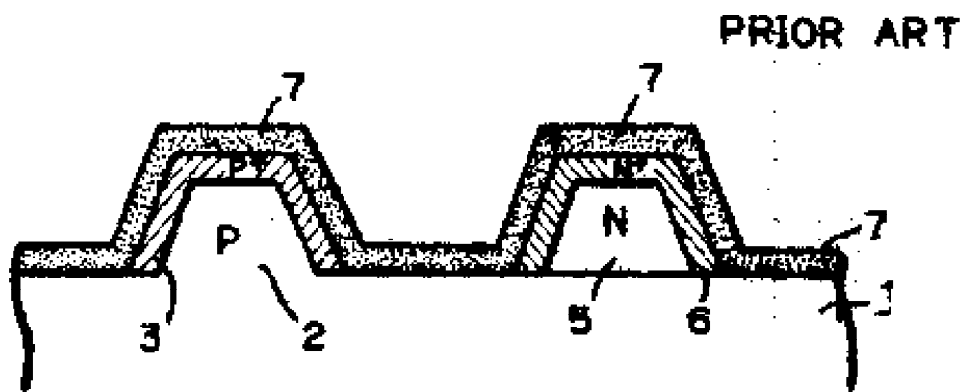
도면4



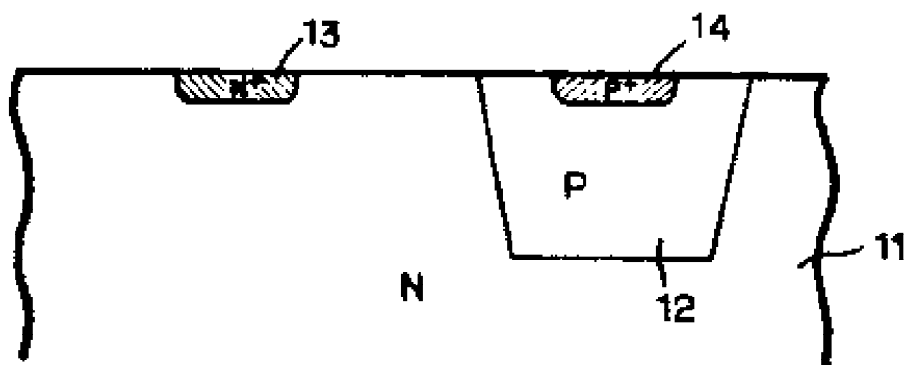
도면5



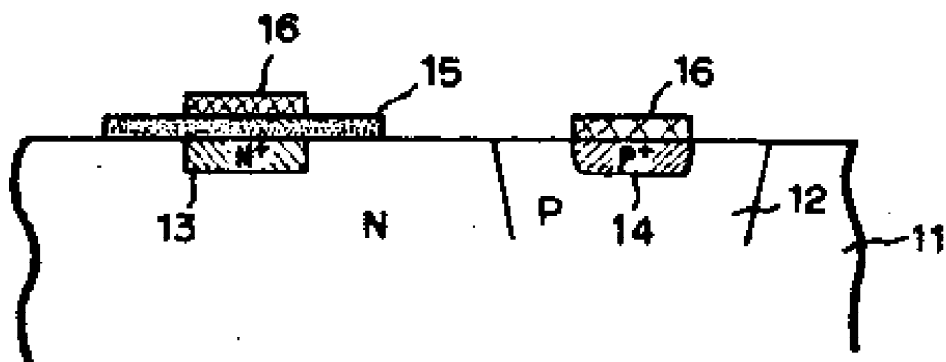
도면6



도면7

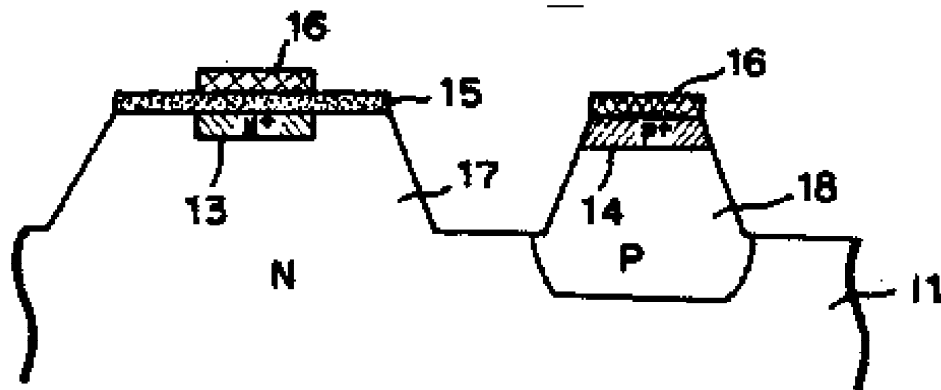


도면8

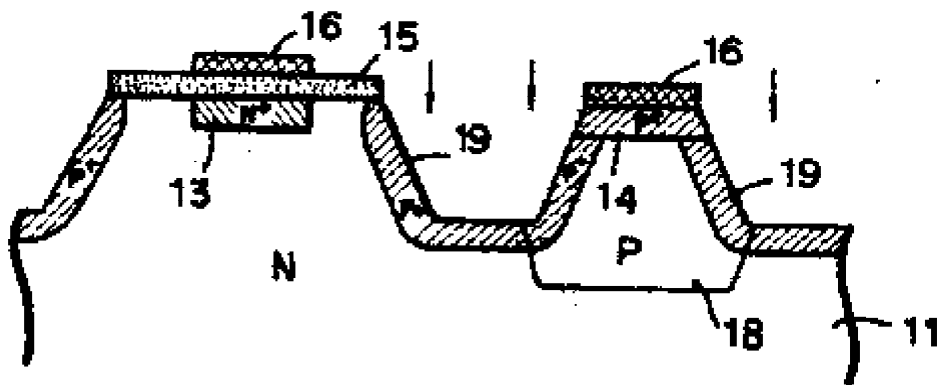




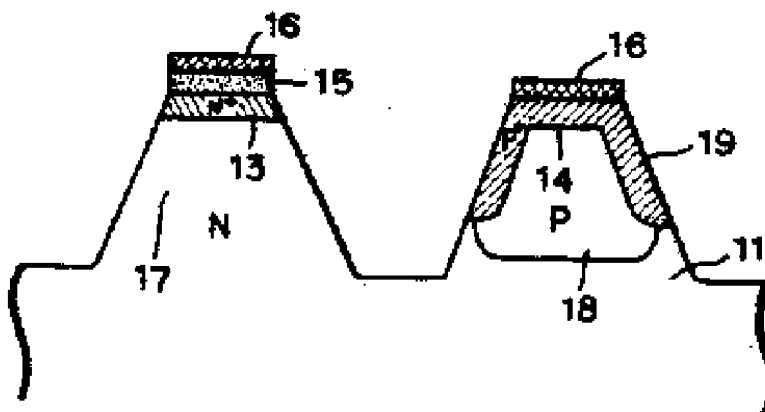
도면9



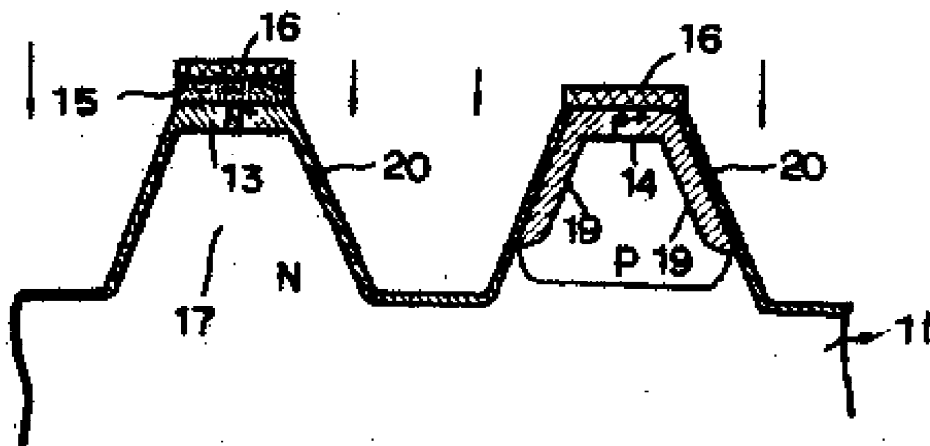
도면10



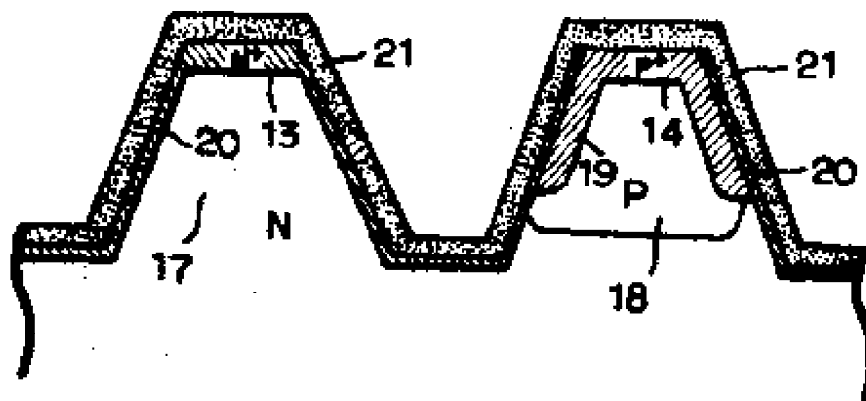
도면11



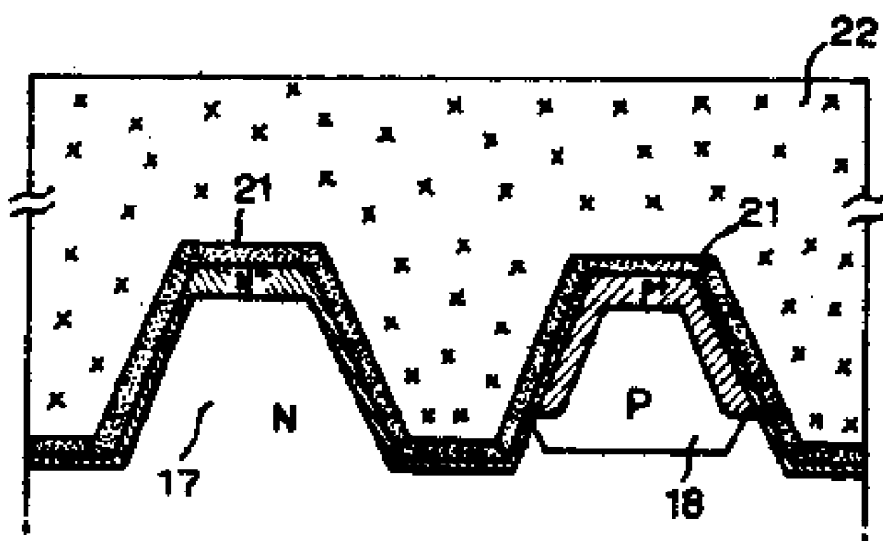
도면 12



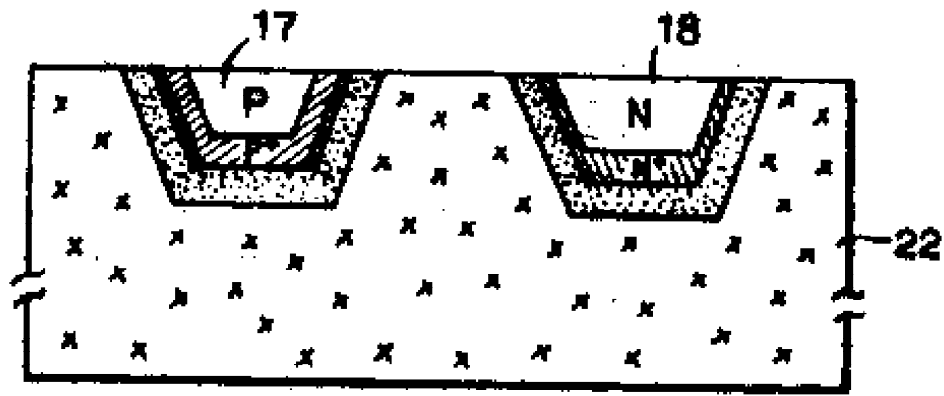
도면 13



도면 14



도면 15



도면 16

