(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月22日(22.12.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/264347 A1

(51) 国際特許分類:
H01S 5/227 (2006.01)

(21) 国際出願番号： PCT/JP2021/022984

(22) 国際出願日： 2021年6月17日(17.06.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人:三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 Tokyo (JP).

(72) 発明者: 河 原 弘 幸 (**KAWAHARA Hiroyuki**); 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP).

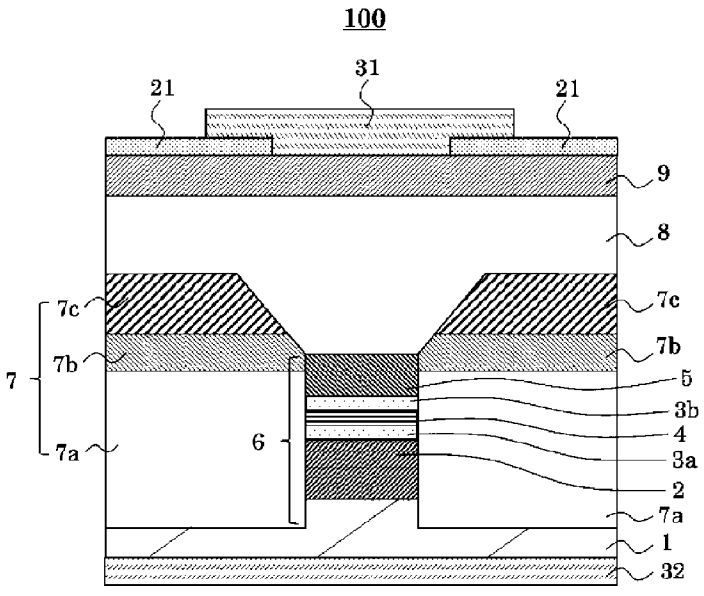
(74) 代理人:弁理士法人ぱるも特許事務所(**PALMO PATENT FIRM, P.C.**); 〒6610033 兵庫県尼崎市南武庫之荘３丁目３５番８号 Hyogo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** OPTICAL SEMICONDUCTOR ELEMENT AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称： 光半導体素子及びその製造方法

図1



(57) **Abstract:** An optical semiconductor of the present disclosure comprises: a semiconductor substrate (1) of a first conductance type; a stripe-shaped mesa structure (6) comprising a laminate of a cladding layer (2) of the first conductance type, an active layer (4), and a first cladding layer (5) of a second conductance type laminated on the semiconductor substrate (1) of the first conductance type; and a mesa embedding layer (7) comprising a semi-insulating first embedding layer (7a), a second embedding layer (7b) of the first conductance type, and a semi-insulating third embedding layer (7c)

WO 2022/264347 A1

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

doped with a transition metal that are provided sequentially on both side surfaces of the mesa structure (6) above the semiconductor substrate (1) of the first conductance type.

(57) 要約:本開示の光半導体素子は、第１導電型の半導体基板（１）と、第１導電型の半導体基板（１）上に積層された第１導電型のクラッド層（２）、活性層（４）及び第２導電型の第１クラッド層（５）の積層体からなるストライプ状のメサ構造（６）と、第１導電型の半導体基板（１）上でメサ構造（６）の両側面に順次設けられた半絶縁性の第１埋込層（７ａ）、第１導電型の第２埋込層（７ｂ）及び、遷移金属がドープされた半絶縁性の第３埋込層（７ｃ）からなるメサ埋込層（７）と、を備える。

明　細　書

発明の名称 ： 光半導体素子及びその製造方法

技術分野

[0001]　本願は、光半導体素子及びその製造方法に関する。

背景技術

[0002]　半導体レーザーを代表とする光半導体素子では、活性層への電流狭窄と活性層からの放熱を目的として活性層の両側面を半導体で埋め込んだ構造、いわゆる埋込型半導体レーザーが多用される。光通信用途に用いられるＩｎＰ（インジウムリン、Ｉｎｄｉｕｍ　Ｐｈｏｓｐｈｉｄｅ）系の埋込型半導体レーザーでは、通信の大容量化に対応するために半導体レーザー素子単体での変調周波数の広帯域化、発光効率向上が要求される。

[0003]　変調周波数の広帯域化を目的として半導体レーザーの容量を低減し、かつ、発光効率向上を目的として、活性層からの放熱性の向上を図るために、ｎ型ＩｎＰ基板と、鉄（Ｆｅｒｒｕｍ：Ｆｅ）等の半絶縁性材料をドーピングしたＩｎＰ埋込層の組み合わせが用いられている。

[0004]　ＦｅはＩｎＰ中で電子をトラップするアクセプタとして作用する一方、ホールに対してはトラップ効果を持たないため、埋込層の上部でｐ型クラッド層に接する部分にｎ型ＩｎＰ埋込層を配置した素子構造が一般に用いられる。かかる素子構造では、ｎ型ＩｎＰ埋込層を設けることで、ｐ型ＩｎＰクラッド層のホールに対する障壁を形成している。

先行技術文献

特許文献

[0005] 特許文献1：特開２００４－０４７７４３号公報

発明の概要

発明が解決しようとする課題

[0006]　しかしながら、上述の素子構造では、ｎ型ＩｎＰ埋込層とｐ型ＩｎＰクラッド層の界面に面積の大きいｐｎ接合領域が存在するため、ｐｎ接合容量に

よってＣＲ時定数が大きくなるので、半導体レーザーの遮断周波数が低下するという不具合が発生した。光通信等のような高速動作が要求される用途では、遮断周波数の低下によって、半導体レーザーの動作帯域が制限されるという問題が生じた。また、ｐｎ接合領域でのキャリア再結合によって電流リークが増大し、半導体レーザーの発光効率が低下するという問題も生じた。

[0007] ｐｎ接合領域の面積を減らす手段として、半導体レーザーの活性層を含むメサ構造のメサ幅を狭くする方法、あるいは、半導体レーザーの共振器を短くする方法等が考えられる。しかしながら、メサ構造のメサ幅を狭くすると半導体レーザーの放熱性が悪化するという新たな問題が生じた。

[0008] 一方、半導体レーザーの共振器を短くすると、素子抵抗の増大による遮断周波数の低下、あるいは、活性層の体積減少による発光効率の低下も生じるため、動作帯域と発光効率のトレードオフの関係は解消できなかった。５０Ｇｂｐｓ以上の光通信用途を想定すると、上述のｐｎ接合界面を含む素子構造では対応が難しいという課題があった。

[0009] 特許文献１に記載の光集積デバイスの一部を構成する電界吸収型変調器は半導体レーザーの用途とは異なるものの、特許文献１の図２（ｂ）に示されるように、メサ構造の両側面に半絶縁性ＦｅドープＩｎＰ電子トラップ層、ｎ型ＩｎＰホールブロック層、及びアンドープＩｎＰ層からなる３層構造の埋込層が形成されている。

[0010] つまり、ｎ型ＩｎＰホールブロック層とｐ型ＩｎＰクラッド層との間にアンドープＩｎＰ層が設けられている。かかる積層構造を半導体レーザーの埋込層として適用すると、アンドープＩｎＰ層の存在によって、ｐｎ接合容量を低減させることができる。しかしながら、かかる積層構造はｐｉｎ構造となっているため、当該箇所でのキャリア再結合を抑制することはできず、発光効率の低下という問題は依然として解決されなかった。

[0011] 本開示は上記のような問題点を解消するためになされたもので、埋込層と第２導電型のクラッド層の間に形成されるｐｎ接合領域に起因するｐｎ接合容量を低減することにより、高速変調を可能とし、また、埋込層と第２導電

型のクラッド層の界面でのキャリア再結合を抑制することで、発光効率の高効率化を可能とする光半導体素子及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0012] 本願に開示される光半導体素子は、

第１導電型の半導体基板と、

前記第１導電型の半導体基板上に積層された第１導電型のクラッド層、活性層及び第２導電型の第１クラッド層の積層体からなるストライプ状のメサ構造と、

前記第１導電型の半導体基板上で前記メサ構造の両側面に順次設けられた半絶縁性の第１埋込層、第１導電型の第２埋込層及び遷移金属がドープされた半絶縁性の第３埋込層からなるメサ埋込層と、を備える。

[0013] 本願に開示される光半導体素子の製造方法は、

第１導電型の半導体基板に、第１導電型のクラッド層、活性層及び第２導電型の第１クラッド層をＭＯＣＶＤ法によって順次結晶成長する第１結晶成長工程と、

前記第１導電型のクラッド層、前記活性層、前記第２導電型の第１クラッド層及び前記第１導電型の半導体基板の一部をストライプ状のメサ構造にエッチングするメサ構造形成工程と、

前記第１導電型の半導体基板上で前記メサ構造の両側面に、半絶縁性の第１埋込層、第１導電型の第２埋込層及び１種類以上の遷移金属がドープされた半絶縁性の第３埋込層からなるメサ埋込層をＭＯＣＶＤ法によって順次結晶成長する第２結晶成長工程と、

前記メサ構造の頂面並びに前記メサ埋込層の表面及び側面の一部に、第２導電型の第２クラッド層及び第２導電型のコンタクト層をＭＯＣＶＤ法によって順次積層する第３結晶成長工程と、

を含む。

発明の効果

[0014] 本願に開示される光半導体素子及びその製造方法によれば、メサ埋込層と第２導電型のクラッド層の間に形成されるｐｎ接合に起因するｐｎ接合容量を低減でき、また、メサ埋込層と第２導電型のクラッド層の界面でのキャリア再結合を抑制できるので、光半導体素子の高速変調及び光効率の高効率化が可能となるという効果を奏する。また、かかる光半導体素子を容易に製造できるという効果を奏する。

図面の簡単な説明

[0015] [図1]実施の形態１に係る光半導体素子の素子構造を示す断面図である。

[図2]実施の形態１に係る光半導体素子の製造方法を示す断面図である。

[図3]実施の形態１に係る光半導体素子の製造方法を示す断面図である。

[図4]実施の形態１に係る光半導体素子の製造方法を示す断面図である。

[図5]実施の形態１に係る光半導体素子の製造方法を示す断面図である。

[図6]実施の形態１に係る光半導体素子の製造方法を示す断面図である。

[図7]比較例による光半導体素子の素子構造を示す断面図である。

[図8]実施の形態２に係る光半導体素子の素子構造を示す断面図である。

[図9]実施の形態２に係る光半導体素子の製造方法を示す断面図である。

[図10]実施の形態２に係る光半導体素子の製造方法を示す断面図である。

[図11]実施の形態２に係る光半導体素子の製造方法を示す断面図である。

[図12]実施の形態２に係る光半導体素子の製造方法を示す断面図である。

[図13]実施の形態３に係る光半導体素子の素子構造を示す断面図である。

[図14]実施の形態３に係る光半導体素子の製造方法を示す断面図である。

[図15]実施の形態３に係る光半導体素子の製造方法を示す断面図である。

[図16]実施の形態４に係る光半導体素子の素子構造を示す断面図である。

[図17]実施の形態４に係る光半導体素子の製造方法を示す断面図である。

[図18]実施の形態４に係る光半導体素子の製造方法を示す断面図である。

[図19]実施の形態４に係る光半導体素子の製造方法を示す断面図である。

発明を実施するための形態

[0016] 実施の形態１．

実施の形態１に係る光半導体素子１００の素子構造の断面図を図１に示す。実施の形態１に係る光半導体素子１００は、ｎ型ＩｎＰ基板１（第１導電型の半導体基板）と、ｎ型ＩｎＰ基板１に順次積層されたｎ型ＩｎＰクラッド層２（第１導電型のクラッド層）、第１光閉じ込め層３ａ、活性層４、第２光閉じ込め層３ｂ、ｐ型ＩｎＰ第１クラッド層５（第２導電型の第１クラッド層）の積層体とｎ型ＩｎＰ基板１の一部からなるストライプ状のメサ構造６と、メサ構造６の両側面のｎ型ＩｎＰ基板１上に形成された半絶縁性ＩｎＰ第１埋込層７ａ（半絶縁性の第１埋込層）、ｎ型ＩｎＰ第２埋込層７ｂ（第１導電型の第２埋込層）及び半絶縁性ＩｎＰ第３埋込層７ｃ（半絶縁性の第３埋込層）からなるメサ埋込層７と、メサ構造６の頂面並びにメサ埋込層７の表面及び側面の一部を覆うように形成されたｐ型ＩｎＰ第２クラッド層８（第２導電型の第２クラッド層）及びｐ型ＩｎＧａＡｓコンタクト層９（第２導電型のコンタクト層）と、ｐ型ＩｎＧａＡｓコンタクト層９の表面に設けられた絶縁膜２１の開口部でｐ型ＩｎＧａＡｓコンタクト層９と接触するｐ側電極３１（第２導電型側電極）と、ｎ型ＩｎＰ基板１の裏面側に設けられたｎ側電極３２（第１導電型側電極）と、で構成される。

[0017] ｎ型ＩｎＰ基板１は硫黄（Ｓｕｌｆｕｒ：Ｓ）がドープされ、表面は＜１００＞面である。ｎ型ＩｎＰクラッド層２はＳがドープされ、典型的な層厚は１．０μｍでありＳの、典型的なドーピング濃度は１．０×$10^{18}$$cm^{-3}$である。

[0018] 活性層４はＡｌＧａＩｎＡｓ（Ａｌｕｍｉｎｕｍ Ｇａｌｌｉｕｍ Ｉｎｄｉｕｍ Ａｒｓｅｎｉｄｅ）で構成され、アンドープである。活性層４の典型的な層厚は、０．３μｍである。活性層４を挟んで上下に設けられた、第１光閉じ込め層３ａ及び第２光閉じ込め層３ｂはＡｌＧａＩｎＡｓで構成され、アンドープである。

[0019] ｐ型ＩｎＰ第１クラッド層５には、亜鉛（Ｚｉｎｃ：Ｚｎ）がドープされている。ｐ型ＩｎＰ第１クラッド層５の典型的な層厚は０．３μｍであり、Ｚｎの典型的なドーピング濃度は１．０×$10^{18}$$cm^{-3}$である。

[0020] 半絶縁性ＩｎＰ第１埋込層７ａには、遷移金属がドーピングされている。なお、遷移金属とは、周期表で第３族元素から第１１族元素の間に存在する元素の総称である。遷移金属の具体例として、Ｆｅ、ルテニウム（Ｒｕｔｈｅｎｉｕｍ：Ｒｕ）、チタン（Ｔｉｔａｎｉｕｍ：Ｔｉ）等が挙げられる。半絶縁性ＩｎＰ第１埋込層７ａの典型的な層厚は１．８μｍ、Ｆｅの典型的なドーピング濃度は５．０×10^{16}ｃｍ$^{-3}$である。

[0021] ｎ型ＩｎＰ第２埋込層７ｂには、Ｓがドープされている。ｎ型ＩｎＰ第２埋込層７ｂの典型的な層厚は０．２μｍ、Ｓの典型的なドーピング濃度は５．０×10^{18}ｃｍ$^{-3}$である。

[0022] 半絶縁性ＩｎＰ第３埋込層７ｃには、遷移金属がドーピングされている。遷移金属の具体例として、Ｆｅ、Ｒｕ、Ｔｉ等が挙げられる。半絶縁性ＩｎＰ第３埋込層７ｃの典型的な層厚は０．５μｍ、遷移金属の典型的なドーピング濃度は５．０×10^{16}ｃｍ$^{-3}$である。

[0023] ｐ型ＩｎＰ第２クラッド層８には、Ｚｎがドーピングされている。ｐ型ＩｎＰ第２クラッド層８の典型的な層厚は２．０μｍ、Ｚｎの典型的なドーピング濃度は１．０×10^{18}ｃｍ$^{-3}$である。

[0024] ｐ型ＩｎＧａＡｓ（Ｉｎｄｉｕｍ Ｇａｌｌｉｕｍ Ａｒｓｅｎｉｄｅ）コンタクト層９には、Ｚｎがドーピングされている。ｐ型ＩｎＧａＡｓコンタクト層９の典型的な層厚は０．３μｍ、Ｚｎの典型的なドーピング濃度は１．０×10^{19}ｃｍ$^{-3}$である。

[0025] 以下に、実施の形態１に係る光半導体素子１００の動作について説明する。

光半導体素子１００においてレーザー光を出射させるには、レーザー駆動回路とｐ側電極３１及びｎ側電極３２を電気的に接続し、光半導体素子１００に対して順方向バイアスをかける。順方向バイアスによって光半導体素子１００のｐ側電極３１から注入された電流は、ｐ型ＩｎＧａＡｓコンタクト層９を経てメサ構造６に流れ、活性層４においてレーザー光が発生する。

[0026] 一方、メサ埋込層７に対しては、順バイアスをかけても、半絶縁性ＩｎＰ

第１埋込層７ａ及び半絶縁性ＩｎＰ第３埋込層７ｃが高抵抗層であるため、メサ埋込層７には電流は流れない。つまり、メサ埋込層７は電流ブロック層として機能する。この結果、光半導体素子１００に注入された電流は、メサ構造６の両側に設けられ電流ブロック層として機能するメサ埋込層７による電流狭窄の作用によって、メサ構造６に集中して流れる。したがって、光半導体素子１００は、メサ埋込層７による電流狭窄の作用によって、注入電流に対して高い効率でレーザー光を出射することが可能となる。

[0027] 次に、実施の形態１に係る光半導体素子１００の素子構造上の特徴について説明する。

実施の形態１に係る光半導体素子１００では、Ｓドープｎ型ＩｎＰ第２埋込層７ｂとＺｎドープｐ型ＩｎＰ第２クラッド層８との間に、Ｆｅドープ半絶縁性ＩｎＰ第３埋込層７ｃが設けられている。したがって、実施の形態１に係る光半導体素子１００では、後述する比較例の光半導体素子２００のようなＳドープｎ型ＩｎＰ第２埋込層７ｂとＺｎドープｐ型ＩｎＰ第２クラッド層８が接する素子構造によって両者の界面で不可避的に生じるｐｎ接合によってもたらされるｐｎ接合容量の発生を防止することが可能となる。Ｆｅドープ半絶縁性ＩｎＰ第３埋込層７ｃとｐ型ＩｎＰ第２クラッド層８との界面では、ｐｎ接合は形成されないからである。

[0028] また、実施の形態１に係る光半導体素子１００では、半絶縁性ＩｎＰ第３埋込層７ｃ中にドープされたＦｅは電子に対して深いトラップ準位をもつアクセプタとして機能することから、Ｆｅドープ半絶縁性ＩｎＰ第３埋込層７ｃとｐ型ＩｎＰ第２クラッド層８との界面では、キャリア再結合も抑制できる。

[0029] したがって、特許文献１に記載された素子構造で問題となった、ｎ型ＩｎＰホールブロック層とｐ型ＩｎＰクラッド層との間にアンドープＩｎＰ層が設けられている場合に生じるｐｉｎ接合領域においてキャリア再結合を抑制できないという不具合に対しても、実施の形態１に係る光半導体素子１００では、遷移金属の一種である例えばＦｅをドープした半絶縁性ＩｎＰ第３埋

込層７ｃの適用によって防止することが可能となる。

[0030] 実施の形態１に係る光半導体素子１００において、半絶縁性ＩｎＰ第３埋込層７ｃの層厚を、ｎ型ＩｎＰ基板１の側で隣接するｎ型ＩｎＰ第２埋込層７ｂとで形成される空乏層の層厚よりも厚く設定しておけば、電子に対するＦｅのトラップ効果をさらに有効に利用できるため、キャリア再結合を抑制する点で有利となる。また、半絶縁性ＩｎＰ第３埋込層７ｃの層厚を、半絶縁性ＩｎＰ第３埋込層７ｃとｐ型ＩｎＰ第２クラッド層８とで形成される空乏層の層厚よりも厚く設定しておけば、キャリア再結合をより抑制できる。半絶縁性ＩｎＰ第３埋込層７ｃの層厚を、両者の空乏層の層厚のいずれよりも厚くすれば、より効果的である。

[0031] また、Ｆｅの代わりに、遷移金属の一種であるＲｕあるいはＴｉをドープした半絶縁性ＩｎＰ第３埋込層７ｃであっても、Ｆｅをドープした場合と同様に、ホールをトラップする深い準位を形成することから、Ｆｅをドープした場合と同様な作用が生じる。さらに、ＲｕあるいはＴｉをドーパントとして用いると、Ｆｅをドープした場合と比較して、ＲｕあるいはＴｉ自身とｐ型ドーパントとの相互拡散を低減できる。したがって、ＲｕあるいはＴｉをドーパントとして用いる場合は、Ｆｅをドープした場合と比べて、容量低減及びキャリア再結合の抑制の点で一層の効果を奏する。

[0032] また、半絶縁性ＩｎＰ第３埋込層７ｃに、Ｆｅ、Ｒｕ及びＴｉのいずれか２種類以上をコドープすることで、電子とホールの両方をトラップさせることが可能となるので、半絶縁性ＩｎＰ第３埋込層７ｃとｐ型ＩｎＰ第２クラッド層８の界面でのキャリア再結合を一層抑制することができる。さらに、半絶縁性ＩｎＰ第３埋込層７ｃを２層構造とし、ｎ型ＩｎＰ第２埋込層７ｂ側にＦｅドープ層を設け、ｐ型ＩｎＰ第２クラッド層８側にＲｕあるいはＴｉドープ層を設けた構造を適用することによっても、半絶縁性ＩｎＰ第３埋込層７ｃとｐ型ＩｎＰ第２クラッド層８の界面で生じるキャリア再結合に対する抑制効果を一段と向上させることができる。

[0033] ＜実施の形態１に係る光半導体素子１００の製造方法＞

実施の形態１に係る光半導体素子１００の製造方法を以下に説明する。

表面が＜１００＞面であるＳドープｎ型ＩｎＰ基板１上に、Ｓドープｎ型ＩｎＰクラッド層２、上下面をＡＩＧａＩｎＡｓ第１光閉じ込め層３ａ及びＡＩＧａＩｎＡｓ第２光閉じ込め層３ｂに挟まれたアンドープＡＩＧａＩｎＡｓ活性層４、Ｚｎドープｐ型ＩｎＰ第１クラッド層５を、有機金属気相成長法（Ｍｅｔａｌ　Ｏｒｇａｎｉｃ　Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ：ＭＯＣＶＤ）等の結晶成長方法によって順次結晶成長する（第１結晶成長工程）。各層の結晶成長後の断面図を図２に示す。

[0034] 第１結晶成長工程の後、ｐ型ＩｎＰ第１クラッド層５の表面に、SiO_2膜を成膜する。SiO_2の成膜方法としては、例えば、ＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法等が挙げられる。SiO_2膜の成膜後、図３の断面図に示すように、フォトリソグラフィ技術及びエッチング技術を用いて、SiO_2膜を＜０１１＞方向のストライプ状のSiO_2マスク２２にパターニングする。SiO_2マスク２２のマスク幅の一例としては、１．５μｍが挙げられる。

[0035] 次に、ストライプ状のSiO_2マスク２２をエッチングマスクとして用いて、図４の断面図に示すように、ｐ型ＩｎＰ第１クラッド層５からｎ型ＩｎＰ基板１の途中までをドライエッチングすることで、ストライプ状のメサ構造６を形成する（メサ構造形成工程）。メサ構造６のｎ型ＩｎＰ基板１の表面からの典型的な高さは２．０μｍである。ここで、エッチングマスクはSiO_2マスク２２に限らずＳｉＮマスクでも良い。また、エッチングはドライエッチングに限らず、ウェットエッチングを用いても良い。

[0036] ストライプ状のメサ構造６の形成後、図５の断面図に示すように、ＭＯＣＶＤ法によって、Ｆｅドープ半絶縁性ＩｎＰ第１埋込層７ａ、ｎ型ＩｎＰ第２埋込層７ｂ及びＦｅドープ半絶縁性ＩｎＰ第３埋込層７ｃからなるメサ埋込層７を、メサ構造６の両側面を覆うように埋め込み成長する（第２結晶成長工程）。

[0037] メサ埋込層７の結晶成長後、フッ酸をエッチャントとして用いたウェット

エッチングにより、ストライプ状のSiO_2マスク２２を除去する。

[0038] メサ構造６の頂面並びにメサ埋込層７の表面及び側面の一部の上に、ＭＯＣＶＤ法により、ｐ型ＩｎＰ第２クラッド層８及びｐ型ＩｎＧａＡｓコンタクト層９を順次結晶成長する（第３結晶成長工程）。上記各層の結晶成長後の断面図を図６に示す。

[0039] 第３結晶成長工程の後に、メサ構造６を含む幅５μｍの領域に、フォトリソグラフィ技術及びエッチング技術によって、＜０１１＞方向のストライプ状のSiO_2マスクを形成し、臭化水素（Ｈｙｄｒｏｇｅｎ Ｂｒｏｍｉｄｅ：ＨＢｒ）をエッチャントとして用いたウェットエッチングを行うことで、メサ埋込層７におけるレーザー動作に不要な部分のエピタキシャル結晶成長層をｎ型ＩｎＰ基板１に達するまでエッチングする。その後、フッ酸をエッチャントとして用いたウェットエッチングにより、ストライプ状のSiO_2マスクを除去する。

[0040] さらに、ウエハの全面にSiO_2絶縁膜を形成して、フォトリソグラフィ技術とドライエッチング技術によって、ｐ型ＩｎＧａＡｓコンタクト層９上でメサ構造６の上側に対応する位置のSiO_2絶縁膜２１に開口幅３μｍの開口部を形成する。この開口部でｐ型ＩｎＧａＡｓコンタクト層９の表面に接するようにｐ側電極３１を形成し、ｎ型ＩｎＰ基板１の裏面側にｎ側電極３２を形成する（電極形成工程）。

以上の各製造工程を経て、光半導体素子１００の一例である半導体レーザーの基本構造が完成する。

[0041] ＜実施の形態１の効果＞

実施の形態１に係る光半導体素子及びその製造方法によれば、３層からなるメサ埋込層７のうちｐ型ＩｎＰ第２クラッド層８と接する第３埋込層７ｃを遷移金属がドープされた半絶縁性ＩｎＰ層で構成したので、半絶縁性ＩｎＰ第３埋込層７ｃとｐ型ＩｎＰ第２クラッド層８の間ではｐｎ接合が形成されないため、ｐｎ接合容量を防止することが可能となり、さらに、半絶縁性ＩｎＰ第３埋込層７ｃとｐ型ＩｎＰ第２クラッド層８の界面でのキャリア再

結合を抑制することにより電流リーク成分を低減することが可能となるため、光半導体素子の動作帯域が拡大し、かつ、発光効率も向上するという効果を奏する。また、動作帯域が広く、かつ、発光効率の高い光半導体素子を容易に製造できるという効果を奏する。

[0042] 比較例.

比較例である光半導体素子２００の断面図を図７に示す。実施の形態１に係る光半導体素子１００との構造上の相違点は、実施の形態１に係る光半導体素子１００のメサ埋込層７が、Ｆｅドープ半絶縁性ＩｎＰ第１埋込層７ａ、ｎ型ＩｎＰ第２埋込層７ｂ及びＦｅドープ半絶縁性ＩｎＰ第３埋込層７ｃの３層で構成されているのに対して、比較例の光半導体素子２００では、Ｆｅドープ半絶縁性ＩｎＰ第１埋込層７ａ、ｎ型ＩｎＰ第２埋込層７ｂの２層構造である点、すなわち、Ｆｅドープ半絶縁性ＩｎＰ第３埋込層７ｃが無い点である。

[0043] 比較例である光半導体素子２００では、ｎ型ＩｎＰ第２埋込層７ｂとｐ型ＩｎＰ第２クラッド層８が接している。したがって、両者の界面でｐｎ接合領域１５が形成されている。ｎ型ＩｎＰ第２埋込層７ｂは、ｐ型ＩｎＰ第２クラッド層８内に存在するホールに対する障壁を形成している。これは、Ｆｅドープ半絶縁性ＩｎＰ第１埋込層７ａにドープされているＦｅはＩｎＰ中で電子をトラップするアクセプタとして作用するものの、ホールに対してはトラップ効果を持たないため、ｐ型ＩｎＰ第２クラッド層８内に存在するホールに対する障壁が必要となるからである。

[0044] 比較例である光半導体素子２００の素子構造では、ｎ型ＩｎＰ第２埋込層７ｂとｐ型ＩｎＰ第２クラッド層８の界面に大面積のｐｎ接合領域１５が存在するため、ｐｎ接合容量によってＣＲ時定数が大きくなるので、遮断周波数が低下するという不具合が発生する。遮断周波数が低下すると、光通信等のような高速動作が要求される用途では、光半導体素子２００の動作帯域が制限される問題があった。また、ｐｎ接合領域１５でのキャリア再結合によって電流リークが増大し、発光効率が低下するという問題もあった。

[0045] 実施の形態２．

実施の形態２に係る光半導体素子１１０の素子構造の断面図を図８に示す。実施の形態２に係る光半導体素子１１０は、ｎ型ＩｎＰ基板１（第１導電型の半導体基板）と、ｎ型ＩｎＰ基板１に順次積層されたｎ型ＩｎＰクラッド層２（第１導電型のクラッド層）、第１光閉じ込め層３ａ、活性層４、第２光閉じ込め層３ｂ、ｐ型ＩｎＰクラッド層５ａ（第２導電型の第１クラッド層）、ｐ型ＩｎＧａＡｓコンタクト層９（第２導電型のコンタクト層）の積層体とｎ型ＩｎＰ基板１の一部からなるストライプ状のメサ構造６と、メサ構造６の両側面のｎ型ＩｎＰ基板１上に形成された半絶縁性ＩｎＰ第１埋込層７ａ（半絶縁性の第１埋込層）、ｎ型ＩｎＰ第２埋込層７ｂ（第１導電型の第２埋込層）及び半絶縁性ＩｎＰ第３埋込層７ｄ（半絶縁性の第３埋込層）からなるメサ埋込層７と、メサ構造６の頂面並びにメサ埋込層７の表面に設けられた絶縁膜２１の開口部でｐ型ＩｎＧａＡｓコンタクト層９と接触するｐ側電極３１（第２導電型側電極）と、ｎ型ＩｎＰ基板１の裏面側に設けられたｎ側電極３２（第１導電型側電極）と、で構成される。

[0046] ｎ型ＩｎＰクラッド層２、第１光閉じ込め層３ａ、活性層４、第２光閉じ込め層３ｂ、ｐ型ＩｎＧａＡｓコンタクト層９、半絶縁性ＩｎＰ第１埋込層７ａ及びｎ型ＩｎＰ第２埋込層７ｂの層厚、ドーパント、ドーピング濃度の構成は、実施の形態１に係る光半導体素子１００と同様である。

[0047] ｐ型ＩｎＰクラッド層５ａには、ＺｎがドーピングされＴいる。ｐ型ＩｎＰクラッド層５ａの典型的な層厚は２．３μｍ、Ｚｎの典型的なドーピング濃度は１．０×10^{18}ｃｍ$^{-3}$である。

[0048] 半絶縁性ＩｎＰ第３埋込層７ｄには、遷移金属がドーピングされている。遷移金属の具体例として、Ｆｅ、Ｒｕ、Ｔｉ等が挙げられる。半絶縁性ＩｎＰ第３埋込層７ｄの典型的な層厚は２．０μｍ、遷移金属の典型的なドーピング濃度は５．０×10^{16}ｃｍ$^{-3}$である。

[0049] 実施の形態２に係る光半導体素子１１０の素子構造上の特徴について説明する。

実施の形態２に係る光半導体素子１１０では、半絶縁性ＩｎＰ第３埋込層７ｄは、ｐ型ＩｎＰクラッド層５ａのメサ構造６の両側面においてのみ接している。このため、半絶縁性ＩｎＰ第３埋込層７ｄとｐ型ＩｎＰクラッド層５ａの接触面積は、実施の形態１に係る光半導体素子１００における半絶縁性ＩｎＰ第３埋込層７ｃとｐ型ＩｎＰ第２クラッド層８の接触面積と比較して各段に小さい。

[0050] 半絶縁性ＩｎＰ第３埋込層７ｄとｐ型ＩｎＰクラッド層５ａの接触面積が小さいと、半絶縁性ＩｎＰ第３埋込層７ｄの結晶成長中の熱処理によってｐ型ＩｎＰクラッド層５ａのドーパントであるＺｎが半絶縁性ＩｎＰ第３埋込層７ｄ側に拡散して半絶縁性ＩｎＰ第３埋込層７ｄ中に半絶縁性からｐ型化する領域の面積を抑制することも可能となる。

[0051] さらに、メサ埋込層７内に設けられたｎ型ＩｎＰ第２埋込層７ｂが存在することで、ホールトラップ効果のない半絶縁性ＩｎＰ第３埋込層７ｄを通過したホールが、ｎ側領域にリークする経路を狭窄することが可能となる。

[0052] なお、ｐ型ＩｎＰクラッド層５ａの体積が実施の形態１に係る光半導体素子１００のｐ型ＩｎＰ第２クラッド層８の体積よりも小さいため、光半導体素子１１０の素子抵抗の増大はある程度は避けられない。

[0053] ＜実施の形態２に係る光半導体素子１１０の製造方法＞

実施の形態２に係る光半導体素子１１０の製造方法を以下に説明する。

表面が＜１００＞面であるＳドープｎ型ＩｎＰ基板１上に、Ｓドープｎ型ＩｎＰクラッド層２、上下面をＡＩＧａＩｎＡｓ第１光閉じ込め層３ａ及びＡＩＧａＩｎＡｓ第２光閉じ込め層３ｂに挟まれたアンドープＡＩＧａＩｎＡｓ活性層４、Ｚｎドープｐ型ＩｎＰクラッド層５ａ及びＺｎドープｐ型ＩｎＧａＡｓコンタクト層９を、ＭＯＣＶＤ法によって順次結晶成長する（第１結晶成長工程）。各層の結晶成長後の断面図を図９に示す。

[0054] 第１結晶成長工程の後、ｐ型ＩｎＧａＡｓコンタクト層９の表面に、SiO_2膜を成膜する。SiO_2の成膜方法としては、例えば、ＣＶＤ法等が挙げられる。SiO_2膜の成膜後、図１０の断面図に示すように、フォトリソグラ

フィ技術及びエッチング技術を用いて、SiO_2膜を＜０１１＞方向のストライプ状のSiO_2マスク２２にパターニングする。SiO_2マスク２２の幅の一例としては、１．５μｍである。

[0055] 次に、ストライプ状のSiO_2マスク２２をエッチングマスクとして用いて、図１１の断面図に示すように、ｐ型ＩｎＧａＡｓコンタクト層９からｎ型ＩｎＰ基板１の途中までをドライエッチングすることで、ストライプ状のメサ構造６を形成する（メサ構造形成工程）。メサ構造６のｎ型ＩｎＰ基板１の表面からの典型的な高さは４．０μｍである。ここで、エッチングマスクはSiO_2マスク２２に限らずＳｉＮマスクでも良い。また、エッチングはドライエッチングに限らず、ウェットエッチングを用いても良い。

[0056] ストライプ状のメサ構造６の形成後、図１２の断面図に示すように、ＭＯＣＶＤ法によって、Ｆｅドープ半絶縁性ＩｎＰ第１埋込層７ａ、Ｓドープｎ型ＩｎＰ第２埋込層７ｂ及びＦｅドープ半絶縁性ＩｎＰ第３埋込層７ｄからなるメサ埋込層７を、メサ構造６の両側面を覆うように埋め込み成長する（第２結晶成長工程）。

[0057] メサ埋込層７の結晶成長後、フッ酸をエッチャントとして用いたウェットエッチングにより、ストライプ状のSiO_2マスク２２を除去する。

[0058] 第２結晶成長工程の後に、メサ構造６を含む幅５μｍの領域に、フォトリソグラフィ技術及びエッチング技術によって、＜０１１＞方向のストライプ状のSiO_2マスクを形成し、ＨＢｒをエッチャントとして用いたウェットエッチングを行うことで、メサ埋込層７におけるレーザー動作に不要な部分のエピタキシャル結晶成長層をｎ型ＩｎＰ基板１に達するまでエッチングする。その後、フッ酸をエッチャントとして用いたウェットエッチングにより、ストライプ状のSiO_2マスクを除去する。

[0059] さらに、ウエハの全面にSiO_2絶縁膜を形成して、フォトリソグラフィ技術とドライエッチング技術によって、ｐ型ＩｎＧａＡｓコンタクト層９及びＦｅドープ半絶縁性ＩｎＰ第３埋込層７ｄ上でメサ構造６の上側に対応する位置のSiO_2絶縁膜２１に開口幅３μｍの開口部を形成する。この開口部で

ｐ型ＩｎＧａＡｓコンタクト層９の表面に接するようにｐ側電極３１を形成し、ｎ型ＩｎＰ基板１の裏面側にｎ側電極３２を形成する（電極形成工程）。

以上の各製造工程を経て、光半導体素子１１０の一例である半導体レーザーの基本構造が完成する。

[0060] 実施の形態１に係る光半導体素子１００の製造方法における結晶成長回数は３回を要する。一方、実施の形態２に係る光半導体素子１１０の製造方法では、上述のように、結晶成長回数は２回と、実施の形態１の場合と比べて１回少ない。また、Ｚｎドープｐ型ＩｎＰクラッド層を形成した後の再結晶成長による熱処理の回数が実施の形態１の場合に比べて少ない。

[0061] したがって、実施の形態２に係る光半導体素子１１０の製造方法によると、実施の形態１の場合と比べて、Ｚｎドープｐ型ＩｎＰクラッド層５a中のＺｎの拡散に起因するＦｅドープ半絶縁性ＩｎＰ第３埋込層７ｄのｐ型化を抑制しやすい。

[0062] ＜実施の形態２の効果＞

実施の形態２に係る光半導体素子及びその製造方法によれば、半絶縁性ＩｎＰ第３埋込層７ｄはｐ型ＩｎＰクラッド層５ａのメサ構造６の両側面においてのみ接しているので、半絶縁性ＩｎＰ第３埋込層７ｄとｐ型ＩｎＰクラッド層５ａの接触面積を各段に小さくすることができ、キャリア再結合をより一層効果的に防止することが可能となるため、光半導体素子の動作帯域がより拡大し、かつ、発光効率もより向上するという効果を奏する。また、かかる高性能の光半導体素子を容易に製造できるという効果を奏する。

[0063] 実施の形態３.

実施の形態３に係る光半導体素子１２０の素子構造の断面図を図１３に示す。実施の形態３に係る光半導体素子１２０は、ｎ型ＩｎＰ基板１（第１導電型の半導体基板）と、ｎ型ＩｎＰ基板１に順次積層されたｎ型ＩｎＰクラッド層２（第１導電型のクラッド層）、第１光閉じ込め層３ａ、活性層４、第２光閉じ込め層３ｂ、ｐ型ＩｎＰ第１クラッド層５（第２導電型の第１ク

ラッド層）の積層体とｎ型ＩｎＰ基板１の一部からなるストライプ状のメサ構造６と、メサ構造６の両側面のｎ型ＩｎＰ基板１上に形成された半絶縁性ＩｎＰ第１埋込層７ａ（半絶縁性の第１埋込層）、ｎ型ＩｎＰ第２埋込層７ｂ（第１導電型の第２埋込層）及び半絶縁性ＩｎＰ第３埋込層７ｅ（半絶縁性の第３埋込層）からなり、メサ構造６の頂面からテーパー状に広がる側面形状を呈するメサ埋込層７と、メサ構造６の頂面並びにメサ埋込層７のテーパー状に広がる側面を埋め込むように形成されたｐ型ＩｎＰ第２クラッド層８（第２導電型の第２クラッド層）及びｐ型ＩｎＧａＡｓコンタクト層９（第２導電型のコンタクト層）と、ｐ型ＩｎＧａＡｓコンタクト層９の表面に設けられた絶縁膜２１の開口部でｐ型ＩｎＧａＡｓコンタクト層９と接触するｐ側電極３１（第２導電型側電極）と、ｎ型ＩｎＰ基板１の裏面側に設けられたｎ側電極３２（第１導電型側電極）と、で構成される。

[0064] ｎ型ＩｎＰクラッド層２、第１光閉じ込め層３ａ、活性層４、第２光閉じ込め層３ｂ、ｐ型ＩｎＰ第１クラッド層５、ｐ型ＩｎＰ第２クラッド層８、ｐ型ＩｎＧａＡｓコンタクト層９、半絶縁性ＩｎＰ第１埋込層７ａ及びｎ型ＩｎＰ第２埋込層７ｂの層厚、ドーパント、ドーピング濃度の構成は、実施の形態１に係る光半導体素子１００と同様である。

[0065] 半絶縁性ＩｎＰ第３埋込層７ｅには、遷移金属がドーピングされている。遷移金属の具体例として、Ｆｅ、Ｒｕ、Ｔｉ等が挙げられる。半絶縁性ＩｎＰ第３埋込層７ｅの典型的な層厚は２．０μｍ、遷移金属の典型的なドーピング濃度は５．０×10^{16}ｃｍ$^{-3}$である。

[0066] 実施の形態３に係る光半導体素子１２０の素子構造上の特徴について説明する。

実施の形態３に係る光半導体素子１２０では、半絶縁性ＩｎＰ第３埋込層７ｅのメサ構造６側の側面は、図１３の断面図に示されるように、メサ構造６の頂面からテーパー状に広がる側面形状を呈している。ｐ型ＩｎＰ第２クラッド層８は、半絶縁性ＩｎＰ第３埋込層７ｅに対して、テーパー状に広がる両側面においてのみ接している。このため、半絶縁性ＩｎＰ第３埋込層７

ｅとｐ型ＩｎＰ第２クラッド層８の接触面積は、実施の形態１に係る光半導体素子１００における半絶縁性ＩｎＰ第３埋込層７ｃとｐ型ＩｎＰ第２クラッド層８の接触面積と比較して各段に小さい。

[0067] 半絶縁性ＩｎＰ第３埋込層７ｅとｐ型ＩｎＰ第２クラッド層８の接触面積が小さいと、半絶縁性ＩｎＰ第３埋込層７ｅの結晶成長中の熱処理によってｐ型ＩｎＰ第２クラッド層８のドーパントであるＺｎが半絶縁性ＩｎＰ第３埋込層７ｅ側に拡散して半絶縁性ＩｎＰ第３埋込層７ｅ中に半絶縁性からｐ型化する領域の面積を抑制することも可能となる。

[0068] さらに、メサ埋込層７内に設けられたｎ型ＩｎＰ第２埋込層７ｂが存在することで、ホールトラップ効果のない半絶縁性ＩｎＰ第３埋込層７ｅを通過したホールが、ｎ側領域にリークする経路を狭窄することが可能となる。

[0069] 実施の形態３に係る光半導体素子１２０では、ｐ型ＩｎＰ第２クラッド層８は、メサ構造６の頂面からテーパー状に広がる側面形状を呈する半絶縁性ＩｎＰ第３埋込層７ｅを埋め込むように形成されているので、メサ構造６の頂面側から表面に向かってテーパー状に広がる形状を呈している。テーパー状の両側面とｎ型ＩｎＰ基板１の表面とがなす角度は、５０°以上６０°以下に設定されている。

[0070] したがって、実施の形態３に係る光半導体素子１２０のｐ型ＩｎＰ第２クラッド層８の体積は、実施の形態２に係る光半導体素子１１０のｐ型ＩｎＰクラッド層５ａの体積よりも大きい。よって、実施の形態３に係る光半導体素子１２０の素子抵抗は、実施の形態２に係る光半導体素子１１０の素子抵抗よりも低減する。

[0071] ＜実施の形態３に係る光半導体素子１２０の製造方法＞

実施の形態３に係る光半導体素子１２０の製造方法を以下に説明する。

メサ構造６の形成までは、実施の形態１に係る光半導体素子１００の製造方法を示す図２から図４までの製造工程と同様であるので省略する。

[0072] ストライプ状のメサ構造６の形成後、図１４の断面図に示すように、ＭＯＣＶＤ法によって、Ｆｅドープ半絶縁性ＩｎＰ第１埋込層７ａ、ｎ型ＩｎＰ

第２埋込層７ｂ及びＦｅドープ半絶縁性ＩｎＰ第３埋込層７ｅからなるメサ埋込層７を、メサ構造６の両側面を覆うように埋め込み成長する（第２結晶成長工程）。

[0073] Ｆｅドープ半絶縁性ＩｎＰ第３埋込層７ｅの典型的な層厚は２．０μｍと、実施の形態１におけるＦｅドープ半絶縁性ＩｎＰ第３埋込層７ｃの典型的な層厚である０．５μｍよりも厚い。また、メサ埋込層７の全体の典型的な層厚は４．０μｍとなり、メサ構造６のｎ型ＩｎＰ基板１の表面からの典型的な高さである２．０μｍよりも、さらに２．０μｍも高い。したがって、メサ埋込層７のうちＦｅドープ半絶縁性ＩｎＰ第３埋込層７ｅを結晶成長する時点で、結晶成長面はメサ構造６の頂面より高い位置にある。

[0074] 上述のように、メサ埋込層７をメサ構造６の高さよりも厚く設定しているものの、ＭＯＣＶＤの一般的な結晶成長条件である結晶成長温度が５００℃から６５０℃、Ｖ／ＩＩＩ比が３０から２００程度であれば、メサ埋込層７はメサ構造６の頂面を起点として、両側に＜１１１＞Ｂ面を露出しながら開口を広げるように結晶成長する。すなわち、Ｆｅドープ半絶縁性ＩｎＰ第３埋込層７ｅの対向する両側面は、結晶成長が進行するにともない、図１４の断面図に示すようなテーパー状に広がる形状を呈する。テーパー状の両側面は＜１１１＞Ｂ面であるので、テーパー状の両側面とｎ型ＩｎＰ基板１の＜１００＞面である表面がなす角度は、５０°以上６０°以下の範囲となる。

[0075] メサ埋込層７の結晶成長後、フッ酸をエッチャントとして用いたウェットエッチングにより、ストライプ状のSiO_2マスク２２を除去する。

[0076] メサ構造６の頂面及びメサ埋込層７のテーパー状を呈する両側面に、ＭＯＣＶＤ法により、ｐ型ＩｎＰ第２クラッド層８及びｐ型ＩｎＧａＡｓコンタクト層９を順次結晶成長する（第３結晶成長工程）。上記各層の結晶成長後の断面図を図１５に示す。

[0077] 第３結晶成長工程の後に、メサ構造６を含む幅５μｍの領域に、フォトリソグラフィ技術及びエッチング技術によって、＜０１１＞方向のストライプ状のSiO_2マスクを形成し、ＨＢｒをエッチャントとして用いたウェットエ

ッチングを行うことで、メサ埋込層７におけるレーザー動作に不要な部分のエピタキシャル結晶成長層をｎ型ＩｎＰ基板１に達するまでエッチングする。その後、フッ酸をエッチャントとして用いたウェットエッチングにより、ストライプ状のSiO_2マスクを除去する。

[0078] さらに、ウエハの全面にSiO_2絶縁膜を形成して、フォトリソグラフィ技術とドライエッチング技術によって、ｐ型ＩｎＧａＡｓコンタクト層９上でメサ構造６の上側に対応する位置のSiO_2絶縁膜２１に開口幅３μｍの開口部を形成する。この開口部でｐ型ＩｎＧａＡｓコンタクト層９の表面に接するようにｐ側電極３１を形成し、ｎ型ＩｎＰ基板１の裏面側にｎ側電極３２を形成する（電極形成工程）。

以上の各製造工程を経て、光半導体素子１２０の一例である半導体レーザーの基本構造が完成する。

[0079] ＜実施の形態３の効果＞

実施の形態３に係る光半導体素子及びその製造方法によれば、ｐ型ＩｎＰ第２クラッド層８は、半絶縁性ＩｎＰ第３埋込層７ｅとは、テーパー状を呈する両側面においてのみ接しているので、半絶縁性ＩｎＰ第３埋込層７ｅとｐ型ＩｎＰ第２クラッド層８の接触面積を各段に小さくすることができ、キャリア再結合をより一層効果的に防止することが可能となり、さらに、ｐ型ＩｎＰ第２クラッド層８の体積も大きいので、光半導体素子において、素子抵抗が小さく、動作帯域がより拡大し、かつ、発光効率もより向上するという効果を奏する。また、かかる高性能の光半導体素子を容易に製造できるという効果を奏する。

[0080] 実施の形態４．

実施の形態４に係る光半導体素子１３０の素子構造の断面図を図１６に示す。実施の形態４に係る光半導体素子１３０は、ｎ型ＩｎＰ基板１（第１導電型の半導体基板）と、ｎ型ＩｎＰ基板１に順次積層されたｎ型ＩｎＰクラッド層２（第１導電型のクラッド層）、第１光閉じ込め層３ａ、活性層４、第２光閉じ込め層３ｂ及びｐ型ＩｎＰクラッド層５ｂ（第２導電型の第１ク

ラッド層）の積層体とｎ型ＩｎＰ基板１の一部からなるストライプ状のメサ構造６と、メサ構造６の両側面のｎ型ＩｎＰ基板１上に形成された半絶縁性ＩｎＰ第１埋込層７ａ（半絶縁性の第１埋込層）及びｎ型ＩｎＰ第２埋込層７ｂ（第１導電型の第２埋込層）からなるメサ埋込層７と、メサ構造６の頂面並びにメサ埋込層７の表面及び側面の一部を覆うように形成された半絶縁性ＩｎＰクラッド層７ｆ及びｐ型ＩｎＧａＡｓコンタクト層９（第２導電型のコンタクト層）と、ｐ型ＩｎＧａＡｓコンタクト層９、半絶縁性ＩｎＰクラッド層７ｆ及びｐ型ＩｎＰクラッド層５ｂの内部に形成され、ｐ型ＩｎＧａＡｓコンタクト層９の表面からｐ型ＩｎＰクラッド層５ｂに至るＺｎ拡散ｐ型化領域１８（第２導電型のドーパント拡散領域）と、ｐ型ＩｎＧａＡｓコンタクト層９の表面に設けられた絶縁膜２１の開口部でｐ型ＩｎＧａＡｓコンタクト層９と接触するｐ側電極３１（第２導電型側電極）と、ｎ型ＩｎＰ基板１の裏面側に設けられたｎ側電極３２（第１導電型側電極）と、で構成される。

[0081] ｎ型ＩｎＰクラッド層２、第１光閉じ込め層３ａ、活性層４、第２光閉じ込め層３ｂ、ｐ型ＩｎＧａＡｓコンタクト層９、半絶縁性ＩｎＰ第１埋込層７ａ及びｎ型ＩｎＰ第２埋込層７ｂの層厚、ドーパント、ドーピング濃度の構成は、実施の形態１に係る光半導体素子１００と同様である。

[0082] ｐ型ＩｎＰクラッド層５ｂには、Ｚｎがドープされている。ｐ型ＩｎＰクラッド層５ｂの典型的な層厚は０．３μｍであり、Ｚｎの典型的なドーピング濃度は１．０×10^{18}ｃｍ$^{-3}$である。

[0083] 半絶縁性ＩｎＰクラッド層７ｆには、遷移金属がドーピングされている。遷移金属の具体例として、Ｆｅ、Ｒｕ、Ｔｉ等が挙げられる。半絶縁性ＩｎＰクラッド７ｆの典型的な層厚は２．０μｍ、遷移金属の典型的なドーピング濃度は５．０×10^{16}ｃｍ$^{-3}$である。

[0084] 実施の形態４に係る光半導体素子１３０の素子構造上の特徴について説明する。

実施の形態４に係る光半導体素子１３０では、上述のように、ｐ型ＩｎＧ

ａＡｓコンタクト層９、半絶縁性ＩｎＰクラッド層７ｆ及びｐ型ＩｎＰクラッド層５ｂの内部に形成され、ｐ型ＩｎＧａＡｓコンタクト層９の表面からｐ型ＩｎＰクラッド層５ｂに至るＺｎ拡散ｐ型化領域１８が設けられている。Ｚｎ拡散ｐ型化領域１８の先端部は、第２光閉じ込め層３ｂあるいは活性層４まで達していても良い。

[0085] 半絶縁性ＩｎＰクラッド層７ｆ内のＺｎ拡散ｐ型化領域１８では、本来の半絶縁性からｐ型化されるため、実質的にｐ型ＩｎＰクラッド層として機能する。Ｚｎ拡散ｐ型化領域１８は、後述するように、全ての結晶成長工程の終了後に行う気相拡散工程の際に形成される。したがって、Ｚｎ拡散ｐ型化領域１８を形成した後の工程では、Ｚｎが拡散するような高温の熱処理は無いため、Ｚｎのさらなる拡散によるＦｅドープ半絶縁性ＩｎＰ第１埋込層７ａのｐ型化を抑制できる。

[0086] また、Ｚｎ拡散ｐ型化領域１８によって形成されたｐ型ＩｎＰクラッド層の体積が実施の形態２の場合に比べて大きいため、素子抵抗をより低減できる。

[0087] ＜実施の形態４に係る光半導体素子１３０の製造方法＞

実施の形態４に係る光半導体素子１３０の製造方法を以下に説明する。

メサ構造６の形成までは、実施の形態１に係る光半導体素子１００の製造方法を示す図２から図４までの製造工程と同様であるので省略する。

[0088] ストライプ状のメサ構造６の形成後、図１７の断面図に示すように、ＭＯＣＶＤ法によって、Ｆｅドープ半絶縁性ＩｎＰ第１埋込層７ａ及びｎ型ＩｎＰ第２埋込層７ｂからなるメサ埋込層７を、メサ構造６の両側面を覆うように埋め込み成長する（第２結晶成長工程）。

[0089] メサ埋込層７の結晶成長後、フッ酸をエッチャントとして用いたウェットエッチングにより、ストライプ状のSiO_2マスク２２を除去する。

[0090] メサ構造６の頂面並びにメサ埋込層７の表面及び側面の一部に、ＭＯＣＶＤ法により、半絶縁性ＩｎＰクラッド層７ｆ及びｐ型ＩｎＧａＡｓコンタクト層９を順次結晶成長する（第３結晶成長工程）。上記各層の結晶成長後の

断面図を図１８に示す。

[0091] ウエハの表面にSiO_2膜２５を形成して、フォトリソグラフィ技術及びエッチング技術によって、＜０１１＞方向のストライプ状の開口部を形成する。開口部の開口幅は２μｍである。SiO_2膜２５は拡散マスクとして機能する。

[0092] ＭＯＣＶＤ装置内での気相拡散法により、開口部に露出したｐ型ＩｎＧａＡｓコンタクト層９からｐ型ＩｎＰクラッド層５ｂの一部に至るまでの領域にＺｎを拡散させて、ｐ型ＩｎＧａＡｓコンタクト層９、半絶縁性ＩｎＰクラッド層７ｆ及びｐ型ＩｎＰクラッド層５ｂの内部にＺｎ拡散ｐ型化領域１８を形成する（ドーパント拡散工程）。半絶縁性ＩｎＰクラッド層７ｆの内部でＺｎが拡散した領域はｐ型化するため、ｐ型ＩｎＰクラッド層として機能する。Ｚｎ拡散ｐ型化領域１８の先端部は、第２光閉じ込め層３ｂあるいは活性層４まで達していても良い。

[0093] ドーパント拡散工程の後に、メサ構造６を含む幅５μｍの領域に、フォトリソグラフィ技術及びエッチング技術によって、＜０１１＞方向のストライプ状のSiO_2マスクを形成し、ＨＢｒをエッチャントとして用いたウェットエッチングを行うことで、メサ埋込層７におけるレーザー動作に不要な部分のエピタキシャル結晶成長層をｎ型ＩｎＰ基板１に達するまでエッチングする。その後、フッ酸をエッチャントとして用いたウェットエッチングにより、ストライプ状のSiO_2マスクを除去する。

[0094] さらに、ウエハの全面にSiO_2絶縁膜を形成して、フォトリソグラフィ技術とドライエッチング技術によって、ｐ型ＩｎＧａＡｓコンタクト層９上でメサ構造６の上側に対応する位置のSiO_2絶縁膜２１に開口幅３μｍの開口部を形成する。この開口部でｐ型ＩｎＧａＡｓコンタクト層９の表面に接するようにｐ側電極３１を形成し、ｎ型ＩｎＰ基板１の裏面側にｎ側電極３２を形成する（電極形成工程）。

以上の各製造工程を経て、光半導体素子１３０の一例である半導体レーザーの基本構造が完成する。

[0095] ＜実施の形態４の効果＞

実施の形態４に係る光半導体素子及びその製造方法によれば、半絶縁性ＩｎＰクラッド層７ｆの内部でＺｎが拡散した領域はｐ型ＩｎＰクラッド層として機能するが、このｐ型ＩｎＰクラッド層化した領域と半絶縁性ＩｎＰクラッド層７ｆとは両側面においてのみ接しているので、半絶縁性ＩｎＰクラッド層７ｆとｐ型ＩｎＰクラッド層化した領域の接触面積を各段に小さくすることができ、キャリア再結合をより一層効果的に防止することが可能となり、さらに、ｐ型ＩｎＰクラッド層化した領域の体積も大きいので、光半導体素子において、素子抵抗が小さく、動作帯域がより拡大し、かつ、発光効率もより向上するという効果を奏する。また、かかる高性能の光半導体素子を容易に製造できるという効果を奏する。

[0096] 本開示は、様々な例示的な実施の形態及び実施例が記載されているが、１つ、または複数の実施の形態に記載された様々な特徴、態様、及び機能は特定の実施の形態の適用に限られるのではなく、単独で、または様々な組み合わせで実施の形態に適用可能である。

[0097] 従って、例示されていない無数の変形例が、本願明細書に開示される技術の範囲内において想定される。例えば、少なくとも１つの構成要素を変形する場合、追加する場合または省略する場合、さらには、少なくとも１つの構成要素を抽出し、他の実施の形態の構成要素と組み合わせる場合が含まれるものとする。

符号の説明

[0098] １　ｎ型ＩｎＰ基板（第１導電型の半導体基板）、２　ｎ型ＩｎＰクラッド層（第１導電型のクラッド層）、３ａ　第１光閉じ込め層、３ｂ　第２光閉じ込め層、４　活性層、５　ｐ型ＩｎＰ第１クラッド層（第２導電型の第１クラッド層）、５ａ、５ｂ　ｐ型ＩｎＰクラッド層（第２導電型の第１クラッド層）、６　メサ構造、７　メサ埋込層、７ａ　半絶縁性ＩｎＰ第１埋込層（半絶縁性の第１埋込層）、７ｂ　ｎ型ＩｎＰ第２埋込層（第１導電型の第２埋込層）、７ｃ、７ｄ、７ｅ　半絶縁性ＩｎＰ第３埋込層（半絶縁性の

第３埋込層）、７ｆ　半絶縁性ＩｎＰクラッド層（半絶縁性のクラッド層）、８　ｐ型ＩｎＰ第２クラッド層（第２導電型の第２クラッド層）、９　ｐ型ＩｎＧａＡｓコンタクト層（第２導電型のコンタクト層）、１５　ｐｎ接合領域、１８　Ｚｎ拡散ｐ型化領域（第２導電型のドーパント拡散領域）、２１　絶縁膜、２２　SiO_2マスク、２５　SiO_2膜、３１　ｐ側電極（第２導電型側電極）、３２　ｎ側電極（第１導電型側電極）、１００、１１０、１２０、１３０、２００　光半導体素子

請求の範囲

[請求項1] 第１導電型の半導体基板と、

前記第１導電型の半導体基板上に積層された第１導電型のクラッド層、活性層及び第２導電型の第１クラッド層の積層体からなるストライプ状のメサ構造と、

前記第１導電型の半導体基板上で前記メサ構造の両側面に順次設けられた半絶縁性の第１埋込層、第１導電型の第２埋込層及び遷移金属がドープされた半絶縁性の第３埋込層からなるメサ埋込層と、

を備える光半導体素子。

[請求項2] 前記メサ構造の頂面並びに前記メサ埋込層の表面及び側面の一部に形成された第２導電型の第２クラッド層をさらに備えることを特徴とする請求項１に記載の光半導体素子。

[請求項3] 前記半絶縁性の第３埋込層の層厚が、前記第１導電型の第２埋込層と前記半絶縁性の第３埋込層によって形成される空乏層の層厚と、前記半絶縁性の第３埋込層と前記第２導電型の第２クラッド層によって形成される空乏層の層厚のいずれか一方の層厚よりも厚いか、または、両方の層厚よりも厚いことを特徴とする請求項２に記載の光半導体素子。

[請求項4] 前記第２導電型の第２クラッド層が、前記メサ構造の頂面及び前記メサ埋込層のテーパー状を呈する両側面の上に形成され、テーパー状の両側面と前記第１導電型の半導体基板の表面がなす角度が５０°以上６０°以下であることを特徴する請求項２または３に記載の光半導体素子。

[請求項5] 前記メサ構造が、前記第２導電型の第１クラッド層上にさらに第２導電型の第２クラッド層及び第２導電型のコンタクト層が積層された形状を呈し、前記メサ構造の頂面及び前記半絶縁性の第３埋込層の表面が同一の平面をなすことを特徴とする請求項１に記載の光半導体素子。

[請求項6] 第１導電型の半導体基板と、

前記第１導電型の半導体基板上に積層された第１導電型のクラッド層、活性層及び第２導電型の第１クラッド層からなるストライプ状のメサ構造と、

前記第１導電型の半導体基板上で前記メサ構造の両側面に設けられた半絶縁性の第１埋込層及び第１導電型の第２埋込層からなるメサ埋込層と、

前記メサ構造の頂面及び前記第１導電型の第２埋込層の少なくとも表面に形成され遷移金属がドープされた半絶縁性のクラッド層と、

前記半絶縁性のクラッド層上に形成された第２導電型のコンタクト層と、

前記第２導電型のコンタクト層及び前記半絶縁性のクラッド層の内部並びに第２導電型の第１クラッド層の少なくとも一部に形成される第２導電型のドーパント拡散領域と、

を備える光半導体素子。

[請求項7] 前記遷移金属は、Ｆｅ、Ｒｕ及びＴｉのいずれか１つまたは２つ以上の組み合わせからなり、前記半絶縁性の第１埋込層にはＦｅがドープされていることを特徴とする請求項１から６のいずれか１項に記載の光半導体素子。

[請求項8] 前記第１導電型の半導体基板、前記第１導電型のクラッド層、前記第２導電型の第１クラッド層、前記メサ埋込層がいずれもＩｎＰからなり、前記活性層が少なくともＩｎ及びＧａを含む材料からなることを特徴とする請求項１から７のいずれか１項に記載の光半導体素子。

[請求項9] 第１導電型がｎ型であり、第２導電型がｐ型であることを特徴とする請求項１から８のいずれか１項に記載の光半導体素子。

[請求項10] 前記活性層の前記第１導電型の半導体基板側の一面に接する第１光閉じ込め層及び前記活性層の他面に接する第２光閉じ込め層がさらに設けられていることを特徴とする請求項１から９のいずれか１項に記

載の光半導体素子。

[請求項11] 前記メサ構造が、前記第１導電型の半導体基板の一部をさらに含むことを特徴とする請求項１から１０のいずれか１項に記載の光半導体素子。

[請求項12] 第１導電型の半導体基板に、第１導電型のクラッド層、活性層及び第２導電型の第１クラッド層をＭＯＣＶＤ法によって順次結晶成長する第１結晶成長工程と、

前記第１導電型のクラッド層、前記活性層、前記第２導電型の第１クラッド層及び前記第１導電型の半導体基板の一部をストライプ状のメサ構造にエッチングするメサ構造形成工程と、

前記第１導電型の半導体基板上で前記メサ構造の両側面に、半絶縁性の第１埋込層、第１導電型の第２埋込層及び１種類以上の遷移金属がドープされた半絶縁性の第３埋込層からなるメサ埋込層をＭＯＣＶＤ法によって順次結晶成長する第２結晶成長工程と、

前記メサ構造の頂面並びに前記メサ埋込層の表面及び側面の一部に、第２導電型の第２クラッド層及び第２導電型のコンタクト層をＭＯＣＶＤ法によって順次積層する第３結晶成長工程と、

を含む光半導体素子の製造方法。

[請求項13] 前記第２結晶成長工程において、前記半絶縁性の第３埋込層の両側面がテーパー状を呈するように結晶成長することを特徴とする請求項１２に記載の光半導体素子の製造方法。

[請求項14] 前記半絶縁性の第３埋込層のテーパー状の両側面と前記第１導電型の半導体基板の表面がなす角度が５０°以上６０°以下であることを特徴する請求項１３に記載の光半導体素子の製造方法。

[請求項15] 第１導電型の半導体基板に、第１導電型のクラッド層、活性層及び第２導電型の第１クラッド層をＭＯＣＶＤ法によって順次結晶成長する第１結晶成長工程と、

前記第１導電型のクラッド層、前記活性層、前記第２導電型の第１

クラッド層及び前記第１導電型の半導体基板の一部をストライプ状のメサ構造にエッチングするメサ構造形成工程と、

前記第１導電型の半導体基板上で前記メサ構造の両側面に、半絶縁性の第１埋込層及び第１導電型の第２埋込層からなるメサ埋込層をＭＯＣＶＤ法によって順次結晶成長する第２結晶成長工程と、

前記メサ構造の頂面及び前記第１導電型の第２埋込層の少なくとも表面に形成され遷移金属がドープされた半絶縁性のクラッド層と第２導電型のコンタクト層とをＭＯＣＶＤ法によって順次結晶成長する第３結晶成長工程と、

前記第２導電型のコンタクト層及び前記半絶縁性のクラッド層の内部並びに第２導電型の第１クラッド層の少なくとも一部に第２導電型のドーパントを拡散するドーパント拡散工程と、

を含む光半導体素子の製造方法。

[請求項16] 前記ドーパント拡散工程は、第２導電型のドーパントの拡散を、ＭＯＣＶＤ装置を用いた気相拡散法によって行うことを特徴とする請求項１５に記載の光半導体素子の製造方法。

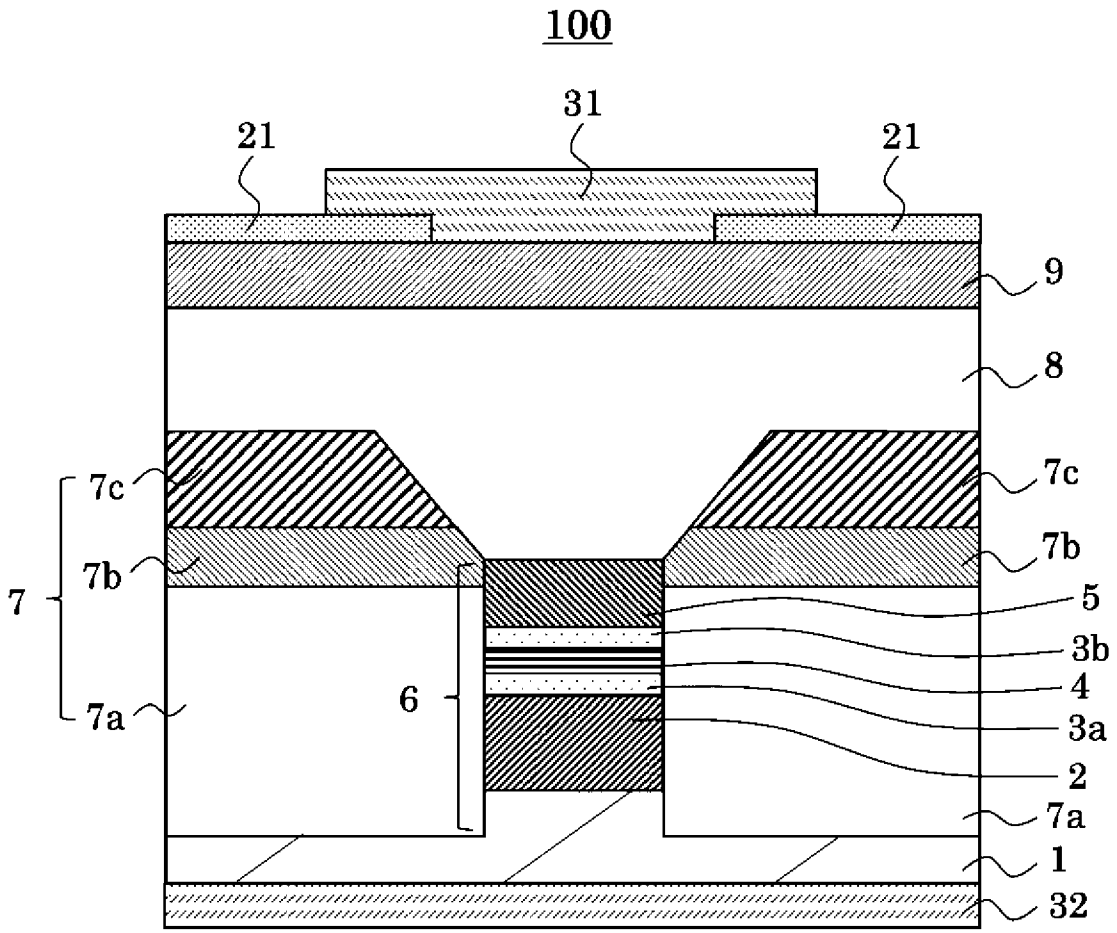
[請求項17] 前記遷移金属は、Ｆｅ、Ｒｕ及びＴｉのいずれか１つまたは２つ以上の組み合わせからなり、前記半絶縁性の第１埋込層にはＦｅがドープされていることを特徴とする請求項１２から１６のいずれか１項に記載の光半導体素子の製造方法。

[請求項18] 前記第１導電型の半導体基板、前記第１導電型のクラッド層、前記第２導電型の第１クラッド層、前記メサ埋込層がいずれもＩｎＰからなり、前記活性層が少なくともＩｎ及びＧａを含む材料からなることを特徴とする請求項１２から１７のいずれか１項に記載の光半導体素子の製造方法。

[請求項19] 第１導電型がｎ型であり、第２導電型がｐ型であることを特徴とする請求項１２から１８のいずれか１項に記載の光半導体素子の製造方法。

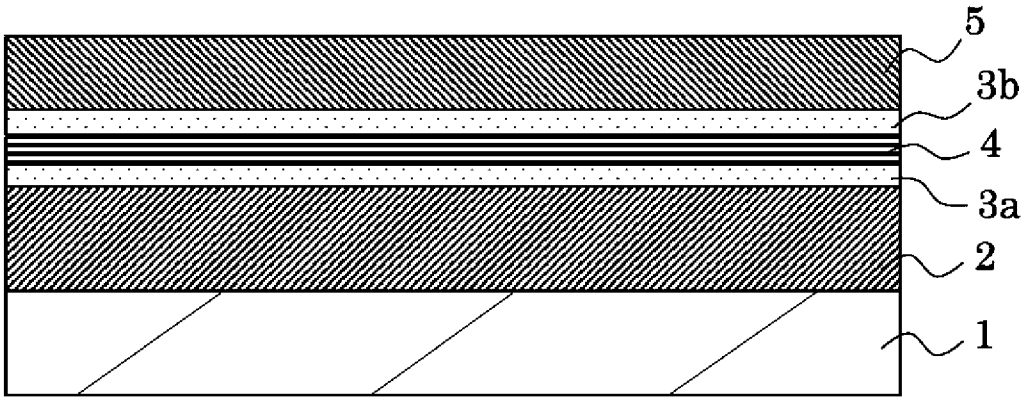
[図1]

図1



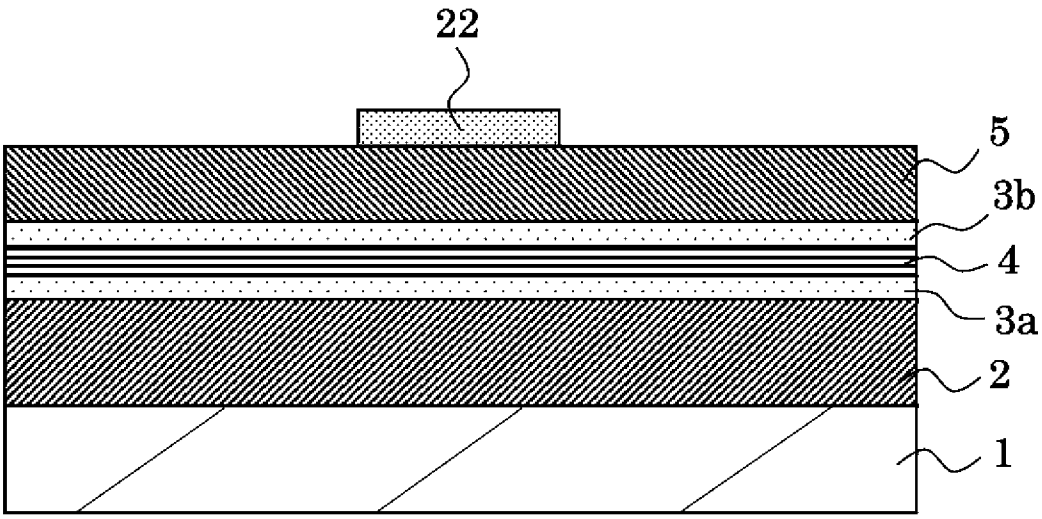
[図2]

図2



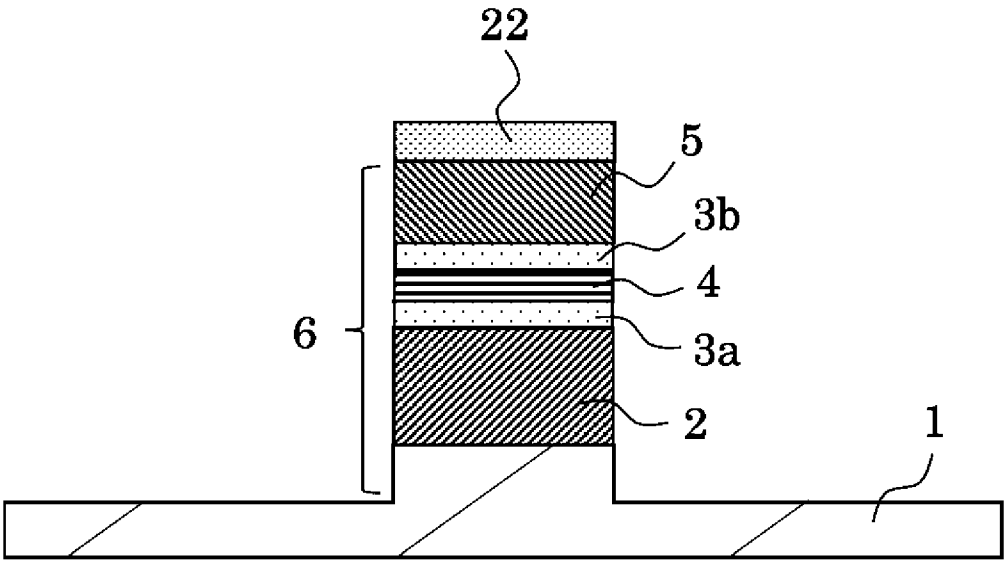
[図3]

図3



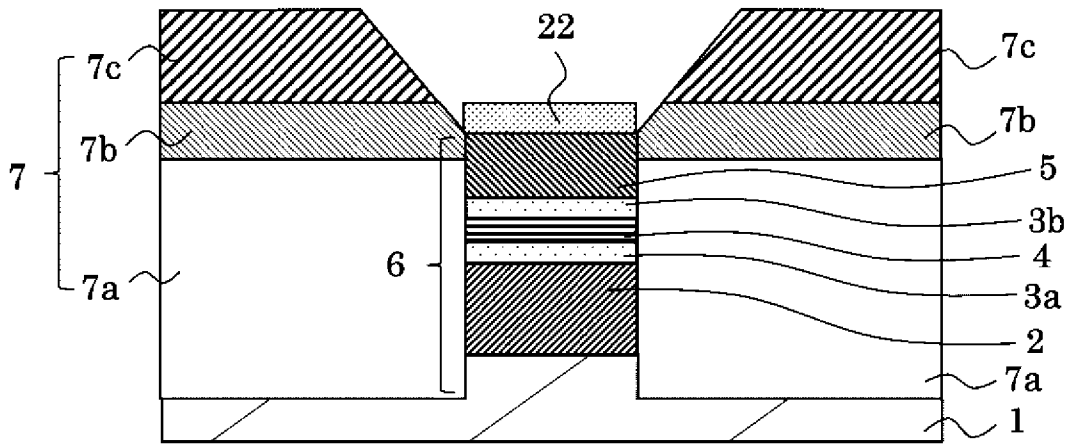
[図4]

図4



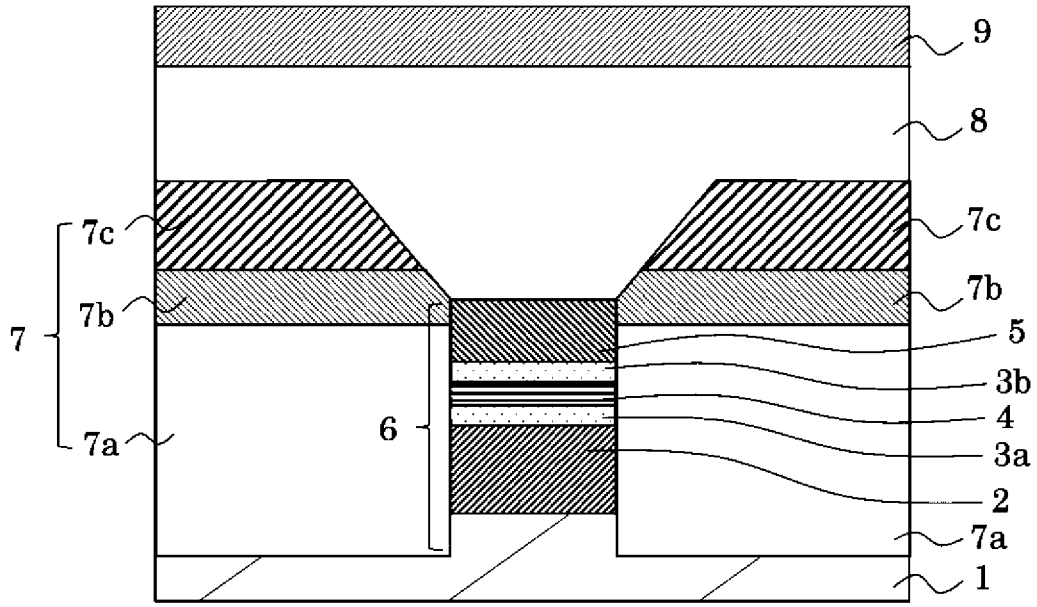
[図5]

図5



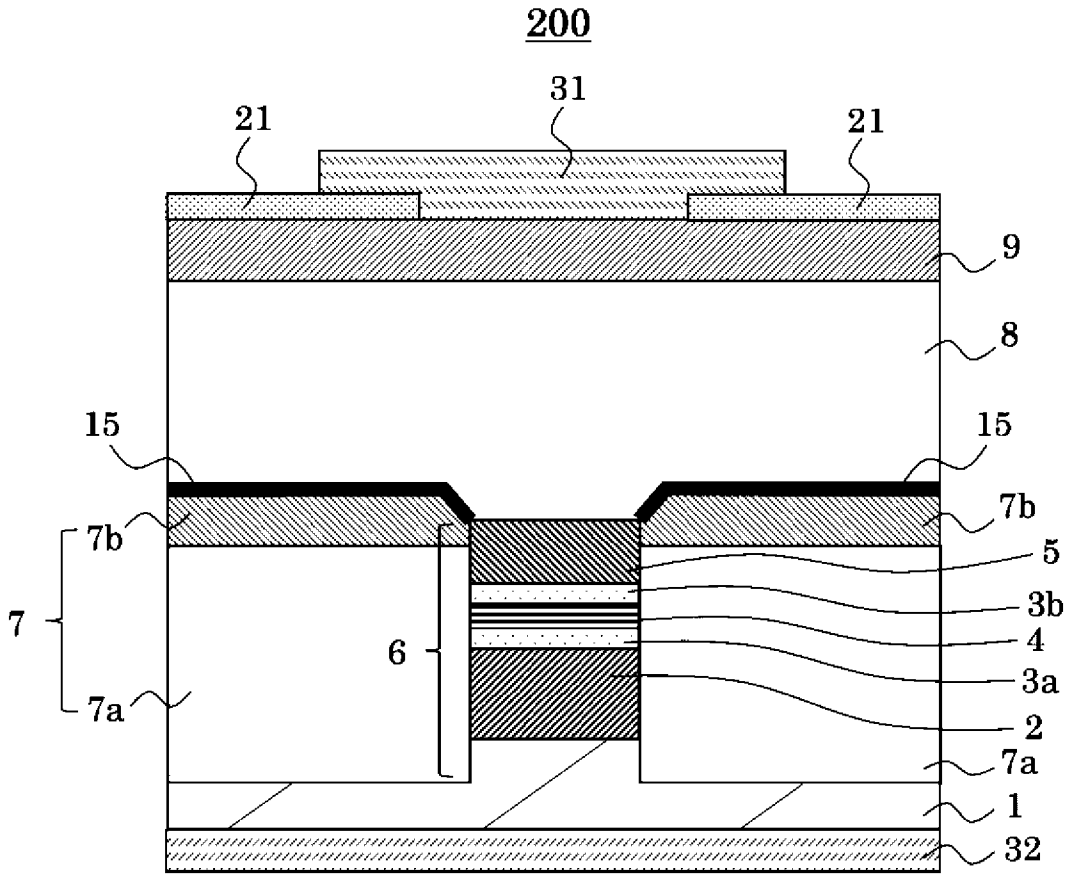
[図6]

図6


9
8
7c
7c
7b
7b
7
5
3b
4
6
3a
7a
2
7a
1

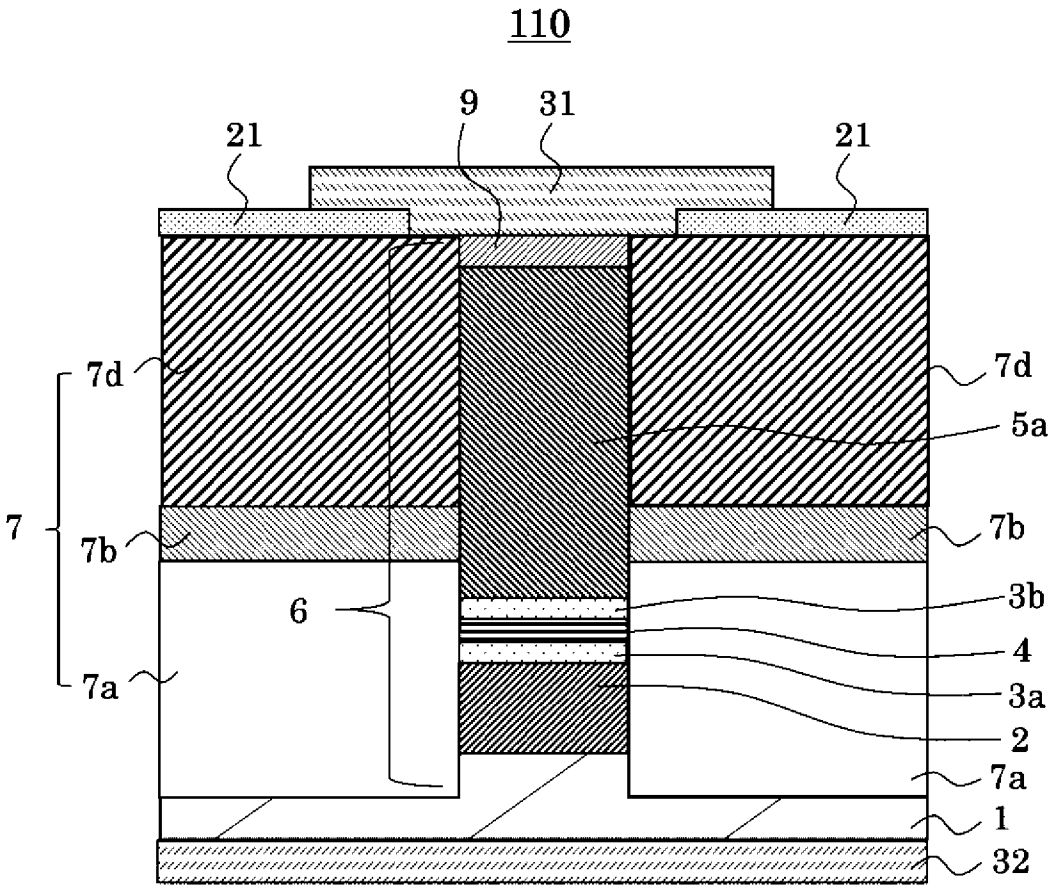
[図7]

図7


200
31
21
21
9
8
15
15
7b
7b
7
5
3b
4
6
3a
7a
2
7a
1
32

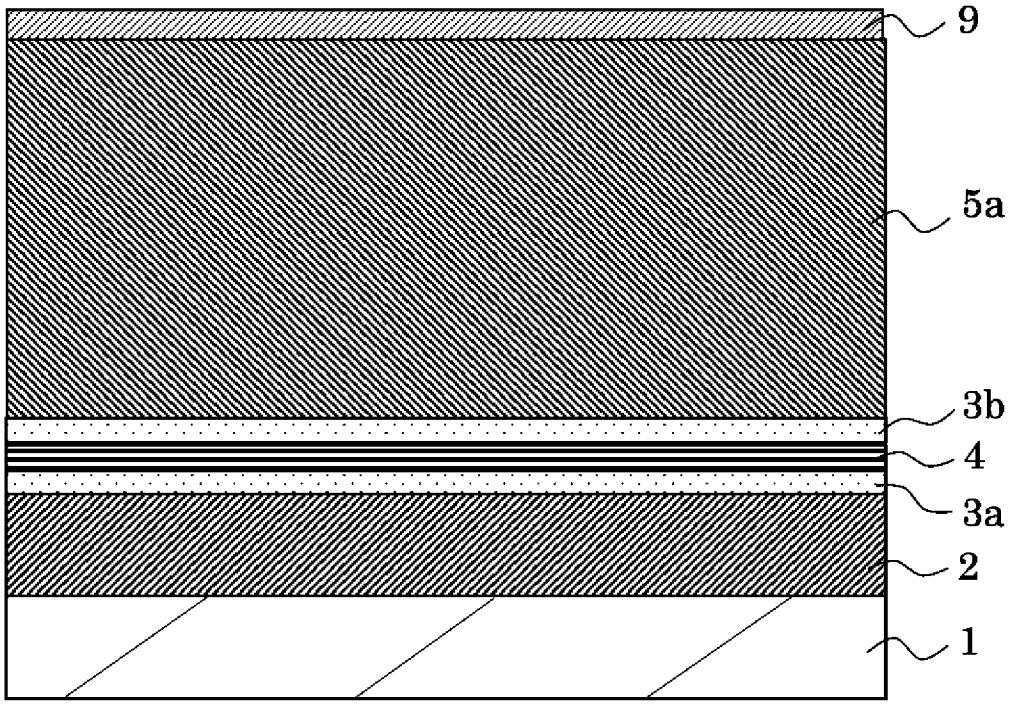
[図8]

図8



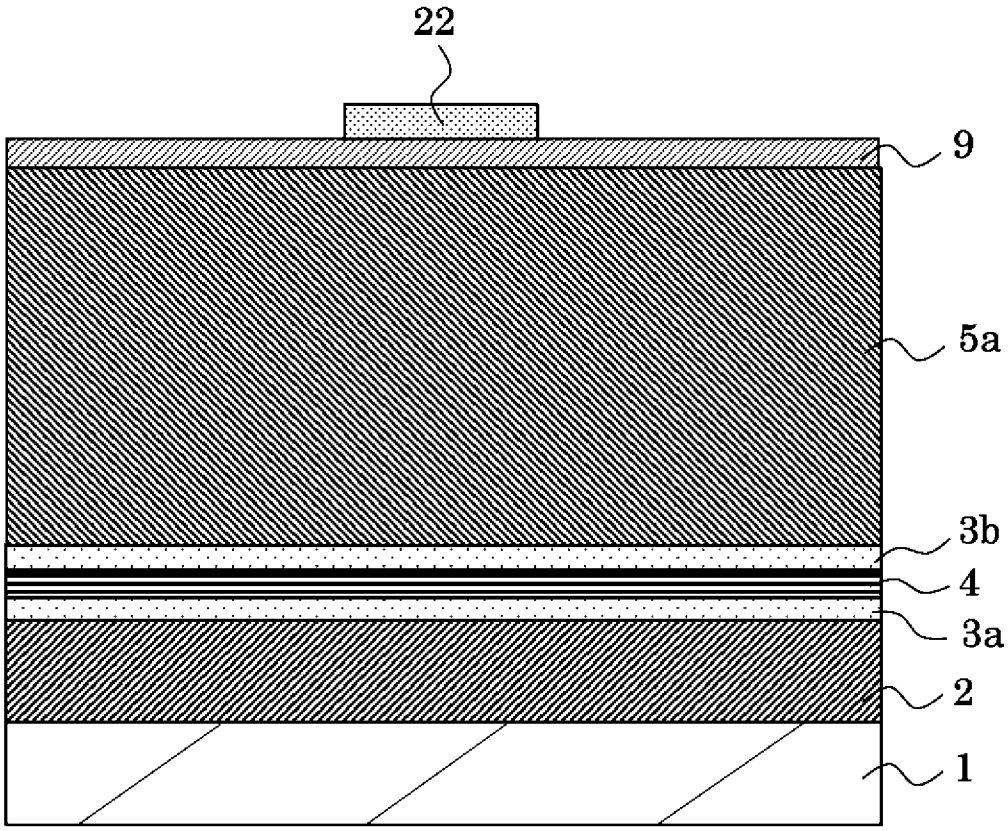
[図9]

図9



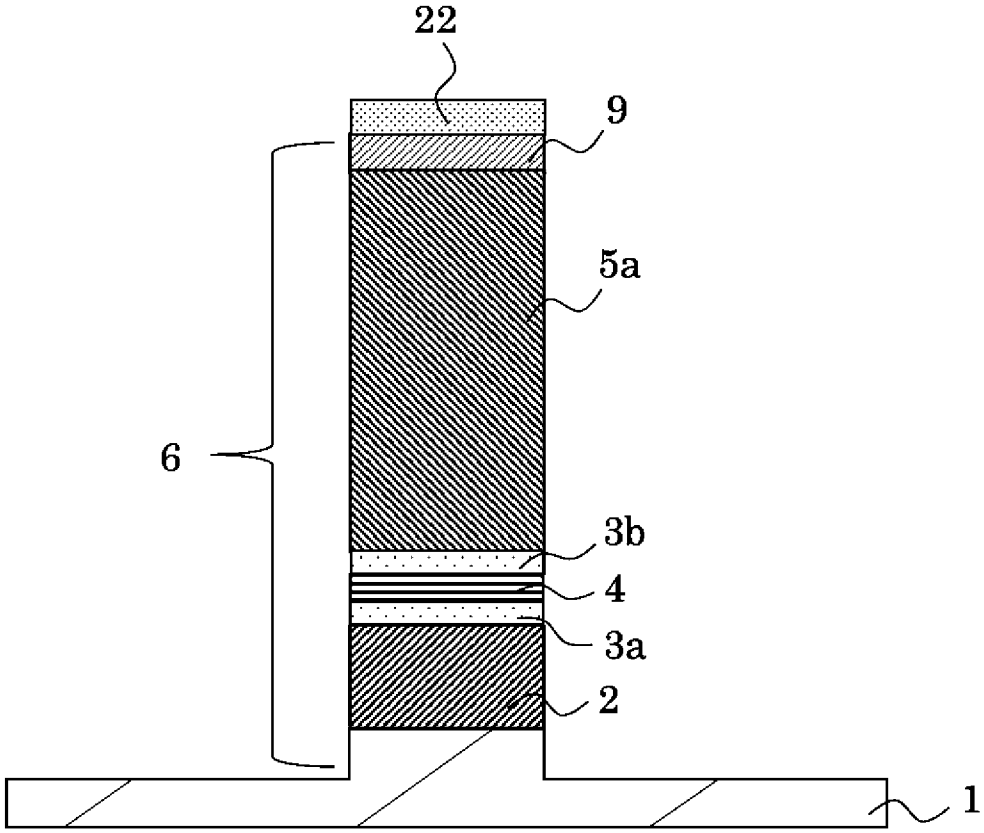
[図10]

図10



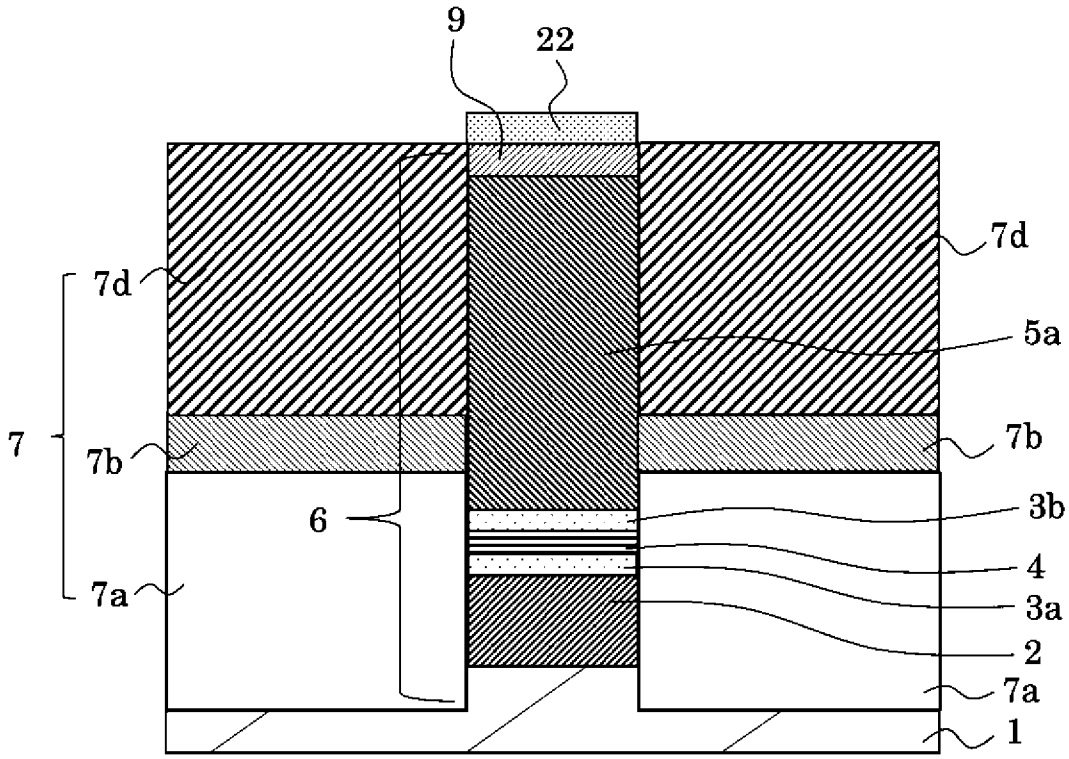
[図11]

図11



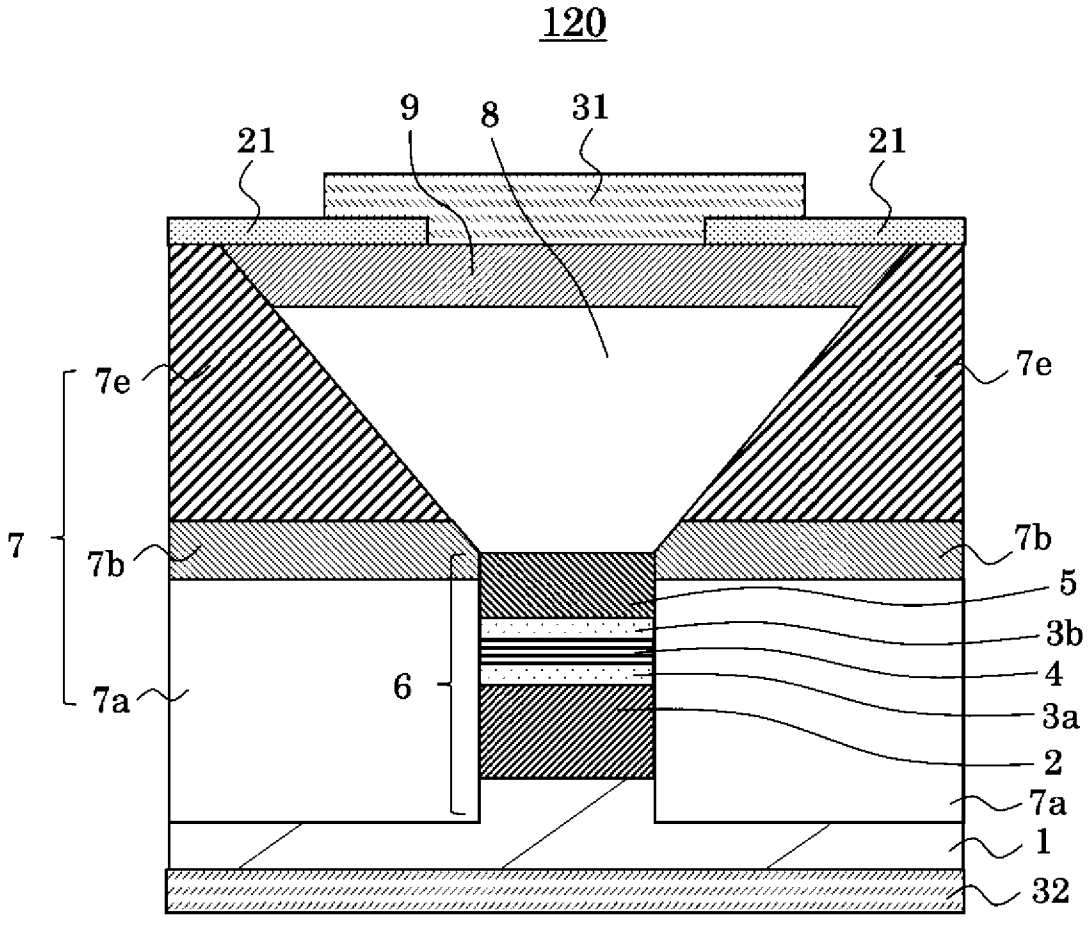
[図12]

図12



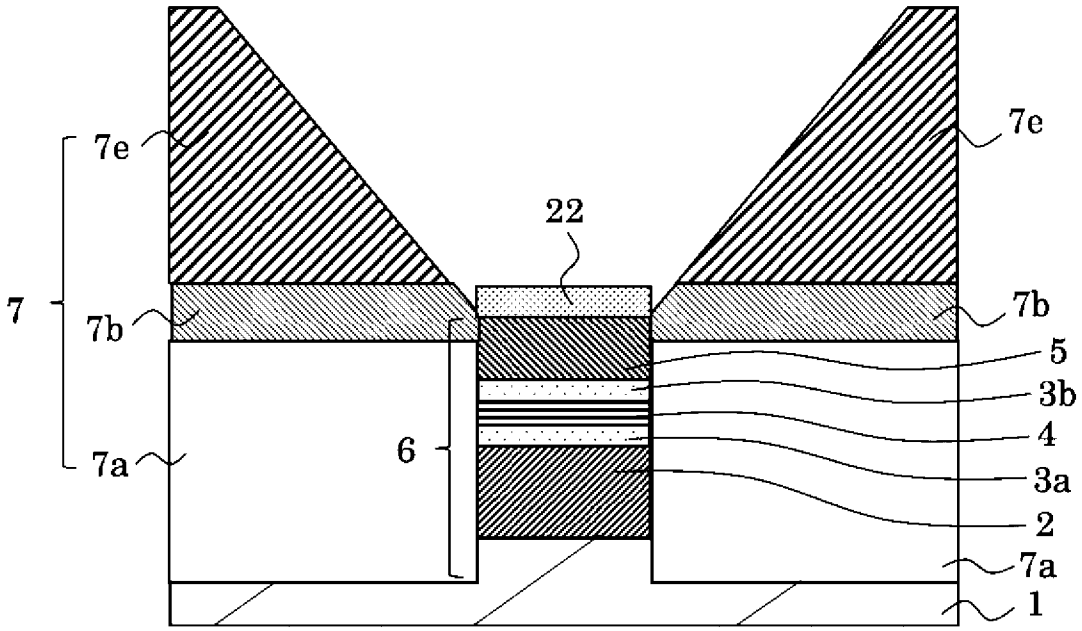
[図13]

図13



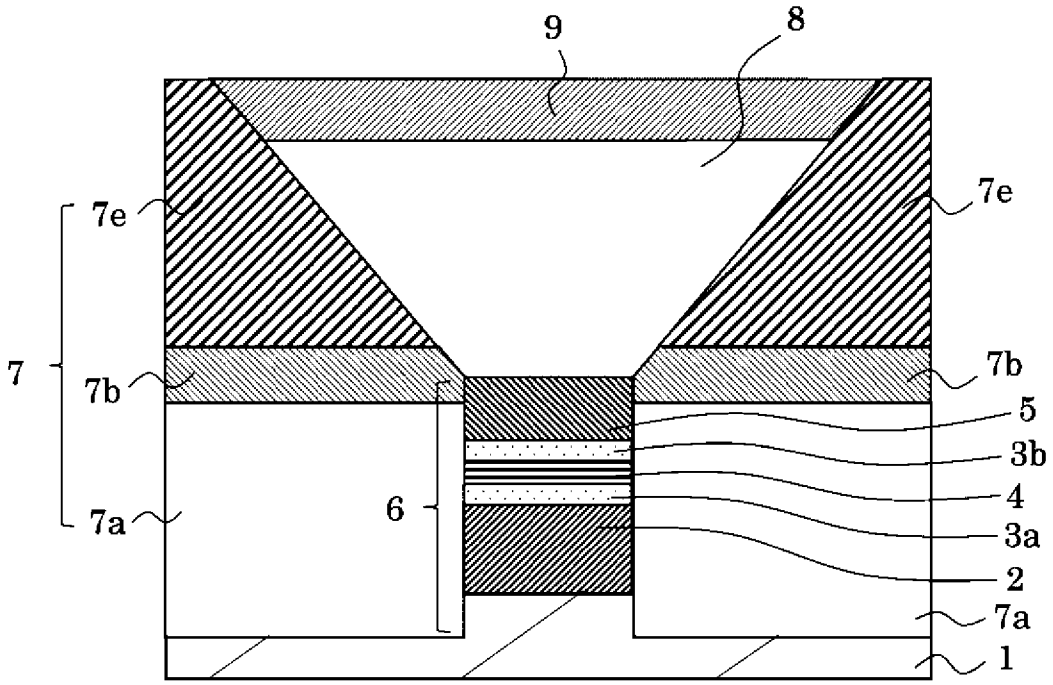
[図14]

図14



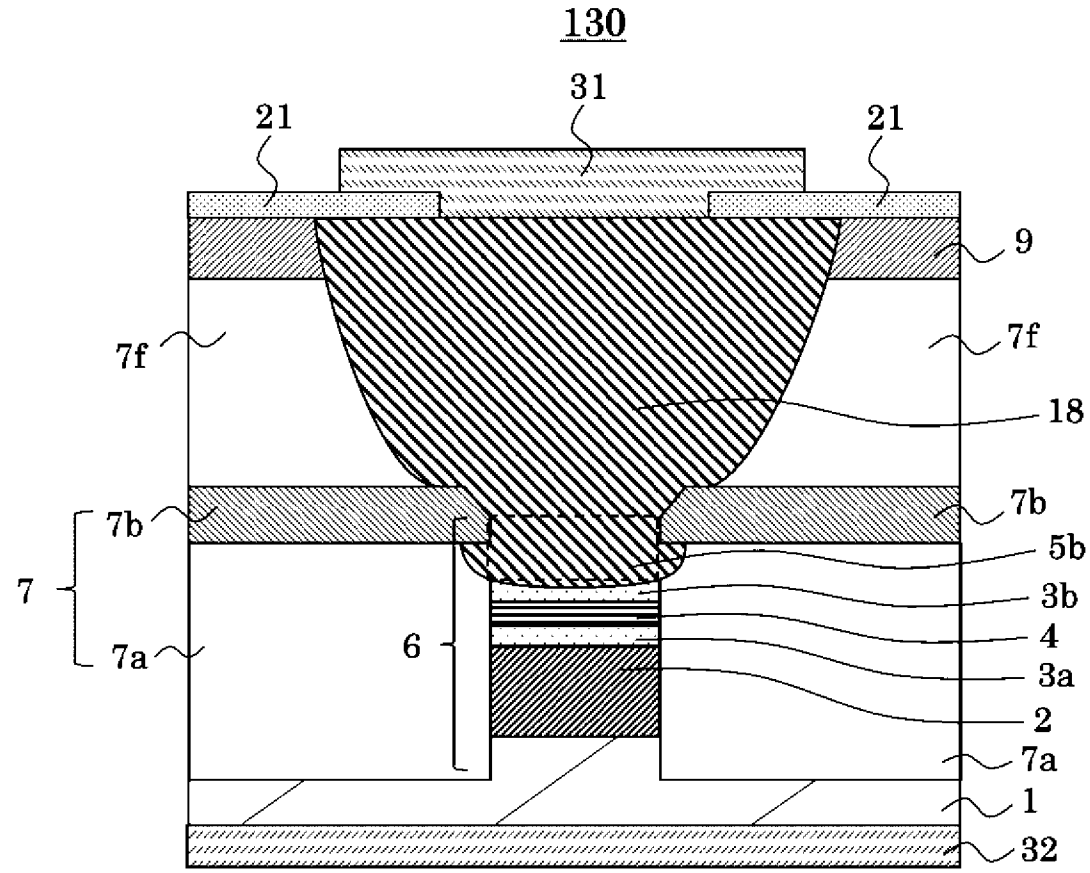
[図15]

図15



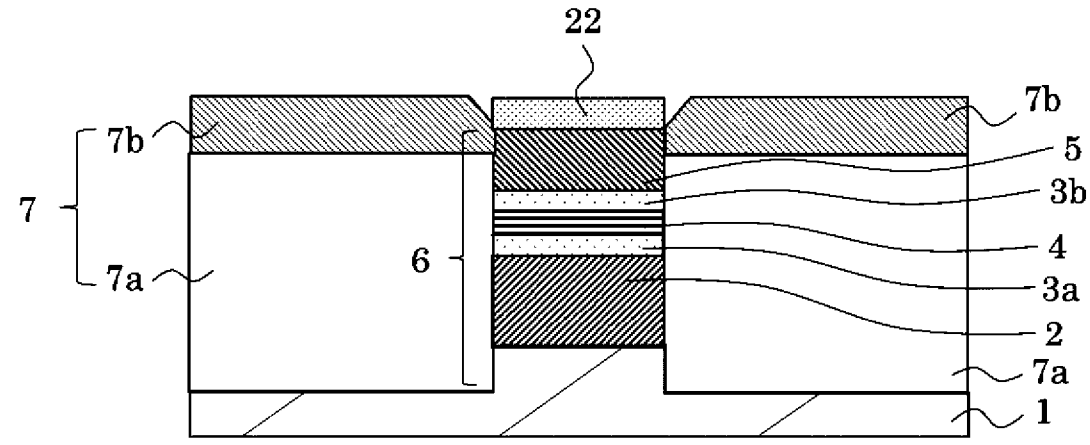
[図16]

図16



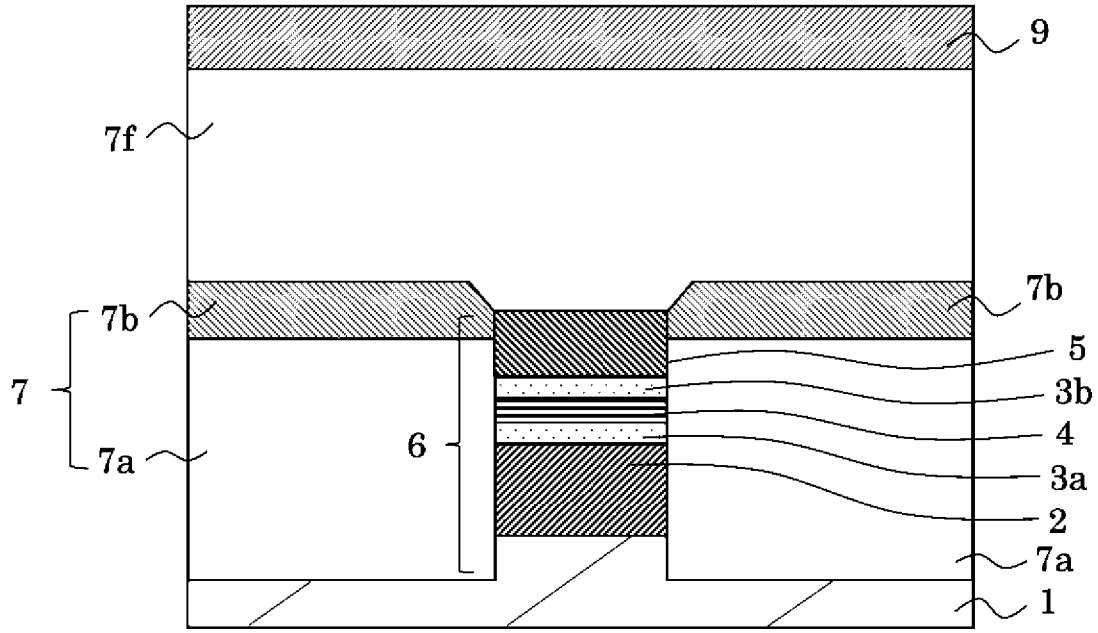
[図17]

図17



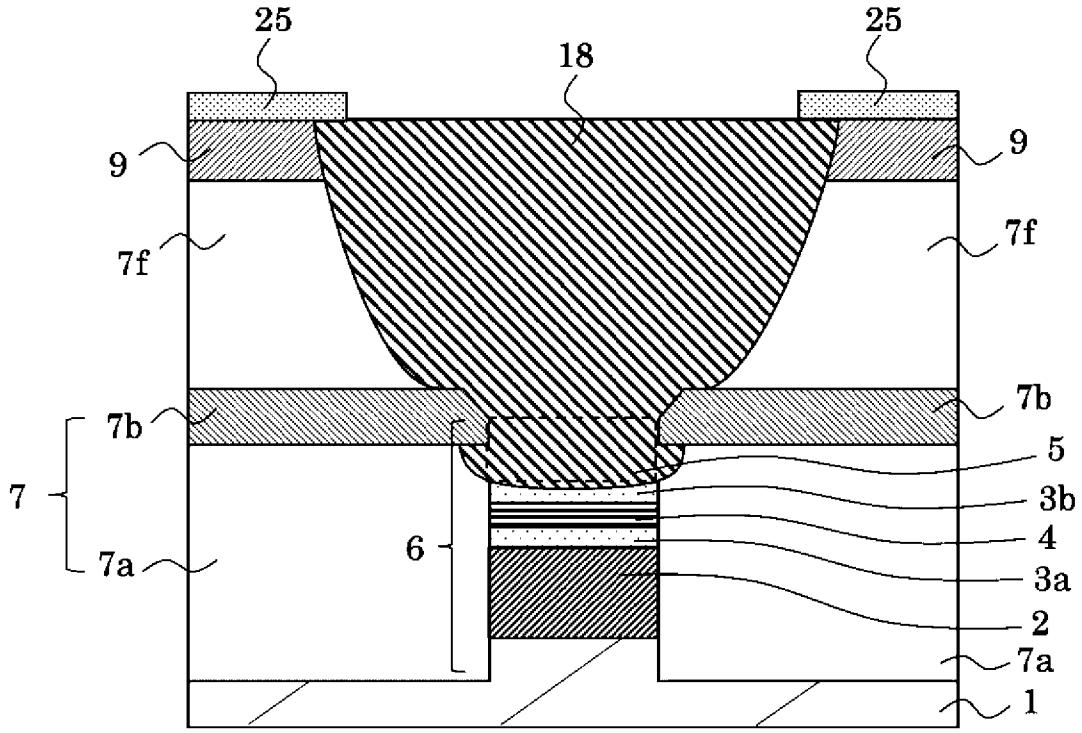
[図18]

図18



[図19]

図19



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/022984

A. CLASSIFICATION OF SUBJECT MATTER
H01S 5/227(2006.01)i
FI: H01S5/227

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01S5/00-5/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-266051 A (FUJITSU LTD) 28 September 1999 (1999-09-28) paragraphs [0044]-[0056], fig. 3	1-4, 7-9, 11-14, 17-19
Y		6-11, 15-19
A		5
Y	US 6028875 A (NORTEL NETWORKS CORPORATION) 22 February 2000 (2000-02-22) column 3, line 20 to column 4, line 34, fig. 1-2	6-11, 15-19
A		5
Y	JP 2009-004450 A (SUMITOMO ELECTRIC IND LTD) 08 January 2009 (2009-01-08) paragraph [0065]	10
A		5
A	JP 2009-283822 A (MITSUBISHI ELECTRIC CORP) 03 December 2009 (2009-12-03) entire text, all drawings	1-19
A	JP 2010-258273 A (SUMITOMO ELECTRIC IND LTD) 11 November 2010 (2010-11-11) entire text, all drawings	1-19

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 25 August 2021 (25.08.2021)	Date of mailing of the international search report 07 September 2021 (07.09.2021)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/022984

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-249767 A (SUMITOMO ELECTRIC DEVICE INNOVATIONS INC) 08 December 2011 (2011-12-08) entire text, all drawings	1-19
A	WO 2019/220514 A1 (MITSUBISHI ELECTRIC CORPORATION) 21 November 2019 (2019-11-21) entire text, all drawings	1-19
A	JP 2003-218466 A (SHARP CORP) 31 July 2003 (2003-07-31) entire text, all drawings	1-19
A	JP 2014-192369 A (MITSUBISHI ELECTRIC CORP) 06 October 2014 (2014-10-06) entire text, all drawings	1-19
A	US 6556605 B1 (TRI QUENT TECHNOLOGY HOLDING, CO.) 29 April 2003 (2003-04-29) entire text, all drawings	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/022984

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 11-266051 A	28 Sep. 1999	(Family: none)	
US 6028875 A	22 Feb. 2000	(Family: none)	
JP 2009-004450 A	08 Jan. 2009	US 2009/0010291 A1 paragraph [0067]	
JP 2009-283822 A	03 Dec. 2009	US 2009/0290611 A1 entire text, all drawings CN 101593930 A	
JP 2010-258273 A	11 Nov. 2010	(Family: none)	
JP 2011-249767 A	08 Dec. 2011	US 2011/0261848 A1 entire text, all drawings	
WO 2019/220514 A1	21 Nov. 2019	(Family: none)	
JP 2003-218466 A	31 Jul. 2003	(Family: none)	
JP 2014-192369 A	06 Oct. 2014	(Family: none)	
US 6556605 B1	29 Apr. 2003	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2021/022984

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01S 5/227(2006.01)i
FI: H01S5/227

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01S5/00-5/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 11-266051 A (富士通株式会社) 28.09.1999 (1999-09-28) 段落[0044]-[0056],図3	1-4,7-9,11-14,17-19
Y		6-11,15-19
A		5
Y	US 6028875 A (NORTEL NETWORKS CORPORATION) 22.02.2000 (2000-02-22) 第3欄第20行-第4欄第34行,図1-2	6-11,15-19
A		5
Y	JP 2009-004450 A (住友電気工業株式会社) 08.01.2009 (2009-01-08) 段落[0065]	10
A		5
A	JP 2009-283822 A (三菱電機株式会社) 03.12.2009 (2009-12-03) 全文,全図	1-19
A	JP 2010-258273 A (住友電気工業株式会社) 11.11.2010 (2010-11-11) 全文,全図	1-19

☑ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
25.08.2021	07.09.2021

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

大西　孝宣 2K 6006

電話番号 03-3581-1101 内線 3255

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-249767 A (住友電工デバイス・イノベーション株式会社) 08.12.2011 (2011-12-08) 全文,全図	1-19
A	WO 2019/220514 A1 (三菱電機株式会社) 21.11.2019 (2019-11-21) 全文,全図	1-19
A	JP 2003-218466 A (シャープ株式会社) 31.07.2003 (2003-07-31) 全文,全図	1-19
A	JP 2014-192369 A (三菱電機株式会社) 06.10.2014 (2014-10-06) 全文,全図	1-19
A	US 6556605 B1 (TRIQUENT TECHNOLOGY HOLDING, CO.) 29.04.2003 (2003-04-29) 全文,全図	1-19

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/022984

引用文献	公表日	パテントファミリー文献	公表日
JP 11-266051 A	28.09.1999	（ファミリーなし）	
US 6028875 A	22.02.2000	（ファミリーなし）	
JP 2009-004450 A	08.01.2009	US 2009/0010291 A1 段落[0067]	
JP 2009-283822 A	03.12.2009	US 2009/0290611 A1 全文,全図 CN 101593930 A	
JP 2010-258273 A	11.11.2010	（ファミリーなし）	
JP 2011-249767 A	08.12.2011	US 2011/0261848 A1 全文,全図	
WO 2019/220514 A1	21.11.2019	（ファミリーなし）	
JP 2003-218466 A	31.07.2003	（ファミリーなし）	
JP 2014-192369 A	06.10.2014	（ファミリーなし）	
US 6556605 B1	29.04.2003	（ファミリーなし）	