

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月27日(27.09.2018)



(10) 国際公開番号

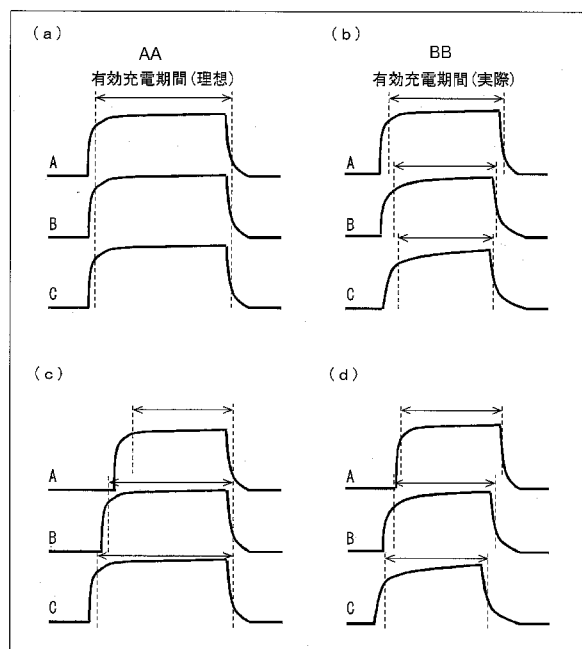
WO 2018/173897 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G02F 1/1368* (2006.01)
G02F 1/133 (2006.01) *G09G 3/20* (2006.01)
G02F 1/1345 (2006.01)
- (21) 国際出願番号: PCT/JP2018/010062
- (22) 国際出願日: 2018年3月14日(14.03.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-055019 2017年3月21日(21.03.2017) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 翁 鴻 冰 (WENG, Hongbing). 西尾 真明 (NISHIO, Masaaki). 熊田 浩二 (KUMADA, Kouji).
- (74) 代理人: 特許業務法人 H A R A K E N Z O W O R L D P A T E N T & T R A D E M A R K (HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) Title: DISPLAY DEVICE AND DRIVE METHOD THEREFOR

(54) 発明の名称: 表示装置およびその駆動方法

図 4



AA Effective charging period (ideal)
BB Effective charging period (actual)

(57) Abstract: The present invention prevents vertical gradation from occurring when a display image is a solid image. This display device classifies a plurality of gate bus lines into three regions, namely region A, region B and region C, according to load, and controls a rise of a gate clock signal GCK to a voltage at which charging of pixels in a display unit corresponding to the classified region A, region B and region C is effective, such that the charging rates of the pixels become equal among all of the region A, region B and region C.

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：表示画像がベタ画像である場合に縦グラデーションを生じさせない。本発明の表示装置は、複数のゲートバスラインを負荷に応じて3つの領域A、領域B、領域Cに分類し、分類された領域A、領域B、領域Cに対応する表示部内の画素の充電率が全ての領域A、領域B、領域Cで同じになるように、ゲートクロック信号GCKの画素の充電有効な電圧までの立ち上がりを制御する。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は、表示装置に関し、より詳しくは、特に矩形以外の形状の表示パネルを有する表示装置およびその駆動方法に関する。

背景技術

[0002] 液晶表示装置は、一般に、互いに対向する２枚の絶縁性のガラス基板からなる液晶パネルを備えている。一方のガラス基板はアレイ基板と呼ばれており、他方のガラス基板は対向基板と呼ばれている。アレイ基板にはＴＦＴ（薄膜トランジスタ）や画素電極などが形成され、対向基板には共通電極（対向電極）やカラーフィルタなどが形成されている。

[0003] このような従来の一般的な液晶パネルは、矩形の表示部（表示領域）を有している。表示部には、複数本のソースバスライン（映像信号線）と、複数本のゲートバスライン（走査信号線）と、それら複数本のソースバスラインと複数本のゲートバスラインとの交差点にそれぞれ対応して設けられた複数個の画素形成部とが形成されている。各画素形成部には、対応する交差点を通過するゲートバスラインにゲート電極が接続されると共に当該交差点を通過するソースバスラインにソース電極が接続されたＴＦＴと、そのＴＦＴのドレイン電極に接続された画素電極と、上記複数個の画素形成部に共通的に設けられた共通電極および補助容量電極と、画素電極と共通電極とによって形成される液晶容量と、画素電極と補助容量電極とによって形成される補助容量とが含まれている。液晶容量と補助容量とによって画素容量が構成されている。以上のような構成において、各ＴＦＴのゲート電極がゲートバスラインからアクティブな走査信号を受けたときに当該ＴＦＴのソース電極がソースバスラインから受けるデータ電圧（映像信号）に基づいて、画素容量の充電が行われる。このようにして上記複数個の画素形成部内の画素容量の充電が行われることにより、表示部に所望の画像が表示される。

[0004] ところで、上述のような液晶表示装置において、例えばバックライトを構成する光源の配置に起因して、輝度むらが生じることがある。そこで、従来、輝度むらの発生を抑制するために、目標とする表示階調に対応するデータ電圧に補正を施して、補正後のデータ電圧をソースバスラインに印加することが行われている（例えば特許文献１）。

先行技術文献

特許文献

[0005] 特許文献１：日本国公開特許公報「特開２００８－７０４０４号公報（２００８年３月２７日公開）」

発明の概要

発明が解決しようとする課題

[0006] 上述したように、従来の一般的な液晶パネルは、矩形の表示部（表示領域）を有している。ところが、近年、時計用途の液晶表示装置や車載用途の液晶表示装置など、矩形以外の形状の表示部を備えた液晶表示装置の開発が進められている。なお、以下においては、矩形以外の形状の表示部を備えた表示装置であって表示パネルの外形も矩形以外の形状である表示装置のことを「異型ディスプレイ」という。

[0007] ところで、異型ディスプレイにおいて、目標とする表示画像がいわゆる「ベタ画像」（表示部全体が同一色で同一階調である画像）であるにもかかわらず実際の表示画像が縦グラデーションと呼ばれる画像（横方向に徐々に階調が変化する画像）となることがある。このような異常表示について、図８および図９を参照しつつ説明する。

[0008] 図８は、凹形の表示部１０１０を有する異型ディスプレイ１０００におけるゲートバスライン１０１１、表示部１０１０、およびゲートドライバを模式的に示した図である。図８から把握されるように、この異型ディスプレイ１０００においては、表示部１０１０内の領域において、各ゲートバスライン１０１１は上述した画素形成部に接続されている。ここで、表示部１０１

0において、凹部を全て含んだ領域を第1領域、凹部を完全に含まれない領域を第3領域、第1領域と第3領域の間の領域であって、凹部を一部含む第2領域とに分けた場合、第1の領域に配されたゲートバスラインは比較的少数の画素形成部に接続されているのに対して、第3の領域に配されたゲートバスラインは比較的多数の画素形成部に接続されている。また、第1の領域と第3の領域の間にある第2の領域に配されたゲートバスラインは、第1の領域と第3の領域との中間の数の画素形成部に接続されている。

[0009] 以上より、第1の領域に配されたゲートバスラインの負荷は相対的に小さく（図の負荷軽）、第2の領域に配されたゲートバスラインの負荷は相対的に第1の領域に次に小さく（図の負荷中）、第3の領域に配されたゲートバスラインの負荷は相対的に大きい（図の負荷重）となるため、各領域のゲートバスライン1011のゲート電圧は、図9に示すようになる。つまり、負荷の軽いゲートバスライン1011では、画素形成部における充電期間が短く、負荷の重いゲートバスライン1011では、画素形成部における充電期間が長くなることがわかる。これにより、表示画像がベタ画像である場合に、上述した縦グラデーションが生じる。すなわち、異常表示が発生する。

[0010] 本発明の一態様は、ゲートバスラインの負荷に関わらず、画像形成部における充電期間を同じにすることで、表示画像がベタ画像である場合に縦グラデーションを生じさせない表示装置を実現することを目的とする。

課題を解決するための手段

[0011] 上記の課題を解決するために、本発明の一態様に係る表示装置は、複数の走査信号線が配設された表示部を有する表示装置であって、走査制御信号を生成する走査制御信号生成回路と、上記走査制御信号生成回路によって生成された走査制御信号の立ち上がりのタイミングで上記走査信号線に供給する走査信号を生成する走査信号線駆動回路と、を含み、上記走査制御信号生成回路は、上記複数の走査信号線を負荷に応じて複数のグループに分類し、分類されたグループに対応する上記表示部内の画素の充電率が全てのグループで同じになるように、上記走査制御信号の画素の充電有効な電圧までの立ち

上がりを制御することを特徴としている。

[0012] また、本発明の一態様に係る表示装置の駆動方法は、複数の走査信号線が配設された表示部を有する表示装置の駆動方法であって、走査制御信号を生成する第1ステップと、第1ステップで生成された走査制御信号の立ち上がりのタイミングで上記走査信号線に供給する走査信号を生成する第2ステップと、を含み、上記第1ステップは、上記複数の走査信号線を負荷に応じて複数のグループに分類し、分類されたグループに対応する上記表示部内の画素の充電率が全てのグループで同じになるように、画素の充電有効な電圧までの立ち上がりを制御した走査制御信号を生成することを特徴としている。

発明の効果

[0013] 本発明の一態様によれば、表示画像がベタ画像である場合に縦グラデーションを生じさせないという効果を奏する。

図面の簡単な説明

[0014] [図1]本発明の実施形態1に係る液晶表示装置の概略ブロック図である。

[図2]図1に示す液晶表示装置の液晶パネルの概略構成図である。

[図3]図2に示す液晶パネルの表示部における負荷に応じた領域分けを説明するための図である。

[図4]本実施形態1の特徴を説明するための走査信号およびゲートクロック信号の波形図であり、(a)は走査信号の理想の波形図であり、(b)は走査信号の実際の波形図であり、(c)は走査信号を生成するためのゲートクロック信号の波形図であり、(d)は(c)のゲートクロック信号によって生成された走査信号の波形図である。

[図5]本実施形態2の特徴を説明するための走査信号およびゲートクロック信号の波形図であり、(a)は走査信号の理想の波形図であり、(b)は走査信号の実際の波形図であり、(c)は走査信号を生成するためのゲートクロック信号の波形図であり、(d)は(c)のゲートクロック信号によって生成された走査信号の波形図である。

[図6]本実施形態3の特徴を説明するための走査信号およびゲートクロック信

号の波形図であり、（a）は走査信号の理想の波形図であり、（b）は走査信号の実際の波形図であり、（c）は走査信号を生成するためのゲートクロック信号の波形図であり、（d）は（c）のゲートクロック信号によって生成された走査信号の波形図である。

[図7]ゲートクロック信号の立ち上がりを鈍らせるための回路の一例を示す回路図である。

[図8]従来の異型ディスプレイにおける表示部、およびゲートドライバを模式的に示した図である。

[図9]図8の表示部のゲートバスラインに印加される走査信号の波形図である。

発明を実施するための形態

[0015] 〔実施形態1〕

本発明の一実施の形態について説明すれば以下の通りである。なお、本実施形態では、本発明の表示装置を液晶表示装置に適用した例について説明する。

[0016] （液晶表示装置の概要）

図1は、本実施形態1に係る液晶表示装置の概略構成ブロック図である。液晶表示装置は、図1に示すように、電源100と表示制御回路（走査制御信号生成回路）200とソースドライバ（映像信号線駆動回路）300とゲートドライバ（走査信号線駆動回路）400と液晶パネル500とを備えている。液晶パネル500には、画像を表示する表示部（表示領域）510が含まれている。液晶パネル500および表示部510の形状は、平面視で凹型となっている。すなわち、本実施形態に係る液晶表示装置は異型ディスプレイである。なお、ゲートドライバ400あるいはソースドライバ300もしくはその双方が液晶パネル500内に設けられていても良い。

[0017] 図2は、図1に示す液晶表示装置における表示部510について説明するための図である。表示部510には、図2に示すように、複数本（ j 本）のソースバスライン（映像信号線） $SL(1) \sim SL(j)$ と、複数本（ i 本

）のゲートバスライン（走査信号線） $GL(1) \sim GL(i)$ とが配設されている。例えば、 j は1920であり、 i は1080である。また、表示部510内の領域において、ソースバスライン SL とゲートバスライン GL との交差点の近傍には、画素を形成する画素形成部（不図示）が設けられている。なお、一部の領域（図3において符号590で示す領域）では、ゲートバスライン GL が表示部510外の領域すなわち額縁領域に配設されている。

[0018] （液晶表示装置の動作）

電源100は、表示制御回路200とソースドライバ300とゲートドライバ400とに電源電圧を供給する。

[0019] 表示制御回路200は、外部（ホスト等）から送られる画像信号（入力画像データ） DAT および水平同期信号や垂直同期信号などのタイミング信号群 TG を受け取り、デジタル映像信号 DV と、ソースドライバ300の動作を制御するためのソーススタートパルス信号 SSP 、ソースクロック信号 SCK 、ラッチストロブ信号 LS 、およびチャージシェア制御信号 SCH と、ゲートドライバ400の動作を制御するためのゲートスタートパルス信号 GSP およびゲートクロック信号 GCK （走査制御信号）とを出力する。

[0020] ソースドライバ300は、表示制御回路200から出力されるデジタル映像信号 DV 、ソーススタートパルス信号 SSP 、ソースクロック信号 SCK 、ラッチストロブ信号 LS 、およびチャージシェア制御信号 SCH を受け取り、デジタル映像信号 DV の示す表示階調に対応するデータ電圧をソースバスライン $SL(1) \sim SL(j)$ に印加する。

[0021] ゲートドライバ400は、表示制御回路200から出力されるゲートスタートパルス信号 GSP およびゲートクロック信号 GCK に基づいて、アクティブな走査信号の各ゲートバスライン $GL(1) \sim GL(i)$ への印加を、1垂直走査期間を周期として繰り返す。具体的に、ゲートドライバ400は、表示制御回路200によって生成されたゲートクロック信号 GCK の立ち上がりのタイミングでアクティブな走査信号を各ゲートバスライン $GL(1$

) ~ G L (i) に印加する。

[0022] 以上のようにして、各ソースバスライン S L (1) ~ S L (j) にデータ電圧が印加され、各ゲートバスライン G L (1) ~ G L (i) に走査信号が印加されることにより、外部から送られた画像信号 D A T に基づく画像が表示部 5 1 0 に表示される。

[0023] (負荷に応じた領域の分類)

図 3 は、図 2 に示す表示部 5 1 0 において、ゲートバスライン G L (以下、単に「ゲートバスライン」と称する)に着目したときに、各ゲートバスラインの負荷に応じた領域の分類を説明するための図である。ここでは、表示部 5 1 0 において、複数のゲートバスラインを負荷に応じて 3 つの領域 (グループ) に分類した例について説明する。

[0024] 表示部 5 1 0 において、図 3 に示すように、符号 A は、凹部を全て含んだ領域 (以下、領域 A と称する) を示し、符号 C は、凹部を完全に含まれない領域 (以下、領域 C と称する) を示し、符号 B は、符号 A の領域と符号 C の領域の間の領域であって、凹部を一部含む領域 (以下、領域 B と称する) を示す。ここで、領域 A に配されたゲートバスラインには比較的少数の画素形成部が接続されているのに対して、領域 C に配されたゲートバスラインには比較的多数の画素形成部が接続されている。また、領域 A と領域 C の中間にある領域 B に配されたゲートバスラインには、領域 A と領域 C との中間の数の画素形成部が接続されている。

[0025] 従って、領域 A におけるゲートバスラインの負荷は領域 B、領域 C よりも軽い (負荷軽)。領域 B におけるゲートバスラインの負荷は領域 A よりも重く、領域 C よりも軽い (負荷中)。領域 C におけるゲートバスラインの負荷は領域 A、領域 B よりも重い (負荷重)。

[0026] (充電期間の調整)

図 3 に示す 3 種類の負荷に分類した領域 A、領域 B、領域 C における有効充電期間の理想は、図 4 の (a) に示す走査信号の波形図で示されるように、各領域において同じである。しかしながら、領域 A、領域 B、領域 C に含

まれるゲートバスラインの負荷が異なるため、実際には、有効充電期間は、図4の(b)に示す走査信号の波形図で示されるように、各領域において異なる。つまり、負荷軽の領域Aが一番長く、負荷重の領域Cが一番短い。

[0027] そこで、本実施形態では、表示制御回路200で生成されるゲートクロック信号GCKの波形を負荷に応じて調整することで、ゲートドライバ400から出力される走査信号のハイレベルの期間（有効充電期間）を各領域で同じにする。つまり、各領域で画素の充電率を同じにする。

[0028] 本実施形態では、表示制御回路200によって、領域A、領域B、領域Cに対応する上記表示部510内の画素の充電率が全ての領域で同じになるように、上記ゲートクロック信号GCKの画素の充電有効な電圧までの立ち上がりを制御すればよい。

[0029] ここでは、表示制御回路200によって、図4の(c)に示すように、ゲートクロック信号GCKの立ち上がりのタイミング、すなわちゲートクロック信号GCKが画素の充電有効な電圧まで立ち上がったときの時間を、負荷が軽い領域Aほど遅らせると共に、ゲートクロック信号GCKの立ち下がりタイミングを、全ての領域で合わせる。

[0030] ゲートドライバ400は、上述のように生成されたゲートクロック信号GCKを用いて、図4の(d)に示すように、有効充電期間が全ての領域において同じである波形図の走査信号を生成する。ここで、有効充電期間とは、画素の充電が有効に行える電圧が維持される期間、すなわち、走査信号がハイレベルになる期間とする。

[0031] このように、負荷の重いゲートバスラインに対しては、ゲートクロック信号GCKのハイレベルの期間を維持させ、負荷がより小さいゲートバスラインに対しては、ゲートクロック信号GCKの立ち上がりのタイミングを遅らせることで、全体的にバランスよく画素の充電期間を保つことができるという効果を奏する。

[0032] これにより、負荷が異なるゲートバスラインであっても画素の充電率を同じにすることができるので、ベタ表示の場合に、ゲートバスラインの配線方

向（横方向）に直交する方向（縦方向）に画素の充電率の違いに起因するグラデーション（縦グラデーション）は生じない。よって、異常表示も発生しない。

[0033] なお、本実施形態では、負荷の異なる、領域A、領域B、領域Cに対応する表示部510内の画素の充電率が全ての領域で同じにするために、ゲートクロック信号GCKが画素の充電有効な電圧まで立ち上がるタイミングを、負荷が軽い領域Aほど遅らせると共に、ゲートクロック信号GCKの立ち下りのタイミングを、全ての領域で合わせる例について説明したが、本発明はこれに限定されない。以下の実施形態2、3において、負荷の異なる、領域A、領域B、領域Cに対応する表示部510内の画素の充電率が全ての領域で同じにするための他の例について説明する。

[0034] 〔実施形態2〕

本発明の他の実施形態について説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0035] 本実施形態では、前記実施形態1と同じ液晶表示装置を用いるが、表示制御回路200によるゲートクロック信号GCKの生成、ゲートドライバ400による走査信号の生成が前記実施形態1と異なる。

[0036] （充電期間の調整）

図5は、本実施形態2の特徴を説明するための走査信号およびゲートクロック信号の波形図であり、（a）は走査信号の理想の波形図であり、（b）は走査信号の実際の波形図であり、（c）は走査信号を生成するためのゲートクロック信号の波形図であり、（d）は（c）のゲートクロック信号によって生成された走査信号の波形図である。

[0037] 図3に示す3種類の負荷に分類した領域A、領域B、領域Cにおける有効充電期間の理想は、図5の（a）に示す走査信号の波形図で示されるように、各領域において同じである。しかしながら、領域A、領域B、領域Cに含まれるゲートバスラインの負荷が異なるため、実際には、有効充電期間は、

図5の(b)に示す走査信号の波形図で示されるように、各領域において異なる。つまり、負荷軽の領域Aが一番長く、負荷重の領域Cが一番短い。

[0038] そこで、本実施形態では、ゲートクロック信号GCKが画素の充電有効な電圧まで立ち上がるタイミングを、上記分類された領域のうち、負荷が軽い領域ほど遅らせると共に、ゲートクロック信号GCKの立ち下がりタイミングを、全ての領域で合わせることを前提として、表示制御回路200によって、図5の(c)に示す波形図となるように、ゲートクロック信号GCKが生成される。

[0039] すなわち、表示制御回路200によって、図5の(c)に示すように、ゲートクロック信号GCKの立ち上がりの開始および立ち下がりの開始を全ての領域で合わせ、画素の充電有効な電圧まで立ち上がるタイミングを遅らせる走査制御信号は、少なくとも1度、画素の充電有効な電圧よりも低い電圧まで立ち上がらせ、その後、画素の充電有効な電圧まで立ち上がらせたゲートクロック信号GCKが生成される。具体的には、負荷軽の領域Aでは、2段階の電圧を経て、画素の充電有効な電圧まで立ち上がり、負荷中の領域Bでは、1段階の電圧を経て、画素の充電有効な電圧まで立ち上がり、負荷重の領域Cでは、段階的な電圧が設定されることなく、すぐに画素の充電有効な電圧まで立ち上がるゲートクロック信号GCKが生成される。

[0040] ゲートドライバ400は、上述のように生成されたゲートクロック信号GCKを用いて、図5の(d)に示すように、有効充電期間が全ての領域において同じである波形図の走査信号を生成する。

[0041] このように、負荷の重いゲートバスラインに対しては、ゲートクロック信号GCKのハイレベルの期間を維持させ、負荷がより小さいゲートバスラインに対しては、ゲートクロック信号GCKが画素の充電有効な電圧まで段階的に立ち上がるようにして、結果として、ゲートクロック信号GCKの電圧が画素の充電有効な電圧まで立ち上がる時間を遅らせることで、全体的にバランスよく画素の充電期間を保つことができるという効果を奏する。

[0042] これにより、負荷が異なるゲートバスラインであっても画素の充電率を同

じにすることができるので、ベタ表示の場合に、ゲートバスラインの配線方向（横方向）に直交する方向（縦方向）に画素の充電率の違いに起因するグラデーション（縦グラデーション）は生じない。よって、異常表示も発生しない。

[0043] 〔実施形態3〕

本発明の他の実施形態について説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0044] 図6は、本実施形態3の特徴を説明するための走査信号およびゲートクロック信号の波形図であり、（a）は走査信号の理想の波形図であり、（b）は走査信号の実際の波形図であり、（c）は走査信号を生成するためのゲートクロック信号の波形図であり、（d）は（c）のゲートクロック信号によって生成された走査信号の波形図である。

[0045] 図3に示す3種類の負荷に分類した領域A、領域B、領域Cにおける有効充電期間の理想は、図6の（a）に示す走査信号の波形図で示されるように、各領域において同じである。しかしながら、領域A、領域B、領域Cに含まれるゲートバスラインの負荷が異なるため、実際には、有効充電期間は、図6の（b）に示す走査信号の波形図で示されるように、各領域において異なる。つまり、負荷軽の領域Aが一番長く、負荷重の領域Cが一番短い。

[0046] そこで、本実施形態では、ゲートクロック信号GCKが画素の充電有効な電圧まで立ち上がるタイミングを、上記分類された領域のうち、負荷が軽い領域ほど遅らせると共に、ゲートクロック信号GCKの立ち下がりのタイミングを、全ての領域で合わせることを前提として、表示制御回路200によって、図6の（c）に示す波形図となるように、ゲートクロック信号GCKが生成される。

[0047] すなわち、表示制御回路200によって、図6の（c）に示すように、ゲートクロック信号GCKが画素の充電有効な電圧まで立ち上がる時間を遅くするために、上記分類された領域のうち、負荷が軽い領域ほどゲートクロッ

ク信号GCKの立ち上がりを鈍らせると共に、ゲートクロック信号GCKの立ち下りのタイミングを、全ての領域で合わせたゲートクロック信号GCKが生成される。具体的には、負荷軽の領域Aでは、ゲートクロック信号GCKの立ち上がりを他の領域B、領域Cにおけるゲートクロック信号GCKの立ち上がりよりも鈍らせて画素の充電有効な電圧まで立ち上がり、負荷中の領域Bでは、ゲートクロック信号GCKの立ち上がりを領域Cよりも鈍らせて画素の充電有効な電圧まで立ち上がり、負荷重の領域Cでは、ゲートクロック信号GCKの立ち上がりを鈍らせることなく、すぐに画素の充電有効な電圧まで立ち上がるゲートクロック信号GCKが生成される。

[0048] ゲートクロック信号GCKの立ち上がりを鈍らせる方法としては、例えば図7に示す波形制御回路401を用いる。

[0049] 波形制御回路401は、表示制御回路200内に設けられ、ゲートドライバ400に出力されるゲートクロック信号GCKの波形を制御する。具体的には、波形制御回路401は、図7に示すように、並列接続された複数のトランジスタを含み、当該トランジスタのオン・オフによりゲートクロック信号GCKの立ち上がりの急峻度合いを制御している。例えば1個のトランジスタをオンしたときの抵抗値を $x\Omega$ としたとき、2個のトランジスタをオンしたときの抵抗値は $x/2\Omega$ 、3個のトランジスタをオンしたときの抵抗値は $x/3\Omega$ 、・・・となり、オンしているトランジスタの数によりオン抵抗が異なる。これにより、波形制御回路401のオン抵抗を大きくすれば、ゲートクロック信号GCKの立ち上がりを鈍らせ、オン抵抗を小さくすれば、ゲートクロック信号GCKの立ち上がりを急峻にすることが可能となる。このように、波形制御回路401は、オン抵抗を変えることにより、ゲートクロック信号GCKの立ち上がりの急峻度合いを制御している。

[0050] なお、ゲートクロック信号GCKの立ち上がりの急峻度合いを制御するための回路としては、上述した波形制御回路401に限定されるものではなく、他の回路であってもよい。

[0051] ゲートドライバ400は、上述のように生成されたゲートクロック信号G

C Kを用いて、図6の(d)に示すように、有効充電期間が全ての領域において同じである波形図の走査信号を生成する。

[0052] このように、負荷の重いゲートバスラインに対しては、ゲートクロック信号G C Kのハイレベルの期間を維持させ、負荷がより小さいゲートバスラインに対しては、ゲートクロック信号G C Kの立ち上がりを鈍らせるようにして、結果として、ゲートクロック信号G C Kの電圧が画素の充電有効な電圧まで立ち上がる時間を遅らせることで、全体的にバランスよく画素の充電期間を保つことができるという効果を奏する。

[0053] これにより、負荷が異なるゲートバスラインであっても画素の充電率を同じにすることができるので、ベタ表示の場合に、ゲートバスラインの配線方向（横方向）に直交する方向（縦方向）に画素の充電率の違いに起因するグラデーション（縦グラデーション）は生じない。よって、異常表示も発生しない。

[0054] 〔変形例〕

本発明は、表示部の画素の充電率を全て同じにするために、ゲートバスラインの負荷に応じて、ゲートクロック信号G C Kの波形を制御している。つまり、ゲートクロック信号G C Kの波形の制御は、1周期毎に行うことになるので、ゲートバスライン毎にゲートクロック信号G C Kの波形を変えることが可能である。このため、最大ゲートバスライン数分の領域に表示部を分類しても、ゲートバスラインの負荷に応じた、ゲートクロック信号G C Kの波形の制御を容易に行うことができる。

[0055] 従って、本発明は、前記実施形態1～3で説明したように、表示部510をゲートバスラインの負荷に応じて3つの領域に分類する点に限定されるものではなく、4つ以上の領域であっても適用することが可能である。なお、表示部510を2つの領域に分類しても、本発明を適用できる。

[0056] また、前記実施形態1～3においては、表示部510の構造について特に限定していない。例えば、高移動度による性能向上、画面均一性の向上などから、酸化物半導体層、例えばインジウム（I n）、ガリウム（G a）及び

亜鉛（Zn）を含む酸化物半導体層を備えたTFTアレイを表示装置に用いてもよい。このように、酸化物半導体層を備えたTFTアレイにおいては、ゲートドライバモノリシック（以下、GDMと称する）、すなわち、ゲートドライバをTFTアレイ上に直接形成することにより、部品点数の削減、信頼性向上を実現している。

[0057] しかも、上記のようなTFTアレイを用いた表示装置であれば、ゲートクロック信号GCKの本数が少なく済むため、より簡単に有効充電期間の制御を行うことが可能となる。

[0058] さらに、本発明が適用し得る表示部の形状は、図3に示す凹型の形状に限定されるものではなく、円形状や、上下に凹部が形成された形状や、楕円形状等の矩形以外の形状である。つまり、ゲートバスラインに負荷の差が生じる表示部の形状であれば、どのような形状であっても本発明を適用することができる。

[0059] [まとめ]

本発明の態様1に係る表示装置は、複数の走査信号線（ゲートバスラインGL）が配設された表示部510を有する表示装置（液晶表示装置）であって、走査制御信号（ゲートクロック信号GCK）を生成する走査制御信号生成回路（表示制御回路200）と、上記走査制御信号生成回路（表示制御回路200）によって生成された走査制御信号（ゲートクロック信号GCK）の立ち上がりのタイミングで上記走査信号線（ゲートバスラインGL）に供給する走査信号を生成する走査信号線駆動回路（ゲートドライバ400）と、を含み、上記走査制御信号生成回路（表示制御回路200）は、上記複数の走査信号線（ゲートバスラインGL）を負荷に応じて複数のグループ（領域A、領域B、領域C）に分類し、分類されたグループ（領域A、領域B、領域C）に対応する上記表示部510内の画素の充電率が全てのグループ（領域A、領域B、領域C）で同じになるように、上記走査制御信号（ゲートクロック信号GCK）の画素の充電有効な電圧までの立ち上がりを制御することを特徴としている。

- [0060] 通常、走査信号線の負荷が軽いと、画素の充電期間が長くなり、走査信号線の負荷が重いと、画素の充電期間が短くなる。つまり、走査信号線の負荷に応じて画素の充電率が変わる。このため、ベタ表示の場合に、走査信号線の配線方向（横方向）に直交する方向（縦方向）に画素の充電率の違いに起因するグラデーションが生じる。
- [0061] 上記構成によれば、複数の走査信号線を、負荷に応じて複数のグループに分類し、当該各グループに対応する上記表示部内の画素の充電率が全てのグループで同じになるように、上記走査制御信号の画素の充電有効な電圧までの立ち上がりを制御することで、負荷が異なる走査信号線であっても画素の充電率が同じになる。これにより、ベタ表示の場合に、走査信号線の配線方向（横方向）に直交する方向（縦方向）に画素の充電率の違いに起因するグラデーション（縦グラデーション）は生じない。よって、表示異常も発生しない。
- [0062] 本発明の態様2に係る表示装置は、上記態様1において、上記走査制御信号生成回路（表示制御回路200）は、上記走査制御信号（ゲートクロック信号GCK）が画素の充電有効な電圧まで立ち上がるタイミングを、上記分類されたグループ（領域A、領域B、領域C）のうち、負荷が軽いグループ（領域A、領域B）ほど遅らせると共に、上記走査制御信号（ゲートクロック信号GCK）の立ち下りのタイミングを、全てのグループ（領域A、領域B、領域C）で合わせてもよい。
- [0063] 通常、画素の充電率は、画素の充電期間によって決まる。つまり、画素の充電期間を同じにすれば、画素の充電率を同じにできる。
- [0064] 上記構成によれば、走査制御信号が画素の充電有効な電圧までの立ち上がるタイミングを、上記分類されたグループのうち、負荷が軽いグループほど遅らせ、上記走査制御信号の立ち下りのタイミングを全てのグループで合わせることで、負荷が軽いグループほど、走査制御信号のハイレベルの期間を短くできるので、画素の充電期間を短くすることができる。これにより、負荷が軽いグループと、負荷が重いグループとで画素の充電期間を同じにす

ることができるので、表示部内の画素の充電率を全てのグループで同じにできる。従って、ベタ表示の場合に、走査信号線の配線方向（横方向）に直交する方向（縦方向）に画素の充電率の違いに起因するグラデーションは生じない。

[0065] 本発明の態様3に係る表示装置は、上記態様2において、上記走査制御信号生成回路（表示制御回路200）は、上記走査制御信号（ゲートクロック信号GCK）の立ち上がりの開始を、負荷が軽いグループ（領域A、領域B）ほど遅らせてもよい。

[0066] 上記構成によれば、負荷が軽いグループの走査制御信号の立ち上がりを実際に遅らせることができる。

[0067] 本発明の態様4に係る表示装置は、上記態様2において、上記走査制御信号生成回路（表示制御回路200）は、上記走査制御信号（ゲートクロック信号GCK）の立ち上がり開始および立ち下がり開始を全てのグループ（領域A、領域B、領域C）で合わせ、上記画素の充電有効な電圧まで立ち上がるタイミングを遅らせる走査制御信号（ゲートクロック信号GCK）は、少なくとも1度、画素の充電有効な電圧よりも低い電圧まで立ち上がり、その後、画素の充電有効な電圧まで立ち上がるようにしてもよい。

[0068] 上記構成によれば、負荷が軽いグループの走査制御信号の立ち上がりを実際に遅らせることができる。

[0069] 本発明の態様5に係る表示装置は、上記態様1において、上記走査制御信号生成回路（表示制御回路200）は、上記走査制御信号（ゲートクロック信号GCK）が画素の充電有効な電圧まで立ち上がるタイミングを、上記分類されたグループ（領域A、領域B、領域C）のうち、負荷が軽いグループ（領域A、領域B）ほど立ち上がりを鈍らせると共に、上記走査制御信号（ゲートクロック信号GCK）の立ち下がりのタイミングを、全てのグループ（領域A、領域B、領域C）で合わせてもよい。

[0070] 通常、画素の充電率は、画素の充電期間によって決まる。つまり、画素の充電期間を同じにすれば、画素の充電率を同じにできる。

- [0071] 上記構成によれば、走査制御信号が画素の充電有効な電圧まで立ち上がるタイミングを、上記分類されたグループのうち、負荷が軽いグループほど立ち上がりを鈍らせると共に、上記走査制御信号の立ち下がりタイミングを、全てのグループで合わせることで、負荷が軽いグループほど、走査制御信号のハイレベルの期間を短くできるので、画素の充電期間を短くすることができる。これにより、負荷が軽いグループと、負荷が重いグループとで画素の充電期間を同じにすることができるので、表示部内の画素の充電率を全てのグループで同じにできる。従って、ベタ表示の場合に、走査信号線の配線方向（横方向）に直交する方向（縦方向）に画素の充電率の違いに起因するグラデーションは生じない。
- [0072] 本発明の態様6に係る表示装置は、上記態様5において、上記走査制御信号生成回路（表示制御回路200）は、並列接続された複数のトランジスタを含み、当該トランジスタのオン・オフにより走査制御信号の立ち上がりの急峻度合いを制御する制御回路（波形制御回路401）を含んでいてもよい。
- [0073] 上記構成によれば、負荷が軽いグループの走査制御信号の立ち上がりを実際に遅らせることができる。
- [0074] 本発明の態様7に係る表示装置の駆動方法は、複数の走査信号線（ゲートバスライン）が配設された表示部510を有する表示装置（液晶表示装置）の駆動方法であって、走査制御信号（ゲートクロック信号GCK）を生成する第1ステップと、第1ステップで生成された走査制御信号（ゲートクロック信号GCK）の立ち上がりのタイミングで上記走査信号線（ゲートバスライン）に供給する走査信号を生成する第2ステップと、を含み、上記第1ステップは、上記複数の走査信号線（ゲートバスライン）を負荷に応じて複数のグループ（領域A、領域B、領域C）に分類し、分類されたグループ（領域A、領域B、領域C）に対応する上記表示部510内の画素の充電率が全てのグループ（領域A、領域B、領域C）で同じになるように、画素の充電有効な電圧までの立ち上がりを制御した走査制御信号（ゲートクロック信号

GCK)を生成することを特徴としている。

[0075] 上記構成によれば、態様1と同じ効果を奏する。

[0076] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

符号の説明

- [0077] 100 電源
200 表示制御回路（走査制御信号生成回路）
300 ソースドライバ
400 ゲートドライバ（走査信号線駆動回路）
401 波形制御回路（制御回路）
500 液晶パネル
510 表示部
A 領域
B 領域
C 領域
GL ゲートバスライン（走査信号線）

請求の範囲

- [請求項1] 複数の走査信号線が配設された表示部を有する表示装置であって、
走査制御信号を生成する走査制御信号生成回路と、
上記走査制御信号生成回路によって生成された走査制御信号の立ち上がりのタイミングで上記走査信号線に供給する走査信号を生成する走査信号線駆動回路と、を含み、
上記走査制御信号生成回路は、
上記複数の走査信号線を負荷に応じて複数のグループに分類し、分類されたグループに対応する上記表示部内の画素の充電率が全てのグループで同じになるように、上記走査制御信号の画素の充電有効な電圧までの立ち上がりを制御することを特徴とする表示装置。
- [請求項2] 上記走査制御信号生成回路は、
上記走査制御信号が画素の充電有効な電圧まで立ち上がるタイミングを、上記分類されたグループのうち、負荷が軽いグループほど遅らせると共に、上記走査制御信号の立ち下りのタイミングを、全てのグループで合わせることを特徴とする請求項1に記載の表示装置。
- [請求項3] 上記走査制御信号生成回路は、
上記走査制御信号の立ち上がりの開始を、負荷が軽いグループほど遅らせることを特徴とする請求項2に記載の表示装置。
- [請求項4] 上記走査制御信号生成回路は、
上記走査制御信号の立ち上がり開始および立ち下り開始を全てのグループで合わせ、
上記画素の充電有効な電圧まで立ち上がるタイミングを遅らせる走査制御信号は、少なくとも1度、画素の充電有効な電圧よりも低い電圧まで立ち上がり、その後、画素の充電有効な電圧まで立ち上がることを特徴とする請求項2に記載の表示装置。
- [請求項5] 上記走査制御信号生成回路は、
上記走査制御信号が画素の充電有効な電圧まで立ち上がるタイミン

グを、上記分類されたグループのうち、負荷が軽いグループほど立ち上がりを鈍らせると共に、上記走査制御信号の立ち下りのタイミングを、全てのグループで合わせることを特徴とする請求項 1 に記載の表示装置。

[請求項6]

上記走査制御信号生成回路は、

並列接続された複数のトランジスタを含み、当該トランジスタのオン・オフにより走査制御信号の立ち上がりの急峻度合いを制御する制御回路を含んでいることを特徴とする請求項 5 に記載の表示装置。

[請求項7]

複数の走査信号線が配設された表示部を有する表示装置の駆動方法であって、

走査制御信号を生成する第 1 ステップと、

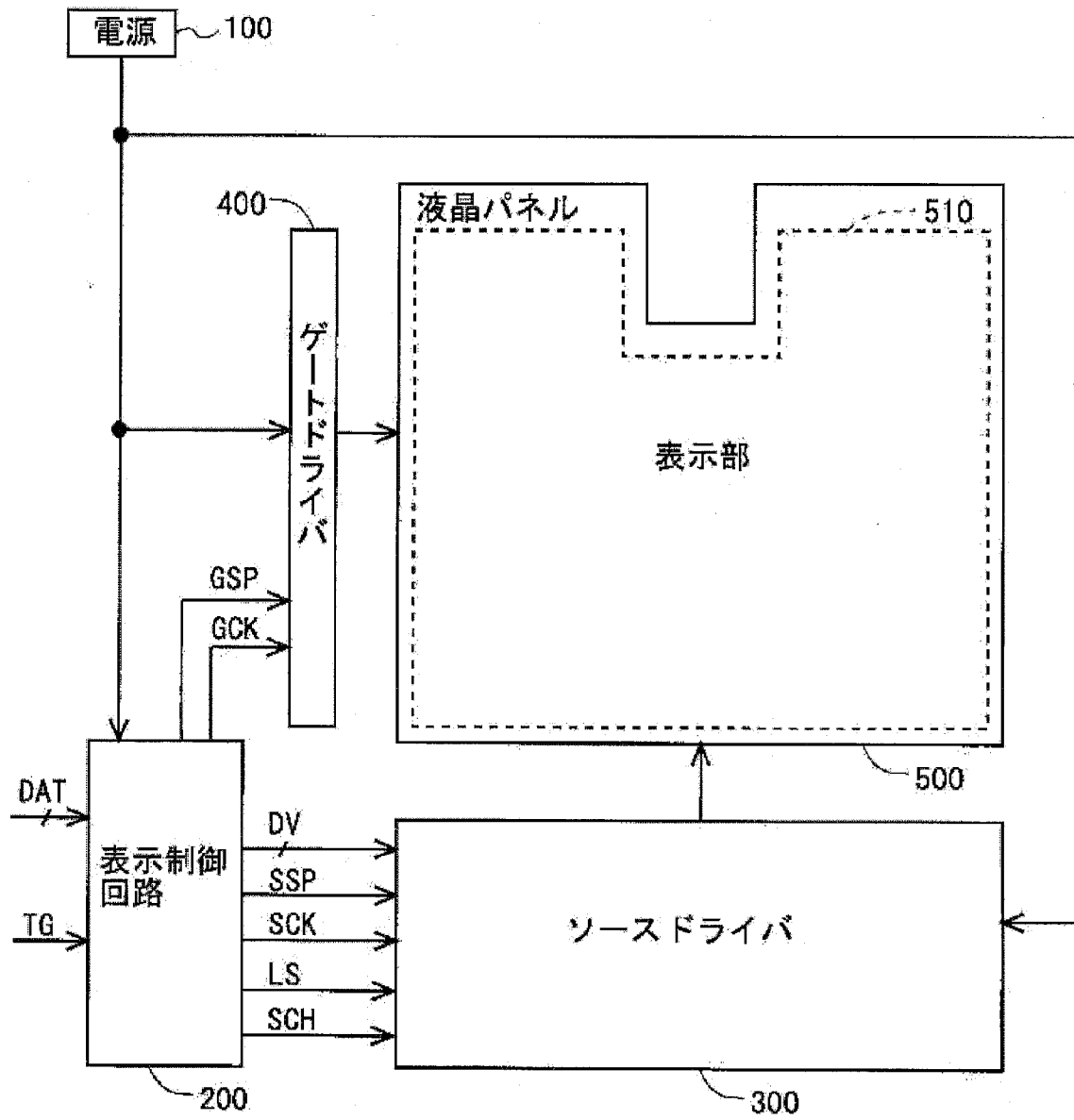
第 1 ステップで生成された走査制御信号の立ち上がりのタイミングで上記走査信号線に供給する走査信号を生成する第 2 ステップと、を含み、

上記第 1 ステップは、

上記複数の走査信号線を負荷に応じて複数のグループに分類し、分類されたグループに対応する上記表示部内の画素の充電率が全てのグループで同じになるように、画素の充電有効な電圧までの立ち上がりを制御した走査制御信号を生成することを特徴とする表示装置の駆動方法。

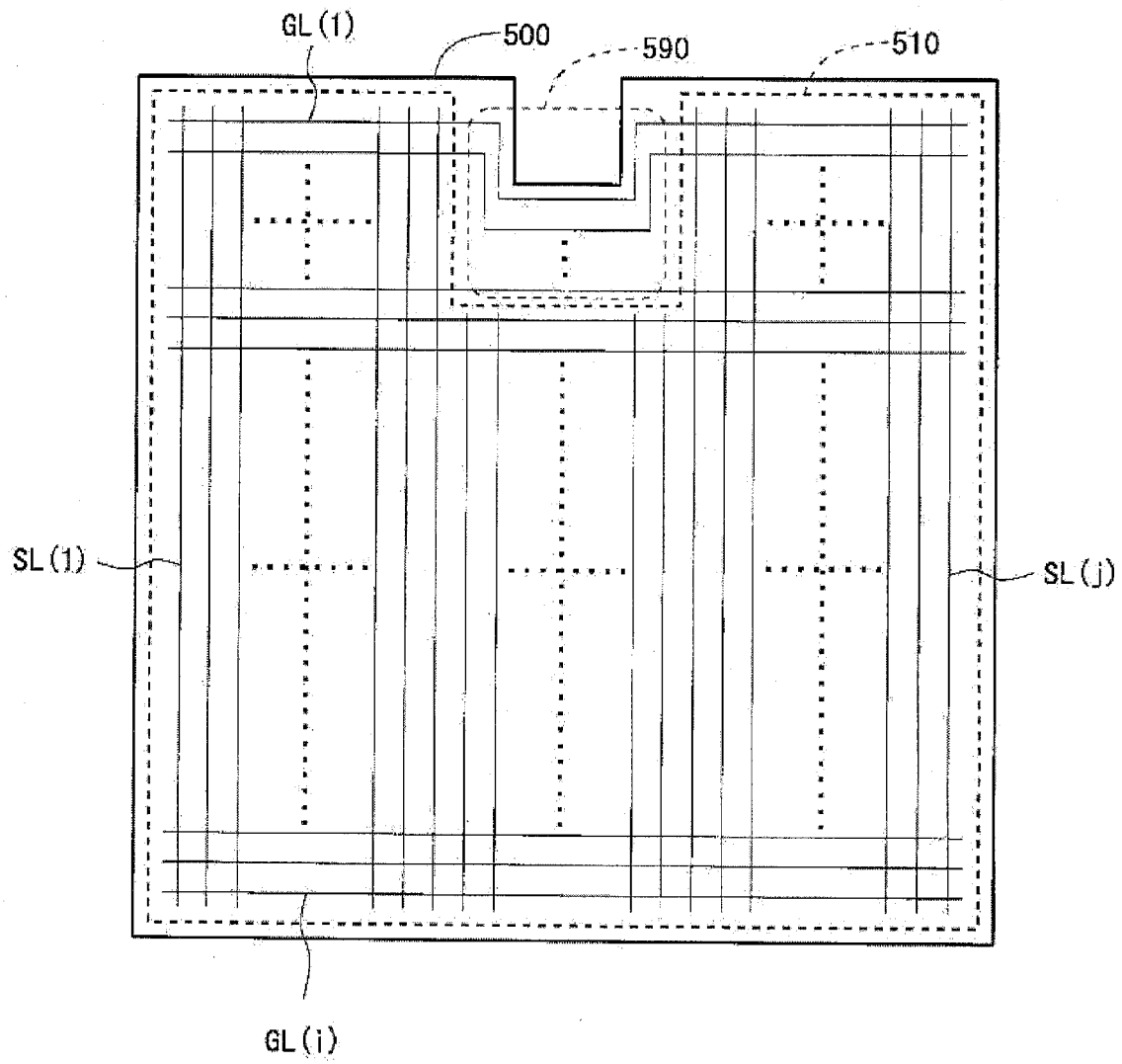
[図1]

図 1



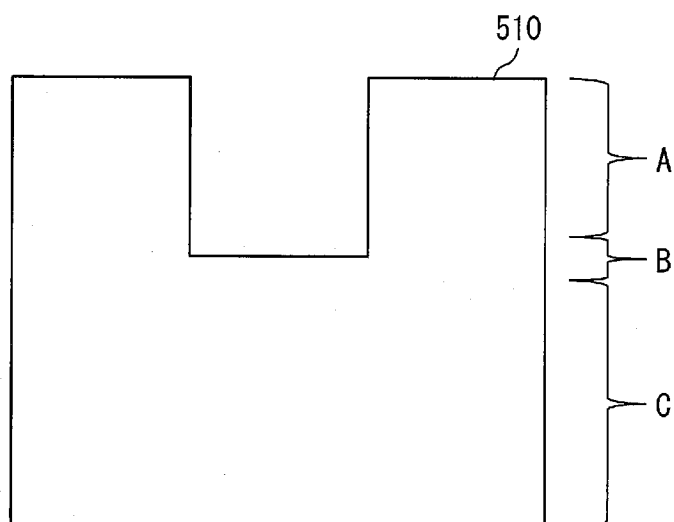
[図2]

図 2



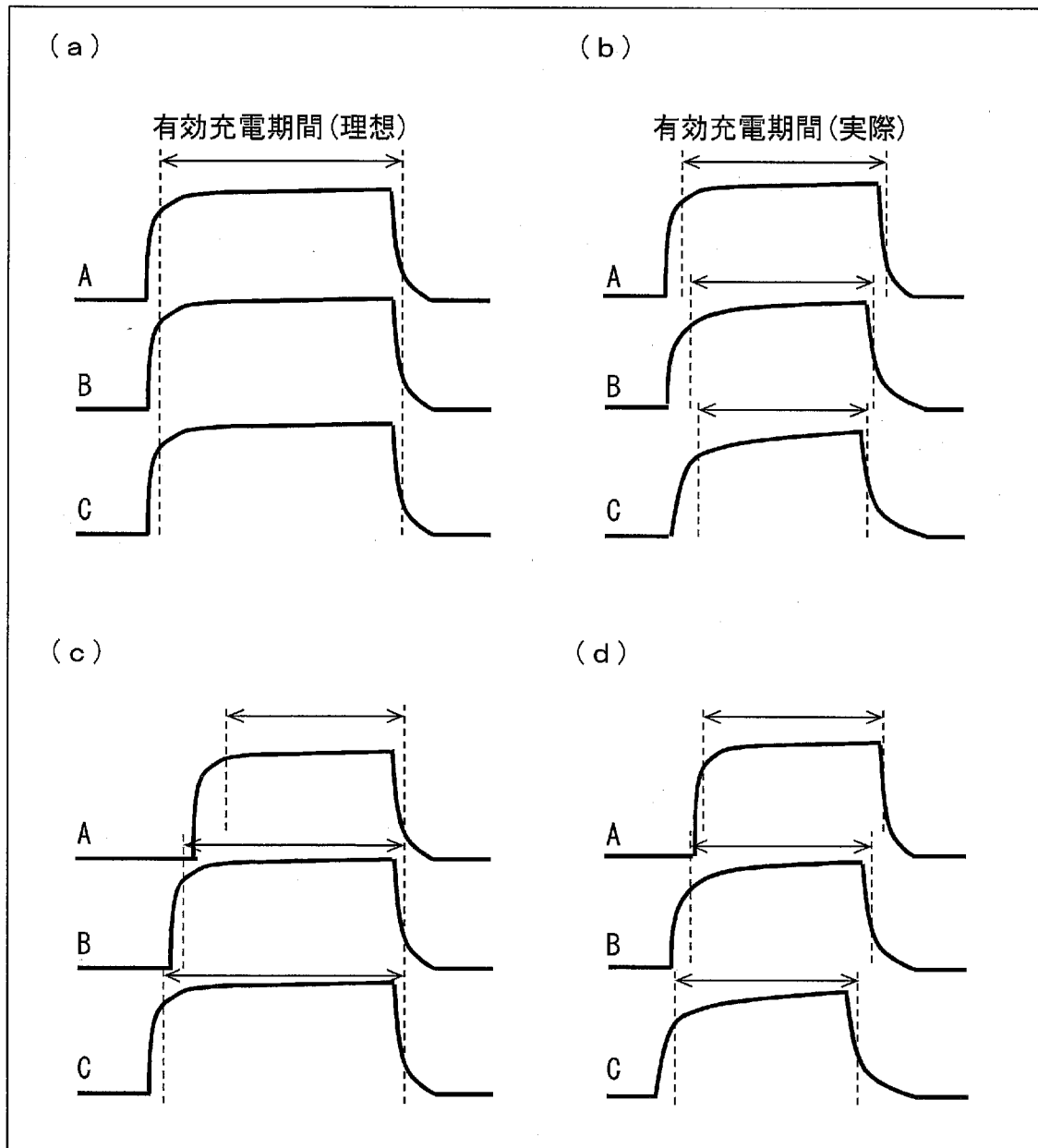
[図3]

図 3



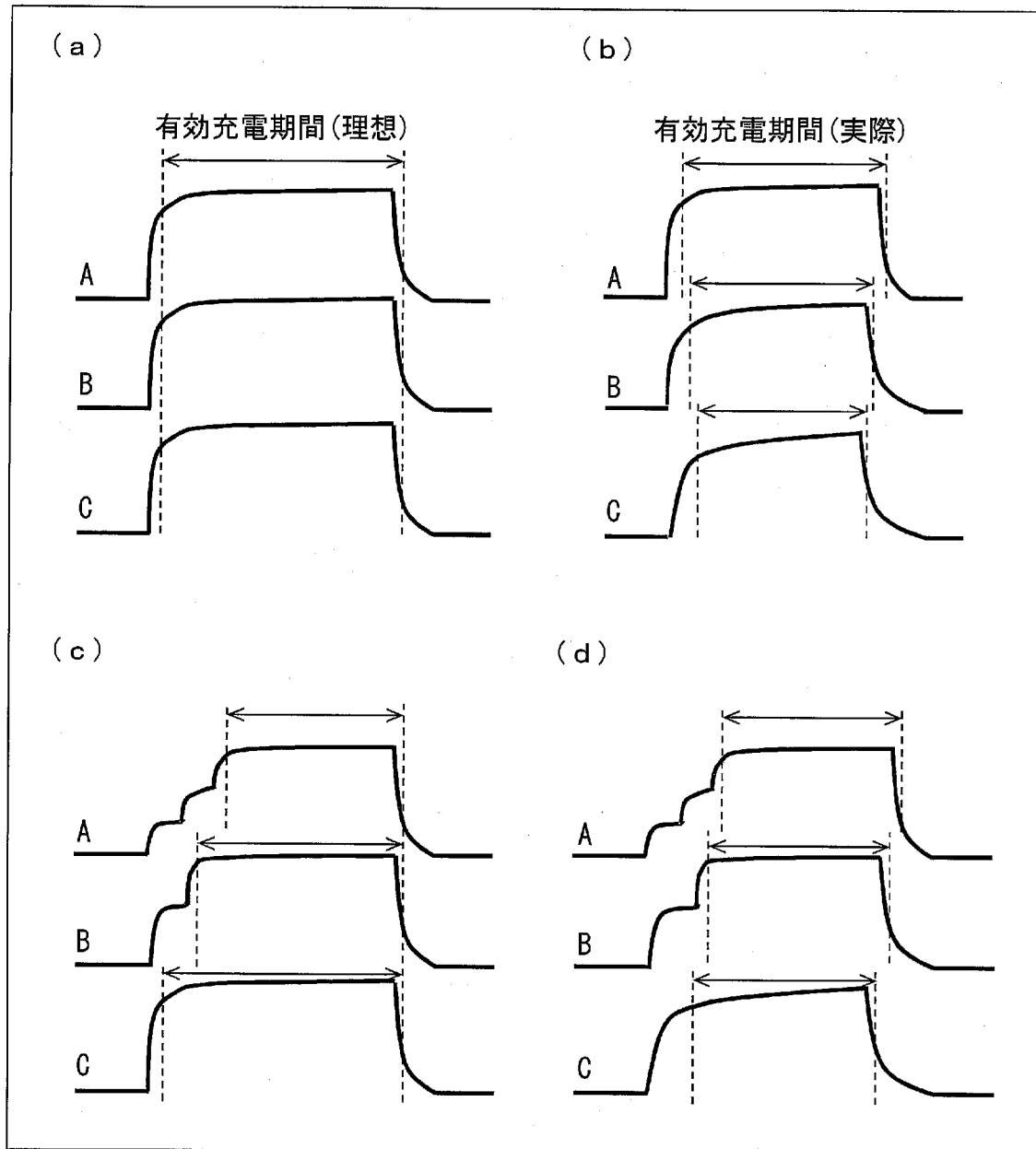
[図4]

図 4



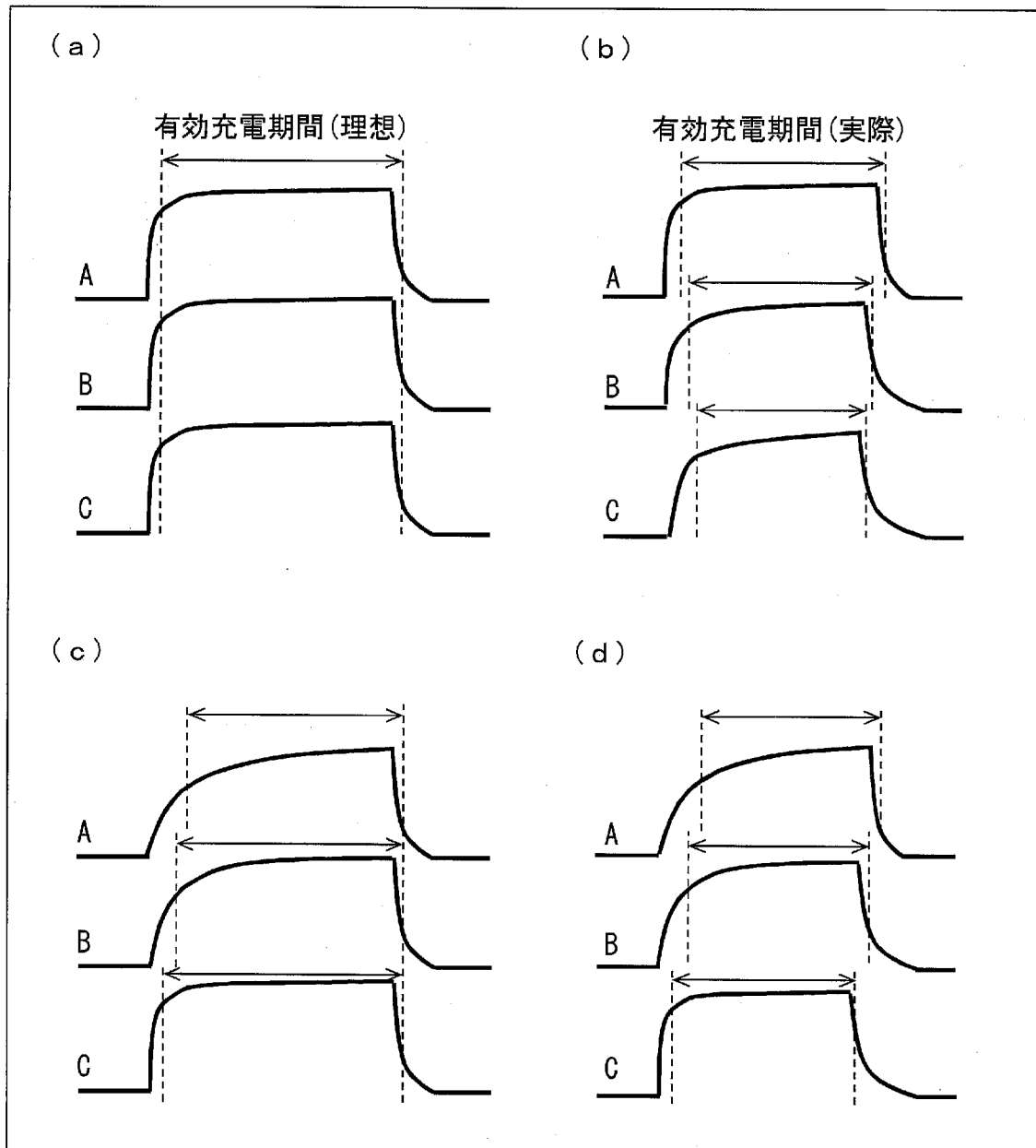
[図5]

図 5



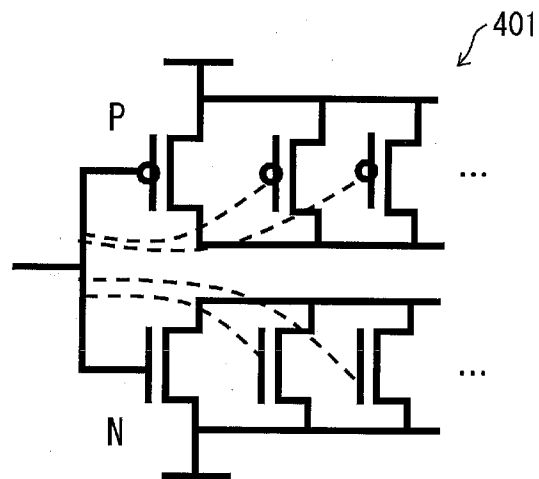
[図6]

図 6



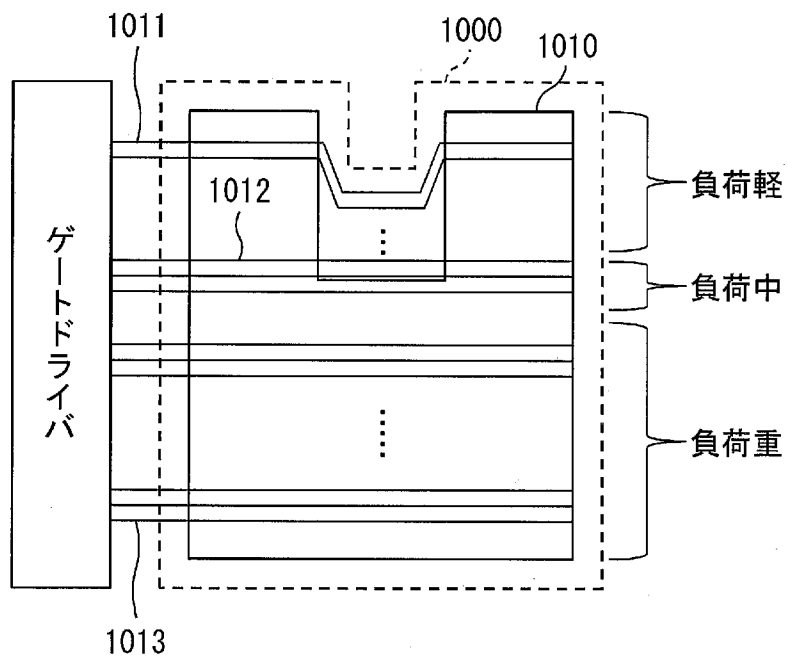
[図7]

図 7



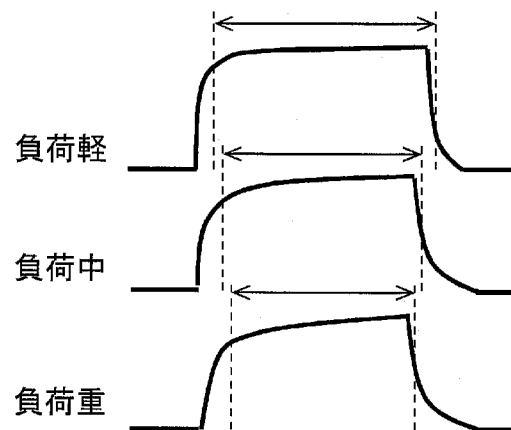
[図8]

図 8



[図9]

図 9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/010062

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G09G3/36 (2006.01) i, G02F1/133 (2006.01) i, G02F1/1345 (2006.01) i, G02F1/1368 (2006.01) i, G09G3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G09G3/36, G02F1/133, G02F1/1345, G02F1/1368, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2009-230103 A (PANASONIC CORP.) 08 October 2009, paragraphs [0019]-[0036], fig. 1-5 & US 2009/0219242 A1, paragraphs [0028]-[0046], fig. 1-5 & CN 101520994 A	1-3, 7 4-6
X A	JP 2007-156080 A (CASIO COMPUTER CO., LTD.) 21 June 2007, paragraphs [0021]-[0051], fig. 1-8 (Family: none)	1-3, 7 4-6
P, X	WO 2017/141828 A1 (SHARP CORP.) 24 August 2017, paragraphs [0035]-[0074], fig. 1-10 (Family: none)	1-3, 7
A	JP 2002-99256 A (TOSHIBA CORP.) 05 April 2002, paragraphs [0016]-[0042], fig. 1-3 (Family: none)	4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02.05.2018

Date of mailing of the international search report
15.05.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/010062

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-301541 A (SONY CORP.) 13 November 1998, paragraphs [0011]-[0040], fig. 1-5 (Family: none)	5-6
A	JP 2004-325808 A (NEC LCD TECHNOLOGIES LTD.) 18 November 2004, entire text, all drawings & US 2004/0212577 A1, entire text, all drawings & CN 1540402 A	1-7
A	US 2011/0248977 A1 (AU OPTRONICS CORPORATION) 13 October 2011, entire text, all drawings & US 2014/0313185 A1 & US 2015/0235603 A1 & TW 201135705 A1	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i,
G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/36, G02F1/133, G02F1/1345, G02F1/1368, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2009-230103 A (パナソニック株式会社) 2009.10.08, 段落 [0019] - [0036], [図1] - [図5] & US 2009/0219242 A1, [0028]-[0046], 図1-図5 & CN 101520994 A	1-3, 7 4-6
X A	JP 2007-156080 A (カシオ計算機株式会社) 2007.06.21, 段落 [0021] - [0051], [図1] - [図8] (ファミリーなし)	1-3, 7 4-6

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

02.05.2018

国際調査報告の発送日

15.05.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

電話番号 03-3581-1101 内線 3273

21

9308

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, X	WO 2017/141828 A1 (シャープ株式会社) 2017. 08. 24, 段落 [0035] - [0074], [図1] - [図10] (ファミリーなし)	1-3, 7
A	JP 2002-99256 A (株式会社東芝) 2002. 04. 05, 段落 [0016] - [0042], [図1] - [図3] (ファミリーなし)	4
A	JP 10-301541 A (ソニー株式会社) 1998. 11. 13, 段落 [0011] - [0040], [図1] - [図5] (ファミリーなし)	5-6
A	JP 2004-325808 A (NEC液晶テクノロジー株式会社) 2004. 11. 18, 全文, 全図 & US 2004/0212577 A1, 全文, 全図 & CN 1540402 A	1-7
A	US 2011/0248977 A1 (AU OPTRONICS CORPORATION) 2011. 10. 13, 全文, 全図 & US 2014/0313185 A1 & US 2015/0235603 A1 & TW 201135705 A1	1-7