

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年3月27日(27.03.2014)



(10) 国際公開番号

WO 2014/045440 A1

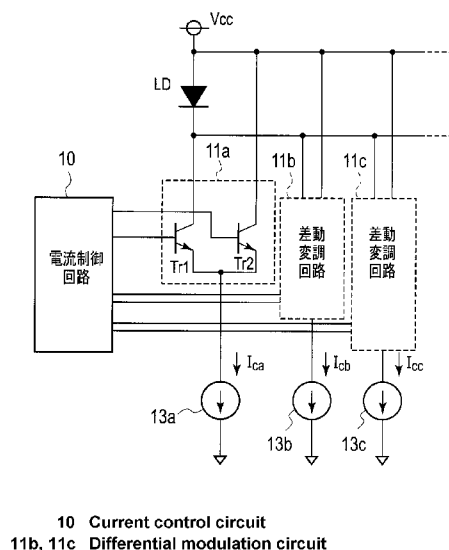
- (51) 国際特許分類:
H01S 5/042 (2006.01) H01S 5/0683 (2006.01)
- (21) 国際出願番号: PCT/JP2012/074400
- (22) 国際出願日: 2012年9月24日(24.09.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社島津製作所 (SHIMADZU CORPORATION) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町1番地 Kyoto (JP).
- (72) 発明者: 宇野 進吾 (UNO, Shingo); 〒6048511 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内 Kyoto (JP). 東條 公資 (TOJO, Koji); 〒6048511 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内 Kyoto (JP). 石垣直也 (ISHIGAKI, Naoya); 〒6048511 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内 Kyoto (JP). 齊川 次郎 (SAIKAWA, Jiro); 〒6048511 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内 Kyoto (JP). 廣木 知之 (HIROKI, Tomoyuki); 〒6048511 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所内 Kyoto (JP).
- (74) 代理人: 三好 秀和, 外 (MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目2番8号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR LASER DRIVING CIRCUIT

(54) 発明の名称: 半導体レーザ駆動回路

[図1]



を前記複数の差動変調回路の前記第1及び第2スイッチング素子の制御電極に出力する電流制御回路とを備える。

(57) Abstract: The present invention is provided with: a semiconductor laser connected to a power supply; a plurality of differential modulation circuits having first and second switching elements, a first principle electrode of the first switching element and a first principle electrode of the second switching element being connected to both ends of the semiconductor layer, second principle electrodes of the first and second switching elements being connected in common, and the differential modulation circuits selecting the first switching element or the second switching element; a plurality of constant current circuits for channeling a constant current, the constant current circuits being provided in correspondence with the differential modulation circuits and having one end connected to the second principle electrode of the first and second switching elements; and a current control circuit for outputting, to the control electrodes of the first and second switching elements of the differential modulation circuits, a selection signal in order to select the first switching element or the second switching element of each of the differential modulation circuits.

(57) 要約: 本発明は、電源に接続された半導体レーザと、第1及び第2スイッチング素子を有し前記第1スイッチング素子の第1主電極と前記第2スイッチング素子の第1主電極とが前記半導体レーザの両端に接続され、前記第1及び第2スイッチング素子の第2主電極が共通接続され、前記第1スイッチング素子又は前記第2スイッチング素子を選択する複数の差動変調回路と、前記複数の差動変調回路に対応して設けられ、一端が前記第1及び第2スイッチング素子の前記第2主電極に接続され、定電流を流す複数の定電流回路と、前記複数の差動変調回路の各々の内の前記第1スイッチング素子又は前記第2スイッチング素子を選択するための選択信号



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体レーザ駆動回路

技術分野

[0001] 本発明は、半導体レーザを高速駆動する半導体レーザ駆動回路に関する。

背景技術

[0002] 従来のこの種の半導体レーザ駆動回路として、例えば特許文献1に記載されたレーザダイオード駆動装置が知られている。このレーザダイオード駆動回路は、バッファの非反転出力及び反転出力をそれぞれベースに入力する第1トランジスタ及び第2トランジスタと、第2トランジスタのコレクタに接続された電源と第1トランジスタのコレクタとの間に接続された半導体レーザとを有する。

[0003] また、レーザダイオード駆動回路は、第1トランジスタ及び第2トランジスタの各エミッタに定電流生成用の第3トランジスタを接続し、安定した電流を供給する。

[0004] さらに、レーザダイオード駆動回路は、バッファからの差動信号を第1トランジスタのベースと第2トランジスタのベースとに入力して、これらのトランジスタのコレクタ及びエミッタに流れる電流を高速にスイッチングする。これにより、半導体レーザに流れる電流を高速にオン／オフ制御できるので、半導体レーザを高速に駆動することができる。

[0005] このように、定電流回路と差動信号とを用いた半導体レーザ駆動回路は、高速なオン／オフ変調回路として知られている。

先行技術文献

特許文献

[0006] 特許文献1：特開平11-284267号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、従来の半導体レーザ駆動回路は、高速駆動しているが、一

定電流のオン／オフ変調を行っているため、電流量変調を行うことができなかった。

[0008] 本発明は、高速動作を維持したままで、電流量変調を行うことができる半導体レーザ駆動回路を提供することを目的とする。

課題を解決するための手段

[0009] 上記の課題を解決するために、本発明に係る半導体レーザ駆動回路は、電源に接続された半導体レーザと、第1及び第2スイッチング素子を有し前記第1スイッチング素子の第1主電極と前記第2スイッチング素子の第1主電極とが前記半導体レーザの両端に接続され、前記第1及び第2スイッチング素子の第2主電極が共通接続され、前記第1スイッチング素子又は前記第2スイッチング素子を選択する複数の差動変調回路と、前記複数の差動変調回路に対応して設けられ、一端が前記第1及び第2スイッチング素子の前記第2主電極に接続され、定電流を流す複数の定電流回路と、前記複数の差動変調回路の各々の内の前記第1スイッチング素子又は前記第2スイッチング素子を選択するための選択信号を前記複数の差動変調回路の前記第1及び第2スイッチング素子の制御電極に出力する電流制御回路とを備える。

発明の効果

[0010] 本発明によれば、複数の差動変調回路の各々について、選択信号により第1スイッチング素子又は第2スイッチング素子を選択されるので、高速動作を維持したままで、電流量変調を行うことができる。

図面の簡単な説明

[0011] [図1]図1は本発明の実施例1に係る半導体レーザ駆動回路の構成を示す図である。

[図2]図2は本発明の実施例1に係る半導体レーザ駆動回路内の複数の差動変調回路の制御により制御される半導体レーザの電流を示す図である。

[図3]図3は本発明の実施例2に係る半導体レーザ駆動回路の構成を示す図である。

[図4]図4は本発明の実施例2に係る半導体レーザ駆動回路において1つのパ

ルス内でA P Cを行う様子を示す図である。

[図5]図5は本発明の実施例3に係る半導体レーザ駆動回路の構成を示す図である。

[図6]図6は本発明の実施例3に係る半導体レーザ駆動回路において半導体レーザのピークパワーが所定値になるように電流を制御する様子を示す図である。

[図7]図7は本発明の実施例4に係る半導体レーザ駆動回路の構成を示す図である。

[図8]図8は本発明の実施例4に係る半導体レーザ駆動回路において平均パワーが所定値になるように電流を制御する様子を示す図である。

発明を実施するための形態

[0012] 以下、本発明のいくつかの実施例に係る半導体レーザ駆動回路が、図面を参照しながら詳細に説明される。

実施例 1

[0013] 本発明の実施例1に係る半導体レーザ駆動回路は、図1に示すように、半導体レーザLD、電流制御回路10、差動変調回路11a、11b、11c、定電流回路13a、13b、13cを備えている。

[0014] 半導体レーザLDは、レーザダイオードからなり、電源Vccに接続される。差動変調回路11a、11b、11cの各々は、トランジスタTr1（第1スイッチング素子）とトランジスタTr2（第2スイッチング素子）とを有している。

[0015] トランジスタTr1のコレクタ（第1主電極）とトランジスタTr2のコレクタ（第1主電極）とが半導体レーザLDの両端に接続され、トランジスタTr1のエミッタ（第2主電極）とトランジスタTr2のエミッタ（第2主電極）とが共通接続されている。差動変調回路11a、11b、11cの各々は、電流制御回路10からの選択信号により、トランジスタTr1又はトランジスタTr2を選択することにより、半導体レーザLDの電流制御を行う。

- [0016] 定電流回路13a, 13b, 13cの各々は、差動変調回路11a, 11b, 11cに対応して設けられ、一端がトランジスタTr1のエミッタとトランジスタTr2のエミッタに接続され、定電流Ica, Icb, Iccを流す。
- [0017] 電流制御回路10は、差動変調回路11a, 11b, 11cの各々の内のトランジスタTr1又はトランジスタTr2を選択するための選択信号を差動変調回路11a, 11b, 11cの各々の内のトランジスタTr1のベース（制御電極）及びトランジスタTr2のベース（制御電極）に出力する。
- [0018] 次に、このように構成された実施例1に係る半導体レーザ駆動回路の動作を図1及び図2を参照しながら詳細に説明する。
- [0019] まず、電流制御回路10からの選択信号により、差動変調回路11a, 11b, 11cの全てのトランジスタTr1はオンし、且つ全てのトランジスタTr2はオフする。このとき、半導体レーザLDには、 $(Ica + Icb + Icc)$ の電流が流れる。
- [0020] また、電流制御回路10からの選択信号により、差動変調回路11a, 11bではトランジスタTr1がオンし、トランジスタTr2がオフする。差動変調回路11cでは、トランジスタTr1がオフし、トランジスタTr2がオンする。このとき、半導体レーザLDには、 $(Ica + Icb)$ の電流が流れる。
- [0021] また、電流制御回路10からの選択信号により、差動変調回路11a, 11cのトランジスタTr1がオンし、トランジスタTr2がオフする。差動変調回路11bでは、トランジスタTr1がオフし、トランジスタTr2がオンする。このとき、半導体レーザLDには、 $(Ica + Icc)$ の電流が流れる。
- [0022] また、電流制御回路10からの選択信号により、差動変調回路11aのトランジスタTr1がオンし、トランジスタTr2がオフする。差動変調回路11b, 11cでは、トランジスタTr1がオフし、トランジスタTr2がオンする。このとき、半導体レーザLDには、 (Ica) の電流が流れる。

- [0023] また、電流制御回路10からの選択信号により、差動変調回路11b, 11cのトランジスタTr1がオンし、トランジスタTr2がオフする。差動変調回路11aでは、トランジスタTr1がオフし、トランジスタTr2がオンする。このとき、半導体レーザLDには、 $(I_{cb} + I_{cc})$ の電流が流れる。
- [0024] また、電流制御回路10からの選択信号により、差動変調回路11bのトランジスタTr1がオンし、トランジスタTr2がオフする。差動変調回路11a, 11cでは、トランジスタTr1がオフし、トランジスタTr2がオンする。このとき、半導体レーザLDには、 (I_{cb}) の電流が流れる。
- [0025] また、電流制御回路10からの選択信号により、差動変調回路11cのトランジスタTr1がオンし、トランジスタTr2がオフする。差動変調回路11a, 11bでは、トランジスタTr1がオフし、トランジスタTr2がオンする。このとき、半導体レーザLDには、 (I_{cc}) の電流が流れる。
- [0026] また、電流制御回路10からの選択信号により、差動変調回路11a, 11b, 11cの全てのトランジスタTr1がオフし、全てのトランジスタTr2がオンすると、半導体レーザLDには電流は流れない。
- [0027] このように、選択信号により全ての差動変調回路11a, 11b, 11cを制御することにより、半導体レーザLDに流れる電流を図2に示すように、3ビット階調で制御することができる。
- [0028] 例えば、図2に示すように、3つの差動変調回路11a, 11b, 11c、定電流回路13a, 13b, 13cが設けられた場合には、電流 I_{ca} を200mA、電流 I_{cb} を100mA、電流 I_{cc} を50mAとすると、0Aから50mA刻みで最大350mAまでの8種類のLD電流を選択することができる。
- [0029] 電流制御回路10は、差動変調回路11a, 11b, 11c内のトランジスタTr1, Tr2をオン／オフするだけで良いので、デジタル回路で構成することができる。
- [0030] また、差動変調回路をN個設け、定電流回路をN個設けた場合には、 I_{c}

I_{ca} , I_{cb} , $I_{cc} \cdots I_{cn}$ の比を、 2^1 , 2^2 , 2^3 , $\cdots 2^n$ にとることにより、 n ビット階調の電流制御が可能となる。

[0031] また、複数の差動変調回路の数、複数の定電流回路の数、各定電流回路の電流値により、半導体レーザLDに流れる電流を精密に制御することができる。

[0032] このように、複数の差動変調回路11a, 11b, 11cの各々について、選択信号によりトランジスタTr1又はトランジスタTr2が選択されるので、高速動作を維持したままで、電流量変調を行うことができる。

実施例 2

[0033] 図3は本発明の実施例2に係る半導体レーザ駆動回路の構成を示す図である。実施例2に係る半導体レーザ駆動回路は、実施例1に係る半導体レーザ駆動回路に対してさらにパワー検出回路14を設けたことを特徴とする。

[0034] パワー検出回路14は、半導体レーザLDのパワーを検出するフォトダイオードと、フォトダイオードに流れる電流を電圧に変換する電流電圧変換回路とを有し、変換された電圧を電流制御回路10に出力する。

[0035] 電流制御回路10は、パワー検出回路14で検出された半導体レーザLDのパワーに対応する電圧がAPC設定信号の値になるように、差動変調回路11a, 11b, 11cの各々のトランジスタTr1又はトランジスタTr2を選択することにより、半導体レーザLDに流れる電流を制御する。この場合、電流制御回路10は、1つのパルス内でAPCを行う。

[0036] 図4(A)に示す例では、パワー検出回路14で検出された半導体レーザLDのパワーに対応する電圧がAPC設定信号になるように、差動変調回路11a, 11bのトランジスタTr1をオンさせて、半導体レーザLDに($I_{ca} + I_{cb}$)の電流が流れる。図4(B)に示す例も図4(A)に示す例と同様である。

[0037] このように実施例2に係る半導体レーザ駆動回路によれば、1つのパルス内でAPC制御を行うことにより半導体レーザLDに流れる電流を制御することができる。

実施例 3

[0038] 図5は本発明の実施例3に係る半導体レーザ駆動回路の構成を示す図である。実施例3に係る半導体レーザ駆動回路は、実施例1に係る半導体レーザ駆動回路に対して、さらに、ピークパワー検出回路15を設けたことを特徴とする。

[0039] ピークパワー検出回路15は、半導体レーザLDのパワーを検出するフォトダイオードと、フォトダイオードに流れる電流を電圧に変換する電流電圧変換回路と、電流電圧変換回路で変換された電圧のピークをホールドするピークホールド回路とを有し、ピークホールドされたピークパワーを電流制御回路10に出力する。

[0040] 電流制御回路10は、ピークパワー検出回路15で検出された半導体レーザLDのピークパワーが所定値になるように、差動変調回路11a, 11b, 11cの各々のトランジスタTr1又はトランジスタTr2を選択することにより、半導体レーザLDに流れる電流を制御する。

[0041] 例えば、図6の左側のパルスのように、半導体レーザLDに($I_{ca} + I_{cb} + I_{cc}$)の電流が流れていた場合に、温度の変化によって、半導体レーザLDの発光効率が変化することがある。このような場合でも、図6の右側のパルスのように、半導体レーザLDに($I_{ca} + I_{cb}$)の電流を流すように制御することで、半導体レーザLDのピークパワーを所定値にすることができる。

実施例 4

[0042] 図7は本発明の実施例4に係る半導体レーザ駆動回路の構成を示す図である。実施例4に係る半導体レーザ駆動回路は、実施例1に係る半導体レーザ駆動回路に対してさらに平均パワー検出回路17を設けたことを特徴とする。

[0043] 平均パワー検出回路17は、半導体レーザLDのパワーを検出するフォトダイオードと、フォトダイオードに流れる電流を電圧に変換する電流電圧変換回路と、電流電圧変換回路で変換された電圧を平均する平均回路とを有し

、平均されたパワーを電流制御回路 10 に出力する。

[0044] 電流制御回路 10 は、平均パワー検出回路 17 で検出された半導体レーザ LD の平均パワーが所定値になるように、差動変調回路 11 a, 11 b, 11 c の各々のトランジスタ T_{r1} 又はトランジスタ T_{r2} を選択することにより、半導体レーザ LD に流れる電流を制御する。

[0045] 例えば、図 8 に示すように、第 1 周波数を有する左側の 3 つのパルスの場合には、半導体レーザ LD に ($I_{ca} + I_{cb} + I_{cc}$) の電流が流れている。周波数が上昇して例えば、右側の 6 つのパルスになった場合には、半導体レーザ LD に ($I_{cb} + I_{cc}$) の電流を流すように制御することで、半導体レーザ LD の平均パワーを所定値にすることができる。即ち、電流制御回路 10 は、周波数が上昇した場合には、電流を低下させるように制御する。

[0046] なお、本発明は、実施例 1 乃至実施例 4 に係る半導体レーザ駆動回路に限定されるものではない。本発明は、実施例 2 乃至実施例 4 に係る半導体レーザ駆動回路の 2 つ以上を組み合わせ用いても良い。

産業上の利用可能性

[0047] 本発明は、例えば、高速の光通信装置に適用可能である。

請求の範囲

[請求項1]

電源に接続された半導体レーザと、

第1及び第2スイッチング素子を有し前記第1スイッチング素子の第1主電極と前記第2スイッチング素子の第1主電極とが前記半導体レーザの両端に接続され、前記第1及び第2スイッチング素子の第2主電極が共通接続され、前記第1スイッチング素子又は前記第2スイッチング素子を選択する複数の差動変調回路と、

前記複数の差動変調回路に対応して設けられ、一端が前記第1及び第2スイッチング素子の前記第2主電極に接続され、定電流を流す複数の定電流回路と、

前記複数の差動変調回路の各々の内の前記第1スイッチング素子又は前記第2スイッチング素子を選択するための選択信号を前記複数の差動変調回路の前記第1及び第2スイッチング素子の制御電極に出力する電流制御回路と、

を備える半導体レーザ駆動回路。

[請求項2]

前記半導体レーザのパワーを検出するパワー検出回路を備え、

前記電流制御回路は、前記パワー検出回路で検出された前記半導体レーザのパワーが設定値になるように、前記複数の差動変調回路の各々の内の前記第1トランジスタ又は前記第2トランジスタを選択することにより、前記半導体レーザに流れる電流を制御する請求項1記載の半導体レーザ駆動回路。

[請求項3]

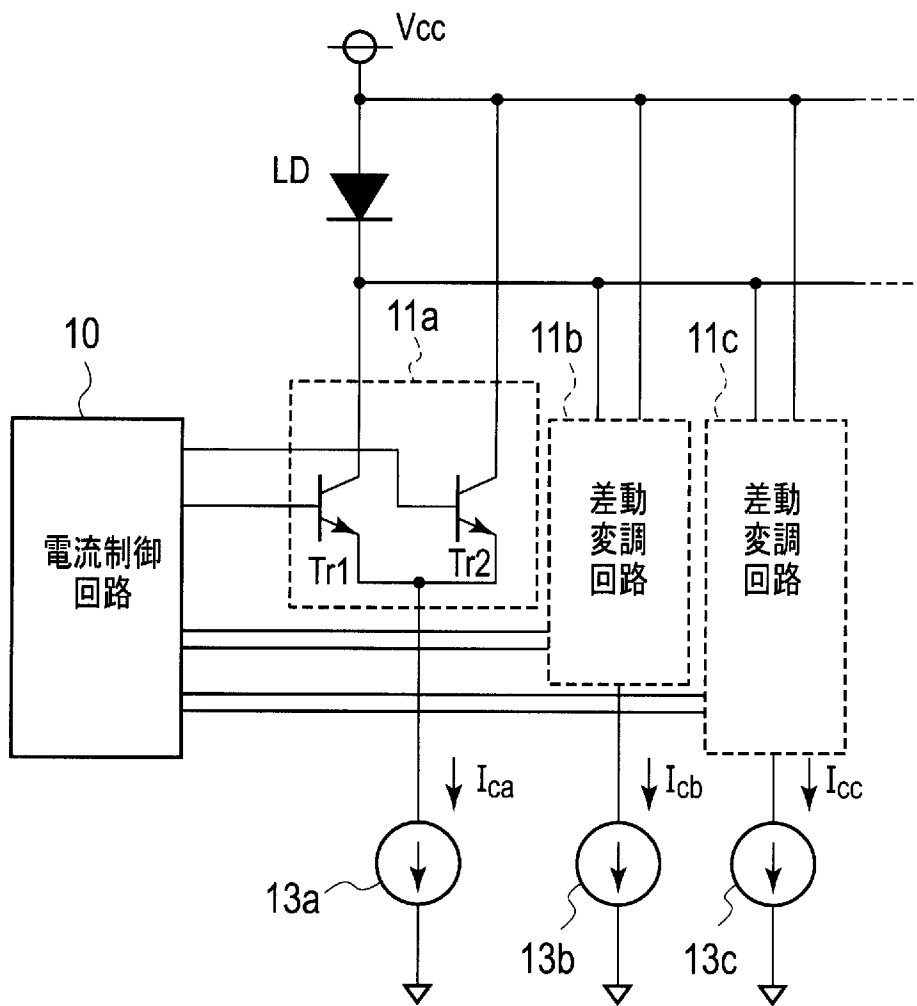
前記半導体レーザのピークパワーを検出するピークパワー検出回路を備え、

前記電流制御回路は、前記ピークパワー検出回路で検出された前記半導体レーザのピークパワーが所定値になるように、前記複数の差動変調回路の各々の内の前記第1トランジスタ又は前記第2トランジスタを選択することにより、前記半導体レーザに流れる電流を制御する請求項1又は請求項2記載の半導体レーザ駆動回路。

[請求項4] 前記半導体レーザの平均パワーを検出する平均パワー検出回路を備え、

前記電流制御回路は、前記平均パワー検出回路で検出された前記半導体レーザの平均パワーが所定値になるように、前記複数の差動変調回路の各々の内の前記第1トランジスタ又は前記第2トランジスタを選択することにより、前記半導体レーザに流れる電流を制御する請求項1乃至請求項3のいずれか1項記載の半導体レーザ駆動回路。

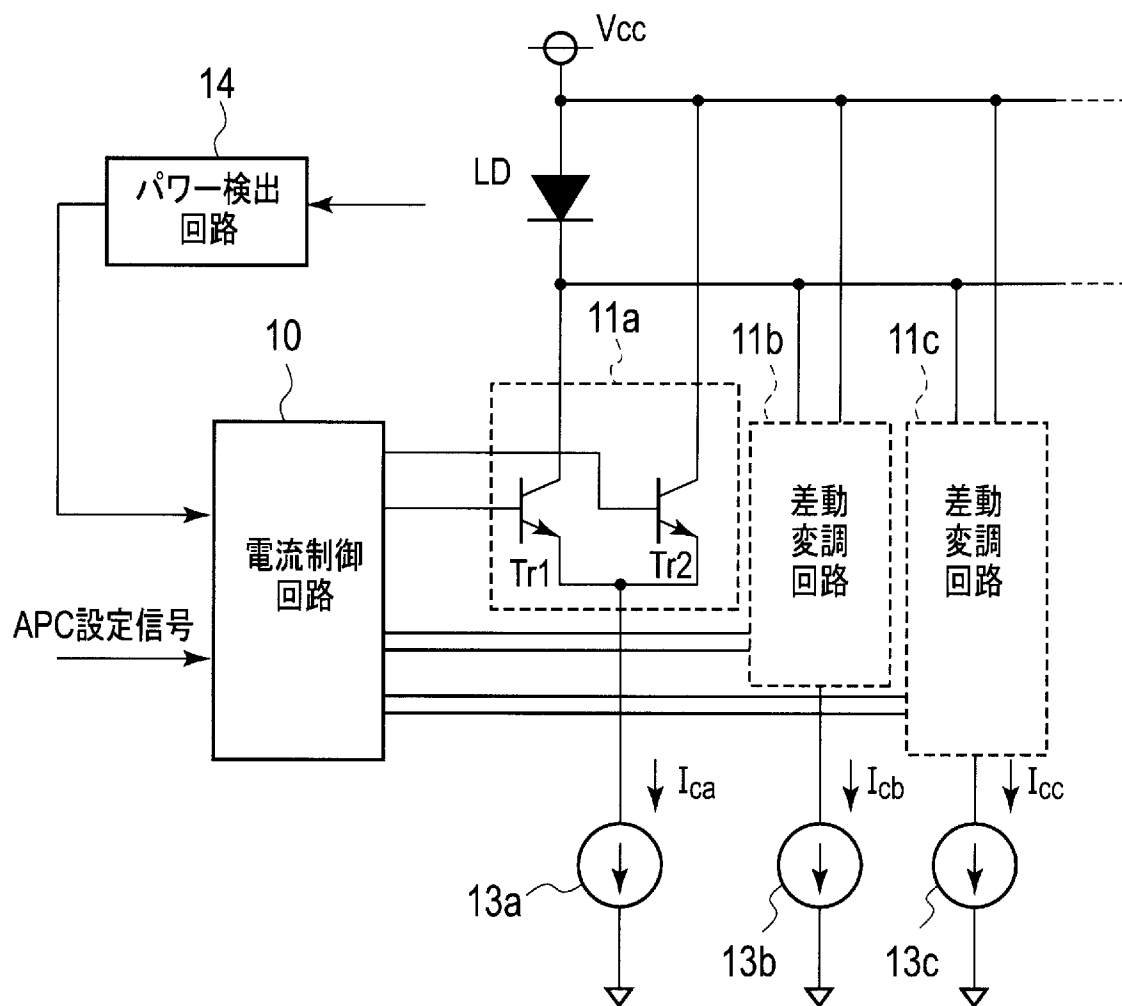
[図1]



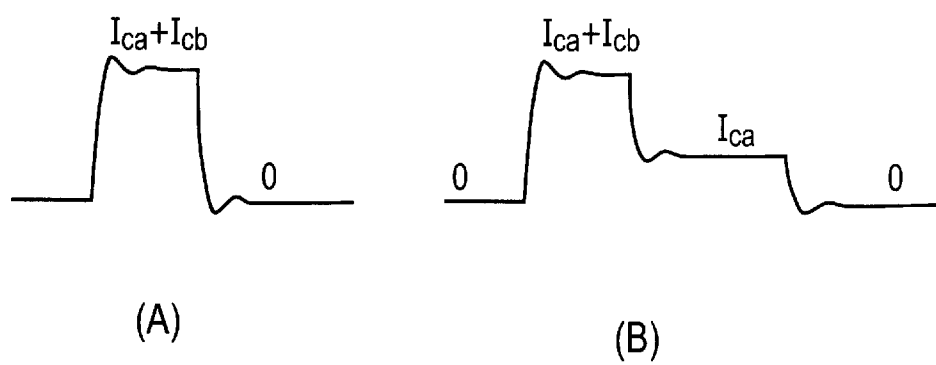
[図2]

I_{ca}	I_{cb}	I_{cc}	LD電流
LD經由	LD經由	LD經由	$I_{ca}+I_{cb}+I_{cc}$
LD經由	LD經由	LD非經由	$I_{ca}+I_{cb}$
LD經由	LD非經由	LD經由	$I_{ca}+I_{cc}$
LD經由	LD非經由	LD非經由	I_{ca}
LD非經由	LD經由	LD經由	$I_{cb}+I_{cc}$
LD非經由	LD經由	LD非經由	I_{cb}
LD非經由	LD非經由	LD經由	I_{cc}
LD非經由	LD非經由	LD非經由	0

[図3]



[図4]

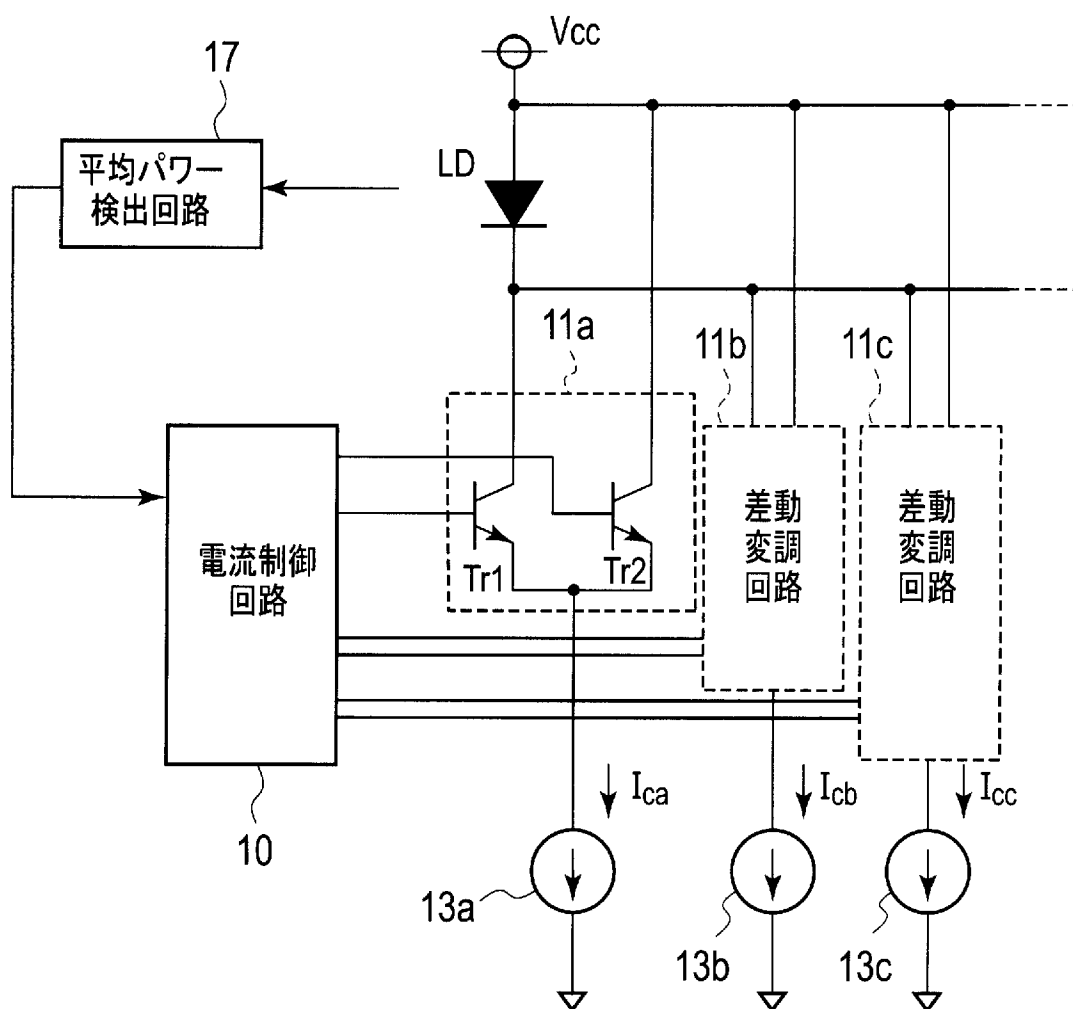


[illegible]

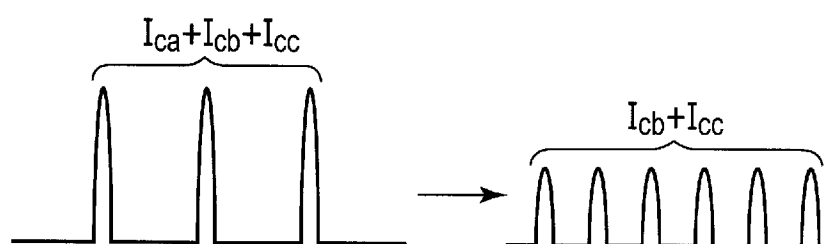
Diagram illustrating the relationship between two current sums:

- Left peak: $I_{Ca}+I_{Cb}+I_{Cc}$
- Right peak: $I_{Ca}+I_{Cb}$
- An arrow points from the left peak to the right peak, indicating a transition or relationship.

[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/074400

A. CLASSIFICATION OF SUBJECT MATTER

H01S5/042(2006.01) i, H01S5/0683(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01S5/00-5/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 2713/1982 (Laid-open No. 106962/1983) (NEC Corp.), 21 July 1983 (21.07.1983), page 1, line 17 to page 10, line 6; fig. 1 to 3 (Family: none)	1, 2 3, 4
X	JP 5-41554 A (Fujitsu Ltd.), 19 February 1993 (19.02.1993), paragraphs [0014] to [0022]; fig. 2 (Family: none)	1

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
11 October, 2012 (11.10.12)

Date of mailing of the international search report
23 October, 2012 (23.10.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/074400

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 1-206366 A (Ricoh Co., Ltd.), 18 August 1989 (18.08.1989), page 2, lower left column, line 8 to page 4, upper left column, line 11; fig. 1 & US 4899344 A	1
Y	JP 2003-59083 A (Sony Corp.), 28 February 2003 (28.02.2003), paragraphs [0024] to [0029]; fig. 1 (Family: none)	3, 4

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01S5/042(2006.01)i, H01S5/0683(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01S5/00-5/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	日本国実用新案登録出願 57-2713 号(日本国実用新案登録出願公開 58-106962 号)の願書に添付した明細書及び図面の内容を撮影したマ	1, 2
Y	イクロフィルム（日本電気株式会社） 1983.07.21, 第1頁第17行-第10頁第6行、第1図-第3図 ファミリーなし	3, 4
X	JP 5-41554 A（富士通株式会社） 1993.02.19, 段落 0014-0022, 図 2 ファミリーなし	1

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

1 1 . 1 0 . 2 0 1 2

国際調査報告の発送日

2 3 . 1 0 . 2 0 1 2

国際調査機関の名称及びあて先
日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

角地 雅信

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

2 K

3 9 1 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 1-206366 A (株式会社リコー) 1989.08.18, 第2頁左下欄第8行-第4頁左上欄11行, 第1図 & US 4899344 A	1
Y	JP 2003-59083 A (ソニー株式会社) 2003.02.28, 段落 0024-0029, 図1 ファミリーなし	3, 4