

發明人 2

姓名：(中文) 艾倫·L·萊尼葛

(英文) Alan L. Renninger

住居所地址：(中文) 美國加州庫帕提諾市奈丹森街 10649 號

(英文) 10649 Nathanson Avenue, Cupertino, California 95014, USA

國籍：(中文) 美國

(英文) USA

發明人 3

姓名：(中文) 柏伍彌·羅葉

(英文) Bohumil Lojek

住居所地址：(中文) 美國科羅拉多州科羅拉多斯普陵市蘭黛街 4830 號

(英文) 4830 Langdale Way, Colorado Springs, Colorado 80906, USA

國籍：(中文) 美國

(英文) USA

發明人 4

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

發明人 5

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

發明人 6

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

捌、聲明事項

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： _____

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

- 1. _____
- 2. _____
- 3. _____

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

- 1. 美國；2002/05/09；10/143,225
- 2. _____
- 3. _____
- 4. _____
- 5. _____
- 6. _____
- 7. _____
- 8. _____
- 9. _____
- 10. _____

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

- 1. _____
- 2. _____
- 3. _____

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

- 1. _____
- 2. _____
- 3. _____

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

- 1. _____
- 2. _____
- 3. _____

熟習該項技術者易於獲得，不須寄存。

玖、發明說明

【發明所屬之技術領域】

本發明係關於浮動閘極、非揮發性、電可變記憶體單元，特別是關於具有超小尺寸之記憶體單元及其製造方法。

【先前技術】

浮動閘極半導體非揮發性記憶體單元，即所熟知的 EEPROM（電可擦除可程式唯讀記憶體，electrically erasable programmable read only memory）或 EPROM（可擦除可程式唯讀記憶體，erasable programmable read only memory），係於超過三十年前所發明。其典型係在一 MOS 記憶體單元電晶體中採用一非常薄的窗，亦即一介電質，以允許電荷可透過薄窗，而在位於基板區域之一汲極或源極電極與位於基板上方之一浮動閘極之間傳送。浮動閘極之所以有此名稱，是由於其並未電性連接至任何電極，而是被介電材料包圍，包括薄氧化物窗。此種電荷傳遞現象是一種值得注意的事件，稱為「穿隧（tunneling）」，一種量子力學效應，電荷穿過薄介電質氧化物窗而到達浮動閘極，但根據導電一詞的一般定義，在考慮範圍的相對低電壓下，是不會發生在介電材料中的。記憶體單元的邏輯狀態係由可儲存電荷直到其被擦除之浮動閘極上電荷的存在與否而決定。

在美國專利第 5,108,939 號中，一浮動閘極區域係藉由習知方式而形成於一閘極介電層上方。汲極區域係利用光微影技術（photolithographic technique）而被曝光，且閘

極介電質被移除。然後，形成一隧道介電質之薄層於曝光之汲極區域上。接著，形成一多晶矽之薄層且被蝕刻，以便沿著先前所形成之浮動閘極的邊緣而創造出非常狹窄之多晶矽延伸。以此種方式所形成之浮動閘極延伸係以薄隧道介電質而與汲極區域分離。然後，形成另一介電層，以便在汲極區域上方提供一介電質，其厚度大於浮動閘極延伸下方之隧道介電質。該專利教示一種將隧道氧化物自我對齊（self-align）浮動閘極之方法，並可達到次微米尺寸之隧道氧化物，即，小於製造設備之特徵線寬尺寸。P. Rolandi 之美國專利第 6,156,610 號揭示在一 EEPROM 結構形成的同時形成一選擇電晶體。

B. Lojek 之專利申請案第 09/847,810 號，現為美國專利第 6,369,422 號，於 2002 年 4 月 9 日獲准，讓渡給本發明之受讓人，其揭示一種非揮發性記憶體單元結構的製造方法，其中薄氧化物窗的尺寸維持有限，但電荷傳遞的氧化物窗部分可被縮小至一尺寸，小於所使用製造設備之最小特徵尺寸解析度。達成的方式是藉由定位固定尺寸之氧化物窗，使得其尺寸被限制，且其位置可控制允許其傳遞之電荷量。氧化物窗之結構係為，其第一部份僅鋪設於二相對場氧化物區域的一部份，而其餘部分則鋪設於一 MOS 電晶體之通道區域上方，但未延伸至橫跨該區。這可有效地產生一狹縫，且可經由移動氧化物窗的位置而調整狹縫之尺寸。設於場氧化物區域上方的氧化物窗部分不能用來使電荷傳遞至浮動閘極。只有鋪設於通道區域上方的氧化

物窗部分可被用來允許此種電荷傳遞。因此，可建構出一相當小之有效電荷傳遞區域，亦即，小於製造設備之最小特徵尺寸。一薄窗係構造成與場氧化物重疊，且並未橫跨通道之寬度，在此種情況下，薄窗係為不對稱的，因為對稱薄窗會完全橫跨通道的寬度。

此種結構可用於小電晶體尺寸，當薄窗變得更小時，窗必須被保護以防止製造步驟中可能的品質損害。本發明之目的在於設計一種小尺寸薄窗，亦即小於製造設備之特徵尺寸，且其可以保護窗品質的方式構成。

【發明內容】

上述目的之達成，係藉由在一 EEPROM 製造過程的早期階段中設置薄隧道窗 (thin tunnel window)。目前，製程設備的最小特徵尺寸係受限於使用光微影技術所能製造的最小尺寸。本發明可製造一種薄窗，其長度或寬度實際上小於製造過程之特徵尺寸。

一基板上之一閘極氧化物層上方之一氮化物遮罩首先係用於產生一 EEPROM 記憶體單元之自我對齊源極與汲極區域。氮化物遮罩可保護位於源極與汲極電極之間未來通道。在源極與汲極形成之後，一第二氮化物層被設置，其中氮化物間隔片被形成於氮化物遮罩的二側，並被蝕刻成一期望之尺寸，其長度將成為隧道氧化物的尺寸。氮化物遮罩一側的閘極氧化物被移除，使得該側之假間隔片 (dummy spacer) 可接近基板。此一假間隔片之目的在於界定未來隧道氧化物窗之長度。間隔片的尺寸係小於微影

技術所能製造的尺寸，典型低於一微米。一補充氧化物係設置於氮化物之側邊，其形成一氧化物巢，具有氮化物間隔片以狹縫方式存在於其中。當氮化物被蝕刻移除，巢便被挖空。蝕刻一狹窄之巢或狹縫的能力，可將小尺寸薄窗形成於此空間中，而不需倚靠光微影技術之解析度。當氮化物間隔片被移除，一薄隧道氧化物層即可施加於該單元之邊緣上。

由於二單元係同時地以對稱關係形成，薄氧化物可延伸超過該單元的邊緣，跨過相鄰單元之邊緣，且到達相鄰單元中假間隔片先前所佔據的區域。此一延伸於二單元之薄氧化物帶不會干擾二單元之後續形成步驟。例如，第一多晶矽被設置於每一單元，並經蝕刻以形成一浮動閘極。真氮化物間隔片可選擇性地形成於第一多晶矽浮動閘極的邊緣。後續之氧化物層及第二多晶矽層可完成單元結構。請注意真氮化物間隔片並非位於先前假間隔片之相同位置，且假間隔片已被蝕刻掉。選擇性真間隔片維持存在，以保護第一多晶矽浮動閘極的邊緣，避免橫向可移動電子或離子進出浮動閘極。

選擇電晶體可與 EEPROM 同時形成，其可利用選定層與步驟，例如，源極與汲極形成之佈植步驟，氮化物移除之後的一氧化物設置步驟。此氧化物設置可形成選擇電晶體之一閘極氧化物，但其係形成 EEPROM 元件之多晶矽間氧化物。氧化物設置之後係為第二多晶矽層之設置。選擇電晶體及 EEPROM 電晶體現在可以一般方式完成。

【實施方式】

請參照圖 1，一基板 11 可為任一種導電型式，例如 p 型。基板具有場氧化物區域 13，其形成隔離障壁 (isolation barrier)，界定元件之主動區域。圖示為半嵌入式 (semi-recessed) 二氧化矽部分擴散 LOCOS 結構，但亦可組合或替換其他隔離與技術，包括佈植區域。

圖 2 中，一二氧化矽層 15 被熱成長於基板 11 表面之主動區域，厚度約為 350Å，形成一閘極氧化物層。該層係完全地延伸橫跨於基板上，接觸場氧化物區域 13。

圖 3 中，一氮化物層 17 被設置於主動區域中的閘極氧化物層 15 上方，典型厚度為 1500Å。氮化物層可藉由化學氣相沈積法 (chemical vapor deposition) 而長成，其延伸橫跨於元件上方，覆蓋氧化物層 15，並接觸場氧化物隔離區域 13。

圖 4 中，氮化物層 17 經蝕刻，留下一氮化物佈植遮罩 19，以保護基板 11 中將成為記憶體電晶體通道的區域。氮化物的蝕刻可利用濕式化學蝕刻而達成。

圖 5 中，埋入式佈植之離子佈植係以箭頭 I 表示。氮化物遮罩 19 可阻隔離子到達正下方的通道區域，但穿過氮化物遮罩 19 二側之離子可分別形成埋入式佈植區域 21 與 23。在離子佈植之後，元件係於 700°C 之溫度下退火，以消除小結晶缺陷及層狀結構中的應力。

圖 6 中，一光阻層 14 保護氧化物層 15 之左側，而氧化物層 15 的一區域被移除，其從氮化物遮罩層 19 的右緣延

伸至場氧化物 13。區域 25 可藉由活性離子蝕刻 (reactive ion etching) 而移除，只有氮化物遮罩一側的氧化物被移除。然後，將光阻層 14 移除。

圖 7 中，一約 80\AA 之超薄氧化物層 30 被設置於基板 11 之移除區域 25 中。此一薄氧化物層係藉由化學氣相沈積法而設置，其亦可存在於晶圓上的其他部位，但其在其他部位是不重要的。

圖 8 中，一第二氮化物層 27 被設置於元件上，覆蓋二相對邊緣之場氧化物區域 13。第二氮化物層厚度約為 1500\AA 。稍後，氮化物層經蝕刻，如圖 9 所示，在氮化物遮罩 19 的二側留下假氮化物間隔片 (dummy nitride spacer) 31 與 33。間隔片 31 與 33 係類似於一電晶體之閘極之相對二側所使用之間隔片，但其較薄、且稍後將會消失，因此被稱為「假」間隔片。請注意假間隔片 31 係位於先前以活性離子蝕刻法所形成之空間中的薄氧化物層上方。假間隔片 31 的覆蓋範圍 (footprint) 係對應於一即將形成之隧道氧化物窗的尺寸。

如圖 10 所示，一熱氧化物層 37 係設置於氮化物層之外。熱氧化物層之厚度約為 350\AA 。此層的目的在於增加氮化物遮罩右側之氧化物的厚度，以便在假間隔片 31 所在的位置形成一「巢狀」(nest)。

圖 11 中，氮化物層被移除。先施以一短暫氧化物蝕刻，使熱氧化物層 37 變薄，接著施以一濕式氮化物蝕刻，以移除氮化物遮罩 19 及假氮化物間隔片 31 與 33。

圖 11 中，薄氧化物層 30 仍存在於汲極 23 上方之開放區域 25 中。在氮化物移除之後，閘極氧化物層 15 亦未受磨損。

在圖 12 中，薄氧化物層 30 係以濕式氧化物蝕刻而被移除，然後，圖 13 中，一隧道氧化物層 40 生長至厚度約為 70Å。區域 25 中之隧道氧化物層係被稱為一隧道氧化物窗，直接位於佈植區域 23 的上方。請注意此窗不使用光微影技術形成。窗的窄邊長度係小於一埃（angstrom）。一空間隔片已被形成於先前由間隔片 31 所佔據的空間中。

圖 14 中，一第一導電多晶矽層 41 被設置於氧化層 15 上方，形成一第一多晶矽層。此層的一部份朝基板向下沈入，並接觸汲極 23 上佔據間隔巢（spacer nest）之薄氧化物窗 40。下沈區域（dip down region）43 將會形成供電子進入第一多晶矽層（即浮動閘極）較上部區域之路徑。

圖 15 中，第一多晶矽層 41 及下方之氧化物層 15 被蝕刻，使得部分之氧化物分別延伸至佈植區域 21 與 23 上方。在佈植區域經過進一步佈植而成爲一汲極電極之後，電荷可從佈植區域流經多晶矽閘極 41 之下沈區域 43 中的隧道氧化物窗。

圖 16 中，選擇性氮化物間隔片 51 與 53 可被設置於多晶矽閘極 41 的二側。此種間隔片的形成係爲習知技術，間隔片的作用在於限制或防止可移動離子或雜散電荷經由側邊進入第一多晶矽浮動閘極。一典型厚度 350Å 之 ONO 層或多晶矽間介電層（interpoly dielectric layer）係被鋪設

於第一多晶矽層上方。

圖 17 中，一第二導體多晶矽層 57，又稱為控制多晶矽層或第二多晶矽層，被設置於多晶矽間介電層 55、及氮化物間隔片 51 與 53 的上方。第二多晶矽層 57 係與第一多晶矽層 41 平行，並互相間隔開來。圖 18 中，上方層 55 與 57 經蝕刻，留下層 41 上方的第二多晶矽層 57。選擇性氮化物間隔片 51 與 53 仍作為第一多晶矽層及其下方氧化物層之保護障壁。源極與汲極佈植 22 與 24 可利用 ONO 層作為自我對齊工具而被製成。源極與汲極佈植 22 與 24 之摻雜物 (dopant) 濃度及能量係大於佈植 21 與 23。進一步地，氮化物間隔片 52 與 54 可選擇性地保護第二多晶矽層 57。

圖 19 中，顯示相同種類及導電率之二對稱 CMOS 元件之形成。基板係以先前具體例之方式製備。請注意先前具體例中的數個步驟被結合成單一步驟。圖 19 中，一氧化物層 115 被設置於摻雜基板 111 上。接著，一氮化物層被設置於氧化物層上，氧化物層及氮化物層具有相同厚度，如先前具體例所述。氮化物層經蝕刻以製造氮化物遮罩 118 與 119，以便保護通道區域，在藉由離子佈植形成源極 121 與 123 之後，使用遮罩 118 與 119 供自我對齊。

圖 20 中，藉由蝕刻氮化物遮罩 118 與 119 之二外側邊緣，以將氧化物移除。一旦層 115 之氧化物被移除，重新生長為一薄氧化物層至厚度約為 80\AA ，對應於圖 7 中的生長。原始氧化物層 115 在汲極 123 與汲極二側上之通道區

域的上方係為完整高度。接著，一第二氮化物層被設置於整個主動區域上，然後被蝕刻，以界定間隔片 131、132、134 與 135，如圖 21 所示。此等係為先前參照圖 9 所說明之假間隔片。一熱氧化物層被設置於源極上方，如先前參照圖 10 所說明者，經蝕刻後，在源極 121 上方留下一約 350Å 之氧化物層。接著，全部的氮化物被移除，如圖 22 所示，在開口 136 與 137 中，間隔片下方的薄氧化物被一隧道氧化物層取代，對應於上述圖 11-13 之說明。

圖 23 中，一第一多晶矽層被設置於氧化物上方，並被蝕刻以形成浮動閘極 141 與 142。此等浮動閘極具有下沈區域 143 與 144，其接觸直接位於佈植區域 121 上方的薄隧道氧化物。在此進一步摻雜以製造出源極和汲極之後，可使電子從源極區域連通至浮動閘極中。

圖 24 中，一對完成之選擇電晶體 175 與 176 之浮動閘極 143 與 144 係為對稱。每一浮動閘極被一絕緣體層 153 覆蓋，典型為 ONO (氧化物-氮化物-氧化物)，其依序被覆蓋一氧化物層 155、接著是一第二多晶矽層 156，藉以形成第二多晶矽層。相同的多晶矽層在氧化物層 157 上方形成一選擇電晶體 175 之電極 161。浮動閘極電晶體上的一導電層 159 可使一群類似記憶體單元擦除或程式化。同樣地，選擇電晶體 175 之第二多晶矽層 161 設置於氧化物層 157 上方，可使相關記憶體單元電晶體擦除或程式化。第二多晶矽層 161 上方之一金屬層 174 係用於與一群之選擇電晶體之連通。一觸點 163 可被設置於一電晶體對之一邊

緣，作為選擇電晶體之一電極，連通選擇電晶體之源極或汲極。若金屬層 159 係為一字組線 (word line)，則觸點 163 可為一位元線 (bit line)。

圖 25 中，頂視圖中的各區域係以線 201-211 表示，對應於圖 24 左側之記憶體電晶體的相同虛線。該對線 201 與 202 指示觸點區域 163。線 203 與 204 對應於導體層 161 之相對邊緣。粗線 212 與 213 界定主動區域的邊界，粗線 214 與 215 亦同。線 205 指示左側電晶體之源極 121 的大約起點。該對線 206 與 210 指示第一多晶矽層之範圍。該對線 207 與 208 指示隧道氧化物的長度。線 208 與 209 對應於導電電極 159 之範圍。線 210 指示第一多晶矽層之最右端，而線 211 指示薄氧化物之最右端範圍。

圖 26 中，可看出選擇電晶體之結構。源極及汲極區域 (此圖中未顯示) 係形成於基板中，基板在場氧化物區域 313 與 315 之間具有一抗穿孔 (APT, anti-punch through) 層。此等場氧化物區域形成選擇電晶體之邊界。基板上方係為一厚氧化物層 157，其亦顯示於圖 24 中。此氧化物層上方係為一第二多晶矽層 161，其橫跨電晶體之上側，且存在於圖 25 之線 203 與 204 之間。請注意第一多晶矽並未於選擇電晶體中使用。

圖 27 中，記憶體單元電晶體之一區段，第一多晶矽層 143 係位於場氧化物區域 13 之間，圍繞該元件。氧化物層 155 係位於第一多晶矽層 143 上方，其係與圖 26 中之一氧化物層 157 同時形成。第二多晶矽層 159 係位於厚氧化物

層上方，顯示於圖 24 中。雖然圖 26 與 27 顯示出一對場氧化物區域之間的元件構造，向右及向左延伸係具有類似之結構，包含一類似元件之陣列中的其他裝置。記憶體晶片通常包含數個位元寬乘數個字組長之單元陣列。由於氧化物層 151 與 157 相對較厚，例如 12 伏特之大電壓可出現於第二多晶矽控制閘極，但第一多晶矽儲存電荷通常係使用較小之電壓。

【圖式簡單說明】

圖 1-18 係為本發明之 CMOS 記憶體元件之元件製造過程逐步步驟的側視圖。

圖 19-23 係為類似圖 1-18 之橫向對稱 CMOS 記憶體元件之元件製造過程逐步步驟的側視圖。

圖 24 係為圖 23 之橫向對稱 CMOS 元件的側視圖，具有橫向感測電晶體，形成一對記憶體單元。

圖 25 係為圖 24 所示之一單一記憶體單元的頂視平面圖，其中圖 24 係沿圖 25 中的線 A-A' 而繪製。

圖 26 係為沿圖 25 中的線 B-B' 所繪製之記憶體單元斷面圖。

圖 27 係為沿圖 25 中的線 C-C' 所繪製之記憶體單元斷面圖。

(元件符號說明)

- 11 基板
- 13 場氧化物區域
- 14 光阻層

- 15 閘極氧化物層
- 17 氮化物層
- 19 氮化物遮罩
- 21 佈植區域
- 23 佈植區域
- 25 區域
- 27 第二氮化物層
- 30 超薄氧化物層
- 31 假間隔片
- 33 假間隔片
- 37 熱氧化物層
- 40 薄氧化物窗
- 41 第一多晶矽層
- 43 下沈區域
- 51 氮化物間隔片
- 53 氮化物間隔片
- 55 多晶矽間介電層
- 57 第二多晶矽層
- 111 摻雜基板
- 115 氧化物層
- 118 氮化物遮罩
- 119 氮化物遮罩
- 121 源極
- 123 源極

- 131 間隔片
- 132 間隔片
- 134 間隔片
- 135 間隔片
- 136 開口
- 137 開口
- 141 浮動閘極
- 142 浮動閘極
- 143 下沈區域
- 144 下沈區域
- 153 絕緣體層
- 155 氧化物層
- 156 第二多晶矽層
- 157 氧化物層
- 159 導電層
- 161 第二多晶矽層
- 163 觸點
- 174 金屬層
- 175 選擇電晶體
- 176 選擇電晶體
- 201-211 線
- 212-215 粗線
- 313 場氧化物區域
- 315 場氧化物區域

肆、中文發明摘要

一小型隧道氧化物窗係形成於一 EEPROM 電晶體結構中，其係在汲極與源極佈植形成於一氮化物遮罩之二相對側之後，在一閘極氧化物層上方之氮化物佈植遮罩之二側設置假氮化物間隔片。使用之製程設備具有一最小特徵尺寸，例如最小可解析之線寬。氮化物間隔片係形成於一第二氮化物層中，其係在一包含氮化物遮罩形成之第一層之後設置。間隔片經蝕刻，使得其尺寸係對應於一期望隧道氧化物之尺寸。在間隔片形成之前，移除氮化物遮罩之一側的閘極氧化物，以便容納間隔片之形成，但另一氧化物層係設置於源極與汲極區域其中一者的上方，毗連一氮化物間隔片，以取代大部分被移除之氧化物。氮化物層經移除，留下一間隔巢，亦即假間隔片其中之一曾與源極和汲極電極其中一者垂直毗鄰之空間。隧道氧化物則設置於已移除之間隔片的底部，間隔片係指曾與源極與汲極電極其中一者垂直毗鄰者。此隧道氧化物層在間隔巢中之長度，係小於製程設備可製造之最小特徵尺寸。一第一多晶矽層係設置於結構上方，填滿間隔巢，然後此元件以 EEPROM 之一般方式完成。第一多晶矽層上方之一厚氧化物層及一第二多晶矽層係用於完成 EEPROM 結構，其亦可用作為一相鄰選擇電晶體中之層，使得選擇電晶體可與 EEPROM 結構同時形成。

伍、英文發明摘要

A tiny tunnel oxide window is formed in an EEPROM transistor structure by placing dummy nitride spacers on either side of a nitride implant mask over a gate oxide layer after source and drain are formed by implantation at opposed sides of the nitride mask. Process equipment is used having a minimal characteristic feature dimension, such as minimum resolvable linewidth. The nitride spacers are formed in a second nitride layer deposit after a first layer deposit involving the nitride mask formation. The spacers are etched to have a dimension corresponding to a desired tunnel oxide dimension. The gate oxide was removed beyond the nitride mask prior to spacer formation and to accommodate spacer formation but another oxide layer is deposited over one of the source and drain regions, abutting a nitride spacer in place of most of the removed oxide. The nitride layers are removed leaving a spacer nest, i.e. a space, where one of the dummy spacers had been vertically adjacent to one of the source and drain electrodes. Tunnel oxide is deposited at the base of the removed spacer which was vertically adjacent to one of the source and drain electrodes. This tunnel oxide layer has a length in the spacer nest smaller than the smallest feature dimension that can be made by the process equipment. A layer of poly-one is deposited over the structure, filling the spacer nest and then the device is finished in the usual

way for an EEPROM structure. A layer of thick oxide over the poly-one layer and a poly-two layer, used to finish the EEPROM structure, can also be used as layers in an adjacent select transistor, allowing the select transistor to be formed simultaneously with the EEPROM structure.

陸、(一)、本案指定代表圖為：第 24 圖

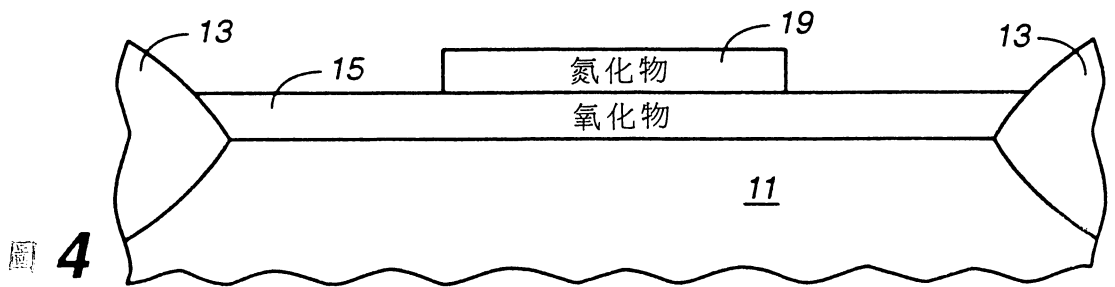
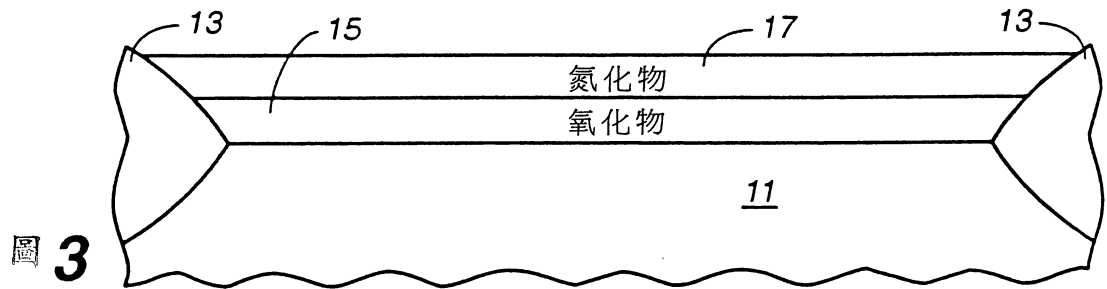
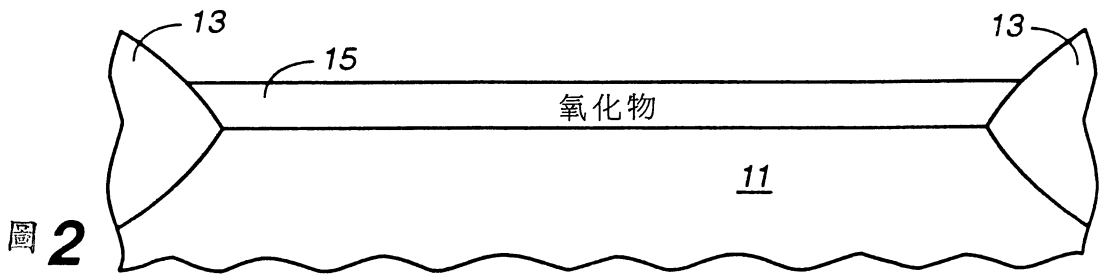
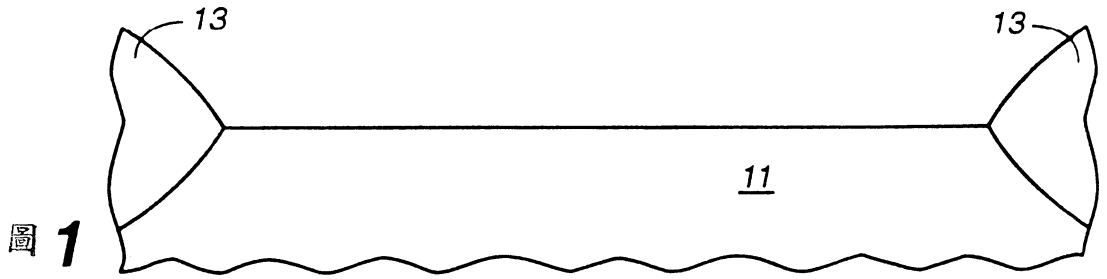
(二)、本代表圖之元件代表符號簡單說明：

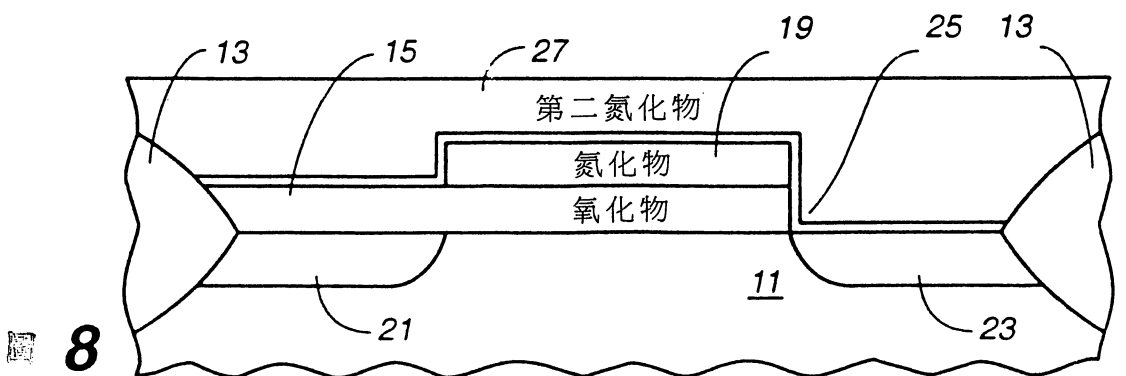
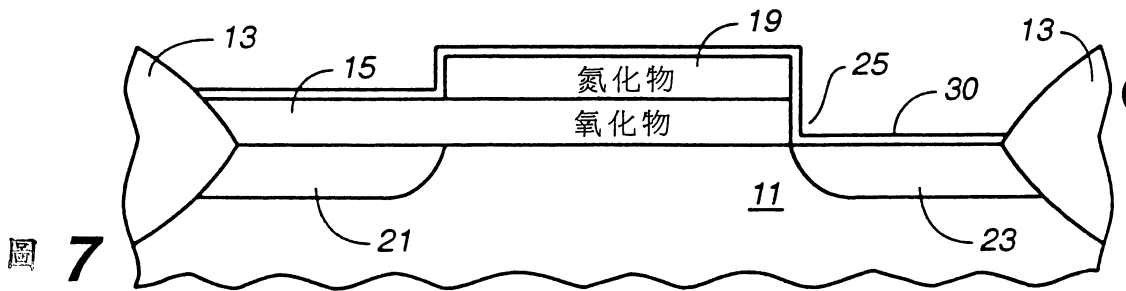
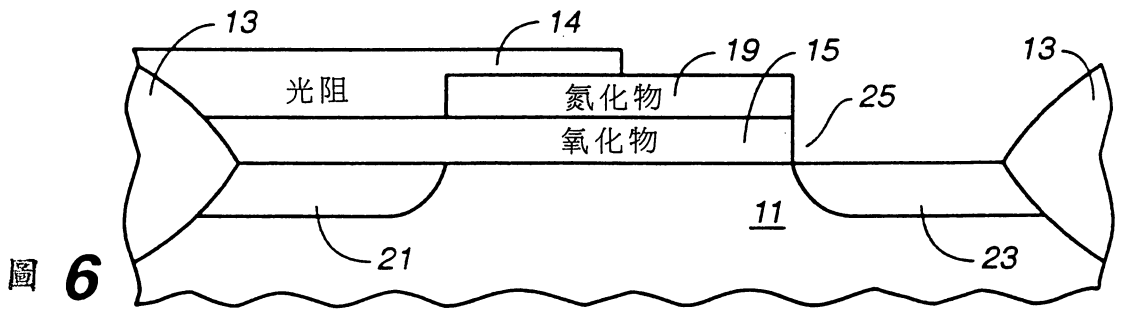
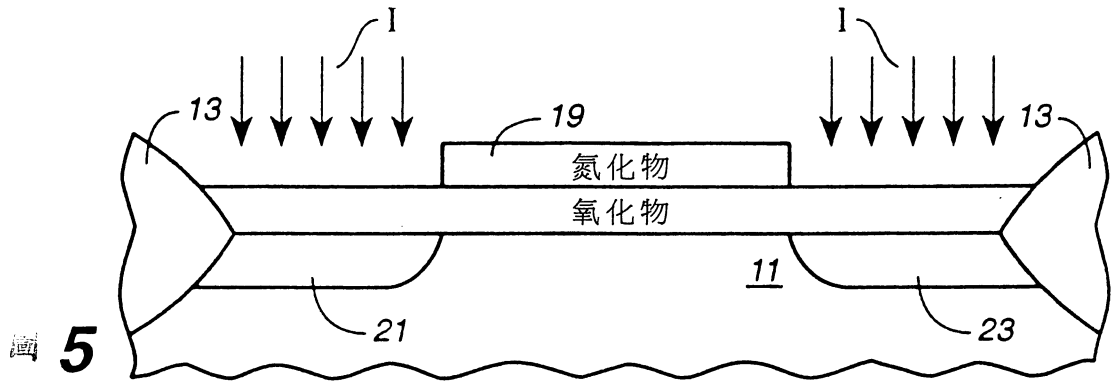
121	源極	143	下沈區域
144	下沈區域	153	絕緣體層
155	氧化物層	156	第二多晶矽層
157	氧化物層	159	導電層
161	第二多晶矽層	163	觸點
174	金屬層	175	選擇電晶體
176	選擇電晶體	201	線
202	線	203	線
204	線	205	線
206	線	207	線
208	線	209	線
210	線	211	線

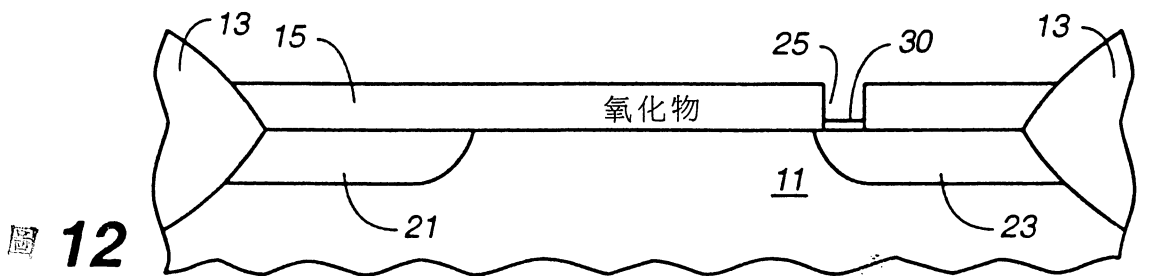
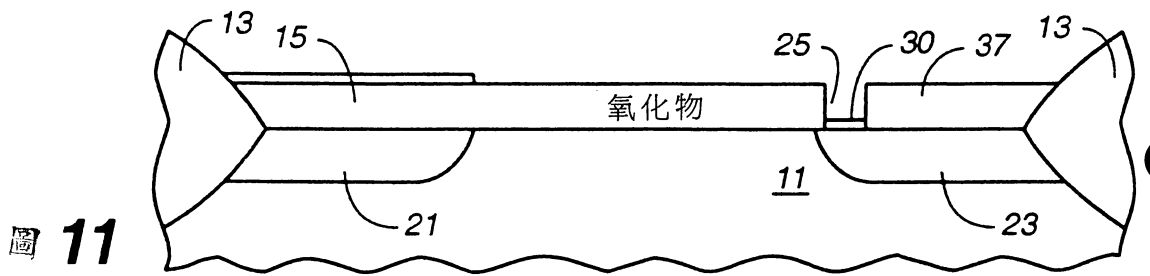
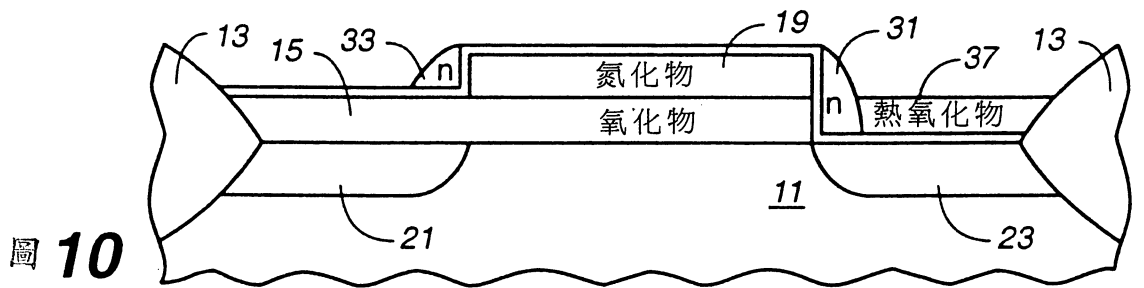
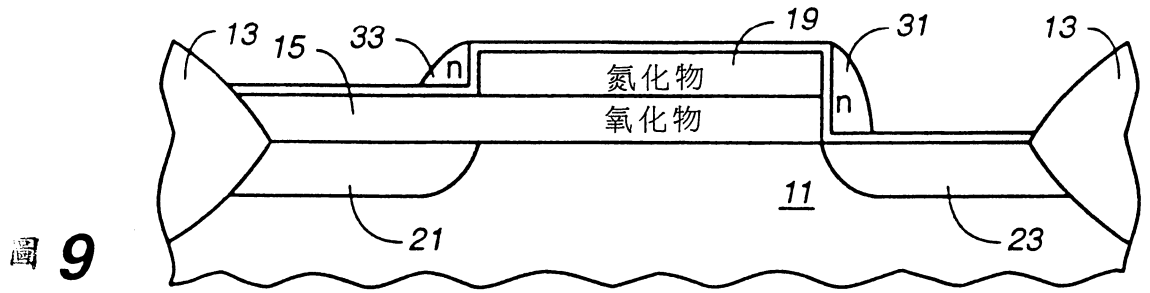
柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

拾壹、圖式







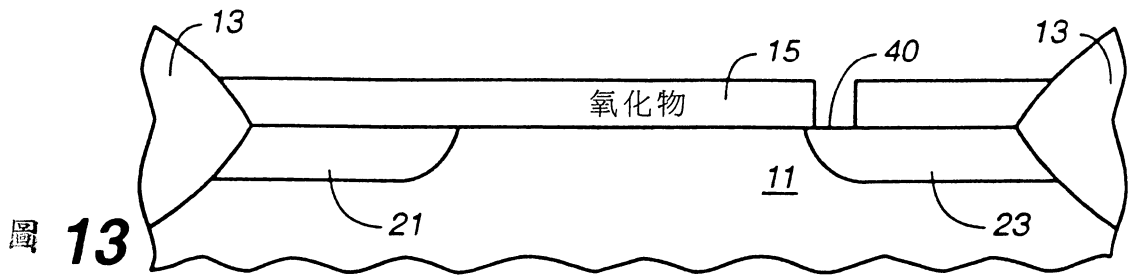


圖 13

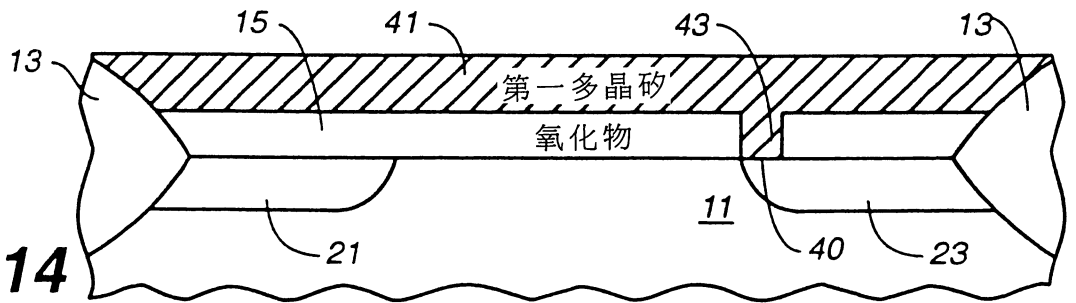


圖 14

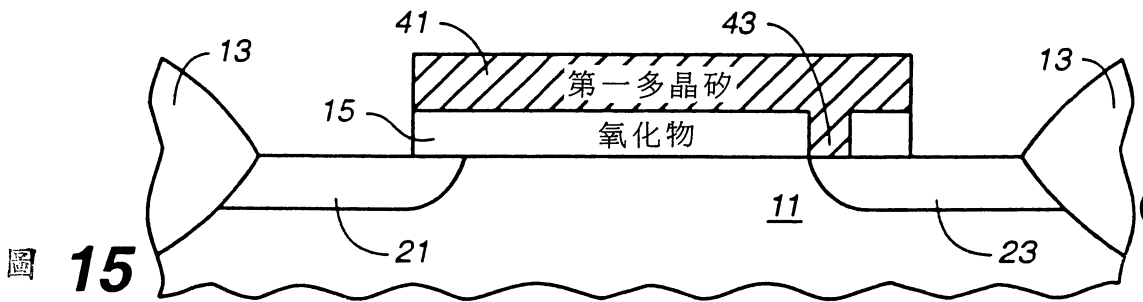


圖 15

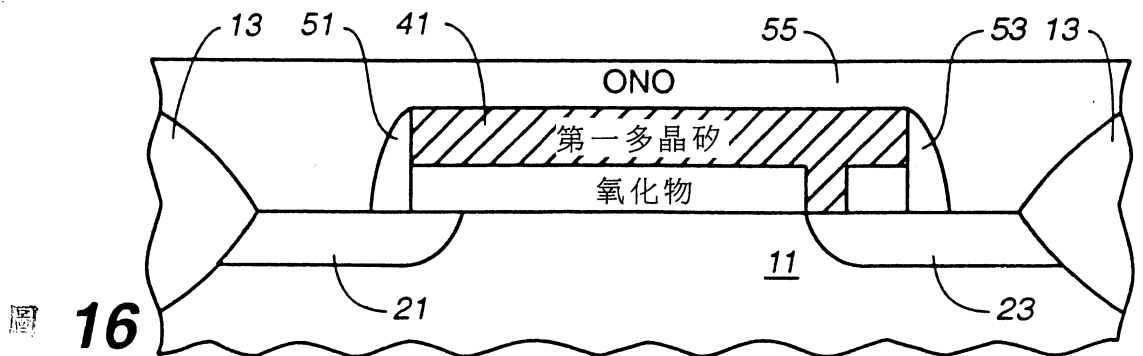


圖 16

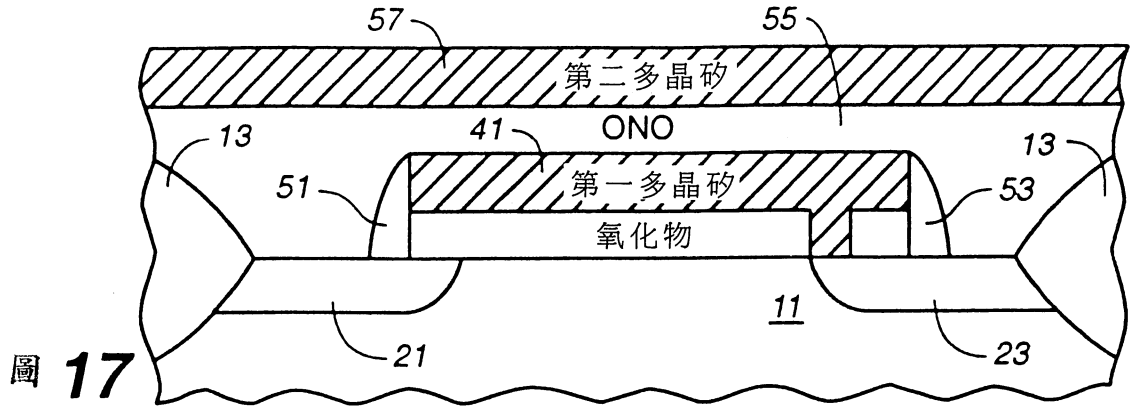


圖 17

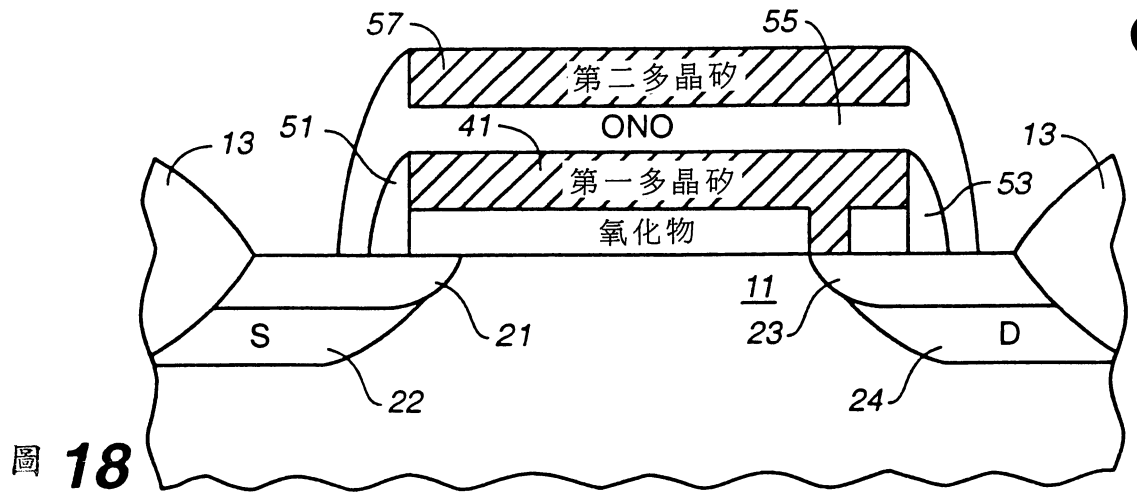


圖 18

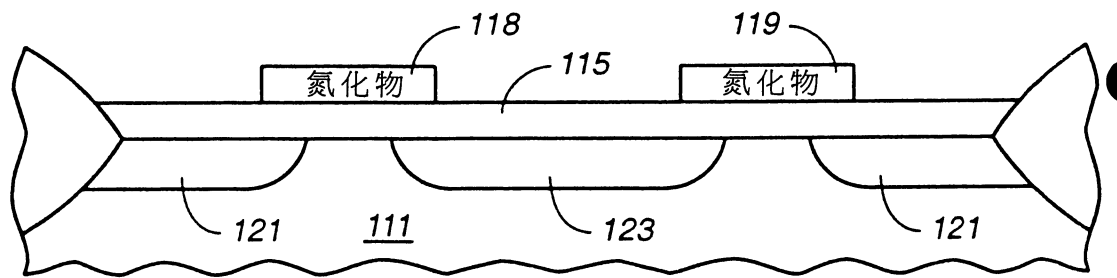


圖 19

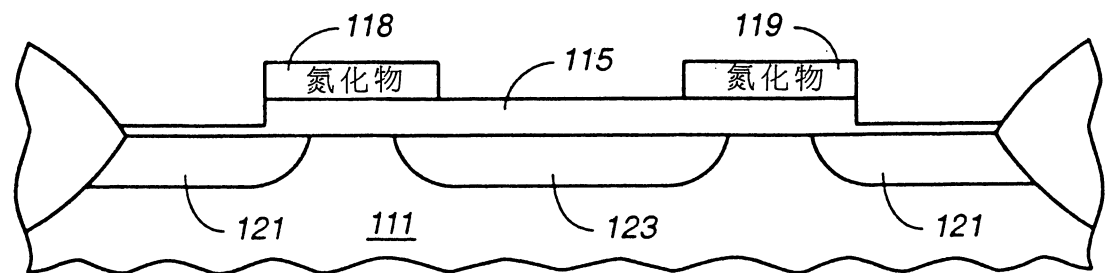


圖 20

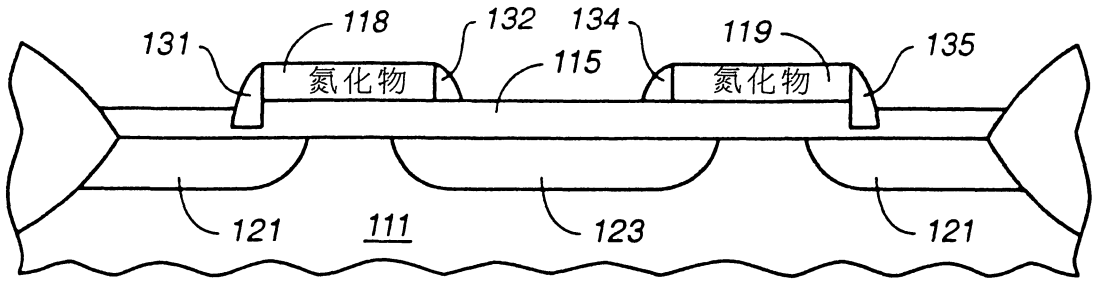


圖 21

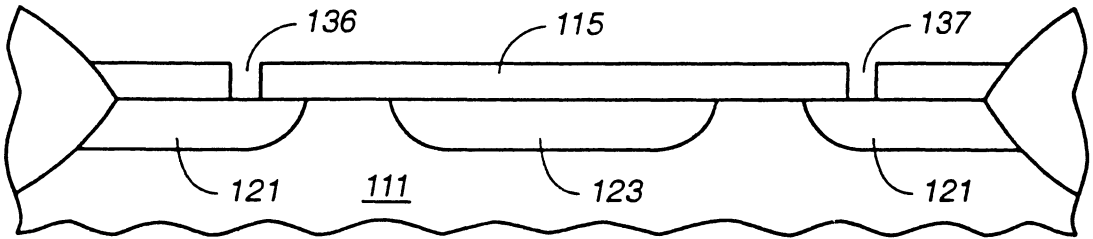


圖 22

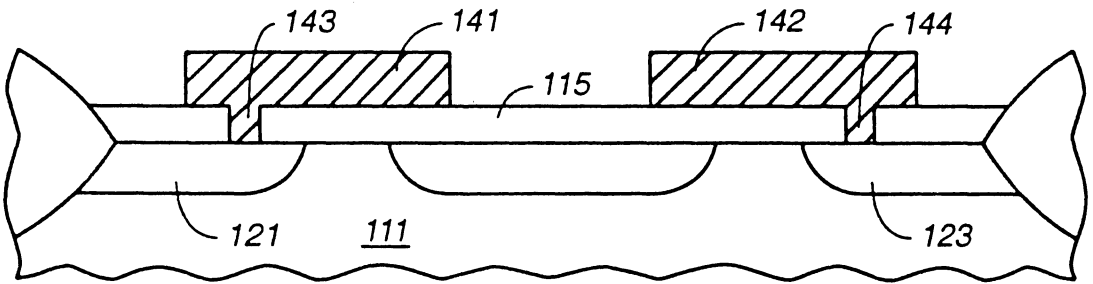
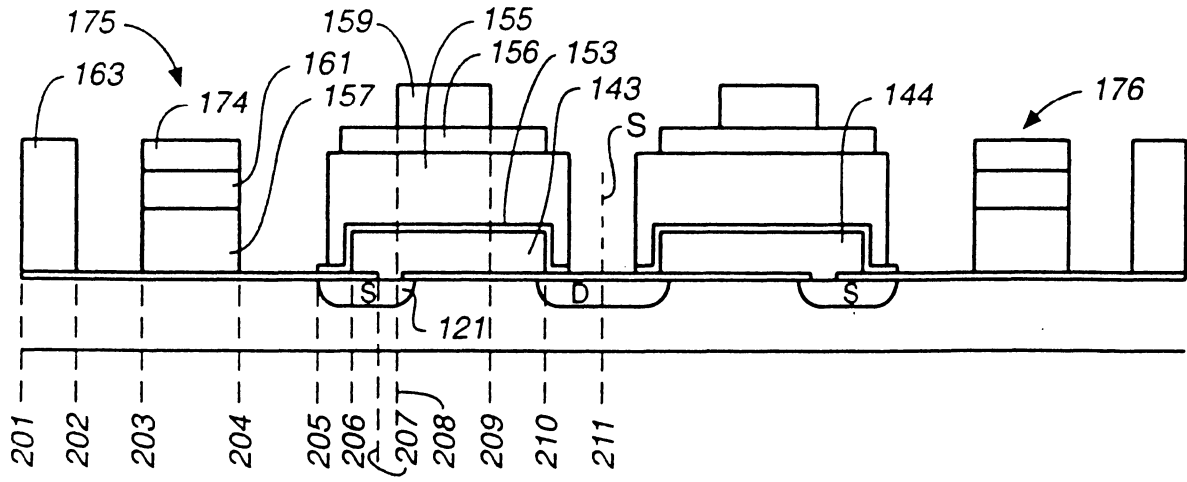
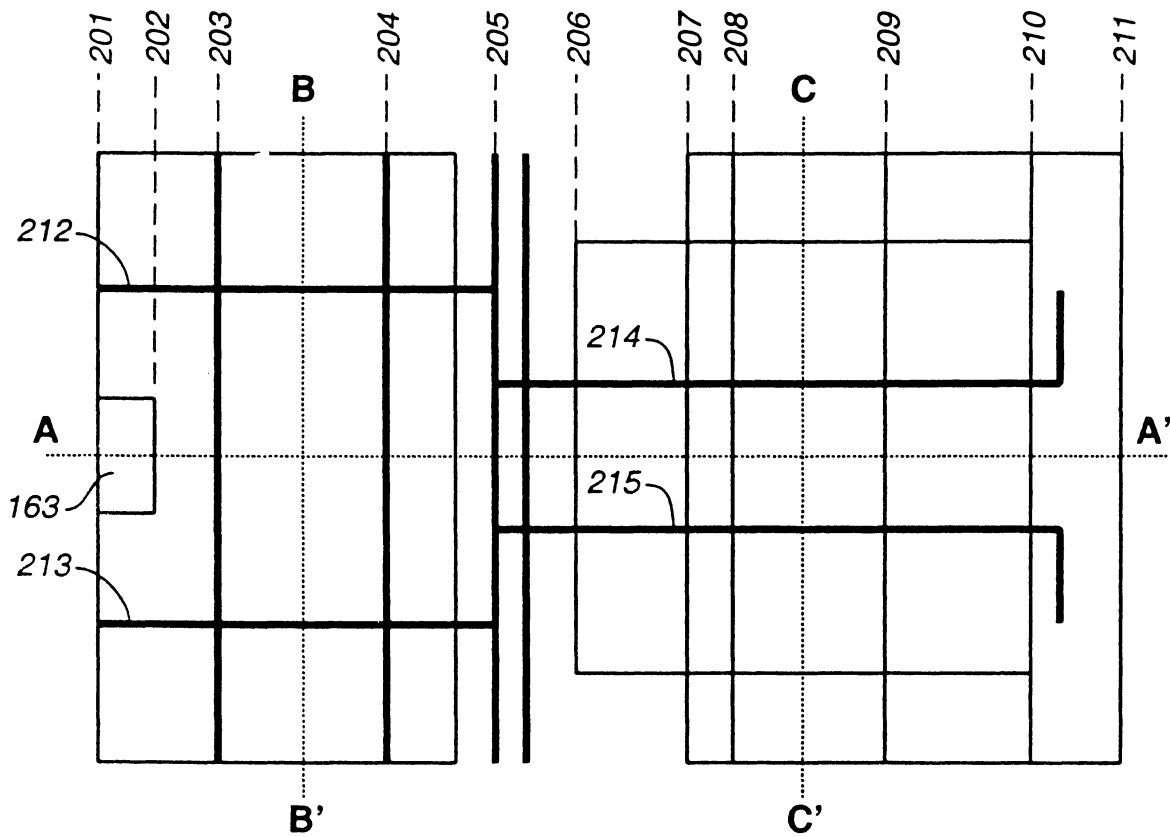


圖 23



24



25

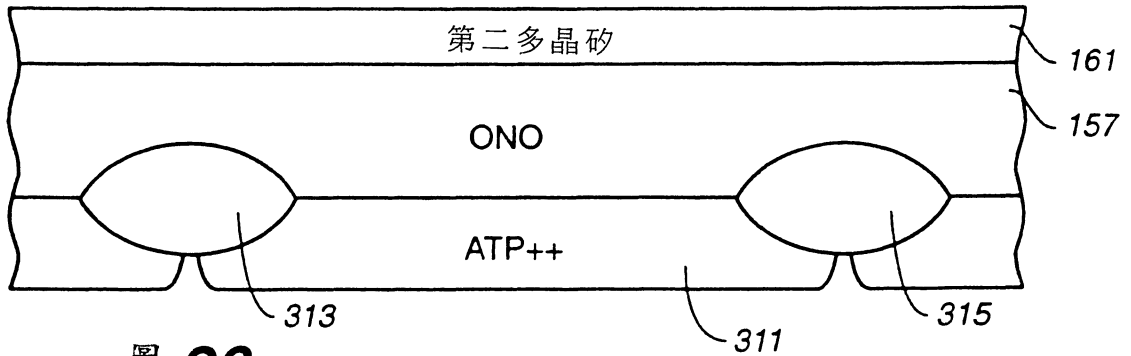


圖 26

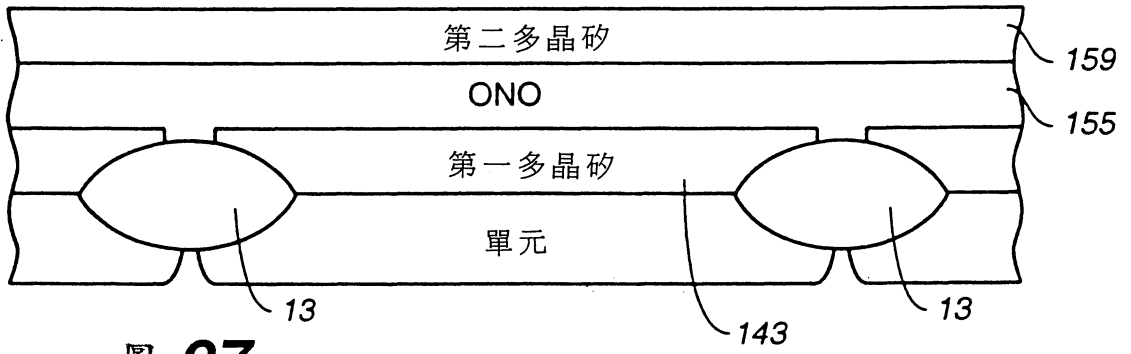
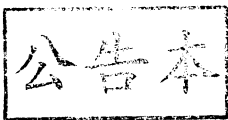


圖 27



92年6月(7日修訂) 替換頁

I242266 17
替換頁

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號： 92110124 ※IPC分類： H01L 21/82

※ 申請日期： 92-04-30

壹、發明名稱

(中文) EEPROM 結構之製造方法

(英文) METHOD OF MAKING AN EEPROM STRUCTURE

貳、發明人 (共 3 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 埃莉諾·戴蒙

(英文) Eleonore Daemen

住居所地址：(中文) 法國翠特市塞里奈路北麻里紐街坊

(英文) Quartier Marignon Nord, Chemin de la Serignane, 13530 Trets, France

國籍：(中文) 荷蘭 (英文) Netherlands

參、申請人 (共 1 人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 艾特梅爾公司

(英文) ATMEL CORPORATION

住居所或營業所地址：(中文) 美國加州聖荷西市奧查德林蔭大道 2325 號

(英文) 2325 Orchard Parkway, San Jose, California 95131, USA

國籍：(中文) 美國 (英文) USA

代表人：(中文) 朱莉·Y·瑪-斯皮諾拉

(英文) Julie Y. Mar-Spinola

拾：申請專利範圍

1. 一種具有一小型薄窗之 EEPROM 結構之製造方法，其係使用具有一特性最小特徵尺寸之製程設備，該方法包含：

界定一基板之主動區域；

在 EEPROM 結構之一主動基板區域上所設置之一閘極氧化物層上方，形成一層具有限定邊緣之氮化物遮罩；

在主動基板區域中設置埋入式佈植區域，其係利用氮化物遮罩之限定邊緣供源極與汲極自我對齊；

沿著氮化物遮罩之一邊緣向下蝕刻穿過閘極氧化物層至鄰近基板，藉此形成一間隔巢，具有一下壁位在源極與汲極區域其中一者之上方；

在氮化物遮罩之一側形成一假氮化物間隔片，其係位於間隔巢中且擱置在巢之底壁上，氮化物間隔片係毗鄰於氮化物遮罩；

同時地移除氮化物遮罩及假氮化物間隔片，藉此開啓間隔巢；

設置一層薄隧道氧化物，其係橫跨基板之一部分，包括間隔巢之底壁；及

設置一第一多晶矽浮動閘極層於閘極氧化物層上方，浮動閘極層具有一下沈區域佔據薄隧道氧化物上方之間隔巢，並設置一第二多晶矽控制層，其係以一絕緣層而與第一多晶矽浮動閘極層間隔開來，藉以完成 EEPROM 結構，該源極與汲極其中之一可透過薄隧道氧化物而導通電荷至浮動閘極之下沈區域。

2.如申請專利範圍第 1 項之製造方法，其中，間隔巢之長度係小於該製程設備之特性最小特徵尺寸。

3.如申請專利範圍第 1 項之製造方法，其中，源極與汲極區域係藉由離子佈植而設置。

4.如申請專利範圍第 1 項之製造方法，其中，氮化物遮罩及閘極氧化物層係在基板上方具有厚度，氮化物遮罩層之厚度係超過閘極氧化物層之厚度，比例大於 3 比 1。

5.如申請專利範圍第 1 項之製造方法，其在形成浮動閘極之後，又設置氮化物間隔片於浮動閘極層之二側邊緣。

6.一種具有一小型薄窗之 EEPROM 結構之製造方法，其係使用具有一特性最小特徵尺寸之製程設備，該方法包含：

在一基板上之閘極氧化物上方設置一氮化物遮罩，該基板係適合用於自我對齊之源極與汲極電極佈植；

佈植源極與汲極電極；

在氮化物遮罩之二側邊緣設置假氮化物間隔片，其中一間隔片係鄰近於源極與汲極電極其中之一；

環繞氮化物遮罩而設置一氧化物層，其覆蓋至少部分之源極與汲極；

移除全部氮化物，包括假間隔片，藉此產生一間隔巢，取代鄰近於源極與汲極電極其中之一之間隔片下方之氧化物；

至少於間隔巢中設置一非常薄隧道氧化物層；及

設置一第一多晶矽浮動閘極層於閘極氧化物層上方，浮動閘極層具有一下沈區域佔據薄隧道氧化物層上方之間隔

巢，並設置一第二多晶矽控制層，其係以一絕緣層而與第一多晶矽浮動閘極層間隔開來，藉以完成 EEPROM 結構，該源極與汲極其中之一可透過薄隧道氧化物而導通電荷至浮動閘極之下沈區域。

7.如申請專利範圍第 6 項之製造方法，其中，每一 EEPROM 結構之間隔巢之長度係小於該製程設備之特性最小特徵尺寸。

8.如申請專利範圍第 6 項之製造方法，其中，該假間隔片係由氮化物材料製成。

9.如申請專利範圍第 6 項之製造方法，其又以場氧化物區域界定一主動區域，及，其中，非常薄隧道氧化物係自第一多晶矽層之下沈區域之一側延伸至一場氧化物區域。

10.如申請專利範圍第 6 項之製造方法，其在 EEPROM 結構形成之同時，又形成一選擇電晶體，該選擇電晶體係毗鄰於 EEPROM 結構。

11.一種雙對稱 EEPROM 結構之製造方法，每一結構具有一小尺寸薄窗，其係使用具有一特性最小特徵尺寸之製程設備，該方法包含：

在一基板上之二相互間隔之閘極氧化物層上方各設置一氮化物遮罩，該基板係適合用於自我對齊之源極與汲極電極佈植以界定二 EEPROM 結構；

在每一 EEPROM 結構中佈植源極與汲極電極；

在氮化物遮罩之二側邊緣設置假氮化物間隔片，每一對間隔片之其中一間隔片係鄰近於源極與汲極電極其中之

一；

環繞氮化物遮罩而設置一氧化物層，其覆蓋至少部分之源極與汲極；

移除全部氮化物，包括假間隔片，藉此產生一間隔巢，取代鄰近於源極與汲極電極其中之一之間隔片下方之氧化物；

至少於間隔巢中設置一非常薄隧道氧化物層；及

設置一第一多晶矽浮動閘極層於閘極氧化物層上方，每一浮動閘極層具有一下沈區域佔據薄隧道氧化物層上方之間隔巢，並設置一第二多晶矽控制層，其係以一絕緣層而與第一多晶矽浮動閘極層間隔開來，藉以完成 EEPROM 結構，該源極與汲極其中之一可透過薄隧道氧化物而導通電荷至浮動閘極之下沈區域。

12.如申請專利範圍第 11 項之製造方法，其在 EEPROM 結構形成之同時，又形成相對之選擇電晶體對，每一該選擇電晶體係毗鄰於 EEPROM 結構其中之一。