



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0107024
(43) 공개일자 2012년09월28일

(51) 국제특허분류(Int. Cl.)

G06T 1/00 (2006.01) G06T 1/60 (2006.01)

(21) 출원번호 10-2011-0022706

(22) 출원일자 2011년03월15일

심사청구일자 2011년03월15일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

박종선

서울특별시 서초구 신반포로 9, 85동 403호 (반포동)

권진모

대구광역시 남구 현충로24길 24-24, 302호 (대명동, 대진빌라)

(74) 대리인

특허법인엠에이피에스

전체 청구항 수 : 총 11 항

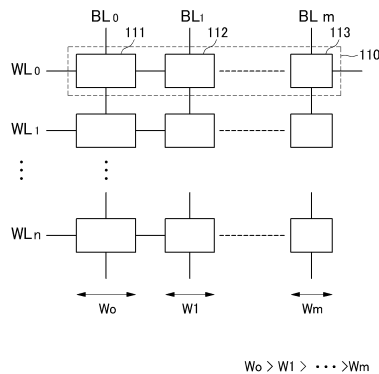
(54) 발명의 명칭 저전력 비디오 프로세서를 위한 임베디드 메모리 설계

(57) 요약

본 발명에 따른 영상 처리 프로세서는, 복수의 메모리 셀을 포함하는 단위 메모리 블록을 복수 개 포함하는 그래픽 메모리 및 입출력부를 통해 수신한 그래픽 데이터의 각 비트를 상기 그래픽 메모리의 각 메모리 셀에 저장시키고, 상기 그래픽 메모리의 각 메모리 셀에 저장된 그래픽 데이터를 독출하여 상기 입출력부를 통해 출력시키는 제어부를 포함하고, 상기 복수의 메모리 셀 중 적어도 둘 이상의 메모리 셀의 면적은 서로 상이하고, 상기 제어부는 상기 그래픽 데이터의 중요도 및 상기 메모리 셀의 면적에 따라 상기 그래픽 데이터의 각 비트를 할당하되, 상기 메모리 셀의 면적이 넓을수록 중요도가 큰 그래픽 데이터의 비트를 할당한다.

또한, 본 발명에 따른 그래픽 메모리는 복수의 메모리 셀을 포함하는 단위 메모리 블록을 복수 개 포함하되, 상기 복수의 메모리 셀 중 적어도 둘 이상의 메모리 셀의 면적은 서로 상이하다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 2010-0004484

부처명 교육과학기술부

연구사업명 기초연구사업 일반연구자 지원사업

연구과제명 캡슐형 내시경용 초저전력 이미지 프로세서 개발

주관기관 고려대학교 산학협력단

연구기간 2010.05.01 ~ 2013.04.30

특허청구의 범위

청구항 1

영상 처리 프로세서에 있어서,

복수의 메모리 셀을 포함하는 단위 메모리 블록을 복수 개 포함하는 그래픽 메모리 및

입출력부를 통해 수신한 그래픽 데이터의 각 비트를 상기 그래픽 메모리의 각 메모리 셀에 저장시키고, 상기 그래픽 메모리의 각 메모리 셀에 저장된 그래픽 데이터를 독출하여 상기 입출력부를 통해 출력시키는 제어부를 포함하고,

상기 복수의 메모리 셀 중 적어도 둘 이상의 메모리 셀의 면적은 서로 상이하고,

상기 제어부는 상기 그래픽 데이터의 중요도 및 상기 메모리 셀의 면적에 따라 상기 그래픽 데이터의 각 비트를 할당하되,

상기 메모리 셀의 면적이 넓을수록 중요도가 큰 그래픽 데이터의 비트를 할당하는 영상 처리 프로세서.

청구항 2

제 1 항에 있어서,

상기 메모리 블록에 포함된 메모리들의 높이는 동일하고, 너비는 서로 상이한 것인 영상 처리 프로세서.

청구항 3

제 1 항에 있어서,

상기 제어부는 상기 입출력부를 통해 수신한 그래픽 데이터의 단위 데이터 집합 중 상위 비트의 데이터를 상기 단위 메모리 블록 중 넓은 면적의 메모리 셀에 할당하는 영상 처리 프로세서.

청구항 4

제 1 항에 있어서,

상기 그래픽 메모리는 저전압 구동방식에 따라 구동되는 것인 영상 처리 프로세서.

청구항 5

복수의 메모리 셀을 포함하는 단위 메모리 블록을 복수 개 포함하되, 상기 복수의 메모리 셀 중 적어도 둘 이상의 메모리 셀의 면적은 서로 상이한 그래픽 메모리.

청구항 6

제 5 항에 있어서,

상기 단위 메모리 블록은 1 픽셀의 그래픽 데이터를 저장하는 복수의 메모리 셀을 포함하는 것인 그래픽 메모리.

청구항 7

제 6 항에 있어서,

상기 단위 메모리 블록은 1 픽셀의 그래픽 데이터를 저장하는 8 개의 메모리 셀을 포함하는 것인 그래픽 메모리.

청구항 8

제 5 항에 있어서,

상기 단위 메모리 블록에 포함된 메모리들의 높이는 동일하고, 너비는 서로 상이한 것인 그래픽 메모리.

청구항 9

제 5 항에 있어서,

상기 단위 메모리 블록은 메모리 셀의 면적이 넓을수록 중요도가 큰 그래픽 데이터의 비트를 저장하는 것인 그래픽 메모리.

청구항 10

제 5 항에 있어서,

상기 단위 메모리 블록은 메모리 셀의 면적이 넓을수록 입력된 그래픽 데이터 집합 중 상위 비트의 데이터를 저장하는 그래픽 메모리.

청구항 11

제 5 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 그래픽 메모리는 영상 처리 프로세서에 임베디드 되도록 형성된 것인 그래픽 메모리.

명세서

기술 분야

[0001] 본 발명은 저전력 비디오 프로세서를 위한 임베디드 메모리 설계에 따른 그래픽 메모리 및 이를 이용한 영상 처리 프로세서에 관한 것으로서, 특히 저전력 소모 특성을 갖는 것을 특징으로 한다.

배경 기술

[0002] 최근 들어, 범용 컴퓨터의 퍼포먼스 향상과 더불어 각종 휴대용 단말기의 처리 능력이 향상됨에 따라, 휴대용 단말기를 통한 멀티미디어 소비가 갈수록 증가하고 있다. 이러한 멀티미디어 파일의 재생과 관련하여, 영상 처리기술이 활발하게 연구되고 있으며, 특히 H.264 라는 기술은 높은 화질과 좋은 압축률 덕분에 각광을 받고 있다.

[0003] 하지만, 이러한 영상 처리 기술은 많은 내부 연산을 유발하며, 이를 위해 고용량의 메모리를 필요로 하게 된다. 한편, H.264 영상처리 기술은 배터리 수명에 의하여 성능이 제한 받고 있으며, 이를 위해 집적회로에서의 소비 전력을 줄이기 위한 전략으로 공급 전압을 낮추는 방법을 많이 사용한다.

[0004] 다만, H.264 연산에서 공급 전압을 낮추었을 시에 데이터패스에 해당하는 회로에서의 오작동은 동작전압을 낮추는 방법으로도 보완이 가능하지만, 연산에서의 중간 과정에 해당하는 데이터를 저장하기 위한 메모리 소자의 경우에는 동작속도를 낮추는 것만으로는 에러를 보정하기 힘들다.

[0005] 또한, 이러한 문제는 각종 공정 조건이나 전압 또는 온도 변이를 만나게 되면 내부 메모리 소자를 읽고 쓰는 데 실패가 일어나게 되고, 이 실패가 출력 영상에 영향을 끼치게 되면 비디오 화질의 저하를 유발하게 된다.

[0006] 이러한 화질 저하를 보상하기 위해서 내부 메모리 소자를 6개의 트랜지스터를 이용하는 방식에서 8개나 10개

의 트랜지스터를 이용하여 사용하는 방식이 제안되거나, 에러보정부호(Error Correction Code)를 이용하여 수정하는 방식이 제안되었다. 이러한 방식은 내부 메모리를 좀 더 저전압 상황에서 작동할 수 있도록 구현되었지만, 이를 위해 회로면적이 넓어져야 하거나 추가적인 디자인 비용이 요구되는 문제점을 가지고 있다.

[0007] H.264 영상 처리 디지털 신호 처리 회로가 저전력에서 작동하더라도 내부 메모리에 의한 영상정보의 화질 저하를 막기 위한 저비용의 기술이 요구되며, 이에 따라 본 발명에서는 H.264 영상 처리 디지털 신호 처리 회로에 최적화 된 내부 메모리 디자인 구조를 제안한다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 일부 실시예는 전력 소모를 낮추기 위한 저전압 구동 환경에서도 화질 저하를 방지할 수 있는 그래픽 메모리 및 이를 이용한 영상 처리 프로세서를 제공한다.

과제의 해결 수단

[0009] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 제 1 측면에 따른 영상 처리 프로세서는, 복수의 메모리 셀을 포함하는 단위 메모리 블록을 복수 개 포함하는 그래픽 메모리 및 입출력부를 통해 수신한 그래픽 데이터의 각 비트를 상기 그래픽 메모리의 각 메모리 셀에 저장시키고, 상기 그래픽 메모리의 각 메모리 셀에 저장된 그래픽 데이터를 독출하여 상기 입출력부를 통해 출력시키는 제어부를 포함하고, 상기 복수의 메모리 셀 중 적어도 둘 이상의 메모리 셀의 면적은 서로 상이하고, 상기 제어부는 상기 그래픽 데이터의 중요도 및 상기 메모리 셀의 면적에 따라 상기 그래픽 데이터의 각 비트를 할당하되, 상기 메모리 셀의 면적이 넓을수록 중요도가 큰 그래픽 데이터의 비트를 할당한다.

[0010] 또한, 본 발명의 제 2 측면에 따른 그래픽 메모리는 복수의 메모리 셀을 포함하는 단위 메모리 블록을 복수 개 포함하되, 상기 복수의 메모리 셀 중 적어도 둘 이상의 메모리 셀의 면적은 서로 상이하다.

발명의 효과

[0011] 전술한 본 발명의 과제 해결 수단에 의하면, 메모리 셀의 면적을 상이하게 구성하고, 중요도가 큰 데이터를 넓은 면적의 메모리 셀에 저장 시킴으로써, 저전력 구동시 발생할 수 있는 메모리 오류 현상을 최소화할 수 있다. 특히, 최근 들어, 휴대용 단말등에서 동영상 처리 요구가 높은 점을 고려할때, 이러한 그래픽 메모리 구성에 따라 휴대용 단말의 전력소모를 최소화할 수 있다는 효과를 가진다.

도면의 간단한 설명

[0012] 도 1은 통상의 그래픽 처리장치에 사용되는 SRAM의 오류 발생 문제를 설명하기 위한 도면이다.

도 2는 본원 발명의 일 실시예에 따른 영상 처리 프로세서를 도시한 도면이다.

도 3은 본원 발명의 일 실시예에 따른 그래픽 메모리의 내부 구성을 도시한 도면이다.

도 4a 및 도 4b는 본원 발명의 일 실시예에 따른 그래픽 메모리의 상세 구성을 도시한 도면이다.

도 5는 본원 발명의 일 실시예에 따른 그래픽 메모리의 배치 상태를 도시한 도면이다.

도 6은 오류 발생 메모리 셀의 위치와 PSNR 값의 변화와의 관계를 설명하기 위한 도면이다.

도 7은 본원 발명의 일 실시예에 따른 메모리 셀 면적 결정 방법을 도시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였

다.

- [0014] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우 뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0015] 도 1은 통상의 그래픽 처리장치에 사용되는 SRAM의 오류 발생 문제를 설명하기 위한 도면이다.
- [0016] H.264 영상처리 기술을 모바일 환경에 적용하는데 있어서, 배터리 수명에 의한 성능 제한을 해결하기 위해 공급 전압을 낮추는 방법(voltage scaling)을 많이 사용한다. 다만, 공급 전압을 낮추는 방법의 경우 내부 메모리에 기록된 데이터를 독출하는 과정에서 오류가 발생할 가능성이 높아진다. 도시된 그래프를 살펴보면, 공급전압이 높아질수록 오류 발생 확률이 낮아지는 것을 확인할 수 있다. 한편, 메모리에 포함된 비트 면적과 오류 발생 확률과의 관계를 살펴보면, 메모리 셀의 면적이 클수록 오류 발생확률이 낮아지는 것을 확인할 수 있다.
- [0017] 이에 본원 발명에서는 이러한 메모리 셀의 면적과 메모리의 오류 발생 확률과의 관계를 고려하여 그래픽 메모리를 구성하고자 한다. 이러한 본원 발명의 방법에 따르면, 비교적 낮은 전압을 인가하는 상황에서도 각 메모리 셀의 면적을 크게 할 수 있어, 오류 발생 확률을 감소시킬 수 있다.
- [0018] 도 2는 본원 발명의 일 실시예에 따른 영상 처리 프로세서를 도시한 도면이다.
- [0019] 영상 처리 프로세서(10)는 그래픽 메모리(100), 제어부(200) 및 입출력부(300)를 포함한다.
- [0020] 그래픽 메모리(100)는 메모리에 포함된 셀의 면적이 서로 상이하도록 구성된다. 즉, 입력되는 그래픽 처리 데이터의 각 비트를 담당하는 셀의 면적이 그래픽 처리 데이터의 우선 순위에 따라 서로 상이하도록 구성된다. 예를 들어, 우선 순위가 높은 비트를 담당하는 셀의 면적은 우선 순위가 낮은 비트를 담당하는 셀의 면적보다 크도록 한다. 다만, 전체 셀의 면적이 서로 상이한 것은 아니며, 일부 메모리 셀의 경우 면적이 동일하도록 구성할 수 있다.
- [0021] 한편, H.264 방식에 따라 인코딩 작업을 수행하는 영상 처리 프로세서(10)의 경우에는 복수의 그래픽 메모리(100)를 포함하거나, 그래픽 메모리(100)를 구분하여 사용할 수 있다. 예를 들어, H.264 인코딩 작업에 따르면, 영상 처리 프로세서(10)는 잔차 프레임 버퍼(Residual frame buffer), 재구성 프레임 버퍼(reconstructed frame buffer), 기준 프레임 버퍼(reference frame buffer), 화면간 예측 버퍼(inter prediction buffer)를 포함할 수 있으며, 각각의 버퍼는 본 발명의 일 실시예에 따른 그래픽 메모리(100)를 이용하여 구현될 수 있다. 이러한 그래픽 메모리(100)는 영상 처리 프로세서(10)에 임베디드된 형태로 구현될 수 있다.
- [0022] 도 3은 본원 발명의 일 실시예에 따른 그래픽 메모리의 내부 구성을 도시한 도면이다.
- [0023] 그래픽 메모리(100)는 복수의 메모리 블록(110)을 포함할 수 있으며, 각 메모리 블록(110)은 1 픽셀의 그래픽 데이터를 저장하는 복수의 메모리 셀(111, 112, 113)을 포함한다. 예를 들어, 메모리 블록(110)은 1 픽셀의 그래픽 데이터를 저장하는 8 개의 메모리 셀을 포함한다.
- [0024] 한편, 본 발명의 메모리 블록(110)에 포함된 적어도 둘 이상의 메모리 셀(111, 112, 113)은 서로 상이한 면적을 갖는다. 예를 들어, 동일한 워드라인을 공유하는 메모리 셀들을 기준으로 할 때, 각 메모리 셀의 너비(Width)는 상이하도록 구성하고, 각 셀의 높이는 동일하도록 구성한다.
- [0025] 한편, 본 발명의 그래픽 메모리(100)는 본 발명의 특유의 구성에 따라, 저전압 구동 환경에서도 오류 발생 확률을 감소시킬 수 있다.
- [0026] 다시 도 2를 참조하면, 제어부(200)는 입출력부(300)를 통해 입력된 그래픽 데이터를 그래픽 메모리(100)로 전송한다. 이때, 우선순위가 높은 데이터는 그래픽 메모리(100)에 포함된 메모리 셀 중 면적이 큰 메모리 셀에 저장되도록 제어한다.
- [0027] 또한, 그래픽 메모리(100)에 저장된 데이터를 기초로 그래픽 데이터를 구성하여 입출력부(300)를 통해 외부로 출력되도록 한다.
- [0028] 한편, 제어부(200)는 H.264 압축방식 또는 기타 영상 압축 알고리즘에 기초하여 입력된 그래픽 데이터를 처리한다.
- [0029] 입출력부(300)는 외부에서 입력된 데이터를 제어부(200)로 전달하여, 입력 데이터가 그래픽 메모리(100)에 저

장될 수 있도록 한다. 또한, 제어부(200)에서 처리된 그래픽 데이터를 모니터와 같은 외부 출력 장치로 전달하여, 외부에 출력되도록 한다.

- [0030] 도 4a 및 도 4b는 본원 발명의 일 실시예에 따른 그래픽 메모리의 상세 구성을 도시한 도면이다.
- [0031] 도 4a는 단위 메모리 셀의 레이아웃을 도시한 도면이고, 도 4b는 단위 메모리 셀의 구성을 도시한 회로도이다.
- [0032] 총 6개의 MOS 트랜지스터를 포함하는 구성이고, 각각의 MOS 트랜지스터는 워드라인(WL), 비트라인(BL) 또는 GND 와 접속된다.
- [0033] 제 1 MOS 트랜지스터(M1)와 제 2 MOS 트랜지스터(M2), 제 3 MOS 트랜지스터(M3)와 제 4 MOS 트랜지스터(M4)는 각각 CMOS 인버터를 구성하여, 제 1 노드(Q) 및 제 2 노드(/Q)의 데이터를 저장 또는 유지시킨다. 즉, 두 개의 인버터가 궤환 형태로 서로 접속되어 입력 데이터를 지속적으로 저장한다.
- [0034] 제 5 MOS 트랜지스터(M5)와 제 6 MOS 트랜지스터(M6)는 워드라인을 통해 인가되는 신호에 따라, 제 1 비트라인(BL)의 데이터 및 제 2 비트라인(/BL)의 데이터를 각각 제 1 노드(Q) 및 제 2 노드(/Q)로 전달한다.
- [0035] 도 4a는 도 4b의 구성을 제조하기 위한 반도체 설계 도면으로서, 총 6개의 트랜지스터의 배치, 워드 라인과 비트 라인의 접속 상태 등을 도시하고 있다.
- [0036] 도 5는 본원 발명의 일 실시예에 따른 그래픽 메모리의 배치 상태를 도시한 도면이다.
- [0037] 도시된 바와 같이, 동일 워드라인을 공유하는 총 8 개의 셀을 도시하고 있으며, 각 셀의 면적은 서로 상이하도록 구성한다. 이때, 8개의 셀은 1개의 픽셀을 나타내는 단위 데이터를 저장한다.
- [0038] 한편, 각 셀의 높이는 동일하되, 각 셀의 너비가 상이하도록 구성한다. 즉, 데이터의 우선 순위가 높은 셀의 너비(W0)가 가장 크도록 설계하고, 데이터의 우선 순위가 가장 낮은 셀의 너비(W7)의 너비가 가장 작도록 설계한다.
- [0039] 한편, 본 발명에서는 데이터의 우선 순위 판단을 위하여 PSNR(Peak Signal to Noise Ratio) 지수를 이용한다.
- [0040] PSNR 지수는 다음 수학적식을 통해 산출된다.
- [0041] [수학적식 1]

$$PSNR = 20 \cdot \log_{10} \left(\frac{255}{\sqrt{MSE}} \right)$$

- [0042]
- [0043] 이때, MSE는 원본 이미지와 손상 이미지와의 차이를 산출한 것으로 다음 수학적식을 통해 산출된다. 이때, 손상 이미지는 저전압 공급등에 의하여 메모리에서 발생하는 오류에 의하여 생성된다.
- [0044] [수학적식 2]

$$MSE = \frac{1}{mn} \sum_{i=0}^{m-1} \sum_{j=0}^{n-1} [Original(i, j) - Degraded(i, j)]^2$$

- [0045]
- [0046] 이와 같이, 산출된 PSNR 값은 오류가 발생하는 메모리 셀의 위치에 따라 상이해진 것으로 분석되었다.
- [0047] 도 6은 오류 발생 메모리 셀의 위치와 PSNR 값의 변화와의 관계를 설명하기 위한 도면이다.
- [0048] PSNR 변화도(?PSNR)는 아래 수학적식에 의하여 산출된다.
- [0049] [수학적식 3]

$$\Delta PSNR = PSNR_{original} - PSNR_{degraded}$$

- [0050]
- [0051] 즉, PSNR 변화도는 원본 이미지의 PSNR과 손상 이미지의 PSNR 차이를 의미한다.
- [0052] 8비트의 단위 데이터를 기준으로 할 때, 상위비트(MSB)의 PSNR 변화도가 하위비트(LSB)의 PSNR 변화도 보다

큰 것으로 나타났다. 특히, 공급 전압을 낮추는 등의 오류 발생 확률이 높은 조건에서는 최상위 비트에서의 PSNR 변화도는 24~3dB 임에 반하여, 하위 비트의 경우에는 1~0dB 에 그치고 있음을 확인할 수 있다.

[0053] 이와 같이, 비트의 위치에 따라 PSNR 변화도가 상당히 변화함을 알 수 있으며, 이는 곧 중요 데이터를 포함하고 있는 상위 비트를 담당하는 메모리 셀에 대해서는 오류 발생이 최소화될 수 있도록, 그 면적을 증가시키는 방법을 사용한다.

[0054] 도 7은 본원 발명의 일 실시예에 따른 메모리 셀 면적 결정 방법을 도시한 순서도이다.

[0055] 먼저, 단위 메모리 셀 집합의 제한 면적을 설정한다(S710).

[0056] 예를 들어, 1 픽셀을 담당하기 위해 8 비트의 데이터가 필요하며, 총 8 개의 메모리 셀이 1 픽셀의 표시를 위한 단위 메모리 셀 집합으로서 설정될 수 있다. 이 단위 메모리 셀 집합의 전체 면적을 위한 제한 면적을 설정한다. 즉, 단위 메모리 셀 집합에 포함되는 각 메모리 셀의 면적은 서로 상이할 수 있으나, 단위 메모리 셀 집합에 포함되는 각 메모리 셀의 면적의 합은 미리 설정된 값을 갖도록 설정한다.

[0057] 다음으로, 단위 메모리 셀 집합에 포함된 각 메모리 셀의 면적을 설정한다(S720).

[0058] 예를 들면, 상위비트를 담당하는 메모리 셀이 하위비트를 담당하는 메모리 셀의 면적보다 크도록 설정한다. 또는 미리 설정된 초기값에 따라 각 메모리 셀의 면적이 설정될 수 있다. 이때, 설정된 메모리 셀의 면적은 이후 단계(S730~750)를 거치면서 변경될 수 있다.

[0059] 다음으로, 각 메모리 셀의 면적에 따라 예상되는 PSNR 변화도(?PSNR)를 검출한다(S730).

[0060] PSNR 변화도는 룩업 테이블 형태로 미리 저장된 값으로서, 각 메모리 셀의 면적에 따라 예상된 PSNR 지수의 실험 데이터를 기초로 검출할 수 있다. 예를 들어, 서로 다른 면적을 가진 메모리 셀을 포함하는 메모리에 대하여 다양한 영상 데이터를 입력시킴에 따라 산출되는 PSNR 지수를 측정한 실험 데이터를 수집하고, 이로부터 각 메모리 셀의 면적에 해당하는 PSNR 지수를 테이블에 저장할 수 있다.

[0061] 다음으로, 각 메모리 셀의 PSNR 변화도를 합산하여 전체 메모리 셀에 대한 PSNR 변화도를 산출한다(S740).

[0062] 다음으로, 단계(S740)에서 산출된 PSNR 변화도의 합산값에 따라 메모리 셀의 면적을 변경 또는 확정한다(S750).

[0063] 전체 메모리 셀의 PSNR 변화도가 작을수록 오류 발생 확률이 낮은 것으로 보고, 메모리 셀의 면적을 변경할 수 있는지 여부를 판단한다. 예를 들어, 최상위 비트를 담당하는 셀의 면적을 더 증가시킬 경우, 전체 PSNR 변화도가 더 낮아진다면 해당 메모리 셀의 면적을 더 증가시키도록 한다. 이때, 단위 메모리 셀 집합에 포함된 다른 메모리 셀의 면적은 감소되어야 하므로, PSNR 변화도가 변경될 수 있다.

[0064] 상기 단계(S710~S750)를 반복적으로 거치면서 최적의 단위 메모리 셀 면적을 산출하도록 한다.

[0065] 참고로, 본 발명의 실시예에 따른 도 2에 도시된 구성 요소들은 소프트웨어 또는 FPGA(Field Programmable Gate Array) 또는 ASIC(Application Specific Integrated Circuit)와 같은 하드웨어 구성 요소를 의미하며, 소정의 역할들을 수행한다.

[0066] 그렇지만 '구성 요소들'은 소프트웨어 또는 하드웨어에 한정되는 의미는 아니며, 각 구성 요소는 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다.

[0067] 따라서, 일 예로서 구성 요소는 소프트웨어 구성 요소들, 객체지향 소프트웨어 구성 요소들, 클래스 구성 요소들 및 태스크 구성 요소들과 같은 구성 요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로 코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들 및 변수들을 포함한다.

[0068] 구성 요소들과 해당 구성 요소들 안에서 제공되는 기능은 더 작은 수의 구성 요소들로 결합되거나 추가적인 구성 요소들로 더 분리될 수 있다.

[0069] 본 발명의 일 실시예는 컴퓨터에 의해 실행되는 프로그램 모듈과 같은 컴퓨터에 의해 실행가능한 명령어를 포함하는 기록 매체의 형태로도 구현될 수 있다. 컴퓨터 판독 가능 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 가용 매체일 수 있고, 휘발성 및 비휘발성 매체, 분리형 및 비분리형 매체를 모두 포함한다. 또한, 컴퓨터 판독가능 매체는 컴퓨터 저장 매체 및 통신 매체를 모두 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독

가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함한다. 통신 매체는 전형적으로 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈, 또는 반송파와 같은 변조된 데이터 신호의 기타 데이터, 또는 기타 전송 메커니즘을 포함하며, 임의의 정보 전달 매체를 포함한다.

[0070] 본 발명의 방법 및 시스템은 특정 실시예와 관련하여 설명되었지만, 그것들의 구성 요소 또는 동작의 일부 또는 전부는 범용 하드웨어 아키텍처를 갖는 컴퓨터 시스템 또는 바람직하게는 우선 순위를 적용할 수 있는 디지털 신호처리 시스템을 사용하여 구현될 수 있다.

[0071] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

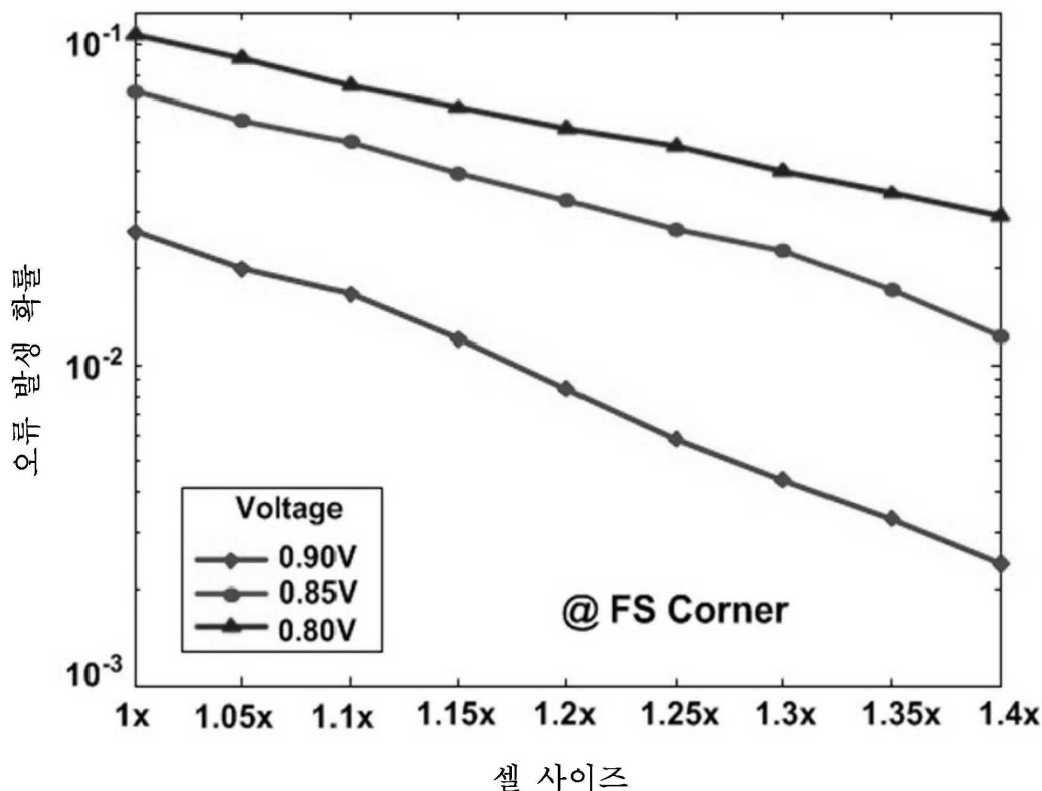
[0072] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

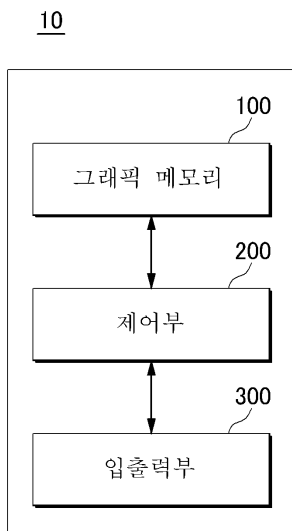
[0073] 10: 영상 처리 프로세서
100: 그래픽 메모리
200: 제어부
300: 입출력부

도면

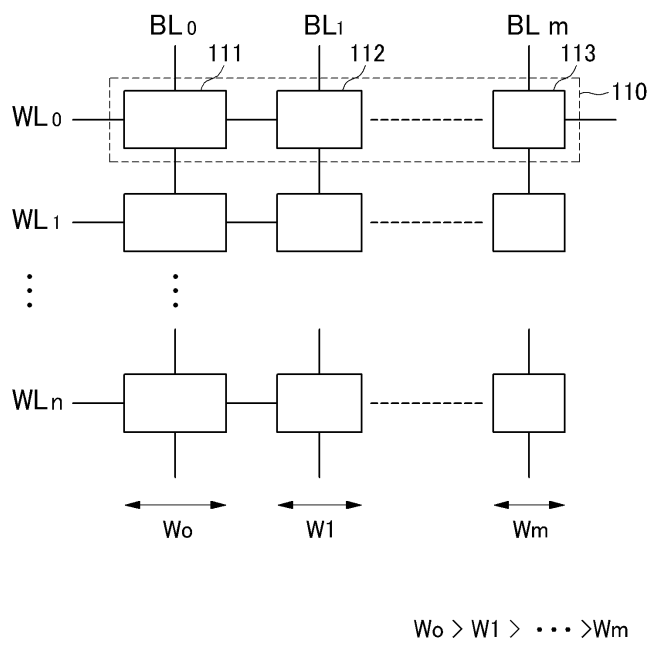
도면1



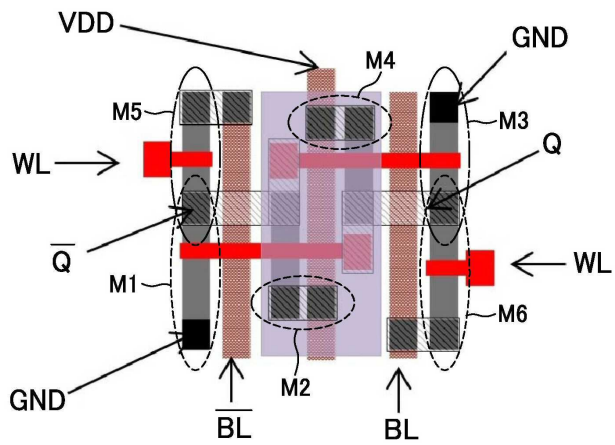
도면2



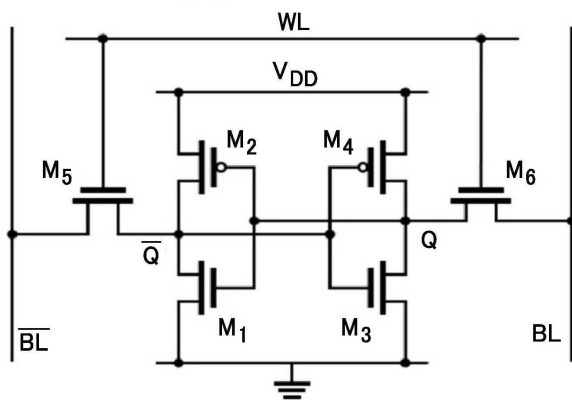
도면3



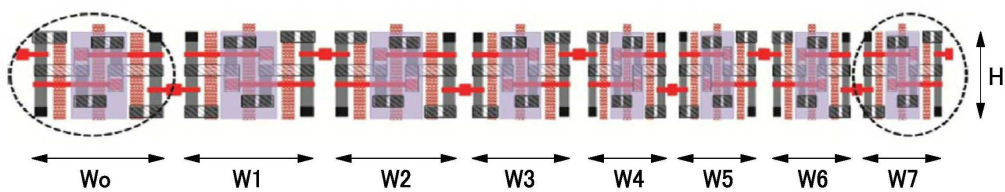
도면4a



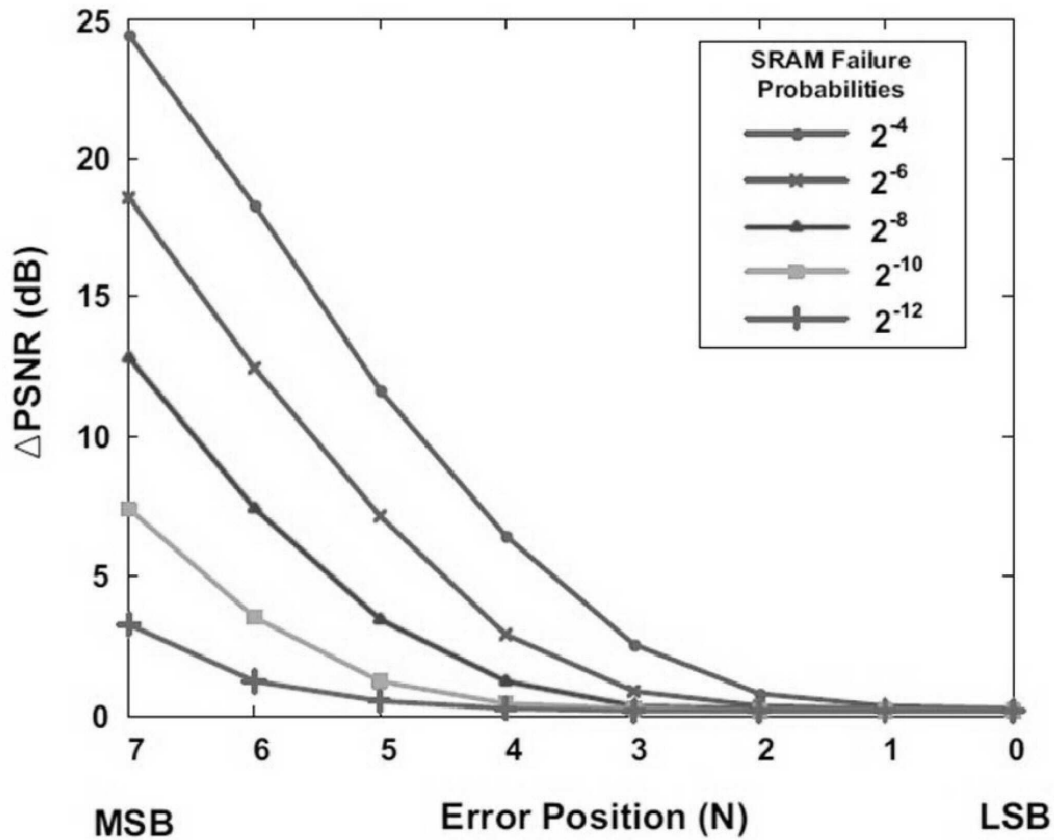
도면4b



도면5



도면6



도면7

