

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007 年 1 月 18 日 (18.01.2007)

PCT

(10) 国際公開番号
WO 2007/007486 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/812 (2006.01)
H01L 29/778 (2006.01)
- (21) 国際出願番号: PCT/JP2006/311214
- (22) 国際出願日: 2006 年 6 月 5 日 (05.06.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-204966 2005 年 7 月 13 日 (13.07.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野三丁目 6 番 3 号 Saitama (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大塚康二 (OTSUKA, Koji) [JP/JP]; 〒3528666 埼玉県新座市北野三丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP). 町田 修 (MACHIDA, Osamu) [JP/JP]; 〒3528666 埼玉県

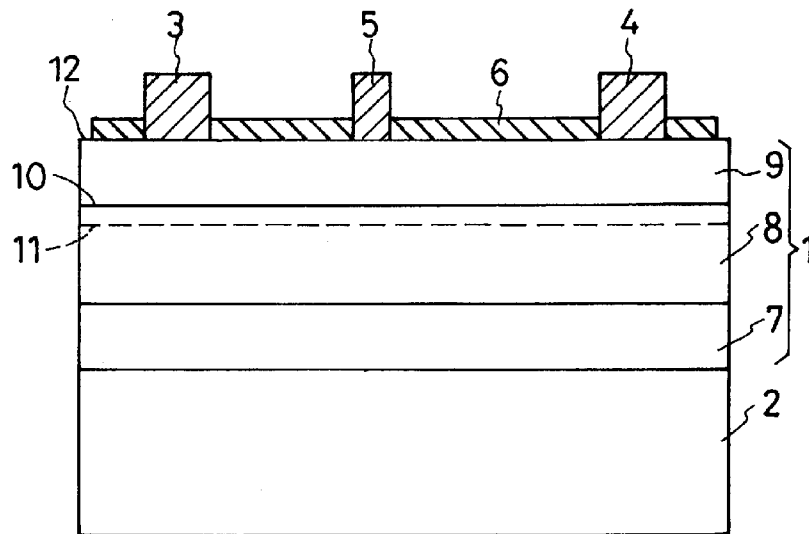
新座市北野三丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP). 室伏 仁 (MUROFUSHI, Hitoshi) [JP/JP]; 〒3528666 埼玉県新座市北野三丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP).

- (74) 代理人: 高野則次 (TAKANO, Noritsugu); 〒1690073 東京都新宿区百人町二丁目 5 番 8 号 科研ビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

/ 続葉有 /

(54) Title: FIELD EFFECT TRANSISTOR

(54) 発明の名称: 電界効果トランジスタ



(57) Abstract: A field effect transistor (HEMT) using a two-dimensional electron gas is provided with a semiconductor substrate (1) which includes an electron transit layer (8) and an n-type electron supplying layer (9). On one main plane of the semiconductor substrate (1), a source electrode (3), a drain electrode (4) and a gate electrode (5) are formed. The gate electrode (5) is arranged between the source electrode (3) and the drain electrode (4). On the one main plane (12) of the semiconductor substrate (1), a p-type organic semiconductor film (6) is arranged. The p-type organic semiconductor film (6) reduces current collapse.

/ 続葉有 /

WO 2007/007486 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 2次元電子ガスを使用する電界効果トランジスタ (HEMT) は、電子走行層 (8) と n 型電子供給層 (9) とを含む半導体基板 (1) を有する。半導体基板 (1) の一方の主面上にソース電極 (3) 及びドレイン電極 (4) 及びゲート電極 (5) が形成されている。ゲート電極 (5) はソース電極 (3) とドレイン電極 (4) との間に配置されている。半導体基板 (1) の一方の主面 (12) 上に p 型有機半導体膜 (6) が設けられている。この p 型有機半導体膜 (6) の働きで電流コラプスが改善される。

明 細 書

電界効果トランジスタ

技術分野

[0001] 本発明は、2次元キャリアガス層（例えば2次元電子ガス層）を電流チャネルとして使用する電界効果トランジスタに関する。

背景技術

[0002] 2次元電子ガス（以下、2DEGと言う。）層を電流チャネル即ち電流通路として使用した電界効果トランジスタは、一般にHEMT（High Electron Mobility Transistor）として周知である。HEMTは、例えば不純物が添加されていないGa_{0.5}N_{0.5}から成る電子走行層と例えばn型AlGa_{0.3}N_{0.7}から成る電子供給層とを有する。電子供給層の上には、ソース電極とドレイン電極とが配置され、これ等の間にショットキ電極から成るゲート電極が配置されている。電子供給層の厚み方向（垂直方向）の抵抗値は小さく、横方向（水平方向）の抵抗値は大きいので、ドレイン電極とソース電極との間の電流は電子走行層に生じる2DEG層を通して流れる。2DEG層は周知のように電子走行層と電子供給層とのヘテロ接合面のピエゾ分極と自発分極とのいずれか一方又は両方に基づいて生じる。

[0003] ところで、例えば特許文献1に開示されているように、HEMTを交流回路で使用すると、電流狭窄即ち電流コラプスが生じる。この電流コラプスとは、HEMTの交流動作時に、電子供給層の表面に負電荷が発生し、この負電荷に基づいて電子走行層を流れる最大ドレイン電流が直流動作時の最大ドレイン電流よりも低減する現象を言う。電流コラプスによる最大ドレイン電流の低下は、電子供給層の表面の負電荷に基づいて2DEG層の電子濃度が相対的に減少するためと考えられる。

[0004] 電流コラプスを抑制するために、電子供給層の上にSiN膜を設けることが特許文献1に開示されている。しかし、SiN膜を設けると、ゲート・ドレイン間耐圧が低下する。また、SiN膜は、表面準位がキャリア（電子）を捕獲することを制限するものであって、捕獲されたキャリア（電子）自体を消滅させるものではないため、電流コラプスの改善効果を十分に得ることができない。

[0005] 特許文献1では、SiN膜の欠点を解決するために、SiN膜の上にSiO₂膜を設け、このSiO₂膜の上に電界制御電極を設けて耐圧向上を図っている。また、特許文献2では、SiN膜の上にSiO₂膜を介してフィールドプレートを設け、耐圧向上を図っている。しかし、電界制御電極又はフィールドプレートを設けると、HEMTの製造コストの上昇を招く。

特許文献1:特開2004-214471号公報

特許文献2:特開2004-200248号公報

特許文献3:特開平1-295459号公報

発明の開示

発明が解決しようとする課題

[0006] 従って、本発明が解決しようとする課題は、コラプスを容易に低減することができないことである。

課題を解決するための手段

[0007] 上記課題を解決するための本発明は、第1の半導体層と2次元電子ガスを生成するために前記第1の半導体層に隣接配置された第2の半導体層とを含む半導体基板と、前記半導体基板の一方の主面上に形成されたソース電極及びドレイン電極と、前記半導体基板の一方の主面における前記ソース電極と前記ドレイン電極との間に配置されたゲート電極と、前記半導体基板の一方の主面の前記ソース電極と前記ドレイン電極との間の少なくとも一部の上に配置され且つp型導電性を有している有機半導体膜とを備えていることを特徴とする電界効果トランジスタに係わるものである。

[0008] 本願の別な発明は、第1の半導体層と2次元ホール(正孔)ガスを生成するために前記第1の半導体層に隣接配置された第2の半導体層とを含む半導体基板と、前記半導体基板の一方の主面上に形成されたソース電極及びドレイン電極と、前記半導体基板の一方の主面における前記ソース電極と前記ドレイン電極との間に配置されたゲート電極と、前記半導体基板の一方の主面の前記ソース電極と前記ドレイン電極との間の少なくとも一部の上に配置され且つn型導電性を有している有機半導体膜とを備えていることを特徴とする電界効果トランジスタに係わるものである。

なお、請求項3に示すように、前記ゲート電極は、前記第1の半導体層にショットキ接

触しているショットキバリア電極から成り、更に、第1の半導体基板の一方の主面上に配置され且つ前記ゲート電極又は前記ドレイン電極に接続された抵抗性ショットキバリア型フィールドプレートを有していることが望ましい。

発明の効果

[0009] 本発明は次の効果を有する。

(1) p型又はn型の有機半導体膜は、半導体基板の表面に捕獲された電荷(例えば負電荷又は正電荷)を消滅させる効果、又は半導体基板の表面に電荷(例えば負電荷又は正電荷)が捕獲されることを抑制する効果、又はこれ等の両方を有する。このため、第2の半導体層に生じる2次元キャリア層の2次元キャリア(例えば電子又はホール)の濃度の低減を抑えることができ、電流コラプスを容易に抑制することができる。

(2) 有機半導体膜はキャリア移動度が低いので、この有機半導体膜又はこれと半導体基板との界面を通るリーク電流は無視できる程度に微小である。従って、比較的高い耐圧を有する電界効果トランジスタが得られる。

図面の簡単な説明

- [0010] [図1]本発明の実施例1のHEMTを示す断面図である。
[図2]本発明の実施例2のHEMTを示す断面図である。
[図3]本発明の実施例3のHEMTを示す断面図である。
[図4]本発明の実施例4のHEMTを示す断面図である。
[図5]本発明の実施例5のHEMTを示す断面図である。
[図6]本発明の実施例6のHEMTを示す断面図である。
[図7]本発明の実施例7のHEMTを示す断面図である。
[図8]本発明の実施例8のHEMTを示す断面図である。
[図9]本発明の実施例9のHEMTを示す断面図である。
[図10]本発明の実施例10のHEMTを示す断面図である。
[図11]本発明の実施例11のHEMTを示す断面図である。

符号の説明

- [0011] 1、1a、1b、1c 半導体基板

- 2 支持基板
- 3 ソース電極
- 4 ドレイン電極
- 5 ゲート電極
- 6 p型有機半導体膜
- 7 バッファ層
- 8 電子走行層
- 9 電子供給層
- 10 ヘテロ接合
- 11 2DEG層

発明を実施するための最良の形態

[0012] 次に、本発明の実施形態を図1～図11を参照して説明する。

実施例 1

[0013] 図1に示す2次元キャリアガス層を有する電界効果トランジスタとしてのHEMTは半導体基板1と、支持基板2と、ソース電極3と、ドレイン電極4と、ゲート電極5と、本発明に従う有機半導体膜6とを有している。

[0014] 半導体基板1は、半導体基体又は主半導体領域とも呼ぶことができるものであって、例えば単結晶シリコン半導体から成る支持基板2の上に周知のエピタキシャル成長方法(例えばMOCVD方法)で順次に形成されたバッファ層7と、第2の半導体層としての電子走行層8と、第1の半導体層としての電子供給層9とを有している。この半導体基板1の各層7、8、9は一方の主面12に対して平行に延びている。

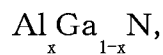
半導体基板1の各層7、8、9は、例えばGaN, InGaN, AlGaN, AlInGaN, AlN, InAlN, AlP, GaP, AlInP, GaInP, AlGaP, AlGaAs, GaAs, AlAs, InAs, InP, InN, GaAsP, Si, SiC, C等の結晶構造を有する半導体材料で形成される。高耐圧のHEMTを形成する場合には、半導体基板1の各層7、8、9を窒化物半導体で構成することが望ましい。次に、HEMTの各部を更に詳しく説明する。

[0015] 支持基板2上に形成されたバッファ層7は、AlN(窒化アルミニウム)から成る第1のサブレイヤーとGaN(窒化ガリウム)から成る第2のサブレイヤーとが交互に積層され

た多層構造バッファである。このバッファ層7はHEMTの動作に直接に関係していないので、これを省くこともできる。また、バッファ層7の半導体材料をAlN, GaN以外のものに置き換えること、又は単層構造にすることもできる。

- [0016] バッファ層7の上に形成された電子走行層8は、本発明の第2の半導体層として機能するものであって、チャンネル層と呼ぶこともできるものであり、この実施例では不純物無添加のアンドープGa_{0.5}N(窒化ガリウム)で形成されている。この電子走行層8は電子供給層9と異なる半導体材料から成り、隣接する電子供給層9との間にヘテロ接合10を形成している。このヘテロ接合10に基づいて周知のピエゾ分極又は自発分極又はこれ等のいずれか一方又は両方が生じ、この分極に基づく電界によって電子走行層8の上部に点線で示す周知の2DEG層11が生じる。
- なお、この電子走行層8はこの上の電子供給層9よりも半導体基板1の一方の主面12から遠い位置に配置されている。

- [0017] 本発明における第1の半導体層としての電子供給層9は、電子走行層8の上に配置され、好ましくは次式で示される窒化物半導体にn型(第1導電型)の不純物を添加したものから成る。



ここで、xは $0 < x < 1$ を満足する数値であり、好ましくは0.2~0.4であり、より好ましくは0.3である。

電子供給層9は、比較的薄く形成されているので、半導体基板1の一方の主面12に垂直方向の抵抗は無視できる程小さく、一方の主面12に平行な方向(横方向)の抵抗は垂直方向よりも大きい。従って、ドレイン・ソース間電流の電子供給層9を横方向に流れる成分を無視することができる。

n型AlGa_{0.5}Nから成る電子供給層9はこの下のGa_{0.5}Nから成る電子走行層9よりも小さい格子定数を有する。従って、電子供給層9と電子走行層8とのヘテロ接合10に基づいて周知のピエゾ分極が生じる。また、n型不純物を含む電子供給層9に基づいて自発分極が生じる。既に説明したように、上記ピエゾ分極及び自発電極の電界に基づいて電子走行層8の上部に点線で示す周知の2DEG層11が生じる。2DEG層11は、半導体基板1の一方の主面12に対して平行な方向に自由度を有する電子(キャ

リア)を含み、ソース電極3とドレイン電極4との間の電流通路として機能する。

[0018] ソース電極3は半導体基板1の一方の主面12上に配置されている。ドレイン電極4は、ソース電極3に対して所定の間隔を有して半導体基板1の一方の主面12上に配置されている。ソース電極3及びドレイン電極4のそれぞれは、例えばチタン(Ti)とアルミニウム(Al)との積層電極から成り、電子供給層9に低抵抗性接触している。

[0019] ゲート電極5は、半導体基板1の一方の主面12上のソース電極3とドレイン電極4との間に配置され、例えばロジウム(Rh)から成り、電子供給層9にショットキ接触している。このゲート電極5は2DEG層11を制御する機能を有する。HEMTが、ノーマリオン型に構成されており、且つドレイン電極4にソース電極3よりも高い電位が与えられていれば、ゲート電極5に電圧が印加されていない時に、ソース電極3、電子供給層9、2DEG層11、電子供給層9及びドレイン電極4の経路でキャリア(電子)が流れ、ゲート電極5に所定の電圧が印加されている時に、ゲート電極5の下の2DEG層11が消滅するか又は狭くなり、キャリア(電子)の流れが遮断されるか又は低減される。また、もしHEMTが、ノーマリオフ型に構成されており、且つドレイン電極4にソース電極3よりも高い電位が与えられていれば、ゲート電極5に所定の電圧が印加された時に、ソース電極3、電子供給層9、2DEG層11、電子供給層9及びドレイン電極4の経路でキャリア(電子)が流れ、ゲート電極5に所定の電圧が印加されていない時に、ゲート電極5の下の2DEG層11が消滅し、キャリア(電子)の流れが遮断される。

[0020] 本発明に従う有機半導体膜6は半導体基板1の一方の主面12の少なくとも一部を覆うように配置されている。この有機半導体膜6は、n型の電子供給層9と反対のp型(第2導電型)を有する。p型有機半導体膜6は、無機半導体又は結晶半導体から成る半導体基板1とは別の化学的構造を有するものであって、好ましくは、ペンタセン(pentacene)誘導体又はテトラセン(tetracene)誘導体又はアントラセン(anthracene)誘導体等から成るアセン(acene)、ペリレン(perylene)、ルブレネ(rubrene)、フタロシアニン(phthalocyanine)、Znフタロシアニン等から成り、より好ましくは、テトラセン又はZnフタロシアニンから成る。

[0021] 有機半導体膜6は、例えばn型AlGaNから成る電子供給層9の表面に、好ましくは、蒸着法、スパッタリング法、スピノン法、又はゾルゲル法によって形成され、より好

ましくは、抵抗加熱蒸着法又はスピンオン法で形成される。図1の実施例1では、電子供給層9上に厚さ50nmの有機半導体膜6が形成されている。また、図1では有機半導体膜6が半導体基板1の一方の主面12のドレイン電極4とゲート電極5との間の全部、ソース電極3とゲート電極5との間の全部、ソース電極3よりも外側部分及びゲート電極4よりも外側部分に形成されている。

[0022] 既に説明したように、電流コラプスが改善されていない場合において、HEMTに交流電圧の負の半サイクルが印加されてドレイン電極4の電位がソース電極3の電位に対して負になると、電子供給層9の表面即ち半導体基板1の一方の主面12に負電荷が帯電する。この結果として2DEG層11の電子が低減し、HEMTがオン状態の時の最大ドレイン電流が低減する。これに対し、本発明に従うp型の有機半導体膜6が設けられた時には、p型有機半導体膜6に基づく電界によって半導体基板1の一方の主面12の負電荷が低減する。換言すれば、p型有機半導体膜6から半導体基板1の一方の主面に正孔(ホール)が供給され、この正孔によって半導体基板1の一方の主面12の負電荷が相殺即ち消滅される。

p型有機半導体膜6による電流コラプス改善を更に別の観点で説明すると、n型AlGa Nから成る電子供給層9とp型有機半導体膜6と2DEG層11とを1つのコンデンサと考えることができる。この場合には、電子供給層9がコンデンサの誘電体層として機能し、p型有機半導体膜6がコンデンサの正電極として機能し、2DEG層11がコンデンサの負電極として機能する。誘電体層としての電子供給層6の一方の主面の正電荷がp型有機半導体膜6によって固定されると、電子供給層6の他方の主面の負の電荷の安定化が図られる。この結果、電流コラプス現象に基づく2DEG層11の電子の低減が小さくなる。

[0023] 本発明のp型有機半導体膜6に基づく半導体基板1の一方の主面12の負電荷の低減作用は、従来の半導体基板1の表面の終端処理による帯電荷の低減作用と異なっている。即ち、半導体基板の表面には、半導体を構成する原子間の結合の遮断に基づく未結合子(ダングリングボンド)が生じ、この未結合子が帯電に関与する。そこで、未結合子に基づく帯電を防ぐための処理即ち終端処理が半導体基板に対して施される。この従来の終端処理は間接的な帯電防止であるのに対し、本発明に従うp

型有機半導体膜6による負電荷の帯電防止は、正孔と負電荷との結合に基づくものである。従って、直接的な帯電防止である。

- [0024] p型有機半導体膜6は、3-5族化合物半導体から成る電子供給層9のキャリア(電子)移動度よりも十分に小さいキャリア(正孔)移動度(最大でも $1.5\text{cm}^2/\text{V}\cdot\text{s}$)を有している。従って、p型有機半導体膜6は実質的に絶縁膜であり、ドレイン電極4とゲート電極5との間及びソース電極3とゲート電極5との間のp型有機半導体膜6を通る電流は無視できる程微小である。従って、p型有機半導体膜6は電流コラプス改善のための電界を与える機能の他に半導体基板1の表面の保護膜の機能も有する。

実施例 2

- [0025] 次に、図2に示す実施例2のHEMTを説明する。但し、図2及び後述する図3～図11において図1と実質的に同一の部分には同一の符号を付してその説明を省略する。

- [0026] 図2のHEMTは、p型有機半導体膜6の配置位置を半導体基板1の一方の主面12におけるドレイン電極4とゲート電極5との間のみに変え、この他は図1と同一に構成したものである。図2に示すようにp型有機半導体膜6を限定的に設けても、p型有機半導体膜6に対向する部分の2DEG層11における電子の低減を抑制することができ、実施例1と同様に電流コラプスを改善することができる。

実施例 3

- [0027] 図3に示す実施例3のHEMTは、p型有機半導体膜6をドレイン電極4とゲート電極5との間の全部に設けなくて、ドレイン電極4側のみに設け、ゲート電極5とp型有機半導体膜6との間に隙間を設けた他は図2と同一に形成したものである。この図3に示す実施例3によっても図2の実施例2と同様な効果を得ることができる。

実施例 4

- [0028] 図4に示す実施例4のHEMTは、p型有機半導体膜6をドレイン電極4とゲート電極5との間の全部に設けなくて、ゲート電極5側のみに設け、ドレイン電極4とp型有機半導体膜6との間に隙間を設けた他は、図2と同一に形成したものである。この図4の実施例4によっても図2の実施例2と同様な効果を得ることができる。

実施例 5

- [0029] 図5に示す実施例5のHEMTは、p型有機半導体膜6をドレイン電極4とゲート電極5との間の全部に設けず、両者の中間領域のみに設け、この他は図2と同一に形成したものである。この図5の実施例5によっても図2の実施例2と同様な効果を得ることができる。

実施例 6

- [0030] 図6の実施例6のHEMTは、図1の実施例1のHEMTに固体絶縁材料即ち誘電体から成る保護膜13を付加し、この他は図1と実質的に同一に形成したものである。
- [0031] 保護膜13は、p型有機半導体膜6と半導体基板1の一方の主面12との間に配置されている。この保護膜13は例えば SiO_2 (シリコン酸化物)で形成され、半導体基板1の一方の主面12を保護する機能を有する。
- [0032] 保護膜13は誘電体から成るので、保護膜13と電子供給層9との両方が等価的にコンデンサの誘電体部分として機能し、図1の実施例1と同一の原理で電流コラプス改善効果を得ることができる。
- [0033] 図6では、p型有機半導体膜6がソース電極3とドレイン電極4との間において保護膜13の上に配置されているが、図2～図5に示すようにドレイン電極4とゲート電極5との間の限定された部分において保護膜13の上に配置することもできる。

実施例 7

- [0034] 図7の実施例7のHEMTは図6の実施例6のHEMTに抵抗性ショットキバリア型フィールドプレート14を付加し、この他は図6と実質的に同一に形成したものである。
- [0035] 抵抗性ショットキバリア型フィールドプレート14は、保護膜13と半導体基板1の一方の主面12との間に配置され且つドレイン電極4とゲート電極5との間の一部に限定的に配置されている。即ち、抵抗性ショットキバリア型フィールドプレート14は、半導体基板1の一方の主面12にショットキ接触し且つゲート電極5に接続されている。この抵抗性ショットキバリア型フィールドプレート14は、特許文献3(特開平1-295459号公報)に開示されているものと同一であって、例えば $10\text{k}\Omega/\square$ 以上のシート抵抗を有するチタン酸化物から成る。
- [0036] 抵抗性ショットキバリア型フィールドプレート14は、特許文献3と同様にショットキバリ

ア電極から成るゲート電極5の耐圧向上に寄与する。即ち、ドレイン電極4とゲート電極5との間に電界集中箇所が生じることを抵抗性ショットキバリア型フィールドプレート14によって防ぐことができる。従って、図7の実施例によれば、ドレイン電極4とゲート電極5との間の耐圧が高くなると共に電流コラプスが改善される。

[0037] 図7においてもp型有機半導体膜6を図2～図5に示すように限定的に配置することができる。

実施例 8

[0038] 図8に示す実施例8のHEMTは、図7の抵抗性ショットキバリア型フィールドプレート14の位置を変更した他は図7と同一に形成したものである。

[0039] 図8のショットキバリア型フィールドプレート14はドレイン電極4に接続され、ドレイン電極4からゲート電極5に向って延びている。ショットキバリア型フィールドプレート14を図8に示すように形成しても、ドレイン電極4とゲート電極5との間の電界集中を緩和することができる。また、p型有機半導体膜6による電流コラプス改善効果を、図6の実施例6と同様に得ることができる。

[0040] 図7及び図8に示すHEMTにおいても、p型有機半導体膜6のパターンを図2～図5に示すように変形することができる。

実施例 9

[0041] 図9の実施例9のHEMTは、変形された半導体基板1aを設けた他は図1と同一に形成したものである。図9の変形された半導体基板1aは、図1の半導体基板1に n^+ 型ソースコンタクト層15と n^+ 型のドレインコンタクト層16とを追加したものである。ソースコンタクト層15はn型の電子供給層9とソース電極3との間に配置されている。ドレインコンタクト層16は電子供給層9とドレイン電極4との間に配置されている。ソースコンタクト層15及びドレインコンタクト層16のいずれも電子供給層9よりも高いn型不純物濃度を有する例えばAlGaN等の窒化物半導体から成る。p型有機半導体膜6は電子供給層9のみでなくソースコンタクト層15及びドレインコンタクト層16も覆うように形成されている。

[0042] 図9の実施例9によっても図1の実施例1と同一の効果を得ることができ、更に、ソース電極3及びコレクタ電極4の接触抵抗を下げる効果も得ることができる。

- [0043] 図9のソースコンタクト層15及びドレインコンタクト層16を図2～図8の実施例2～8のHEMTにも追加することができる。

実施例 10

- [0044] 図10の実施例10のHEMTは変形された半導体基板1bを設けた他は図1と同一に形成したものである。図10の変形された半導体基板1bは図1の半導体基板1に例えばGaNから成る補助層17を追加したものである。
- [0045] 図10の電子供給層9の上に配置された補助層17は、一般にキャップ層と呼ばれるものであって、例えばアンドープAlGaNから成る。ソース電極3及びドレイン電極4は補助層17に低抵抗接触し、ゲート電極5は補助層17にショットキ接触している。なお、図10において、ソース電極3及びドレイン電極4を補助層17に接触させないで電子供給層9に低抵抗接触させることもできる。
- [0046] 図10の補助層17はゲート電極5と半導体基板1bとの間のショットキバリアを高める効果を有する。この図10のHEMTによっても図1のHEMTと同様な効果を得ることができる。
- [0047] 図10の補助層17を図2～図9の実施例2～9のHEMTにも適用することができる。

実施例 11

- [0048] 図11の実施例11のHEMTは、図1の2次元電子ガス層即ち2DEG層11の代わりに2次元ホールガス層11'を得ることができるように変形された半導体基板1cと変形された有機半導体膜6'を設け、この他は図1と実質的に同一に形成したものである。図11の半導体基板1cは、図1～図10の電子走行層8の代わりに設けられた正孔走行層8'と、図1～図10の電子供給層9の代わりに設けられたp型半導体(例えばp型AlGaN)からなる正孔供給層9'とを有する。また、図11の図11の実施例11のHEMTは、図1の実施例1のp型有機半導体膜6の代わりにn型有機半導体膜6'を有する。

図11の正孔走行層8'は正孔供給層9'にヘテロ接合されている。従って、正孔走行層8'に2次元キャリアガス層としての2次元正孔ガス層11'が生じる。n型有機半導体膜6'は、ドレイン電極4に正電圧が印加された時に2次元正孔ガス層11'における正孔(ホール)の減少が生じることを防ぐ効果を有する。

n型有機半導体膜6'の材料として、例えば、フラーレン (Fullerene) 又はフラーレン誘導体 (好ましくはC60又はC70)、又はCu (銅) フタロシアニン等を使用することができる。n型有機半導体膜6'は、p型有機半導体膜6と同様に周知の蒸着、スパッタリング、スピンオン (塗布)、ゾルゲル法等で形成される。

[0049] 図11の実施例11によってもn型有機半導体膜6'に対向する部分の2次元正孔ガス層11'における正孔の低減を抑制することができ、実施例1と同様に電流コラプスを改善することができる。

なお、図2～図10のHEMTにおいても、電子走行層8の代わり正孔走行層8'を設け、電子供給層9の代わりに正孔供給層9'を設け、2次元電子ガス層即ち2DEG層11の代わりに2次元ホールガス層11'を設け、p型有機半導体膜6の代わりにn型有機半導体膜6'を設けることができる。

[0050] 本発明は上述の実施例に限定されるものでなく、例えば次の変形も可能なものである。

(1) 図1～図10の実施例1～10では、第1の半導体層としての電子供給層9がn型半導体層で形成されているが、不純物を特別に添加しないアンドープ半導体層で電子供給層9を形成することもできる。電子供給層9がアンドープ半導体層である場合においても、電子供給層9のアンドープ半導体層と電子走行層8とのヘテロ接合に基づいてピエゾ分極が生じ、このピエゾ分極に基づいて電子走行層8に2DEG層11が形成される。同様に、図11の実施例11においても、第1の半導体層としての正孔供給層9'をアンドープ半導体層で形成することができる。要するに、本発明の第1及び第2の半導体層の材料は、2DEG層11又は2次元正孔ガス層11'を形成することができるものであればどのような材料でも良い。

(2) 半導体基板1、1a、1b、1cに必要な応じて更に別の半導体層を付加することができる。例えば、電子供給層9と電子走行層8の間に電子供給層9のn型不純物が電子走行層8に拡散することを阻止するための極薄い半導体層 (例えばアンドープAlGaInから成る半導体層) を介在させることができる。

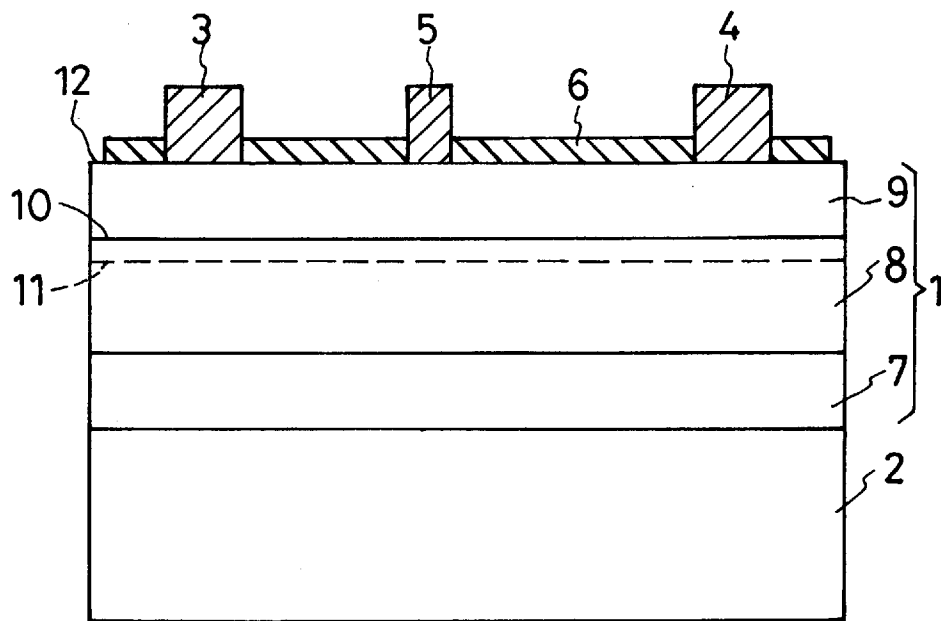
(3) 図9の抵抗性ショットキバリア型フィールドプレート14をゲート電極5とソース電極3との間にも設けることができる。

- (4) 電子走行層8及び電子供給層9を、GaN、AlGaN以外の別の3-5族化合物半導体で形成することができる。
- (5) ソース電極3及びドレイン電極4を電子走行層8に直接的に接続することもできる。
- (6) 支持基板2をシリコン以外のシリコン化合物、又はサファイア、又は3-5族化合物半導体で形成することができる。
- (7) ショットキバリア型のゲート電極5の代わりに絶縁膜を介してゲート電極を設けることができる。

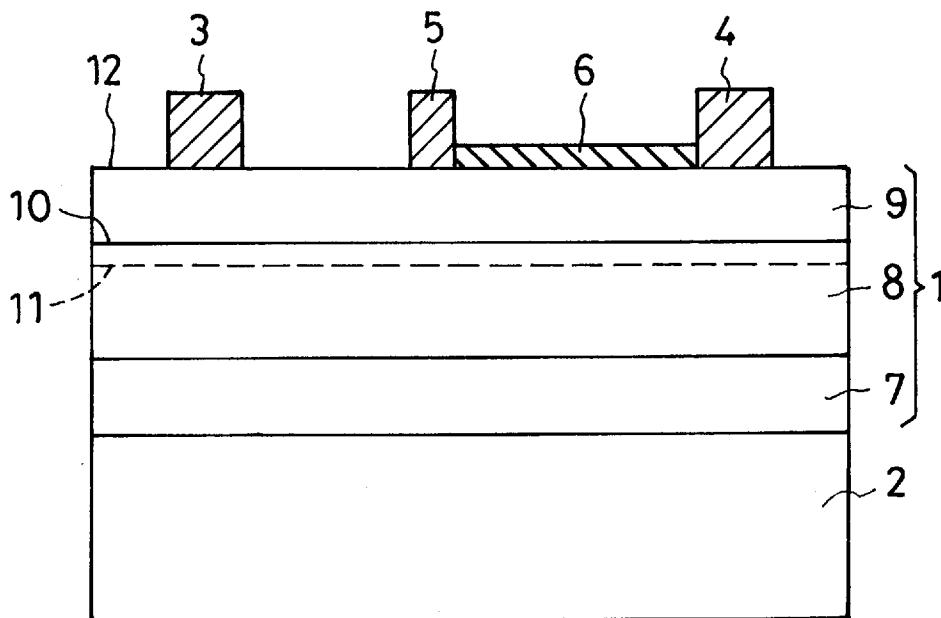
請求の範囲

- [1] 第1の半導体層と2次元電子ガスを生成するために前記第1の半導体層に隣接配置された第2の半導体層とを含む半導体基板と、
前記半導体基板の一方の主面上に形成されたソース電極及びドレイン電極と、
前記半導体基板の一方の主面における前記ソース電極と前記ドレイン電極との間に配置されたゲート電極と、
前記半導体基板の一方の主面の前記ソース電極と前記ドレイン電極との間の少なくとも一部の上に配置され且つp型導電性を有している有機半導体膜とを備えていることを特徴とする電界効果トランジスタ。
- [2] 第1の半導体層と2次元ホールガスを生成するために前記第1の半導体層に隣接配置された第2の半導体層とを含む半導体基板と、
前記半導体基板の一方の主面上に形成されたソース電極及びドレイン電極と、
前記半導体基板の一方の主面における前記ソース電極と前記ドレイン電極との間に配置されたゲート電極と、
前記半導体基板の一方の主面の前記ソース電極と前記ドレイン電極との間の少なくとも一部の上に配置され且つn型導電性を有している有機半導体膜とを備えていることを特徴とする電界効果トランジスタ。
- [3] 前記ゲート電極は、前記第1の半導体層にショットキ接触しているショットキバリア電極から成り、
更に、第1の半導体基板の一方の主面上に配置され且つ前記ゲート電極又は前記ドレイン電極に接続された抵抗性ショットキバリア型フィールドプレートを有していることを特徴とする請求項1又は2記載の電界効果トランジスタ。

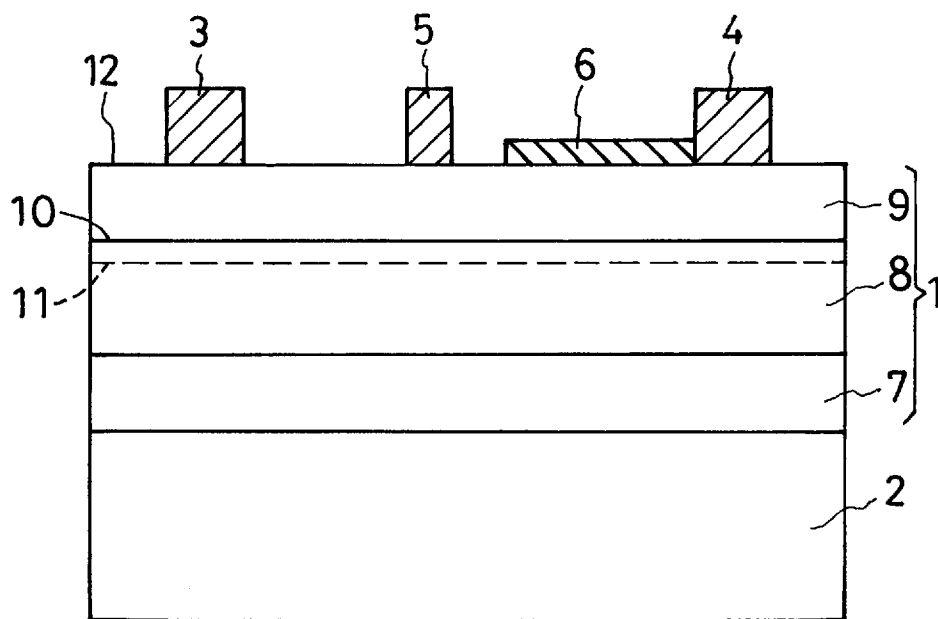
[図1]



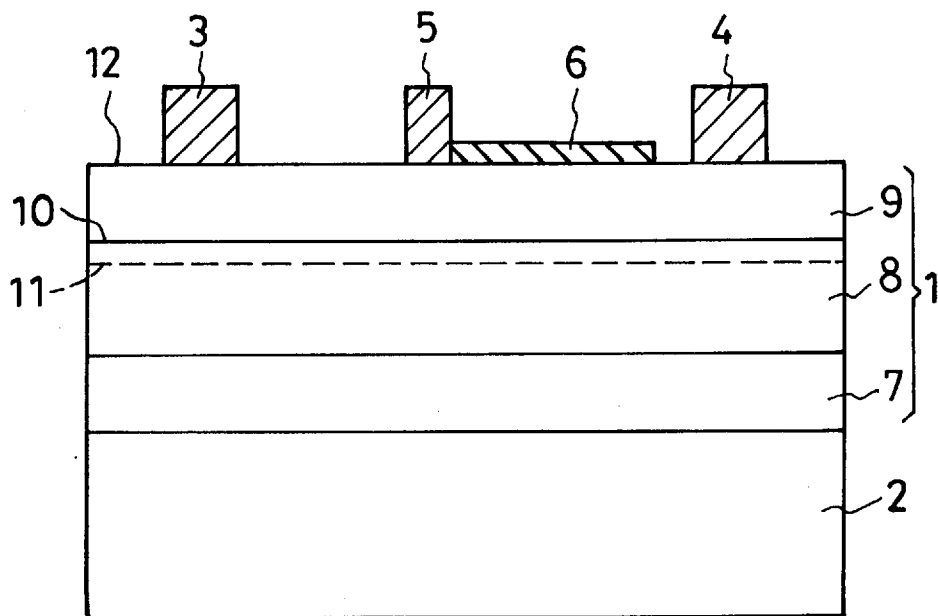
[図2]



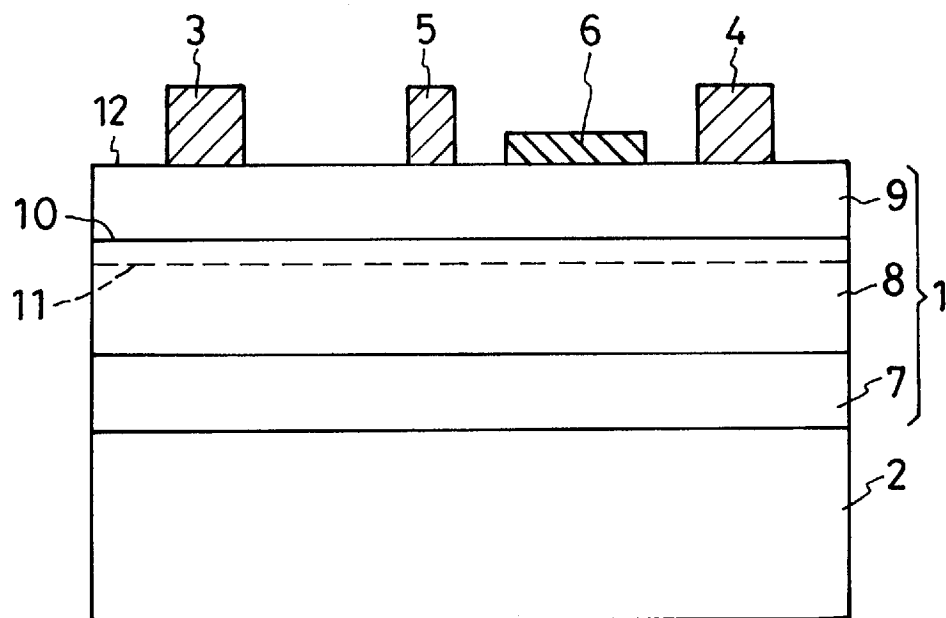
[図3]



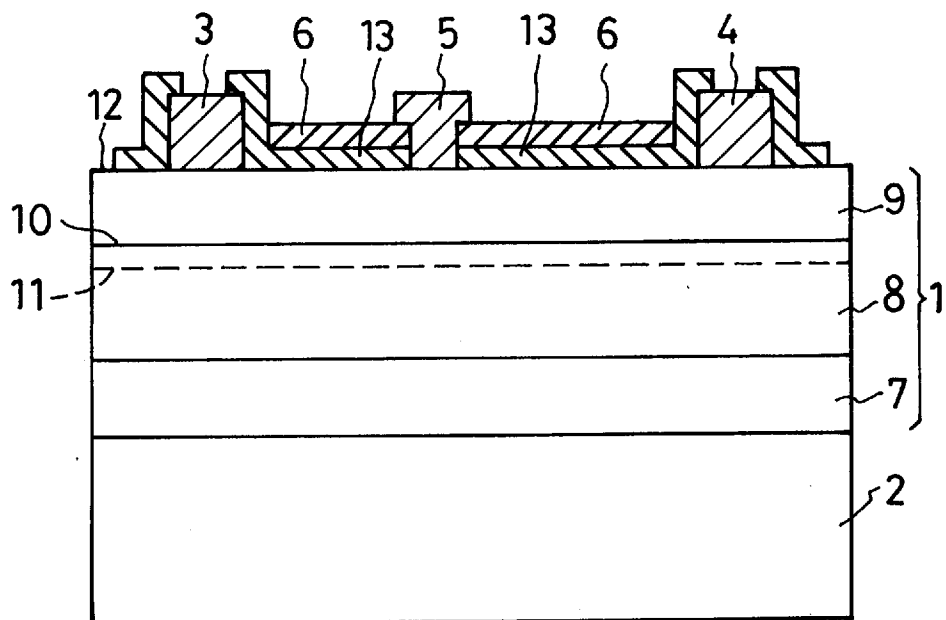
[図4]



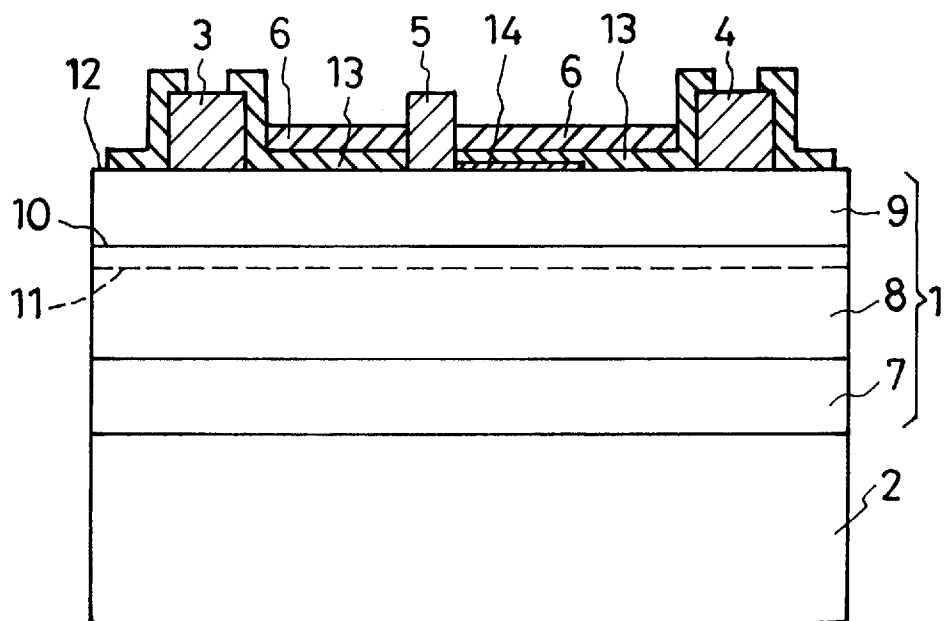
[図5]



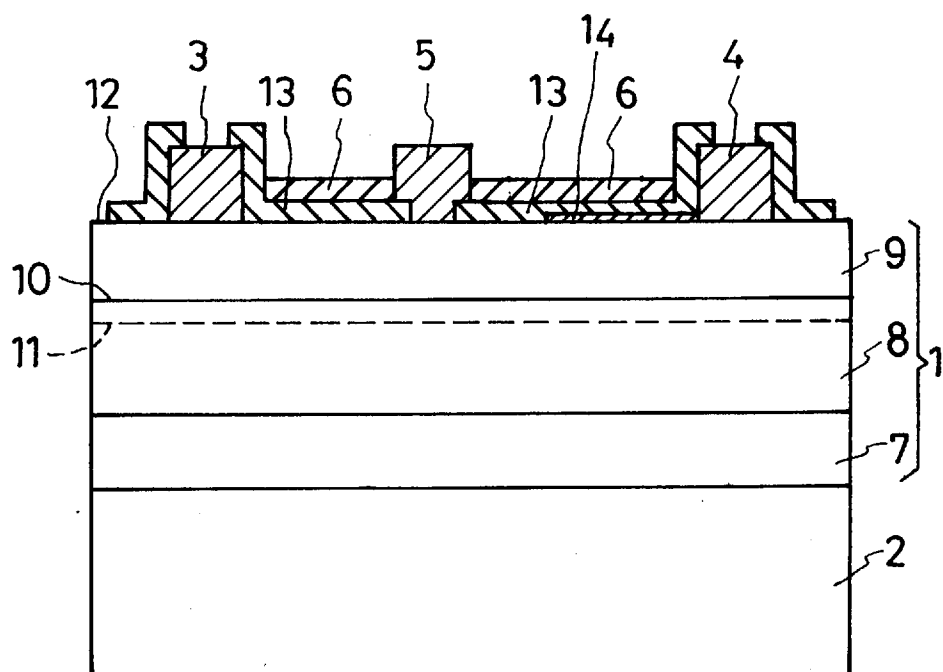
[図6]



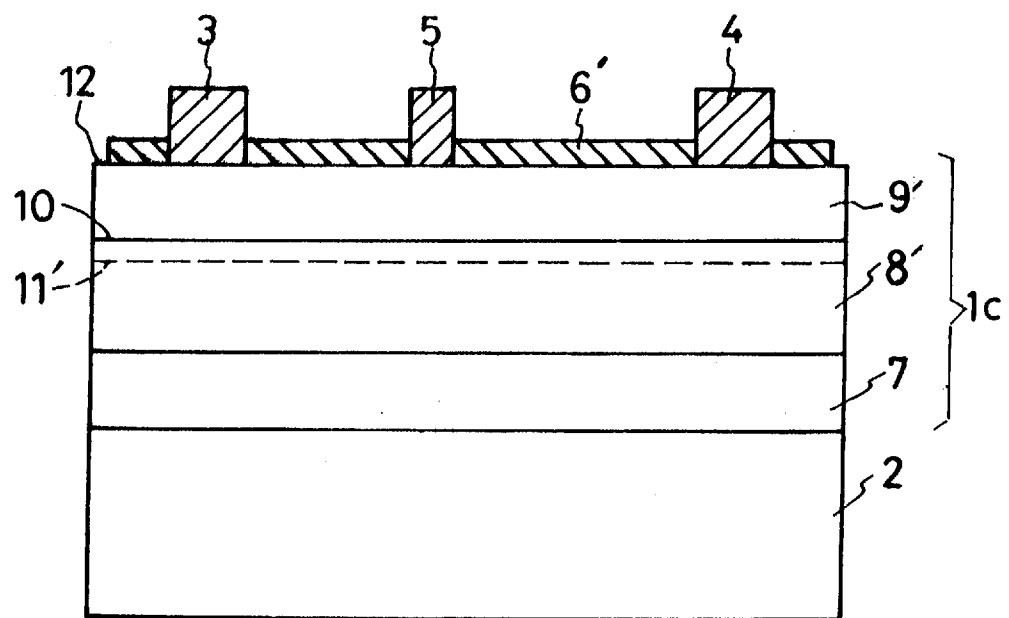
[図7]



[図8]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/311214

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L29/778, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Science Direct

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 61-102072 A (Sony Corp.), 20 May, 1986 (20.05.86), Figs. 1 to 6 (Family: none)	1-3
Y	JP 2004-152958 A (Pioneer Electronic Corp.), 27 May, 2004 (27.05.04), Par. No. [0011] & WO 2004/040657 A1	1-3
Y	JP 4-2167 A (Fuji Electric Co., Ltd.), 07 January, 1992 (07.01.92), Fig. 1 (Family: none)	3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 August, 2006 (22.08.06)

Date of mailing of the international search report
29 August, 2006 (29.08.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/311214

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 1-295459 A (Sanken Electric Co., Ltd.), 29 November, 1989 (29.11.89), Fig. 1 (Family: none)	3

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（I P C））
 Int.Cl. H01L21/338, H01L29/778, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2－1 9 9 6年
日本国公開実用新案公報	1 9 7 1－2 0 0 6年
日本国実用新案登録公報	1 9 9 6－2 0 0 6年
日本国登録実用新案公報	1 9 9 4－2 0 0 6年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）
 Science Direct

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 6 1－1 0 2 0 7 2 A（ソニー株式会社） 1 9 8 6. 0 5. 2 0, 第1－6図（ファミリーなし）	1－3
Y	J P 2 0 0 4－1 5 2 9 5 8 A（パイオニア株式会社） 2 0 0 4. 0 5. 2 7, 段落【0 0 1 1】 & WO 2 0 0 4 / 0 4 0 6 5 7 A 1	1－3

☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献
--	---

国際調査を完了した日 2 2 . 0 8 . 2 0 0 6	国際調査報告の発送日 2 9 . 0 8 . 2 0 0 6		
国際調査機関の名称及びあて先 日本国特許庁（ I S A / J P ） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官（権限のある職員） 萩原 周治 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8	4 L	3 4 4 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 4 - 2 1 6 7 A (富士電機株式会社) 1 9 9 2 . 0 1 . 0 7 , 第 1 図 (ファミリーなし)	3
Y	J P 1 - 2 9 5 4 5 9 A (サンケン電気株式会社) 1 9 8 9 . 1 1 . 2 9 , 第 1 図 (ファミリーなし)	3