

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-141658

(P2010-141658A)

(43) 公開日 平成22年6月24日(2010.6.24)

(51) Int.Cl.

H01P 1/36 (2006.01)

F I

H01P 1/36

テーマコード (参考)

Z

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願2008-316718 (P2008-316718)
 (22) 出願日 平成20年12月12日 (2008.12.12)

(71) 出願人 000006231
 株式会社村田製作所
 京都府長岡京市東神足1丁目10番1号
 (74) 代理人 100091432
 弁理士 森下 武一
 (74) 代理人 100124729
 弁理士 谷 和紘
 (72) 発明者 日野 聖吾
 京都府長岡京市東神足1丁目10番1号
 株式会社村田製作所内

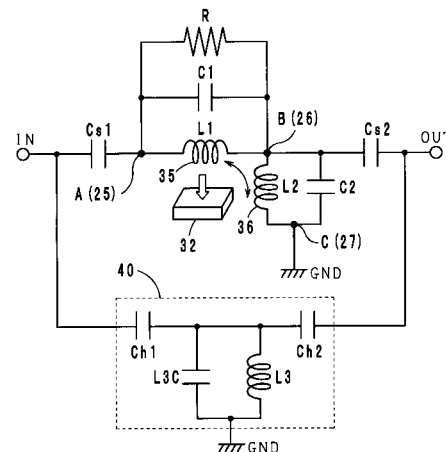
(54) 【発明の名称】 非可逆回路素子

(57) 【要約】

【課題】 高調波減衰特性の良好な非可逆回路素子を得る。

【解決手段】 永久磁石により直流磁界が印加されるフェライトと、該フェライトに互いに電氣的に絶縁状態で交差して配置された複数の中心電極と、コンデンサC1, C2, Cs1, Cs2含む整合用回路素子と、動作の基本波帯の信号を通過させずに高調波帯の信号を逆相にして通過させるLC共振回路40と、からなる非可逆回路素子。回路基板はインダクタ形成層とコンデンサ形成層とを含み、LC共振回路40のインダクタL3はインダクタ形成層の一主面に電極線路として形成され、並列コンデンサL3Cは該電極線路とインダクタ形成層の他の主面に形成された電極との間に形成されている。インダクタ形成層の誘電率がコンデンサ形成層の誘電率よりも小さい、または、インダクタ形成層の厚みがコンデンサ形成層の厚みよりも大きい。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

永久磁石と、
前記永久磁石により直流磁界が印加されるフェライトと、
前記フェライトに互いに電氣的に絶縁状態で交差して配置された複数の中心電極と、
コンデンサを含む整合用回路用素子と、
動作の基本波帯の信号を通過させずに高調波帯の信号を逆相にして通過させる LC 共振回路と、
前記整合用回路素子の少なくとも一部及び前記 LC 共振回路のインダクタと並列コンデンサとを内蔵した積層回路基板と、
を備え、
前記積層回路基板はインダクタ形成層とコンデンサ形成層とを含み、
前記 LC 共振回路のインダクタは前記インダクタ形成層の一主面に電極線路として形成され、前記 LC 共振回路の並列コンデンサは該電極線路とインダクタ形成層の他主面に形成された電極との間に形成されており、
前記インダクタ形成層の誘電率が前記コンデンサ形成層の誘電率よりも小さいこと、
を特徴とする非可逆回路素子。

10

【請求項 2】

前記インダクタ形成層の厚みが前記コンデンサ形成層の厚みよりも大きいことを特徴とする請求項 1 に記載の非可逆回路素子。

20

【請求項 3】

永久磁石と、
前記永久磁石により直流磁界が印加されるフェライトと、
前記フェライトに互いに電氣的に絶縁状態で交差して配置された複数の中心電極と、
コンデンサを含む整合用回路用素子と、
動作の基本波帯の信号を通過させずに高調波帯の信号を逆相にして通過させる LC 共振回路と、
前記整合用回路素子の少なくとも一部及び前記 LC 共振回路のインダクタと並列コンデンサとを内蔵した積層回路基板と、
を備え、
前記積層回路基板はインダクタ形成層とコンデンサ形成層とを含み、
前記 LC 共振回路のインダクタは前記インダクタ形成層の一主面に電極線路として形成され、前記 LC 共振回路の並列コンデンサは該電極線路とインダクタ形成層の他主面に形成された電極との間に形成されており、
前記インダクタ形成層の厚みが前記コンデンサ形成層の厚みよりも大きいこと、
を特徴とする非可逆回路素子。

30

【請求項 4】

前記インダクタ形成層は前記積層回路基板の実装面側に積層されていることを特徴とする請求項 1 ないし請求項 3 のいずれかに記載の非可逆回路素子。

【請求項 5】

前記インダクタ形成層の他主面に形成されたコンデンサ電極は外部接続用端子電極であることを特徴とする請求項 4 に記載の非可逆回路素子。

40

【請求項 6】

前記外部接続用端子電極はグランド端子電極であることを特徴とする請求項 5 に記載の非可逆回路素子。

【請求項 7】

前記フェライトの対向する主面を一对の永久磁石で挟着してフェライト・磁石素子を形成し、このフェライト・磁石素子を前記積層回路基板上にフェライトの主面が積層回路基板の表面に対して垂直に位置するように実装したこと、を特徴とする請求項 1 ないし請求項 6 のいずれかに記載の非可逆回路素子。

50

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、非可逆回路素子、特に、マイクロ波帯で使用されるアイソレータやサーキュレータなどの非可逆回路素子に関する。

【背景技術】**【0002】**

従来より、アイソレータやサーキュレータなどの非可逆回路素子は、予め定められた特定方向にのみ信号を伝送し、逆方向には伝送しない特性を有している。この特性を利用して、例えば、アイソレータは、自動車電話、携帯電話などの移動体通信機器の送信回路部に使用されている。

10

【0003】

一般に、この種の非可逆回路素子では、互いに絶縁状態で交差する複数の中心電極をフェライトに形成し、該フェライトに永久磁石から直流磁界を印加して中心電極を結合させており、さらにコンデンサや抵抗を含む整合用回路素子を備えている。特許文献1には、フェライトに第1中心電極及び第2中心電極を巻回した状態で配置し、第2中心電極の巻回数を多くすることで大きなインダクタンスを得、挿入損失が低く、広帯域な通過特性を実現した2ポート型アイソレータが記載されている。しかし、この2ポート型アイソレータにおいては、広帯域な通過特性であるがゆえに高調波帯域を減衰させる特性は実現できていない。

20

【特許文献1】特開2007-208943号公報

【発明の開示】**【発明が解決しようとする課題】****【0004】**

そこで、本発明の目的は、高調波減衰特性の良好な非可逆回路素子を提供することにある。

【課題を解決するための手段】**【0005】**

前記目的を達成するため、本発明の一形態である非可逆回路素子は、
永久磁石と、
前記永久磁石により直流磁界が印加されるフェライトと、
前記フェライトに互いに電氣的に絶縁状態で交差して配置された複数の中心電極と、
コンデンサを含む整合用回路素子と、
動作の基本波帯の信号を通過させずに高調波帯の信号を逆相にして通過させるLC共振回路と、
前記整合用回路素子の少なくとも一部及び前記LC共振回路のインダクタと並列コンデンサとを内蔵した積層回路基板と、
を備え、
前記積層回路基板はインダクタ形成層とコンデンサ形成層とを含み、
前記LC共振回路のインダクタは前記インダクタ形成層の一主面に電極線路として形成され、前記LC共振回路の並列コンデンサは該電極線路とインダクタ形成層の他主面に形成された電極との間に形成されており、
前記インダクタ形成層の誘電率が前記コンデンサ形成層の誘電率よりも小さいこと、
を特徴とする。

30

【0006】

また、本発明の他の形態である非可逆回路素子は、前記インダクタ形成層の厚みが前記コンデンサ形成層の厚みよりも大きいこと、を特徴とする。

【0007】

前記非可逆回路素子において、LC共振回路はトラップ回路として機能し、不要な高調波を減衰させる。特に、積層回路基板のインダクタ形成層の誘電率がコンデンサ形成層の

50

誘電率よりも小さいため、あるいは、インダクタ形成層の厚みがコンデンサ形成層の厚みよりも大きい場合、LC共振回路の並列コンデンサの容量値が小さくなり、インダクタの特性インピーダンスが大きくなる。これにて、インダクタのインダクタンス値が大きくなり、LC共振回路を通過する高調波帯域が広がり、良好な高調波減衰特性が得られる。

【0008】

また、整合用回路素子を構成するコンデンサを多層回路基板の薄くて誘電率の高いコンデンサ形成層に形成するので、コンデンサ電極を小サイズで形成でき、非可逆回路素子の小型化を図ることができる。

【発明の効果】

【0009】

本発明によれば、良好な高調波減衰特性を得ることができ、かつ、非可逆回路素子を小型化することができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明に係る非可逆回路素子の実施例について添付図面を参照して説明する。

【0011】

(非可逆回路素子の構成)

本発明に係る非可逆回路素子の一実施例である2ポート型アイソレータの分解斜視図を図1に示す。この2ポート型アイソレータは、集中定数型アイソレータであり、概略、回路基板20と、フェライト32と一对の永久磁石41とからなるフェライト・磁石素子30と、平板状ヨーク10とで構成されている。

【0012】

フェライト32には、図2に示すように、表裏の主面32a, 32bに、絶縁材34A, 34Bにて互いに電氣的に絶縁された第1中心電極35及び第2中心電極36が形成されている。ここで、フェライト32は互いに平行な第1主面32a及び第2主面32bを有する直方体形状をなしている。

【0013】

また、永久磁石41はフェライト32に対して磁界を主面32a, 32bに垂直方向に印加するように主面32a, 32bに対向して、例えば、エポキシ系の接着剤42(図1参照)を介して接着され、フェライト・磁石素子30を形成している。永久磁石41の主面はフェライト32の主面32a, 32bと同一寸法であり、互いの外形が一致するように主面どうしを対向させて配置されている。

【0014】

第1中心電極35は導体膜にて形成されている。即ち、図2に示すように、この第1中心電極35は、フェライト32の下面に形成された接続用電極35aに接続された状態で第1主面32aにおいて左下から立ち上がってほぼ水平方向に形成され、右上方に立ち上がって上面の中継用電極35bを介して第2主面32bに回り込む。第2主面32bにおいて、第1中心電極35は、第1主面32aと透視状態でほぼ重なるように形成され、その端部は下面に形成された接続用電極35cに接続されている。このように、第1中心電極35はフェライト32に1ターン巻回されている。そして、第1中心電極35と第2中心電極36とは、間に絶縁材34A, 34Bが形成されて互いに絶縁された状態で交差している。中心電極35, 36の交差角は必要に応じて設定され、入力インピーダンスや挿入損失が調整されることになる。

【0015】

第2中心電極36は導体膜にて形成されている。この第2中心電極36は、まず、0.5ターン目36aがフェライト32の下面に形成された接続用電極35cと接続された状態で第2主面32bにおいて第1中心電極35と斜めに交差する状態で立ち上がり、上面の中継用電極36bを介して第1主面32aに回り込み、1ターン目36cが第1主面32aにおいて第1中心電極35と直交する状態で形成されている。1ターン目36cの下端部は下面の中継用電極36dを介して第2主面32bに回り込み、1.5ターン目36

10

20

30

40

50

eが第2主面32bにおいて立ち上がり、上面の中継用電極36fを介して第1主面32aに回り込んでいる。以下同様に、2ターン目36g、中継用電極36h、2.5ターン目36i、中継用電極36j、3ターン目36kがフェライト32の表面にそれぞれ形成されている。3ターン目36kの下端部はフェライト32の下面に形成した接続用電極36lに接続されている。

【0016】

前記接続用電極35a, 35c, 36lや中継用電極35b, 36b, 36d, 36f, 36h, 36jは、フェライト32の上下面に形成された凹部に電極用導体を塗布又は充填して形成されている。この種の電極は、マザーフェライト基板に予めスルーホールを形成し、このスルーホールを電極用導体で充填した後、スルーホールを分断する位置で

10

【0017】

フェライト32としてはYIGフェライトなどが用いられる。第1及び第2中心電極35, 36や各種電極は銀や銀合金の厚膜又は薄膜として印刷、転写、フォトリソグラフィやめっきなどの工法で形成することができる。中心電極35, 36の絶縁材34A, 34Bとしてはガラスやアルミナなどの誘電体厚膜、ポリイミドなどの樹脂膜を用いることができる。これらも印刷、転写、フォトリソグラフィなどの工法で形成することができる。

【0018】

20

永久磁石41は、通常、ストロンチウム系、バリウム系、ランタン・コバルト系のフェライトマグネットが用いられる。永久磁石41とフェライト32とを接着する接着剤42としては、一液性の熱硬化型エポキシ接着剤を用いることが最適である。

【0019】

回路基板20は、複数枚の誘電体シート上に所定の電極を形成して積層し、焼結した多層の積層型基板であり、その内部には、等価回路である図3に示すように、整合用コンデンサC1, C2, Cs1, Cs2、及び、LC共振回路40を構成するコンデンサCh1, Ch2とインダクタL3と並列コンデンサL3Cが内蔵されている。また、上面には入力端子電極25、出力端子電極26及びグランド端子電極27が、下面には外部接続用入力端子電極IN、外部接続用出力端子電極OUT及び外部接続用グランド端子電極GND

30

【0020】

平板状ヨーク10は、電磁シールド機能を有するもので、前記フェライト・磁石素子30の上面に接着剤を介して固定されている。

【0021】

(等価回路)

ここで、前記アイソレータの一回路例を図3の等価回路を参照して説明する。外部接続用入力端子電極INは整合用コンデンサCs1を介して入力ポートA(入力端子電極25)に接続され、該入力ポートAは整合用コンデンサC1と終端抵抗Rとに接続されるとともに、第1中心電極35の一端(電極35a)が接続されている。第1中心電極35の他端及び第2中心電極36の一端(電極35c)は、出力ポートB(出力端子電極26)に接続されるとともに、終端抵抗R及びコンデンサC1, C2に接続され、かつ、コンデンサCs2を介して外部接続用出力端子電極OUTに接続されている。第2中心電極36の他端(電極36l)及びコンデンサC2はグランドポートC(グランド端子電極27)に接続され、かつ、外部接続用グランド端子電極GNDに接続されている。

40

【0022】

また、外部接続用入力端子電極INと外部接続用出力端子電極OUTとの間に、LC共振回路40が挿入されている。LC共振回路40はインダクタL3と、並列コンデンサL3Cと、直列コンデンサCh1, Ch2とからなり、インダクタL3と並列コンデンサL

50

3 C は外部接続用グランド端子電極 G N D に接続されている。

【 0 0 2 3 】

前記フェライト・磁石素子 3 0 は、回路基板 2 0 上にフェライト 3 2 の主面 3 2 a , 3 2 b が垂直方向に位置するように載置され、フェライト 3 2 の下面に形成した接続用電極 3 5 a , 3 5 c , 3 6 1 が回路基板 2 0 上の端子電極 2 5 , 2 6 , 2 7 とリフローはんだ付けによって一体化される。また、チップ型抵抗素子 R は端子電極 2 5 , 2 6 にリフローはんだ付けによって一体化される。

【 0 0 2 4 】

(非可逆回路素子の動作)

以上の構成からなる 2 ポート型アイソレータにおいては、第 1 中心電極 3 5 の一端が入力ポート A に接続され他端が出力ポート B に接続され、第 2 中心電極 3 6 の一端が出力ポート B に接続され他端がグランドポート C に接続されているため、広帯域で挿入損失の小さな 2 ポート型の集中定数型アイソレータとすることができる。さらに、動作時において、第 2 中心電極 3 6 に大きな高周波電流が流れ、第 1 中心電極 3 5 にはほとんど高周波電流が流れない。

10

【 0 0 2 5 】

また、フェライト・磁石素子 3 0 は、フェライト 3 2 と一对の永久磁石 4 1 が接着剤 4 2 で一体化されていることで、機械的に安定となり、振動や衝撃で変形・破損しない堅牢なアイソレータとなる。

【 0 0 2 6 】

20

(高調波の減衰)

前記 L C 共振回路 4 0 は、移送器とフィルタの機能を有するトラップ回路であり、動作の基本波帯の信号を通過させずに高調波帯の信号を逆相にして通過させる。L C 共振回路 4 0 を通過した不要波は出力側においてアイソレータを通過した不要波とは逆相となり、互いに打ち消し合うことで不要波 (高調波) が減衰する。

【 0 0 2 7 】

(回路基板の構造)

ここで、回路基板 2 0 の多層構造について図 4 を参照して説明する。回路基板は誘電体シート 5 1 ~ 5 5 を積層したもので、上から 1 枚目のシート 5 1 上には端子電極 2 5 , 2 6 , 2 7 とビアホール導体 7 1 a , 7 1 b , 7 1 c が形成されている。2 枚目のシート 5 2 上にはコンデンサ電極 6 1 , 6 2 , 6 3 とビアホール導体 7 2 a , 7 2 b が形成されている。3 枚目のシート 5 3 上にはコンデンサ電極 6 4 , 6 5 とビアホール導体 7 3 a が形成されている。4 枚目のシート 5 4 上にはコンデンサ電極 6 6 , 6 7 , 6 8 とビアホール導体 7 4 a , 7 4 b , 7 4 c が形成されている。5 枚目のシート 5 5 上には電極線路 6 9 とビアホール導体 7 5 a , 7 5 b , 7 5 c が形成されている。5 枚目のシート 5 5 の裏面には端子電極 I N , O U T , G N D が形成されている。

30

【 0 0 2 8 】

1 層目の端子電極 2 5 はビアホール導体 7 1 a を介して 2 層目の電極 6 2 と接続されるとともにビアホール導体 7 2 a を介して 3 層目の電極 6 4 と接続されている。4 層目の電極 6 6 はビアホール導体 7 4 a と 5 層目のビアホール導体 7 5 a を介して 6 層目の端子電極 I N と接続されている。

40

【 0 0 2 9 】

1 層目の端子電極 2 6 はビアホール導体 7 1 b を介して 2 層目の電極 6 1 と接続されている。4 層目の電極 6 7 はビアホール導体 7 4 b と 5 層目のビアホール導体 7 5 b を介して 6 層目の端子電極 O U T と接続されている。

【 0 0 3 0 】

1 層目の端子電極 2 7 はビアホール導体 7 1 c を介して 2 層目の電極 6 3 と接続されている。この電極 6 3 はビアホール導体 7 2 b と 3 層目のビアホール導体 7 3 a を介して 4 層目の電極 6 8 と接続されている。この電極 6 8 はビアホール導体 7 4 c を介して 5 層目の電極線路 6 9 と接続されている。さらに、電極線路 6 9 はビアホール導体 7 5 c を介し

50

てグラウンド端子電極 GND と接続されている。

【0031】

以上の積層構造にあつては、コンデンサ C1 は電極 61, 64 間及び電極 62, 65 間に形成され、コンデンサ C2 は電極 65, 68 間に形成されている。コンデンサ Cs1 は電極 64, 66 間に形成され、コンデンサ Cs2 は電極 65, 67 間に形成されている。コンデンサ Ch1 は電極 66, 69 間に形成され、コンデンサ Ch2 は電極 67, 69 間に形成されている。

【0032】

一方、インダクタ L3 は電極線路 69 にて形成され、この電極線路 69 と外部接続用グラウンド端子電極 GND との間に並列コンデンサ L3C が形成されている。

10

【0033】

(高調波の減衰作用)

ところで、LC 共振回路 40 を構成するインダクタ L3 (電極線路 69) の特性インピーダンス $L3Z0$ は、インダクタ L3 の単位長さ当たりのインダクタンス値 $L3La$ と、インダクタ L3 (電極線路 69) とグラウンド端子電極 GND との間に形成される単位長さ当たりのコンデンサの容量値 $L3Ca$ とで決まり、 $L3Z0 = \sqrt{L3La / L3Ca}$ で表される。インダクタ形成層 (シート 55) の誘電率が小さいか、及び / または、インダクタ形成層 (シート 55) の厚みが大きいと、容量値 $L3Ca$ が小さくなり、特性インピーダンス $L3Z0$ が大きくなる。ここで、インダクタ L3 (電極線路 69) のインダクタンス値を $L3L$ とし、電気長を $L3E$ とし、リアクタンス値を $L3X (= \omega (\text{角周波数}) \times L3L)$ とすると、 $L3X (= \omega (\text{角周波数}) \times L3L) = L3Z0 \times \tan(L3E)$ と表されるので、インダクタンス値 $L3L$ が大きくなる。これにより、LC 共振回路 40 を通過する高調波の信号の帯域幅が広がり、高調波の減衰帯域が広がるので、優れた高調波減衰特性が得られる。

20

【0034】

また、整合用コンデンサを薄くて誘電率の高い層に形成するので、整合用コンデンサの電極を小サイズに形成でき、インダクタ L3 を厚くて誘電率が低い層に形成してもアイソレータを小型化することができる。

【0035】

また、トラップ用コンデンサ Ch1, Ch2 は、その容量値が小さいため (およそ 1 pF 以下)、共振点付近の周波数における LC 共振回路 40 のインピーダンスは高く、ほぼオープンとみなせる。それゆえ、LC 共振回路 40 の挿入損失に対する影響は実用上問題のないレベルに抑制される。

30

【0036】

また、インダクタの形成層が回路基板 20 の実装面側 (最下層) に積層されており、アイソレータが搭載されるプリント配線回路基板のグラウンドと整合用コンデンサの形成層との距離が大きくなり、浮遊容量が低減するので、高性能で特性のばらつきの小さいアイソレータとすることができる。

【0037】

(回路基板の厚み及び誘電率)

40

回路基板 20 の厚み及び誘電率は、図 5 に示すような種々の形態を採用できる。図 5 (A) は、各シート 51 ~ 55 の厚みを同一にし、インダクタ形成層の誘電率をコンデンサ形成層の誘電率よりも小さくしたもので、コンデンサ形成層の厚み $t1$ とインダクタ形成層の厚み $t2$ は、 $t1 > t2$ の関係にある。例えば、コンデンサ形成層の誘電率 $\epsilon r1$ は 8、インダクタ形成層の誘電率 $\epsilon r2$ は 5 であり、コンデンサ形成層の厚みは $100 \mu m$ 、インダクタ形成層の厚みは $25 \mu m$ である。

【0038】

図 5 (B) は、コンデンサ形成層の厚み $t1$ とインダクタ形成層の厚み $t2$ を同じ ($t1 = t2$) にし、インダクタ形成層の誘電率をコンデンサ形成層の誘電率よりも小さくしたものである。例えば、コンデンサ形成層及びインダクタ形成層の厚みはそれぞれ 50μ

50

m、コンデンサ形成層の誘電率 $\epsilon_r 1$ は 8、インダクタ形成層の誘電率 $\epsilon_r 2$ は 5 である。

【0039】

図 5 (C) はコンデンサ形成層の厚み t_1 とインダクタ形成層の厚み t_2 を、 $t_1 < t_2$ の関係とし、インダクタ形成層の誘電率をコンデンサ形成層の誘電率と同じかそれよりも小さくしたものである。例えば、コンデンサ形成層の厚み t_1 は $50 \mu\text{m}$ 、インダクタ形成層の厚み t_2 は $100 \mu\text{m}$ 又は $75 \mu\text{m}$ 、コンデンサ形成層の誘電率 $\epsilon_r 1$ は 8、インダクタ形成層の誘電率 $\epsilon_r 2$ は 5 又は 8 である。

【0040】

(高調波減衰特性)

次に、前記 2 ポート型アイソレータにおいて LC 共振回路 40 を付加したことによる高調波減衰特性について図 6、図 7 及び図 8 を参照して説明する。

【0041】

図 6 は、コンデンサ形成層の厚み t_1 を $100 \mu\text{m}$ 、インダクタ形成層の厚み t_2 を $25 \mu\text{m}$ とし、コンデンサ形成層の誘電率 $\epsilon_r 1$ を 8 とし、インダクタ形成層の誘電率 $\epsilon_r 2$ を 5, 8, 12, 16 と変えた場合の高調波減衰特性を示す。この場合、インダクタ形成層の誘電率 $\epsilon_r 2$ が 5 のときに良好な特性を示している。

【0042】

図 7 は、コンデンサ形成層の誘電率 $\epsilon_r 1$ とインダクタ形成層の誘電率 $\epsilon_r 2$ を 8 とし、コンデンサ形成層の厚み t_1 を $50 \mu\text{m}$ とし、インダクタ形成層の厚み t_2 を $100 \mu\text{m}$ 、 $75 \mu\text{m}$ 、 $50 \mu\text{m}$ 、 $25 \mu\text{m}$ と変えた場合の高調波減衰特性を示す。この場合、インダクタ形成層の厚み t_2 が $100 \mu\text{m}$ 、 $75 \mu\text{m}$ 、 $50 \mu\text{m}$ のときに良好な特性を示している。

【0043】

図 8 は、コンデンサ形成層の誘電率 $\epsilon_r 1$ を 8 とし、インダクタ形成層の誘電率 $\epsilon_r 2$ を 5 とし、コンデンサ形成層の厚み t_1 を $50 \mu\text{m}$ とし、インダクタ形成層の厚み t_2 を $100 \mu\text{m}$ 、 $75 \mu\text{m}$ 、 $50 \mu\text{m}$ 、 $25 \mu\text{m}$ と変えた場合の高調波減衰特性を示す。この場合、インダクタ形成層の厚み t_2 が $100 \mu\text{m}$ 、 $75 \mu\text{m}$ 、 $50 \mu\text{m}$ のときに良好な特性を示している。

【0044】

(他の実施例)

なお、本発明に係る非可逆回路素子は前記実施例に限定するものではなく、その要旨の範囲内で種々に変更することができる。

【0045】

例えば、永久磁石 41 の N 極と S 極を反転させれば、入力ポート A と出力ポート B が入れ替わる。また、整合用回路は図 3 に示したものの以外に種々の回路構成を採用することができる。

【0046】

また、非可逆回路素子としては 2 ポート型アイソレータ以外に 3 ポート型アイソレータであってもよい。さらに、フェライト・磁石素子は、回路基板上にフェライトの主面を垂直に配置する実装形態以外に、フェライトの主面を回路基板上に平行に配置する実装形態であってもよい。さらに、整合用回路素子を構成するコンデンサ C_1 、 C_2 、 C_{s1} 、 C_{s2} 及びトラップ用コンデンサ C_{h1} 、 C_{h2} の少なくとも一つはチップ型素子として回路基板上に外付けされていてもよい。トラップ用コンデンサ C_{h1} 、 C_{h2} はその容量値が小さいため (およそ 1 pF 以下) 誘電率の小さいインダクタ形成層に形成してもよい。終端抵抗 R が回路基板に内蔵されていてもよい。

【図面の簡単な説明】

【0047】

【図 1】本発明の一実施例である非可逆回路素子 (2 ポート型アイソレータ) を示す分解斜視図である。

10

20

30

40

50

【図 2】中心電極付きフェライトを示す分解斜視図である。

【図 3】2ポート型アイソレータの一回路例を示す等価回路図である。

【図 4】回路基板の構成を示す分解斜視図である。

【図 5】回路基板のコンデンサ形成層及びインダクタ形成層の厚みを示す説明図である。

【図 6】インダクタ形成層の誘電率を変化させた場合の高調波減衰特性を示すグラフである。

【図 7】インダクタ形成層の厚みを変化させた場合の高調波減衰特性を示すグラフである。

【図 8】インダクタ形成層の厚みを変化させた場合の高調波減衰特性を示すグラフである。

10

【符号の説明】

【0048】

20 ... 回路基板

30 ... フェライト・磁石素子

32 ... フェライト

35 ... 第1中心電極

36 ... 第2中心電極

40 ... LC共振回路

41 ... 永久磁石

IN ... 外部接続用入力端子電極

OUT ... 外部接続用出力端子電極

GND ... 外部接続用グランド端子電極

C1、C2、Cs1、Cs2 ... 整合用コンデンサ

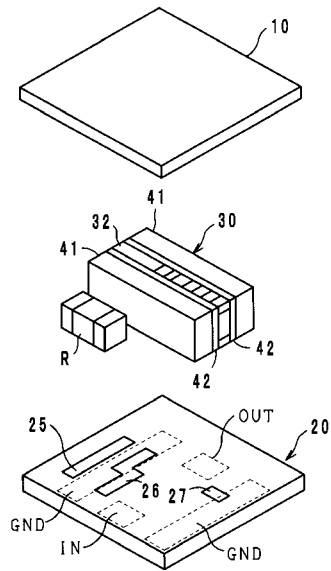
R ... 終端抵抗

L3 ... インダクタ

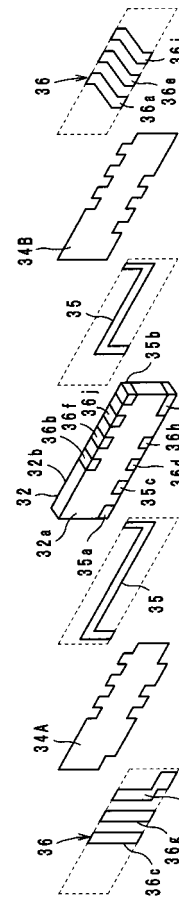
L3C ... 並列コンデンサ

20

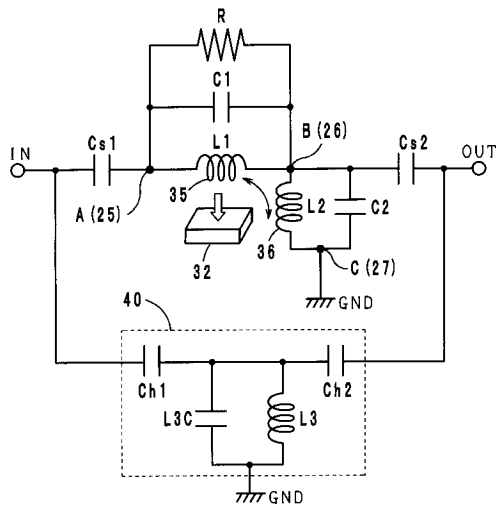
【図 1】



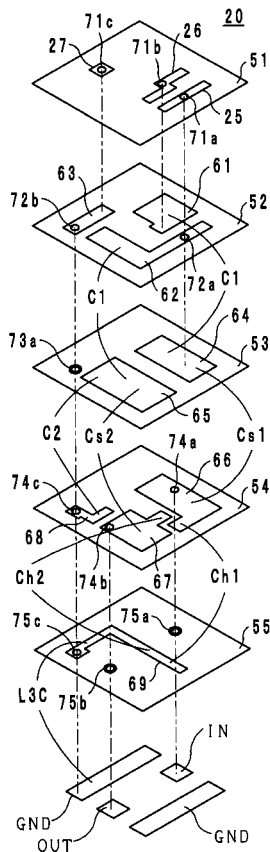
【図 2】



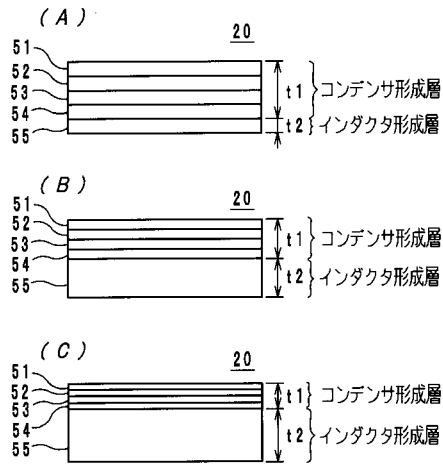
【図 3】



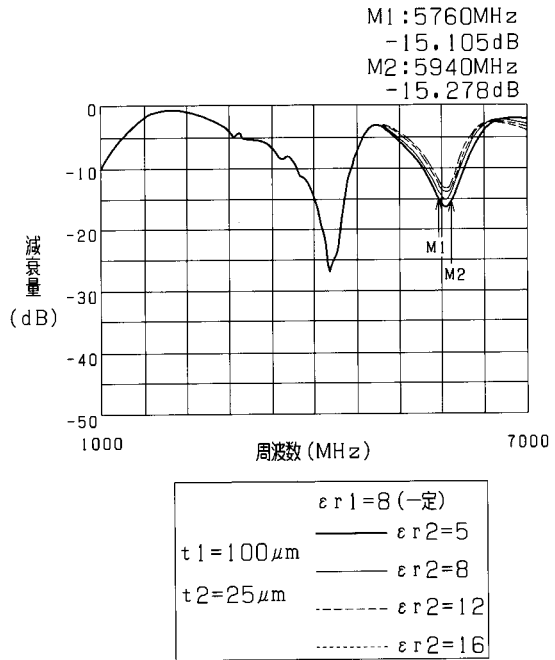
【図 4】



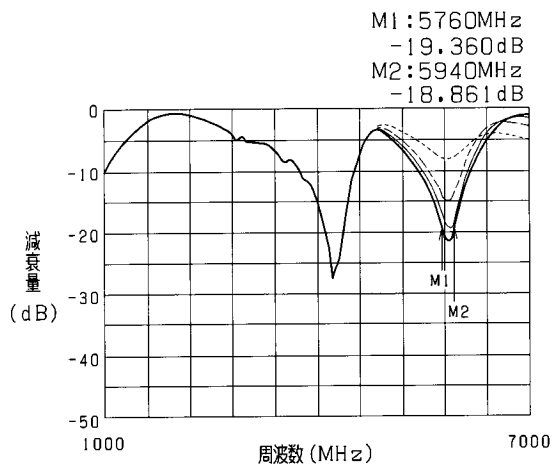
【図 5】



【図 6】



【図 7】



【図 8】

