

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 29 日(29.11.2012)



(10) 国際公開番号
WO 2012/160945 A1

- (51) 国際特許分類:
H01L 21/66 (2006.01)
- (21) 国際出願番号: PCT/JP2012/061317
- (22) 国際出願日: 2012 年 4 月 27 日(27.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-112958 2011 年 5 月 20 日(20.05.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立ハイテクノロジーズ(HITACHI HIGH-TECHNOLOGIES CORPORATION) [JP/JP]; 〒1058717 東京都港区西新橋一丁目 2 4 番 1 4 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 高木 裕治 (TAKAGI Yuji) [JP/JP]; 〒2440817 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立製作所横浜研究所内 Kanagawa (JP).
- (74) 代理人: ポレール特許業務法人(POLAIRE I.P.C.); 〒1040032 東京都中央区八丁堀二丁目 7 番 1 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

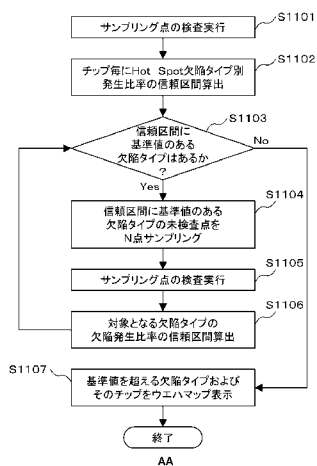
[続葉有]

(54) Title: SEMICONDUCTOR DEVICE DEFECT INSPECTION METHOD AND SYSTEM THEREOF

(54) 発明の名称: 半導体デバイスの欠陥検査方法およびそのシステム

[図1]

図 1



S1101, S1105 Execute sampling point inspection
S1102 Compute reliability interval of occurrence ratio by hot spot defect type for each chip
S1103 Is defect type of reference value present in reliability interval?
S1104 Sample n non-inspected points of defect type of reference value in reliability interval
S1106 Compute reliability interval of defect occurrence ratio of subject defect type
S1107 Display wafer map of defect type exceeding reference value and chip thereof
AA End

(57) Abstract: Provided are a semiconductor device defect inspection method and system thereof, with which predetermined risk points are inspected using a step-and-repeat high-resolution SEM, and with which the frequency of defects occurring at the risk points is estimated statistically and with reliability. An inspection point is designated in design data by defect type. A plurality of pre-designated inspection points is selected by defect type from the designated inspection points. The plurality of pre-designated inspection points by defect type thus selected are image captured and defects detected in the inspection points. A defect ratio, which is a ratio of the number of inspection points which are image captured by defect type to the number of defects detected, and a reliability interval of the defect ratio, are computed. The reliability interval of the computed defect ratio by defect type is compared with a preset reference value. A defect type having a defect occurrence ratio which exceeds the reference value is derived.

(57) 要約: ステップ・アンド・リピート式の高解像度 SEM を用いて予め定められた危険点を検査し、危険点での欠陥発生頻度を統計的かつ信頼性を持って推定する半導体デバイスの欠陥検査方法及びそのシステムを提供するものであって、デザインデータ上で欠陥タイプ別に検査点を指定し、この指定された検査点の中から予め指定された数の検査点を欠陥タイプ別に選択し、この選択した欠陥タイプ別に予め指定された数の検査点を撮像してこの検査点における欠陥を検出し、欠陥タイプ別に撮像した検査点の数に対する検出した欠陥の数の比である欠陥比率とこの欠陥比率の信頼区間を算出し、この算出した欠陥タイプ別の欠陥比率の信頼区間と予め設定した基準値とを比較し、この基準値を超える欠陥発生比率をもつ欠陥タイプを求める半導体デバイスの欠陥検査方法及びそのシステムとした。



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体デバイスの欠陥検査方法およびそのシステム 技術分野

[0001] 本発明は半導体ウェハの前工程における外観検査に関するものであり、特に予め指定された点を検査し欠陥発生状況を効率的に評価する半導体デバイスの欠陥検査方法およびそのシステムに関するものである。

背景技術

[0002] 半導体デバイスの回路パターンの微細化が進むに従い、その製造方法はより精緻さを増している。これに伴い、生じる欠陥にも変化が見られる。すなわち、従来は塵埃や異物等によるランダムに発生する欠陥が支配的であったのに対し、回路微細の微細化に伴い、配線や素子の配置に相関性のあるデザイン依存性の高い欠陥や、特定の層（レイヤともいう）の形状や層の重なりなどによって生じる欠陥が増加している。これら回路デザイン依存性の高い欠陥はシステムティック欠陥と呼ばれる。例えば、露光工程における光近接効果による転写パターンの短絡、断線や、下地段差起因のパターン形状変動による抵抗異常、特定領域のゲート酸化膜のエッチング不足によるコンタクトホール導通不良などである。

[0003] これらのシステムティック欠陥が発生しないよう回路デザインは設計されるが、なおプロセスマージンの少ない部分が危険点（プロセスの変動に対して欠陥が出やすい場所）として残る。危険点は製造前にシミュレーションなどにより予見できる点のほか、製造後に経験的にためられた知見として定められる点である場合もある。これらの危険点で発生するシステムティック欠陥は、製造条件を一部変更したりすることによって、その発生を防止することができる場合が多い。このため、検査装置により検出された欠陥から、危険点で発生した欠陥の有無を判定する機能に対する要求が高まっている。

[0004] システムティック欠陥を観察する方法として、特許文献1には、外観検査で得られた欠陥部位に相当する検査画像とデザインデータを画像化したもの

を比較した上で、該当するデザインデータ上の回路部位を特定し、回路形状ごとに分類することで頻度高く出現する回路形状を検出する方法が開示されている。

[0005] また、特許文献2には、外観検査装置により検出した欠陥の幾何学的な特徴とデザインデータを照合して危険点を判定することが記載されている。

先行技術文献

特許文献

[0006] 特許文献1：特開2009-10286号公報

特許文献2：米国公開特許第2008/0295048号明細書

発明の概要

発明が解決しようとする課題

[0007] システマティック欠陥は微細な回路デザインの位置関係に依存して発生するものである。回路デザインの設計段階でシステマティック欠陥が発生しないよう回路設計がなされるが、ウェハを製造した段階でこれを検証するために、光学式外観検査あるいはSEM式外観検査装置でウェハの部分あるいは全面を走査し検査が行われる。

[0008] しかし、引用文献1に記載されている方法では、検査画像の分解能が高くなくデザインデータとの正確な比較ができない、また検査装置の座標系とデザインデータの座標系の合わせの誤差や、検出した欠陥座標が欠陥検出アルゴリズムに依存するため（例えば欠陥画像と参照画像の差分から得られた欠陥信号の重心位置など）着目したいシステマティック欠陥の位置座標とずれるなどの理由により検出欠陥位置に対応する回路形状を正確に特定できず、よって危険点で発生した欠陥の頻度を正確に評価できないという課題があった。

[0009] また、特許文献2に記載されている方法では、外観検査装置により検出した欠陥の幾何学的な特徴とデザインデータを照合して危険点を判定するために、着目したいシステマティック欠陥の位置座標とずれるなどの理由により

検出欠陥位置に対応する回路形状を正確に特定できず、危険点で発生した欠陥の頻度を正確に評価できないという課題があった。

[0010] 上記課題に鑑み本発明の目的は、ステップ・アンド・リピート式の高解像度SEMを用いて予め定められた危険点を検査し、危険点での欠陥発生頻度を統計的かつ信頼性を持って推定する半導体デバイスの欠陥検査方法及びそのシステムを提供することにある。

課題を解決するための手段

[0011] 上記した課題を解決するために、本発明では、半導体デバイスの欠陥検査方法において、デザインデータ上で欠陥タイプ別に検査点を指定し、この指定された検査点の中から予め指定された数の検査点を欠陥タイプ別に選択し、この選択した欠陥タイプ別に予め指定された数の検査点を撮像してこの検査点における欠陥を検出し、欠陥タイプ別に撮像した検査点の数に対する検出した欠陥の数の比である欠陥比率とこの欠陥比率の信頼区間を算出し、この算出した欠陥タイプ別の欠陥比率の信頼区間と予め設定した基準値とを比較し、この基準値を超える欠陥発生比率をもつ欠陥タイプを求めるようにした。

[0012] また、上記した課題を解決するために、本発明では、半導体デバイスの欠陥検査方法において、デザインデータ上で欠陥タイプ別に検査点を指定し、この指定された検査点の中から予め指定された数の検査点を欠陥タイプ別に選択し、この選択した欠陥タイプ別に予め指定された数の検査点を撮像してこの検査点の画像からこの検査点における欠陥を検出し、欠陥タイプ別に撮像した検査点の数に対する検出した欠陥の数の比である比率を計算し、この算出した欠陥タイプ別の欠陥比率の有意差を計算し、この計算した結果から欠陥の比率に有意差が有る欠陥タイプを求めるようにした。

[0013] また、上記した課題を解決するために、本発明では、半導体デバイスの欠陥検査システムを、デザインデータ上で欠陥タイプ別に検査点を指定する検査点指定手段と、この検査点指定手段で指定された検査点の中から予め指定された数の検査点を欠陥タイプ別に入力する入力手段と、この入力手段で入

力した欠陥タイプ別に予め指定された数の検査点を撮像する撮像手段と、この撮像手段で撮像して得た検査点の画像を処理して欠陥を検出する画像処理手段と、撮像手段で撮像した欠陥タイプ別の検査点の数に対する画像処理手段で検出した欠陥タイプ別の欠陥の数の比率である欠陥比率と欠陥タイプ別の欠陥比率の信頼区間を計算する演算手段と、この演算手段で算出した欠陥タイプ別の欠陥比率の信頼区間と予め設定した基準値とを比較する比較手段と、基準値を超える欠陥比率をもつ欠陥タイプを求める欠陥タイプ抽出手段と、この欠陥タイプ抽出手段で求めた欠陥タイプに関する情報を出力する出力手段とを備えて構成した。

[0014] また、上記した課題を解決するために、本発明では、半導体デバイスの欠陥検査システムを、デザインデータ上で欠陥タイプ別に検査点を指定する検査点指定手段と、この検査点指定手段で指定された検査点の中から予め指定された数の検査点を欠陥タイプ別に入力する入力手段と、この入力手段で入力した欠陥タイプ別に予め指定された数の検査点を撮像する撮像手段と、この撮像手段で撮像して得た検査点の画像を処理して欠陥を検出する画像処理手段と、撮像手段で撮像した欠陥タイプ別の検査点の数に対する画像処理手段で検出した欠陥タイプ別の欠陥の数の比率である欠陥比率と該欠陥タイプ別の欠陥比率の信頼区間を計算する演算手段と、この演算手段で算出した欠陥タイプ別の欠陥比率の有意差を計算する有意差算出手段と、この有意差計算手段で計算した結果から欠陥比率に有意差が有る欠陥タイプを求める欠陥タイプ抽出手段と、この欠陥タイプ抽出手段で求めた欠陥タイプに関する情報を出力する出力手段とを備えて構成した。

発明の効果

[0015] 本発明によれば、半導体デバイス製造の前工程において半導体ウェハ上に形成された回路パターンの危険点に発生した欠陥の頻度を信頼性高く効率的に評価できるので、製造条件の変更などの対策を迅速に行うことが可能となる。

図面の簡単な説明

[0016] [図1]検査対象チップの概略の構成を示す平面図である。

[図2]欠陥タイプAを含む領域の拡大画像例を示す図である。

[図3]欠陥タイプBを含む領域の拡大画像例を示す図である。

[図4]検査対象チップを含むウェハマップの例を示す図である。

[図5]欠陥判定結果を表示したウェハマップの例を示す図である。

[図6]本発明の実施例に係る欠陥検査システムの概略の構成を示すブロック図である。

[図7]本発明の実施例に係る欠陥検査システムにおける検査装置の概略の構成を示すブロック図である。

[図8]本発明の実施例に係る欠陥検査システムにおける欠陥判定ユニットの概略の構成を示すブロック図である。

[図9]本発明の実施例に係る欠陥検査方法における概略の処理の流れを示すフロー図である。

[図10]信頼区間を説明するための欠陥比率と欠陥比率誤差との関係を示すグラフである。

[図11]図9に示した処理フロー図のS904からS906までの処理の詳細な流れを示すフロー図である。

[図12]検査途中における欠陥タイプ別の欠陥発生比率を棒グラフで表示したGUI画面の正面図である。

[図13]検査終了時の欠陥タイプ別の欠陥発生比率を棒グラフで表示したGUI画面の正面図である。

[図14]検査終了時の欠陥タイプ別の欠陥発生比率をウェハマップで表示したGUI画面の正面図である。

[図15]図9に示した処理フロー図のS904からS906までの処理の詳細な流れを示し、検査点数に上限を設けたときの処理の流れを示すフロー図である。

発明を実施するための形態

[0017] 以下に、図面を用いて本発明の実施例を説明する。

[0018] 本実施例で対象とする欠陥の例を図1、図2、図3で、検査の様子を図4、図5に示す。図1の101は半導体ウェハ上に形成されたチップ（以下、半導体チップと記す）である。半導体チップ101の内部には多数の回路パターンが形成されているが、図1に示した構成では、それらの回路パターンの表示を省略している。図1の半導体チップ101の102及び103はプロセスの変動に対して欠陥が出やすい場所、すなわち危険点である。危険点102の拡大画像203を図2に、危険点103の拡大画像303を図3に示す。図2に示す回路形状と同様の部位は半導体チップ101内の危険点102に示す点以外にも実際は多数あるが、図1では簡単のため危険点102の1点のみを示してある。危険点103についても同様である。

[0019] 図2の201は検査領域となる短絡欠陥発生予想領域であり、この部分の回路形状からパターンの短絡が発生する可能性のある部位である。点202は短絡欠陥発生予想領域201の中心座標位置であり、点202は検査視野である短絡欠陥発生予想領域201の中心に位置するように制御される。図3の301は検査領域となる断線欠陥発生予想領域であり、この部分の回路形状からパターンの断線が発生する可能性のある部位である。点302は断線欠陥発生予想領域301の中心座標であり、点302は検査視野である断線欠陥発生予想領域301の中心に位置するように制御される点である。

[0020] 図2及び図3に示した発生が予想される欠陥は種類が異なることから、図2に示した検査領域である短絡欠陥発生予想領域201で発生が予想される欠陥を欠陥タイプA、図3に示した検査領域である断線欠陥発生予想領域301で発生が予想される欠陥を欠陥タイプBと呼ぶことにする。図には示さないがこのほかにも発生が予想される欠陥種があれば欠陥タイプコードを欠陥タイプC、欠陥タイプDというように割り当てる。

[0021] 図4の401は検査対象となるウェハとその上に製造される半導体チップを模式的に示したウェハマップである。太い黒枠で示した半導体チップ402は検査対象の半導体チップ（以下、検査対象チップと記す）である。図4に示したように検査対象チップ402は選択的に選んでも良いし、全数に対

象としても良い。

[0022] 図5は図4に示した検査対象チップ402を検査した結果のうち欠陥タイプAについて基準値以上の欠陥発生があった検査対象チップ501を示す図、あるいは図4に示した検査対象チップ402を検査した結果のうち欠陥タイプAが他の欠陥タイプより相対的に発生頻度が高かった検査対象チップ501を示す図の例であり、本実施例の出力表示の一形態を示す図である。

[0023] 以下、図6から図14を用いて基準比率の算出について説明する。図6は本システムである欠陥判定システムと関連する装置およびシステムを含めた全体図である。欠陥判定ユニット601、デザインデータを管理するデザインデータサーバ602、ウェハのSEM検査をステップ・アンド・リピートで行う例えばディフェクトレビューSEM装置、あるいは測長SEM装置などのSEMを備えた検査装置603、リソシミュレータ605がLAN604に接続されている。リソシミュレータ605は後述のようにリソに限定されるものではなく、また必ずしも必要なものでもない。

[0024] 図7にSEMを備えた検査装置603の構成を示す。SEMを備えた検査装置603は、SEM装置本体70、全体制御系719、データ入出力I/F725、画像処理系727、二次記憶装置717及びコンピュータ718を備えて構成されている。

[0025] SEM装置本体70の内部には、以下の電子光学系及び検出系を備える。701は電子源であり、電子ビーム700を射出する。射出された電子ビーム700は電子レンズ702、703を通過した後、電子ビーム軸調整器704により非点収差やアライメントずれを補正される。705と706は2段の偏向器であり電子ビーム700を偏向し、ウェハ708上を走査させる。電子ビーム700は対物レンズ707により収束されてウェハ708の撮像対象領域709で焦点を結ぶ。撮像対象領域709からはこの結果、2次電子と反射電子が放出され、2次電子および反射電子は一次電子ビーム通過穴710'を有する反射板710に衝突し、そこで発生した二次電子が電子検出器711により検出される。

- [0026] 検出器 711 で検出された 2 次電子および反射電子は A/D コンバータ 712 でデジタル信号に変換され、メモリ 714 に格納される。なお、A/D コンバータとメモリとの間には加算回路 713 が配置されている。加算回路 713 は、電子ビーム 700 を撮像対象領域 709 上でラスタ走査する場合に、同一のビーム照射位置で得られた検出信号の加算平均（フレーム加算）を算出することで、ショットノイズを小さくすることを可能になり、S/N の高い画像信号を得ることができる。715 は画像処理ユニットであり、メモリ 714 に格納された画像を用いて欠陥の検出が行われる。727 は画像信号処理系を表す。716 は XY ステージであり、ウェハ 708 を移動させ、ウェハ 708 の任意の位置の画像撮像を可能にしている。
- [0027] 二次記憶装置 717 は、メモリ 714 に格納された画像を記憶することが可能である。また、画像処理により得られた検査対象領域 709 の異常部や、異常部の外観特徴もメモリ 714 に格納することができる。コンピュータ 718 は、演算装置、記憶装置、表示装置、入力装置を備えるものであるとともに、二次記憶装置 717、あるいはメモリ 714 に格納された画像を表示することができる。また、ユーザは端末 718 に入力することにより、図 1 に示す SEM 装置本体 70、画像処理系 727、全体制御系 719 の動作の制御、及び設定を行うことができる。
- [0028] 全体制御系 719 は、電子ビーム 700 の電子源 701 の電流量制御ユニット 720、偏向器 705 と 706 を制御する偏向制御ユニット 721、電子レンズ 702 と 703 と 704 と 707 を制御する電子レンズ制御ユニット 722、XY ステージ 715 の移動による視野移動を制御するステージ制御ユニット 723、検査シーケンス全体を制御するシーケンス制御ユニット 724 を備えている。データ入出力 I/F 725 は、LAN 604 から検査点座標データを受け取り、724 のシーケンス制御ユニット内のメモリ（図示せず）に格納する。
- [0029] 検査装置 603 は 724 のシーケンス制御ユニット内のメモリ（図示せず）に格納された検査座標データに基づきステージ制御ユニット 723 により

X Y ステージ 7 1 5 を移動し、移動後電子線画像を撮像し、撮像画像を画像処理ユニット 7 1 5 で処理することにより検査座標点における欠陥の有無を判定する。

[0030] 図 8 は欠陥判定ユニット 6 0 1 の構成図である。LAN 6 0 4 とのデータの授受はデータ I / F 部 8 0 2 により行われ、内部のデータ伝送はバス 8 0 1 により行われる。バス 8 0 1 には、デザインデータ記憶部 8 0 3、検査点サンプリング部 8 0 4、CPU 8 0 5、メモリ 8 0 6、ハードディスクあるいは不揮発性メモリ等の記憶媒体 8 0 7、デザインデータ上パターン位置特定部 8 0 8 が接続されており、外部に表示端末 8 0 9、キーボードなど数値データ入力や、データの指定を目的とした入力デバイス 8 1 0 が接続されている。また外部にはハードディスク、不揮発性メモリ、CD-ROMなどの外部記憶媒体 8 1 1 が接続されていてもよい。

[0031] 図 9 は欠陥判定の概略フローである。まずデザインデータ上で検査箇所となる危険点をデザインデータサーバ 6 0 2 から LAN 6 0 4 を介してデータ I / F 部 8 0 2 からデザインデータ上パターン位置特定部 8 0 8 に入力する (S 9 0 1)。危険点情報は危険点のウェハ上の位置座標と、予想される欠陥タイプコードから構成される。危険点情報は、例えばリソの危険点シミュレーションのようにデザインデータを用いたリソシミュレーションの結果をリソシミュレータ 6 0 5 から入力する。シミュレーションによる危険点情報はリソに限定されるものではなく、シミュレーションにより危険点位置座標と欠陥タイプコードが得られるものであればなんでも良い。あるいは、デザインデータ上で危険点を欠陥タイプ別にマニュアル入力し、欠陥タイプ別に登録されたデザインデータの形状をテンプレートとして、1チップ分あるいは検査に必要な領域分のデザインデータから同じ形状のデザインデータの存在する位置を複数あるいは全て探し、欠陥タイプ別に探した位置座標を欠陥タイプコードとともに危険点情報としても良い。

[0032] リソシミュレーションの結果を危険点情報とする場合は、図 6 で示したりソシミュレータ 6 0 5 から LAN 6 0 4 を介して欠陥判定ユニット 6 0 1 に

情報を送信する。送信された危険点情報はデータ I / F 部 8 0 2 を介してデザインデータ記憶部 8 0 3 に欠陥タイプと対応をつけて記憶される。デザインデータ上で危険点を欠陥タイプ別にマニュアル入力する場合は、対象とする検査レイヤのデザインデータを図 6 で示したデザインデータサーバ 6 0 2 から LAN 6 0 4 を介して欠陥判定ユニット 6 0 1 に転送する。転送されたデザインデータはデータ I / F 部 8 0 2 を介してデザインデータ記憶部 8 0 3 に記憶される。マニュアルによるデザインデータ上の危険点指示は、デザインデータを画像化したものを表示端末 8 0 9 に示し、入力デバイス 8 1 0 によりデザインデータ上の危険点位置および欠陥タイプコードを入力する。入力されたデザインデータをテンプレートとして、デザインデータ上パターン位置特定部 8 0 8 によりデザインデータ記憶部 8 0 3 に記憶されているデザインデータ上の対応する位置を複数あるいは全て探し、欠陥タイプコードとともに危険点情報としてデザインデータ記憶部 8 0 3 に記憶する。

[0033] 次に検査対象チップを指定する (S 9 0 2)。検査対象チップとは図 4 の 4 0 2 で示したようにウェハ上で作成されたチップのうち実際に検査を行うチップのことである。この指定は欠陥判定装置 6 0 1 で行ってもよいし、検査装置 6 0 3 で行っても良い。

[0034] 次にデザインデータ記憶部 8 0 3 に記憶されている危険点情報から欠陥タイプ別に予め定められた点数 (ここでは N とする) を検査点として検査点サンプリング部 8 0 4 によりサンプリングする。これにより 1 チップ分の欠陥タイプ別の検査点が定まるので、これを検査点サンプリング部 8 0 4 で検査対象チップ全点に展開する (S 9 0 3)。チップ全点への展開は、検査対象チップの指定が行われた装置上、すなわち欠陥判定ユニット 6 0 1 あるいは検査装置 6 0 3 で行われる。検査点のチップ全点への展開が欠陥判定装置 6 0 1 で行われる場合は、サンプリングされた危険点情報すなわち検査点情報を記憶媒体 8 0 7 に一時記憶し、記憶した検査点情報をデータ I / F 部 8 0 2 から LAN 6 0 4 を介して、検査装置 6 0 3 に転送する。

[0035] 検査装置 6 0 3 では送られてきた検査点情報をデータ入出力 I / F 7 2 5

を介して、724のシーケンス制御ユニット内のメモリ（図示せず）に格納する。検査点のチップ全点への展開が検査装置603で行われる場合は、1チップ分の欠陥タイプ別のサンプリングされた危険点情報すなわち検査点情報を欠陥判定装置601から受け取り、コンピュータ718から入力された検査対象チップ情報を用いて検査点情報を展開し、724のシーケンス制御ユニット内のメモリ（図示せず）に格納する。CPU805は、欠陥判定ユニット601全体の制御を行う。

[0036] 次にシーケンス制御ユニット724内のメモリ（図示せず）に格納された検査点情報に従い検査を実行し、検査点に対する検査結果を得る（S904）。

[0037] 検査結果は、チップごと、欠陥タイプごとにサンプリング点数Nに対する欠陥の比率を計算し、後述するサンプリング点数N、欠陥比率、およびそれから計算される信頼区間と、予め設定した基準と比較する（S905）。比較の結果、基準を超える欠陥タイプのあるチップを特定し、例えば図5に示したようにウェハマップとして表示端末809に表示する（S906）。

[0038] 図10に図11、図12、図13で使用する信頼区間の考え方を示す。N点の検査点を検査し、その内の欠陥と判定された比率である欠陥比率をPとすれば、推定される分散Sは、 $S = \sqrt{P * (1 - P) / N}$ （ $\sqrt{X}$ はXの平方根を表す）である。信頼度 $\alpha = 95\%$ でPが分布する範囲は標準正規分布表より $[P - 1.96 * S, P + 1.96 * S]$ だから、誤差e（母比率の推定誤差）は $e = 1.96 * S = 1.96 * \sqrt{P * (1 - P) / N}$ である。図10は横軸に欠陥比率P、縦軸に誤差eを取り、欠陥サンプリング数Nが100, 200, 300のときの欠陥比率と誤差eの推移を示したものである。例えば100点検査し10点欠陥であった場合（欠陥比率0.1 = 10%）、誤差は約6%であり $10 \pm 6\%$ の範囲に95%の信頼度で真の比率は存在する。この $P \pm e$ の区間を信頼区間と呼ぶ。信頼度 $\alpha = 95\%$ で得られたeを用いた場合、得られた欠陥比率と基準値THを比較し、 $TH < P - e$ であれば信頼度95%で欠陥比率は基準値を上回っており、 $P + e < TH$ であれば

信頼度 95% で欠陥比率は基準値を下回っていると判断できる。また信頼度 95% で判断が求められる場合、 $P - e \leq TH \leq P + e$ のとき P は基準値 TH を上回るか、下回るか判断できない、すなわち欠陥判定ができない。信頼度 α は任意に設定できる数字であり、それに応じて標準正規分布表より以上を再計算すればよい。

[0039] 図 11 乃至図 14 を用いて検査の詳細な手順を示す。図 11 の詳細フローは図 9 の S904 以降に対応するものである。検査に先立ち検査で得られる欠陥比率に対する基準値（しきい値）を設定しておく。まずサンプリングされた検査点を検査し（S1101; S904 に対応）、検査終了後、チップ別、欠陥タイプ別に欠陥比率の信頼区間を計算する（S1102）。次にチップ別に分けられた欠陥タイプ別に信頼区間内に基準値があるか評価する（S1103）。

[0040] 図 12 は、検査の途中におけるあるチップにおける欠陥タイプ A, B, C, D, E の欠陥比率を棒グラフ 1201 で、その信頼区間をバーチャート 1202 で示したグラフ表示 1210 を行う GUI 1200 の一例を示す図である。この例では欠陥 C, D について基準値 1203 が信頼区間 12021 及び 12022 の内にあり、予め定められた信頼度 α での欠陥判定ができない。このようにチップ別に分けられた欠陥クラスごとに欠陥判定のできないものを調べ、該当するチップ別に分けられた欠陥クラスの未検査点から予め定められたサンプリング数 N を再度サンプリングし（S1104）、検査を実行する（S1105）。

[0041] 検査を実行した結果、再度サンプリングを実行する必要が有るか否かを判断し、再度サンプリングが必要と判断された場合には、S1103 から S1106 までを実行する。また、GUI 画面 1200 上にも、検査続行要のボタン 1204 と検査続行否のボタン 1205 とが表示されており、オペレータが何れかのボタンをクリックすることにより再度サンプリングを実行するか、又は検査を終了して次のステップに進むかを選択することができる。再度サンプリングする場合のサンプリング数 N は 1 回目のサンプリング数と同

じである必要はない。再検査の結果、前記該当するチップ別に分けられた欠陥クラスの欠陥発生比率の信頼区間を計算し（S 1 1 0 6；以上、S 1 1 0 2からS 1 1 0 7までがS 9 0 5に対応）、再度信頼区間と基準値を比較する（S 1 1 0 3）。

[0042] この結果、図 1 3 の G U I 画面 1 3 1 0 に示すように、図 1 2 の G U I 画面 1 2 0 0 上に例示した該当欠陥クラス C 及び D において信頼区間 1 3 0 2 1 及び 1 3 0 2 2 が何れも基準値を含まない状態になり信頼度 α での欠陥判定ができるようになれば、欠陥判定結果の出力（S 1 1 0 7；S 9 0 6 に対応）に進み、G U I 画面 1 3 1 0 上でグラフ 1 3 1 0 を表示して基準値を超える欠陥タイプ（図 1 3 の例では、欠陥クラス D：1 3 1 1）を表示するとともに検査終了の表示 1 3 0 4 1 を点灯させる。この G U I 画面 1 3 0 0 上でマップ表示ボタン 1 3 0 4 2 をクリックすると、図 1 4 に示すような G U I 画面 1 4 0 0 に切り替わる。

[0043] G U I 画面 1 4 0 0 上では、検査したチップ 1 4 1 1 を未検査のチップ 1 4 1 2 と区別してウェハマップ 1 4 1 0 上に表示する。また、検査したチップ 1 4 1 1 については、検出された欠陥の密度に応じたクラス分けの情報 1 4 1 3 と、表示されている欠陥の欠陥種の情報 1 4 1 4 とが表示される。

[0044] 図 1 4 は、欠陥種 A に関する各チップごとの欠陥密度の状態を示している。カーソル 1 4 0 1 を欠陥種 B の位置に移動させてクリックするとウェハマップ 1 4 1 0 上に欠陥種 B に関する各チップごとの欠陥密度の状態が表示される。一方、カーソル 1 4 0 1 をウェハマップ 1 4 1 0 上に表示されている何れかのチップ上に移動させてクリックすると、クリックされたチップの拡大画像 1 4 2 0 が表示される。また、カーソル 1 4 0 1 をグラフ表示ボタン 1 4 3 2 の上に移動させてクリックすると、図 1 3 のグラフ表示の G U I 画面 1 3 0 0 に切り替わる。一方、まだ欠陥判定ができない場合は、S 1 1 0 4 以降を欠陥判定が可能になるまで繰り返す。

[0045] S 1 1 0 7 の結果出力はウェハマップに限られるものではなく、基準値を超えた欠陥クラスとそのチップが分かればいかなる形態でも構わない。

[0046] 図11の処理フローでは欠陥判定が可能になるまで処理を繰返すため、検査点数や検査時間を予測できない。図15は検査点数あるいは検査時間の上限を定め、作業者の判断のもと検査の続行、中断を決める方法の処理フローを示すものである。

[0047] 図15に示す検査の処理フローでは、検査はチップごと、欠陥タイプごとに循環的に行われることを前提にしている。例えばチップは1番からM番、欠陥タイプはAからCまでであるとすれば、(m, n)をチップm番目の欠陥タイプnを示すものとして、循環的に検査するとは具体的な一例としては(1, A) (1, B) (1, C) (2, A) … (M, B) (M, C) (1, A) (1, B) …を指し、チップ、欠陥タイプの組み合わせが一巡しないうちは同一の組み合わせの検査は行わないことを指す。

[0048] 図15の検査の処理フローにおいて、S1501の検査では一つの組み合わせの検査(例えば(1, A)の検査)を行い、その後S1502に移行する。またS1504, S1506, S1510からS1501に戻ってきたときには、巡回的に定められた次の検査(例えば(1, B)の検査)を行うこととする。検査に先立ち検査で得られる欠陥比率に対する基準値(しきい値)、およびチップごとの欠陥タイプに対する検査点数の最大数を規定値として設定しておく。以下、検査の順番は上記の例にならない、(1, A) (1, B) (1, C) (2, A) … (M, B) (M, C) (1, A) (1, B) …という巡回リストが作成され、この順で行われることとして説明する。

[0049] S1501で(1, A)の検査を行い、S1502で(1, A)の検査実施済み点数が規定値に達したか判定する。達していればS1505に進み(1, A)を検査リストから除外し、他の検査点がまだあれば(S1506) S1501に戻り次の検査点(1, B)を検査する。S1502で検査実施済み点数が規定値に達していない場合は、S1503に進み(1, A)の欠陥発生比率の信頼区間を算出し、信頼区間と基準値を比較する(S1504)。信頼区間に基準値があればS1501に戻り次の点(1, B)を検査する。信頼区間に基準値がなければ欠陥判定が可能な状態であるので、(1

、A) を検査リストから除外し (S 1 5 0 5)、他の検査点がまだあれば (S 1 5 0 6) S 1 5 0 1 に戻り次の検査点 (1、B) を検査する。

[0050] このようにして全ての検査対象点が検査リストから除かれると S 1 5 0 7 に移行し、全てのチップ、欠陥タイプにおいて信頼区間に基準値がなければ S 1 5 0 9 に移行し検査結果を出力する。信頼区間に基準値がある場合は、検査を続行するか操作者に問い合わせ (S 1 5 0 8)、検査続行の場合は信頼区間に基準値があるチップと欠陥タイプの組み合わせの検査点の再サンプリングを行い、この組み合わせでの検査の巡回リストを作り直し、S 1 5 0 1 に戻る。

[0051] S 1 5 0 8 で検査が中断された場合には欠陥表示 S 1 5 0 9 に進む。このときまだ欠陥判定ができないチップと欠陥タイプの組み合わせが残るが、欠陥判定が完了しないものについては色を変えて表示するなどする。以上、(1、A) からの順番で説明したが、以降 (1、B) (1、C) (2、A) と循環的に組まれたリストに従って検査が進む。

[0052] 以上、基準値と欠陥比率の信頼区間との比較で欠陥判定を行う例について説明したが、同一欠陥クラスのチップ間の欠陥比率での比較、あるいは一チップ内あるいは複数チップ内の欠陥クラス間での欠陥比率の比較を行ってもよい。

[0053] 比較の判定結果の一例としては、複数の比率のうち最大と最小を与える二つの比率の比較が考えられる。この場合、両者の信頼区間が重ならない場合と、重なる場合に分けられ、重ならない場合は相互の比率の間に相違が見られる、すなわち有意差があると判断でき、重なる場合は相互の比率の間に相違が見られない、すなわち有意差がないと判断できる。相違が見られる場合、最大の欠陥比率を有するチップあるいは欠陥タイプをウェハマップ上に表示する。表示に際しては欠陥タイプ別に画面を切り替えて図4のような形式で該当するチップのみを強調して表示する。

[0054] 以上述べた方法によれば半導体前工程において危険点に発生した欠陥の頻度を信頼性高く効率的に評価できるので、製造条件の変更などの対策を迅速

に行うことが可能となる。

符号の説明

[0055] 101…チップ 102…検査点 103…検査点 201…検査視野
202…検査視野中心座標 203…検査点拡大像 301…検査視野
302…検査視野中心座標 303…検査点拡大像 401…ウェハマップ
402…検査対象チップ 501…欠陥タイプA発生チップ
601…欠陥判定ユニット 602…デザインデータサーバ
603…検査装置 604…LAN 605…リソシミュレータ
70…SEM装置本体 700…電子線 701…電子銃 702、
703…電子レンズ 704…電子ビーム軸調整器 705、706…
偏向器 707…対物レンズ 708…ウェハ 709…撮像対象領域
710…反射板 711…検出器 712…A/Dコンバータ
713…加算回路 714…メモリ 715…画像処理ユニット
716…XYステージ 717…二次記憶装置 718…コンピュータ
719…全体制御系 720…電流量制御ユニット 721…偏向制御ユニット
722…電子レンズ制御ユニット 723…ステージ制御ユニット
724…シーケンス制御ユニット 725…データ入出力I/F
801…バス 802…データI/F部 803…デザインデータ記憶部
804…検査点サンプリング部 805…CPU 806…メモリ
807…記憶媒体 808…デザインデータ上パターン位置特定部
809…表示端末 810…入力デバイス
811…外部記憶媒体。

請求の範囲

[請求項1]

デザインデータ上で欠陥タイプ別に検査点を指定し、
該指定された検査点の中から予め指定された数の検査点を欠陥タイプ別に選択し、
該選択した欠陥タイプ別に予め指定された数の検査点を撮像して該検査点における欠陥を検出し、
前記欠陥タイプ別に撮像した検査点の数に対する検出した欠陥の欠陥比率と該欠陥比率の信頼区間を算出し、
該算出した欠陥タイプ別の欠陥比率の信頼区間と予め設定した基準値とを比較し、
該基準値を超える欠陥発生比率をもつ欠陥タイプを求めることを特徴とする半導体デバイスの欠陥検査方法。

[請求項2]

請求項1記載の半導体デバイスの欠陥検査方法であって、前記算出した欠陥タイプ別の欠陥比率の信頼区間の範囲に前記予め設定した基準値が含まれる場合には、該欠陥比率の信頼区間の範囲に基準値を含む欠陥タイプについて再度検査点を選択し、該再度選択した検査点を撮像して該検査点における欠陥を検出し、該再度選択した検査点を撮像して検出した欠陥の欠陥比率と前記欠陥タイプ別の欠陥比率の信頼区間を計算し、該計算して求めた欠陥タイプ別の欠陥比率の信頼区間を前記予め設定した基準値と比較し、該基準値を超える欠陥発生比率をもつ欠陥タイプを求めることを特徴とする半導体デバイスの欠陥検査方法。

[請求項3]

請求項1記載の半導体デバイスの欠陥検査方法であって、前記信頼区間と基準値の比較結果を欠陥タイプ別にウェハマップ上に表示することを特徴とする半導体デバイスの欠陥検査方法。

[請求項4]

デザインデータ上で欠陥タイプ別に検査点を指定し、
該指定された検査点の中から予め指定された数の検査点を欠陥タイプ別に選択し、

該選択した欠陥タイプ別に予め指定された数の検査点を撮像して該検査点の画像から該検査点における欠陥を検出し、

前記欠陥タイプ別に撮像した検査点の数に対する検出した欠陥の比率を計算し、

該算出した欠陥タイプ別の欠陥比率の有意差を計算し、

該計算した結果から欠陥の比率に有意差が有る欠陥タイプを求めることを特徴とする半導体デバイスの欠陥検査方法。

[請求項5]

請求項4記載の半導体の欠陥検査方法であって、さらに、

前記算出した欠陥タイプ別の有意差に基づき欠陥タイプ別に検査の続行可否を判定し、

該判定の結果検査続行とされた欠陥タイプについて再度検査点の選択を行い、

該再度選択した検査点を撮像して該再度選択した検査点の画像を得、

該得た再度選択した検査点の画像から欠陥を検出し、

該再度選択した検査点を撮像して検出した欠陥の欠陥比率と前記欠陥タイプ別の欠陥比率の信頼区間を計算し、

該計算して求めた欠陥タイプ別の欠陥比率の有意差を算出し、

該算出した結果から前記欠陥比率に有意差が有る欠陥タイプを抽出することを特徴とする半導体デバイスの欠陥検査方法。

[請求項6]

請求項4記載の半導体デバイスの欠陥検査方法であって、前記有意差を欠陥タイプ別にウェハマップ上に表示することを特徴とする半導体デバイスの欠陥検査方法。

[請求項7]

デザインデータ上で欠陥タイプ別に検査点を指定する検査点指定手段と、

該検査点指定手段で指定された検査点の中から予め指定された数の検査点を欠陥タイプ別に入力する入力手段と、

該入力手段で入力した欠陥タイプ別に予め指定された数の検査点を

撮像する撮像手段と、

該撮像手段で撮像して得た検査点の画像を処理して欠陥を検出する画像処理手段と、

前記撮像手段で撮像した欠陥タイプ別の検査点の数に対する前記画像処理手段で検出した欠陥タイプ別の欠陥の数の比率である欠陥比率と該欠陥タイプ別の欠陥比率の信頼区間を計算する演算手段と、

該演算手段で算出した欠陥タイプ別の欠陥比率の信頼区間と予め設定した基準値とを比較する比較手段と、

該基準値を超える欠陥比率をもつ欠陥タイプを求める欠陥タイプ抽出手段と

該欠陥タイプ抽出手段で求めた欠陥タイプに関する情報を出力する出力手段とを備えることを特徴とする半導体デバイスの欠陥検査システム。

[請求項8]

請求項7記載の半導体デバイスの欠陥検査システムであって、前記比較手段で前記欠陥タイプ別の信頼区間と前記予め設定した基準値とを比較した結果前記欠陥タイプ別の欠陥比率の信頼区間の範囲に前記予め設定した基準値が含まれる場合には、前記検査点指定手段は前記欠陥比率の信頼区間の範囲に基準値を含む欠陥タイプについて再度検査点を選択し、前記撮像手段は該再度選択した検査点を撮像し、前記画像処理手段は前記撮像手段で撮像して得た前記再度選択した検査点の画像から該検査点における欠陥を検出し、前記演算手段は前記画像処理手段で前記再度選択した検査点の画像から検出した欠陥の欠陥比率と該欠陥タイプ別の欠陥比率の信頼区間を計算し、前記比較手段は前記再度選択した検査点の画像から検出した欠陥の欠陥タイプ別の欠陥比率の信頼区間と予め設定した基準値とを比較し、前記欠陥タイプ抽出手段は前記比較手段で比較した結果に基づいて前記基準値を超える欠陥比率をもつ欠陥タイプを求め、前記出力手段は前記欠陥タイプ抽出手段で求めた欠陥タイプに関する情報を出力することを特徴とす

る半導体デバイスの欠陥検査システム。

[請求項9] 請求項7記載の半導体デバイスの欠陥検査システムであって、前記出力手段は、前記信頼区間と基準値の比較結果を欠陥タイプ別にウェハマップ上に表示することを特徴とする半導体デバイスの欠陥検査システム。

[請求項10] デザインデータ上で欠陥タイプ別に検査点を指定する検査点指定手段と、

 該検査点指定手段で指定された検査点の中から予め指定された数の検査点を欠陥タイプ別に入力する入力手段と、

 該入力手段で入力した欠陥タイプ別に予め指定された数の検査点を撮像する撮像手段と、

 該撮像手段で撮像して得た検査点の画像を処理して欠陥を検出する画像処理手段と、

 前記撮像手段で撮像した欠陥タイプ別の検査点の数に対する前記画像処理手段で検出した欠陥タイプ別の欠陥の数の比率である欠陥比率と該欠陥タイプ別の欠陥比率の信頼区間を計算する演算手段と、

 該演算手段で算出した欠陥タイプ別の欠陥比率の有意差を計算する有意差算出手段と、

 該有意差計算手段で計算した結果から欠陥比率に有意差が有る欠陥タイプを求める欠陥タイプ抽出手段と

 該欠陥タイプ抽出手段で求めた欠陥タイプに関する情報を出力する出力手段とを備えることを特徴とする半導体デバイスの欠陥検査システム。

[請求項11] 請求項10記載の半導体デバイスの欠陥検査システムであって、前記有意差算出手段で算出した欠陥タイプ別の欠陥比率の有意差に基づき欠陥タイプ別に検査の続行の要否を入力する検査続行要否入力手段を更に備え、

 前記検査点指定手段は前記検査続行可否入力手段から検査の続行要

と入力された欠陥タイプについて再度検査点の選択を行い、

前記撮像手段は前記検査点指定手段で再度選択した検査点を撮像し、

前記画像処理手段は前記撮像手段で撮像して得た前記再度選択した検査点の画像から該検査点における欠陥を検出し、

前記演算手段は前記画像処理手段で前記再度選択した検査点の画像から検出した欠陥の欠陥比率と該欠陥タイプ別の欠陥比率の信頼区間を計算し、

前記有意差算出手段は前記演算手段で計算した前記再度選択した検査点の画像から検出した欠陥の欠陥タイプ別の欠陥比率の有意差を算出し、

前記欠陥タイプ抽出手段は前記有意差算出手段で算出した結果から欠陥比率に有意差が有る欠陥タイプを抽出し、

前記出力手段は前記欠陥タイプ抽出手段で抽出した欠陥比率に有意差が有る欠陥タイプに関する情報を出力することを特徴とする半導体デバイスの欠陥検査システム。

[請求項12]

請求項10記載の半導体デバイスの欠陥検査システムであって、前記出力手段は、前記有意差算出手段で算出した前記有意差を欠陥タイプ別にウェハマップ上に表示することを特徴とする半導体デバイスの欠陥検査システム。

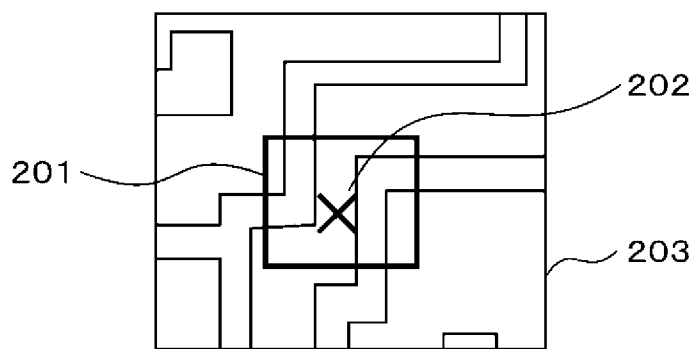
[図1]

図 1



[図2]

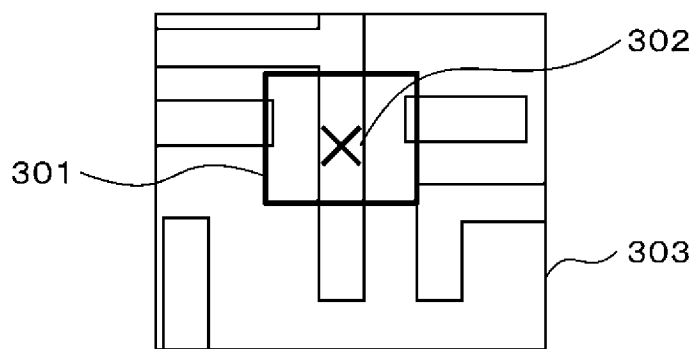
図 2



欠陥タイプA

[図3]

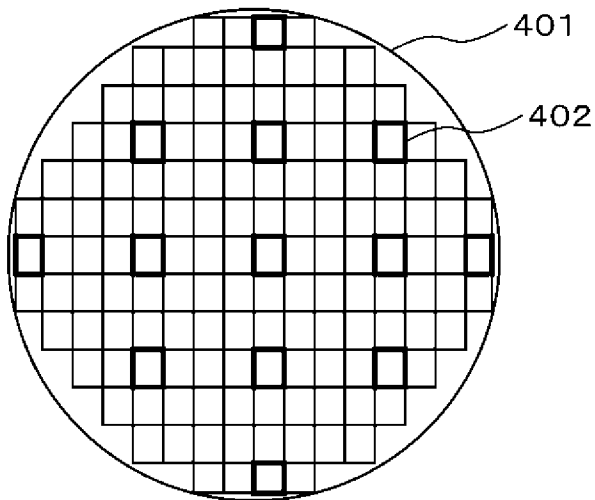
図 3



欠陥タイプB

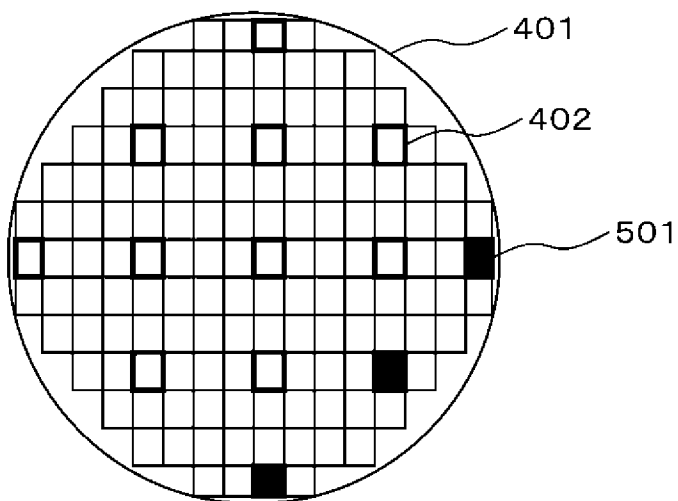
[図4]

図 4



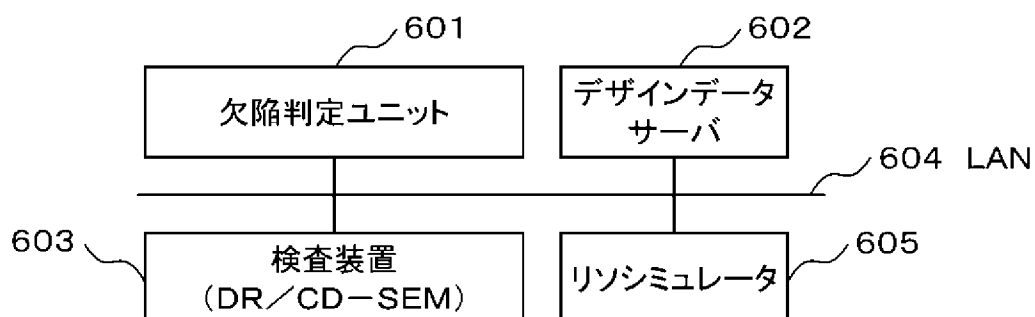
[図5]

図 5



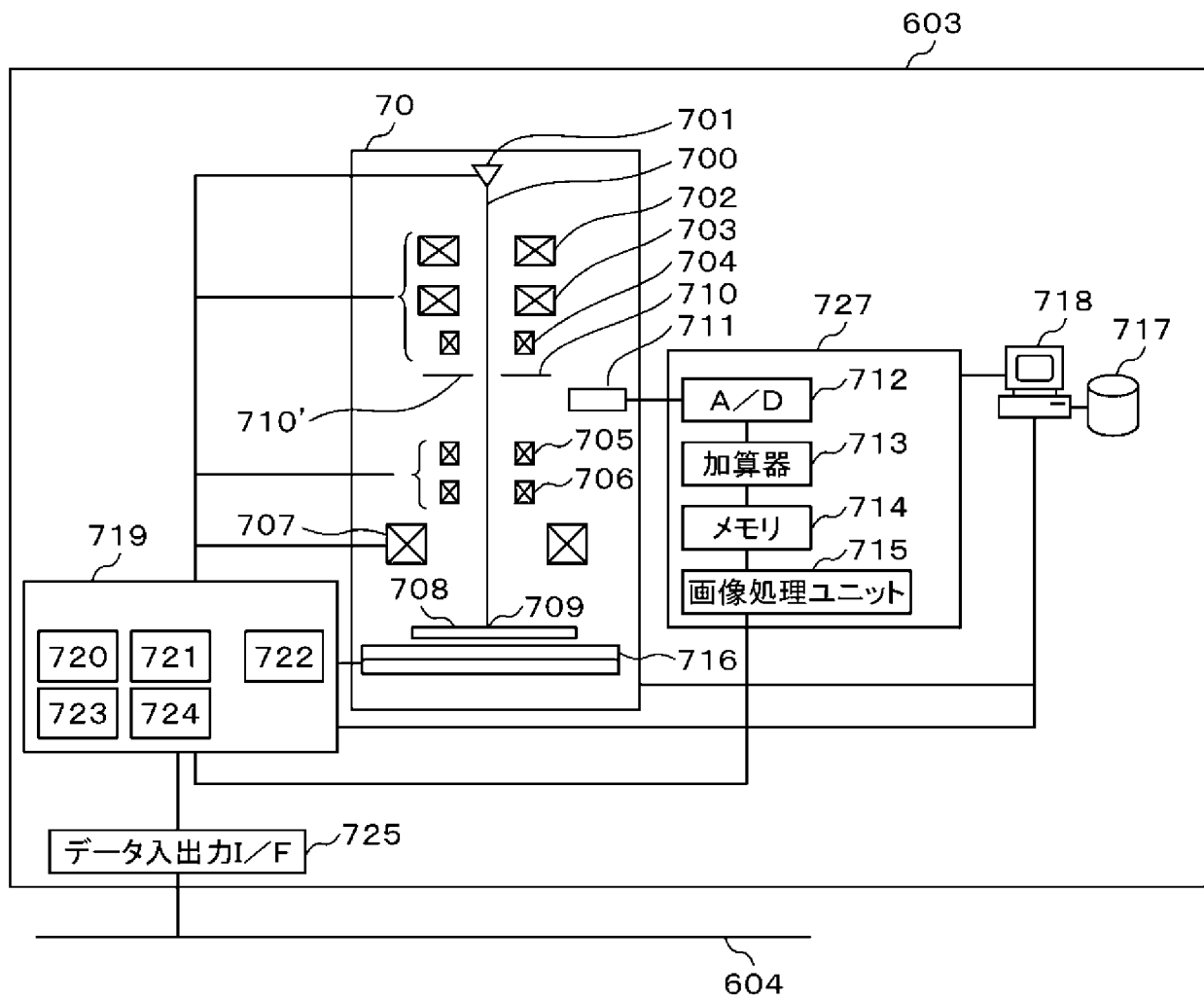
[図6]

図 6



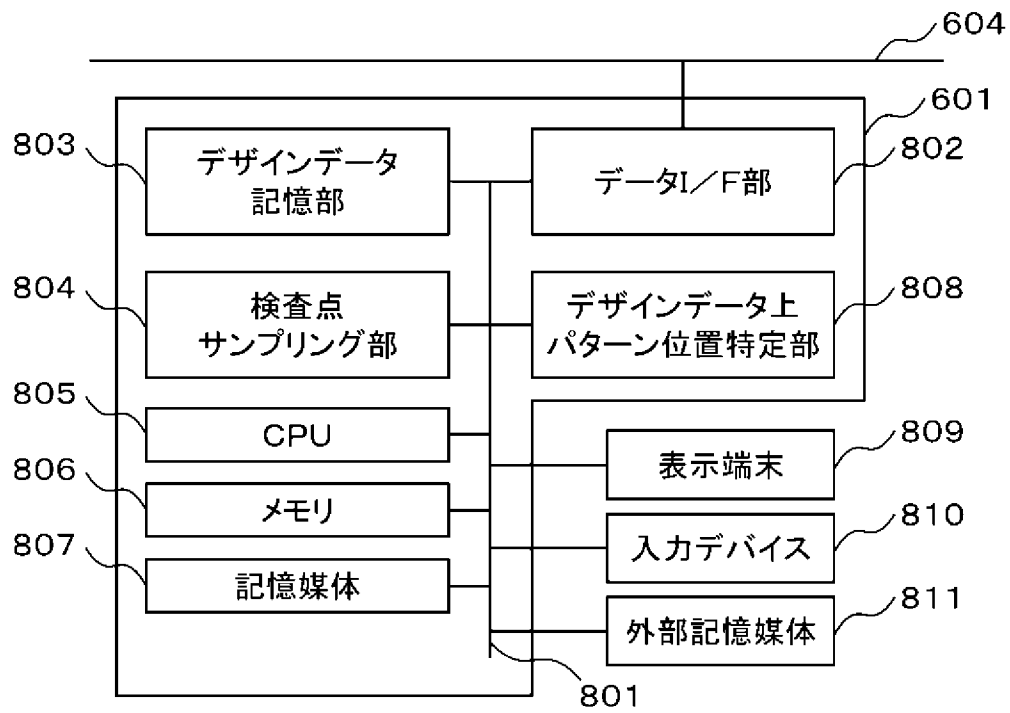
[図7]

図 7



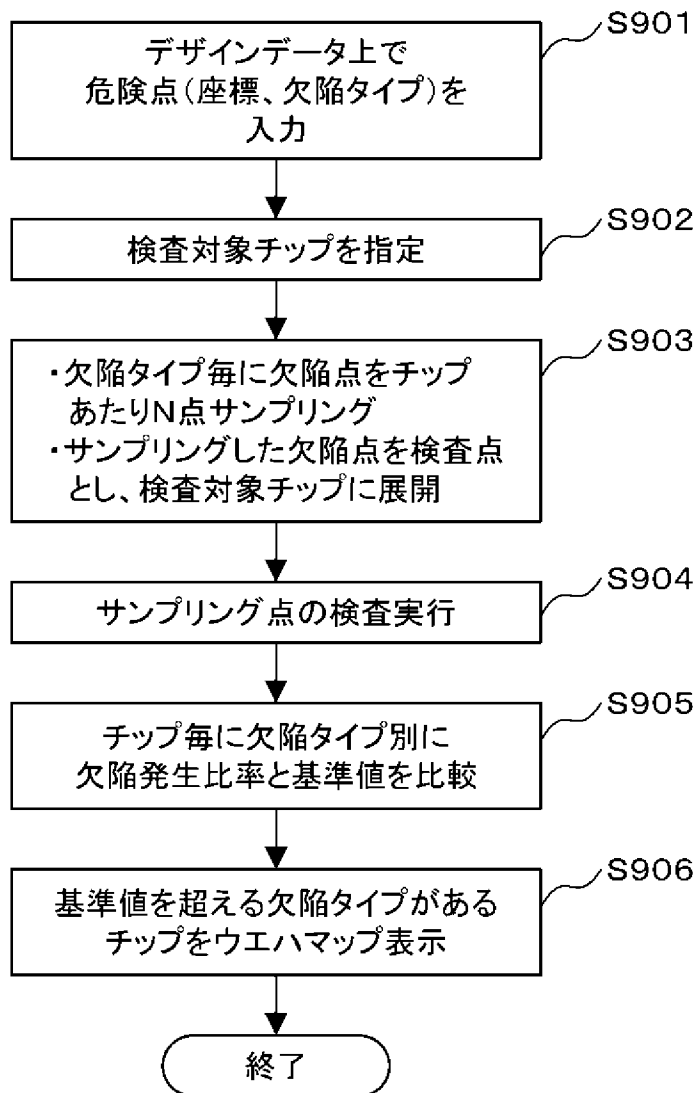
[図8]

図 8



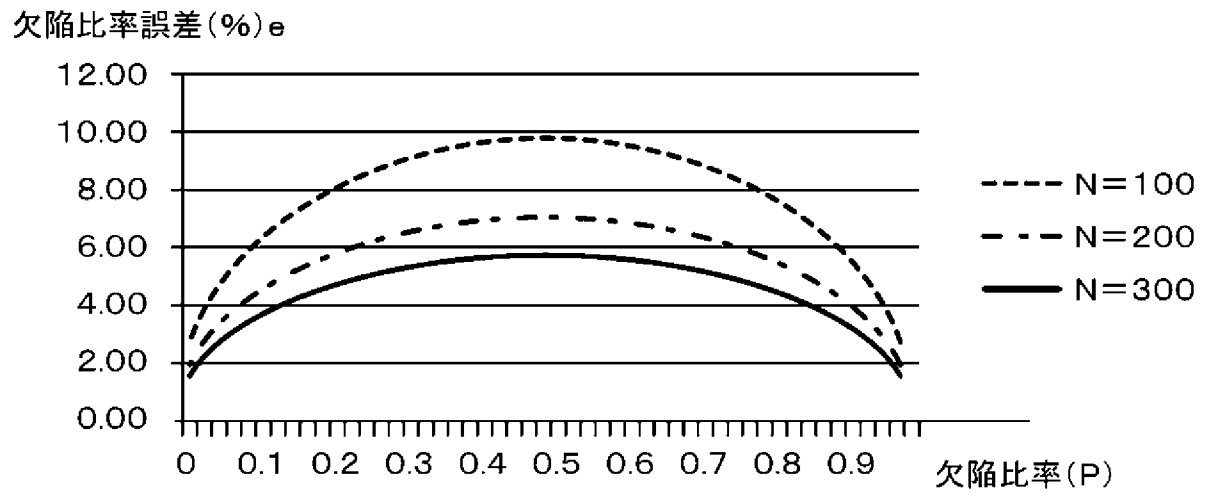
[図9]

図 9



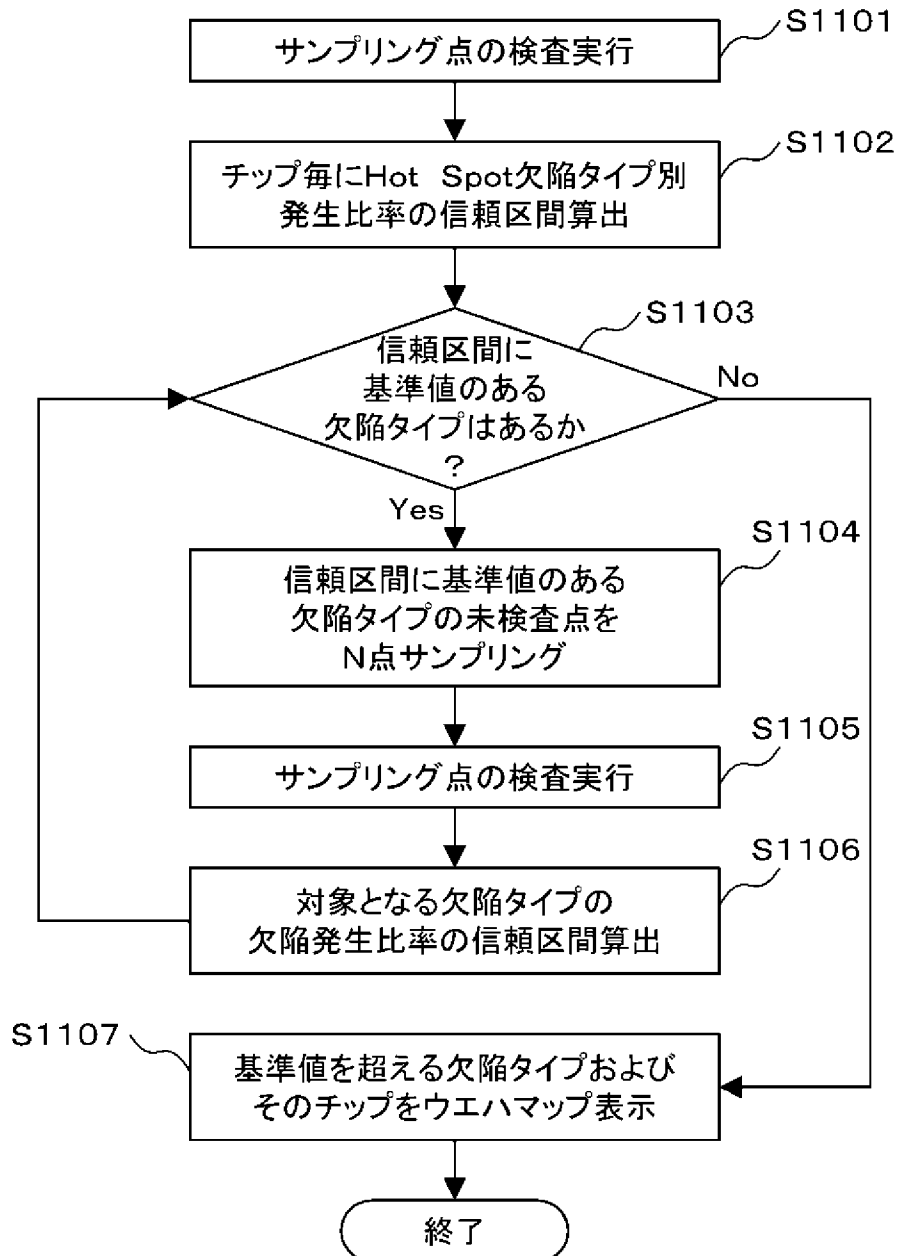
[図10]

図 10



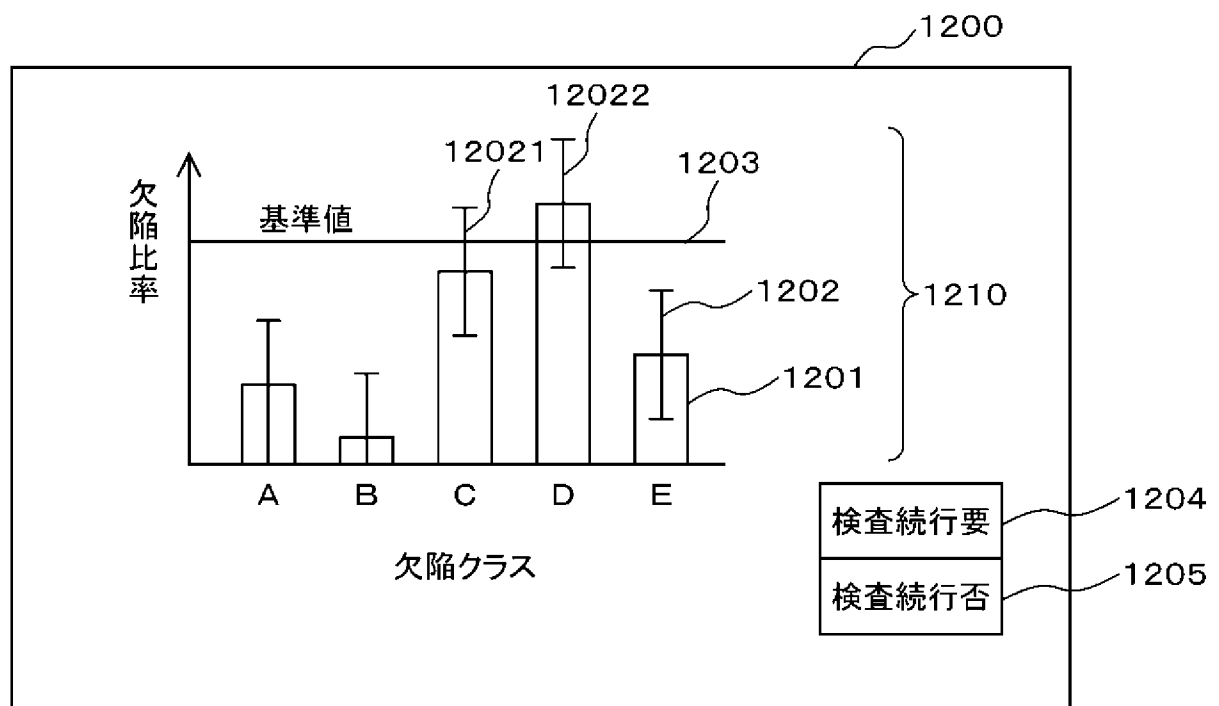
[図11]

図 1 1



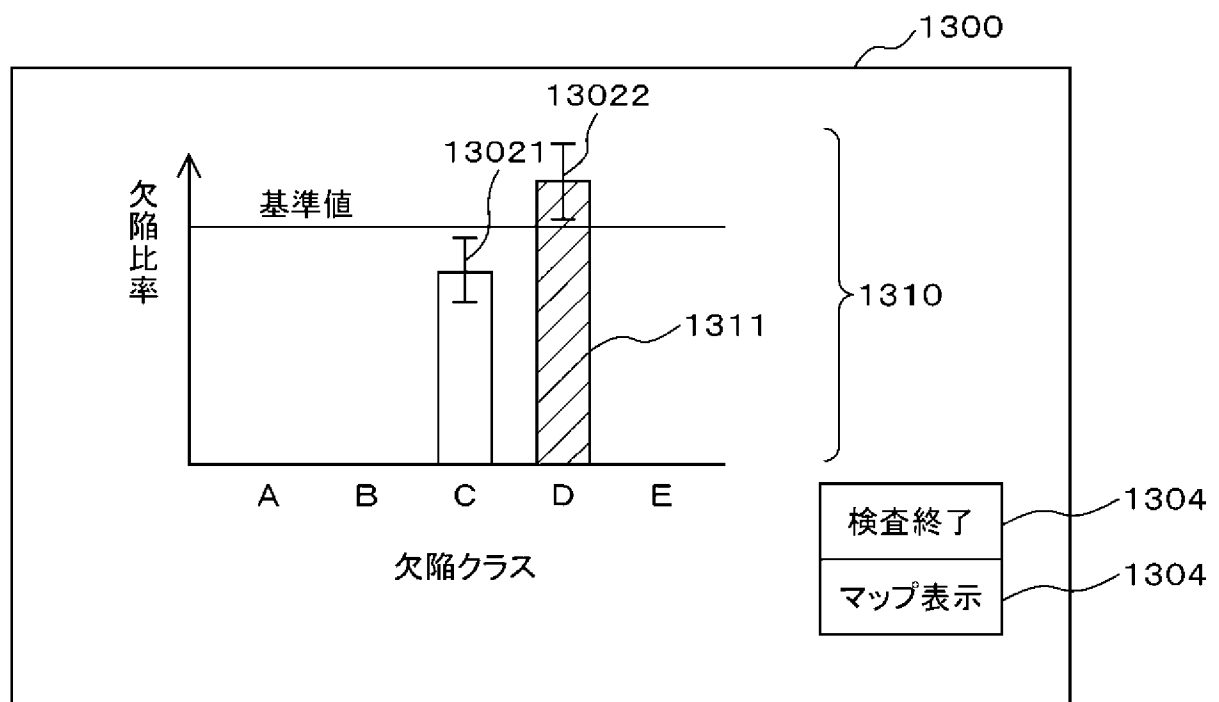
[図12]

図 1 2



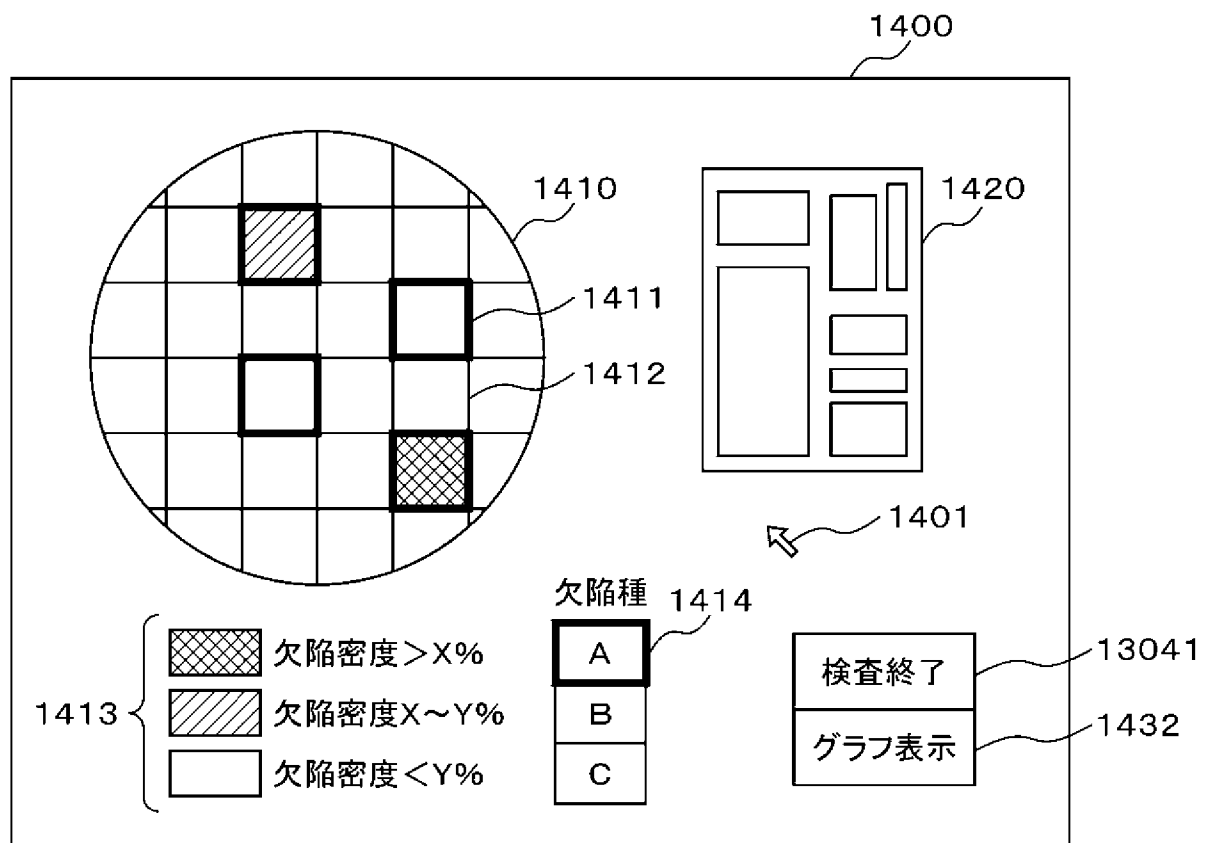
[図13]

図 1 3



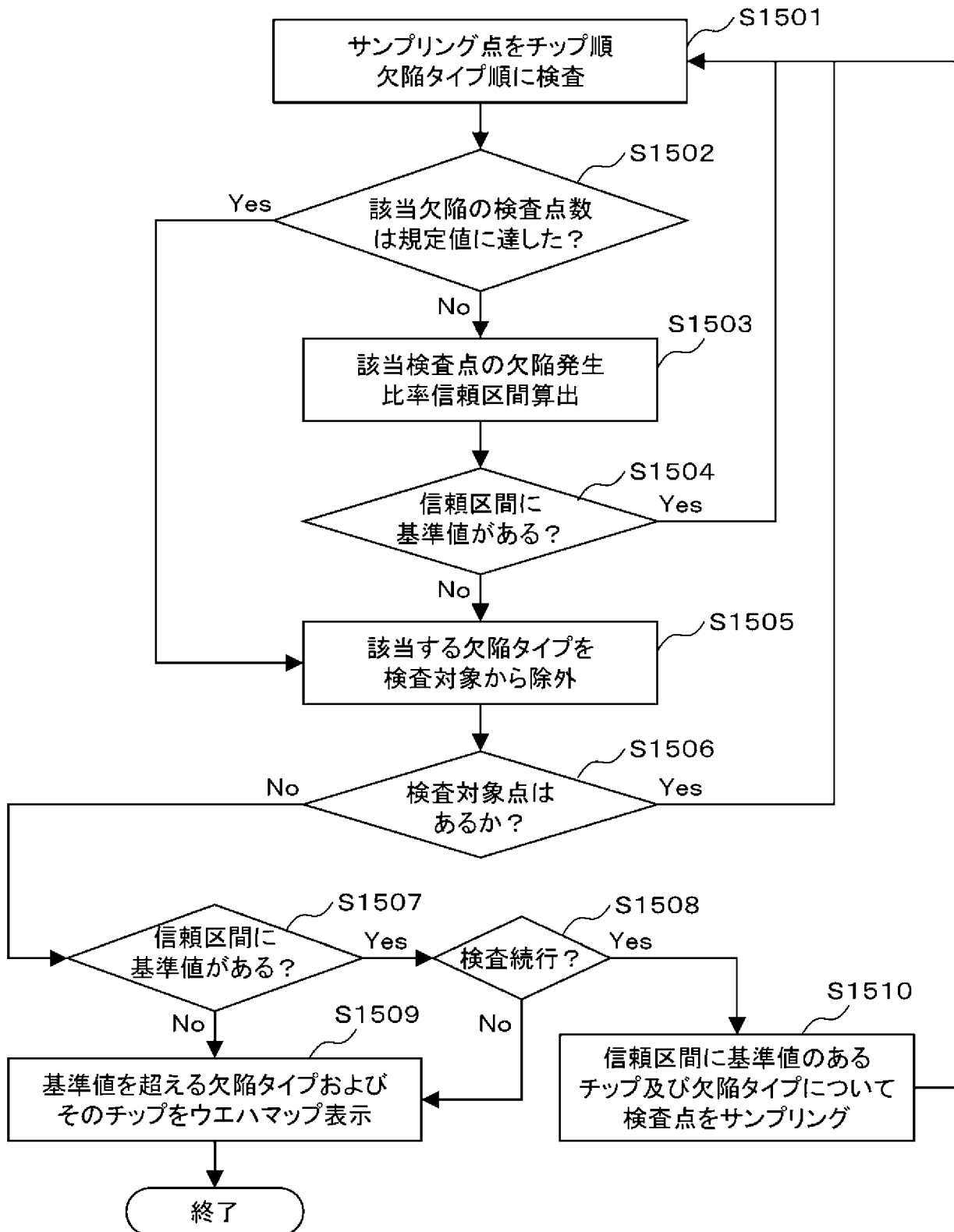
[図14]

図 1 4



[図15]

図 1 5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/061317

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/66(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/66, G01N23/225, G01N21/956

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-258353 A (Hitachi High-Technologies Corp.), 11 November 2010 (11.11.2010), paragraphs [0035] to [0064] & WO 2010/125877 A1	1-12
A	JP 2004-281681 A (Toshiba Corp.), 07 October 2004 (07.10.2004), paragraphs [0050] to [0064] & US 2004/0223639 A1 & US 2008/0240544 A1 & US 2011/0001820 A1	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 July, 2012 (05.07.12)

Date of mailing of the international search report
17 July, 2012 (17.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/66(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/66, G01N23/225, G01N21/956

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-258353 A（株式会社日立ハイテクノロジーズ）2010.11.11, 段落【0035】～【0064】 & WO 2010/125877 A1	1 - 1 2
A	JP 2004-281681 A（株式会社東芝）2004.10.07, 段落【0050】～【0064】 & US 2004/0223639 A1 & US 2008/0240544 A1 & US 2011/0001820 A1	1 - 1 2

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 7 . 2 0 1 2

国際調査報告の発送日

1 7 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

堀江 義隆

5 0

9 1 7 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9