

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6010257号
(P6010257)

(45) 発行日 平成28年10月19日 (2016. 10. 19)

(24) 登録日 平成28年9月23日 (2016. 9. 23)

(51) Int. Cl. F I
H O 2 M 3/155 (2006. 01) H O 2 M 3/155 H

請求項の数 11 (全 14 頁)

(21) 出願番号	特願2016-515981 (P2016-515981)	(73) 特許権者	516043960
(86) (22) 出願日	平成26年8月30日 (2014. 8. 30)		フィリップス ライティング ホールディ ング ビー ヴィ
(65) 公表番号	特表2016-528858 (P2016-528858A)		オランダ国 5 6 5 6 アーエー アイン トホーフェン ハイ テク キャンパス
(43) 公表日	平成28年9月15日 (2016. 9. 15)		4 5
(86) 国際出願番号	PCT/EP2014/068455	(74) 代理人	110001690
(87) 国際公開番号	W02015/028652		特許業務法人M&Sパートナーズ
(87) 国際公開日	平成27年3月5日 (2015. 3. 5)	(72) 発明者	ジョン デイヴィッド レウエリン
審査請求日	平成28年2月25日 (2016. 2. 25)		オランダ国 5 6 5 6 アーエー アイン トホーフェン ハイ テク キャンパス
(31) 優先権主張番号	13182322.1		5
(32) 優先日	平成25年8月30日 (2013. 8. 30)		
(33) 優先権主張国	欧州特許庁 (EP)		

早期審査対象出願

最終頁に続く

(54) 【発明の名称】 電圧を変換するコンバータユニット及び方法

(57) 【特許請求の範囲】

【請求項 1】

入力電圧を出力電圧に変換するコンバータユニットであって、
 前記コンバータユニットを電圧源に接続する及び前記電圧源から前記入力電圧を受け取るための入力端子と、
 負荷を駆動するために前記コンバータユニットを前記負荷に接続するための出力端子と、
 制御可能なスイッチと、
 前記制御可能なスイッチに接続されているインダクタと、
 前記インダクタ電流を検出するための電流検出器と、
 前記制御可能なスイッチの両端において測定される電圧の勾配を検出する電圧勾配検出器と、
 前記インダクタ電流及び前記電圧勾配に基づいて前記制御可能なスイッチを制御する制御ユニットと、
 を有するコンバータユニットにおいて、
 前記電圧勾配検出器は、互いに逆平行に接続されていると共にコンデンサを介して前記制御可能なスイッチに接続されている2つのダイオードと、前記2つのダイオードにおいて電圧を検出する電圧検出器と、オフセット電位を前記2つのダイオードへ供給するオフセット電圧源とを有する、
 コンバータユニット。

10

20

【請求項 2】

前記制御ユニットは、前記検出されたインダクタ電流に基づいて前記制御可能なスイッチをオフに切り替え、前記検出電圧勾配に基づいて前記制御可能なスイッチをオンに切り替える、請求項 1 に記載のコンバータユニット。

【請求項 3】

前記制御ユニットは、インダクタ電流が閾値に到達するときに前記制御可能なスイッチをオフに切り替え、前記電圧勾配が所定の値に到達するときに前記制御可能なスイッチをオンに切り替えるのに適している、請求項 2 に記載のコンバータユニット。

【請求項 4】

前記電流検出器は、抵抗器であって、前記制御可能なスイッチと前記抵抗器における電圧を検出する電圧検出器とに直列に接続されている抵抗器を有する、請求項 1 に記載のコンバータユニット。

10

【請求項 5】

前記抵抗器は、前記インダクタに直列に接続されている、請求項 4 に記載のコンバータユニット。

【請求項 6】

前記電圧勾配検出器は、基準抵抗器を介して前記 2 つのダイオードに接続された基準電圧源を有する、請求項 1 乃至 5 の何れか一項に記載のコンバータユニット。

【請求項 7】

前記電流検出器は、互いと並列に接続されていると共に前記インダクタ電流を複数の検出電流に分割する前記制御可能なスイッチと並列に接続されている複数のセンサ・スイッチを有する、請求項 1 に記載のコンバータユニット。

20

【請求項 8】

前記電流検出器は、前記検出電流のうちの 1 つを基準電流と比較する比較器回路を有する、請求項 7 に記載のコンバータユニット。

【請求項 9】

センサ・スイッチが、前記インダクタ電流に対応する前記検出抵抗において検出電圧を検出するために検出抵抗を介して前記制御可能なスイッチと並列に接続されている、請求項 1 に記載のコンバータユニット。

【請求項 10】

30

前記制御ユニットは、前記制御可能なスイッチを前記インダクタ電流に基づいてオフに制御する及び 2 つの異なる連続的な電圧勾配値に基づいてオンに制御する、請求項 1 に記載のコンバータユニット。

【請求項 11】

前記制御ユニットは、前記電圧勾配及び前記インダクタ電流に基づいて前記制御可能なスイッチを制御するための少なくとも 1 つの論理的ゲートを有する、請求項 1 に記載のコンバータユニット。

【発明の詳細な説明】**【技術分野】****【0001】**

40

本発明は、入力電圧を出力電圧に変換するためのコンバータユニット及び対応する方法に関する。

【背景技術】**【0002】**

電力変換の分野において、スイッチングモード電源 (SMP S) は標準的な選択である。同期コンバータとしてインダクタと一緒に 2 つの制御可能なスイッチを有する、又は非同期コンバータとしてインダクタ及びダイオード又はコンデンサと一緒に 1 つの制御可能なスイッチを有する SMP S の様々な実施化が知られている。以下の記載において、このようなステップダウン (又はバック) コンバータは、一例の SMP S トポロジとして使用されるが、この概念は、ブースト、バックブースト及びクラス E 等のコンバータに適用さ

50

れることもできる。

【 0 0 0 3 】

S M P S の出力電圧は、前記制御可能なスイッチをオン／オフに切り替えることにより制御され、通常、高周波制御ループ及び低周波制御ループが前記制御可能なスイッチを制御するのに使用される。一例として1つの制御可能なスイッチを有する非同期 S M P S を使用することにより、前記出力電圧は、スイッチング周波数に基づいて又は前記制御可能なスイッチのデューティサイクルに基づいて制御されることができ、デューティサイクルの制御は、固定された周波数を有するランプ信号を基準信号と比較することにより達成されることができ、前記切替時間は、前記ランプ信号が前記基準信号に到達したときに決定される。この場合、前記低周波制御ループは、例えば、前記入力電流、前記出力電流、前記出力電圧又は前記出力電力に基づいて、前記基準信号を供給し、前記高周波制御ループは、前記ランプ信号及び前記基準信号に基づいて前記スイッチングを制御する。通常、前記制御可能なスイッチは、前記ランプ信号が前記基準信号よりも低い場合、オンに切り替えられ、前記制御可能なスイッチは、前記ランプ信号が前記基準信号よりも高い場合、オフに切り替えられる。前記コンバータの前記出力又は出力電流は、前記低周波制御ループによって、前記基準信号をより高い値又はより低い値に設定することにより制御されることができ。

10

【 0 0 0 4 】

前記コンバータユニットの切替損失を最小化するように、前記切替時間は、前記制御可能なスイッチの両端における電圧に同期されなければならない。非同期 S M P S において、前記制御可能なスイッチの両端における前記電圧がゼロであるとき（ゼロ電圧スイッチング）又は局所的な最小値に到達したとき（バレースイッチング）、前記制御可能なスイッチはオンに切り替えられる。このことは、前記制御可能なスイッチの切替損失を最小化するのに役立つ。

20

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

既存の最高水準の技術であるコントローラは、前記インダクタの電流がゼロである場合又は最小の値が検出される場合、前記制御可能なスイッチのスイッチをオンに切り替えられるように構成される。これらのコントローラにおいて、例えば基準信号と組み合わせられるランプ信号のような、発振器回路と組み合わせて低周波制御ループにより決定されるオン時間制御を利用することは、一般的である。

30

【 0 0 0 6 】

代替的な解決策において、前記インダクタ電流がピークの閾値に到達する場合、前記制御可能なスイッチはオフに切り替えられ、前記インダクタ電流がゼロを交差する場合、前記制御可能なスイッチはオンに切り替えられる。しかしながら、前記ダイオードのスイッチング遅延及び逆回復時間（reverse recovery time）のため、このことは、次善の切替時間（a suboptimal switching time）を得ることができ、従って、切替損失は、このような方式によって、最小化されない。

40

【 0 0 0 7 】

欧州特許出願第 2 5 2 8 2 1 6 号から、前記インダクタ電流及び前記スイッチ電圧に基づいた閾値制御を使用する自己振動バックコンバータが、知られている。しかしながら、前記制御可能なスイッチのオン遷移の検出は、整流器ユニットが前記入力端子に接続されている場合の A C から D C 用途に対して難しい。このことは、交流サイクルの異なる点においてもゼロ電圧スイッチング又はバレースイッチングの何れかが必要とされることによるものであり、固定された電圧閾値を介して容易に取り扱われない。結果として、このスイッチング損失は、このような場合には最小化されない。

【 0 0 0 8 】

米国特許第 2 0 1 2 2 8 6 7 5 2 号（D 1）、スイッチング・レギュレータのための制御回路を開示している。前記回路は、インダクタ、制御可能なスイッチ及び電流検出器を

50

有する。検出される当該インダクタ電流は、前記スイッチを制御するのに使用される。前記制御回路は、high側可変電流源及びlow側可変電流源のうちの少なくとも1つの電流値を制御するスルーレート制御部も含んでおり、前記スルーレート制御部は、前記スイッチへ供給される前記スイッチ電圧信号の変化のレートを規定する。

【0009】

米国特許第48882号(D2)は、共振フライバック高電圧源のための同期回路を開示している。前記回路は、負勾配検出回路を備えている。前記負勾配検出回路の基本的な機能は、当該負勾配の dV_D/dt がゼロに等しいまで、前記フライバック波形の落下勾配において、スイッチを無効にすることにある。

【0010】

10

本発明の目的は、高い力率及び低い技術的な労力によって入力電圧を出力電圧に変換する改善されたコンバータユニット及び入力電圧を出力電圧に変換する対応する方法を提供することにある。

【課題を解決するための手段】

【0011】

本発明の1つの見地によれば、入力電圧を出力電圧に変換するためのコンバータユニットは、

前記コンバータユニットを電圧源に接続する及び前記電圧源から前記入力電圧を受け取るための入力端子と、

負荷を駆動するために前記コンバータユニットを前記負荷に接続するための出力端子と、

20

制御可能なスイッチと、

前記制御可能なスイッチに接続されているインダクタと、

前記インダクタの電流を検出するための電流検出器と、

前記制御可能なスイッチの両端において測定される電圧の傾斜を検出する電圧勾配検出器と、

前記インダクタ電流及び前記電圧勾配に基づいて前記制御可能なスイッチを制御する制御ユニットと、

を有し、前記電圧勾配検出器は、互いに逆平行に接続されていると共にコンデンサを介して前記制御可能なスイッチに接続されている2つのダイオード、前記2つのダイオードにおける電圧を検出するための電圧検出器、及びオフセットされた電位を前記2つのダイオードへ供給するオフセット電圧源を有する。

30

【0012】

本発明の好ましい実施例は、添付の従属請求項において規定される。添付の請求項に記載の方法は、添付の請求項に記載されている装置及び前記従属請求項に規定されているものと類似及び/又は同一の好ましい実施例を有することを理解されたい。

【0013】

本発明は、検出された前記インダクタ電流及び前記制御可能なスイッチの両端における電圧降下の勾配に基づいて前記コンバータユニットの前記制御可能なスイッチを切り替えるための着想に基づいている。前記制御可能なスイッチが前記インダクタ電流に基づいてオフに切り替えられるので、一定の、低周波入力電流に相当する高い力率が達成されることができるよう、同じ電流閾値がACサイクル全体にわたって印加されることができ。前記制御可能なスイッチが前記勾配検出に基づいてオンに切り替えられるので、前記スイッチ電圧の最小値は、前記制御可能なスイッチが当該最小電圧において正確に切り替えられることができ前記制御可能なスイッチのスイッチング損失が最小化されるように前記サイクルの初期に検出されることができ。従って、前記力率は、前記コンバータユニットの技術的な労力が低減されるように乗算回路の必要性又は前記低周波制御部ループの平均化を必要とすることなしに増大されることができ一方で、低いスイッチング損失を維持する。前記電圧勾配検出器は、互いに逆平行に接続されていると共に、コンデンサを介して前記制御可能なスイッチに接続されている2つのダイオードと、前記2つのダイオード

40

50

ドにおける電圧を検出する電圧検出器とを有するので、前記電圧勾配が正であるときに論理 high 電圧を検出し、前記電圧勾配が負のときに論理 low 電圧を検出する実現性が提供される。前記コンデンサを介する前記電流は、前記制御可能なスイッチの両端の電圧の勾配に比例している。前記電圧勾配検出器は、オフセット電位を前記 2 つのダイオードへ供給するためのオフセット電圧源を有するので、前記電圧勾配検出がより信頼性が高いものであるように、前記オフセット電位に対して前記 2 つのダイオードにおいて検出される論理 low 及び論理 high 電圧値を区別することができる。

【0014】

好ましい実施例において、ダイオード又はコンデンサのような、ブロッキング装置は前記制御可能なスイッチに接続されている。つまり、前記制御可能なスイッチ、前記インダクタ及び前記ブロッキング装置は、共通ノードを共有している。従って、前記コンバータユニットは、ステップアップ・コンバータ、ステップダウン・コンバータ又はクラス E の S M P S として形成されることができる。

【0015】

好ましい実施例において、前記制御ユニットは、検出された前記インダクタ電流に基づいて前記制御可能なスイッチをオフに切り替え、検出された前記電圧勾配に基づいて前記制御可能なスイッチをオンに切り替える。当該ピーク電流の制御は、良好な力率を得るための簡潔な解決案であり、前記電圧勾配の使用は、前記制御可能なスイッチが適当な時間におけるスイッチングによりオンに切り替えられるときの前記スイッチング損失を減少することを可能にすることができる。

【0016】

好ましい実施例において、前記制御ユニットは、前記インダクタ電流が閾値値に到達する場合に前記制御可能なスイッチをオフに切り替え、前記電圧勾配が所定の値に到達する場合に前記制御可能なスイッチをオンに切り替える。このことは、前記力率を増大させるために前記制御可能なスイッチを正確に制御する一方で、低いスイッチング損失を保持するという可能性である。

【0017】

好ましい実施例において、前記電流検出器は前記制御可能なスイッチに直列に接続されている抵抗器を有すると共に、前記抵抗器の両端の電圧を検出するための電圧検出器を有する。このことは、前記制御可能なスイッチが低い技術的な労力によってオンである間、前記インダクタ電流を検出するという可能性であり、差動電圧測定は、前記抵抗器が接地に接続されている場合、省略されることができる。

【0018】

前記抵抗器を前記インダクタに直列に接続することが更に好ましい。このことは、低い技術的な労力によってインダクタ電流を検出するという可能性である。

【0019】

好ましい実施例において、前記電圧勾配検出器は、例えば、前記 2 つのダイオードに基準抵抗器を介して接続されている基準電圧源により実現される基準電流源を有する。このことは、前記電圧勾配検出器を調整し、前記制御可能なスイッチを起動させるためのトリガ・ポイントを調整するという可能性である。

【0020】

好ましい実施例において、前記電流検出器は、互いに並列に接続されていると共に前記インダクタ電流を複数の検出電流に分ける前記制御可能なスイッチと並列に接続されている複数のセンサ・スイッチを有する。このことは、集積回路内に集積されることができる低い技術的な労力によって電流検出器を提供するという可能性である。

【0021】

好ましい実施例において、前記電流検出器は、検出された電流のうちの 1 つを基準電流と比較する比較器回路を有する。このことは、低い技術的な労力によって正確に前記検出された電流のうちの 1 つに基づいて前記インダクタ電流を決定するという可能性である。

【0022】

好ましい実施例において、センサ・スイッチは、前記インダクタ電流に対応する検出抵抗において検出電圧を検出するために前記検出抵抗を介して前記制御可能なスイッチと並列に接続される。このことは、低い技術的な労力及び高い精度によって前記インダクタ電流を検出するという可能性である。

【0023】

好ましい実施例において、前記制御ユニットは、前記インダクタ電流及び2つの異なる連続的な電圧勾配値に基づいて前記制御可能なスイッチを制御するのに適している。このことは、前記電圧が降下し始め前記電圧勾配が負である場合に前記制御ユニットを準備し、前記電圧勾配値が後続するゼロ交差又は電圧最小値の十分に近くに到達した場合に前記制御可能なスイッチをオンに切り替えるという可能性である。このことは、前記前記制御可能なスイッチを切り替えることの堅牢性を向上するという可能性である。

10

【0024】

好ましい実施例において、前記制御ユニットは、前記電圧勾配及び前記インダクタ電流に基づいて前記制御可能なスイッチを制御する少なくとも1つの論理ゲートを有する。このことは、低い技術的な労力によって前記制御可能なスイッチの当該制御を実施化するという可能性である。

【0025】

別の好ましい実施例では、前記コンバータユニットは、ステップダウン・コンバータである。

【0026】

20

別の好ましい実施例では、前記コンバータユニットは、ステップアップ・コンバータである。

【0027】

別の好ましい実施例では、前記コンバータユニットは、共振クラスEコンバータである。

【0028】

上述したように、本発明は、閾値値と比較した前記インダクタ電流に基づいて及び前記制御可能なスイッチの両端の電圧の電圧勾配に基づいて前記制御可能なスイッチを切り替えるという着想に基づく。前記制御可能なスイッチは、前記インダクタ電流が前記閾値に到達する場合、オフに切り替えられ、前記制御可能なスイッチの両端における電圧が最小値に到達する又は零交差点に到達する場合にオンに切り替えられる。ACサイクル全体にわたって一定のインダクタ電流閾値を利用することは、一定の、低周波入力電流から生じるもののよう、高い力率を提供する。前記電圧勾配の検出のため遅延又は回復時間は補償されることができ、前記制御可能なスイッチは、正確に前記零交差点において又は最小値において切り替えられることができ、この結果、前記制御可能なスイッチの前記スイッチング損失が低減される。従って、前記コンバータユニットの力率は、低い技術的な労力によって前記制御可能なスイッチを正確に切り替えることにより最小化されたスイッチング損失によって増大されることができる。

30

【0029】

本発明のこれら及び他の見地は、以下に記載される実施例を参照して、明らかになり、説明されるであろう。

40

【図面の簡単な説明】

【0030】

【図1】入力電圧を出力電圧に変換するためのコンバータユニットの模式的なブロック図を示している。

【図2】図1に示されるコンバータユニットの実施例の詳細なブロック図を示している。

【図3】当該コンバータユニット及び前記制御可能なスイッチを制御するための対応する制御信号の電圧及び電流のタイミング図を示している。

【図4】図1に示される制御ユニットの実施例の詳細なブロック図を示している。

【図5】当該コンバータユニット及び前記制御可能なスイッチを制御するための対応する

50

制御信号の電圧及び電流のタイミング図を示している。

【発明を実施するための形態】

【0031】

図1は、10によって全体的に示されている例示的なステップダウン・コンバータユニットの模式的なブロック図を示している。コンバータユニット10は、前記コンバータユニットを入力電圧 V_{10} を供給する電圧源16に接続するための入力端子12、14を有する。入力端子14は、更に接地電位17に接続されている。前記コンバータユニットは、更に、負荷（図示略）を駆動するように前記負荷へ出力電圧 V_{20} 及び出力電流 I_{20} を供給するための出力端子18、20を有する。コンバータユニット10は、入力端子12、14と並列に接続された制御可能なスイッチ22及びダイオード24と、制御可能なスイッチ22とダイオード24との間のノード28に接続されていると共に出力端子のうちの1つ20に接続されているインダクタ26とを有する。前記制御可能なスイッチは、好ましくはトランジスタであり、最も好ましくはMOSFETである。出力端子18、20は、更に、出力電圧 V_{20} をフィルタリングするためのフィルタキャパシタ30に接続されている。コンバータユニット10は、更に、入力電圧 V_{10} を出力電圧 V_{20} に変換するために制御可能なスイッチ22を切り替える駆動信号として供給されるゲート電圧 V_g を介して制御可能なスイッチ22を制御する制御ユニット32を有する。コンバータユニット10は、DC-DC又はAC-DCコンバータであって、この場合、入力電圧 V_{10} を下方の出力電圧 V_{20} に変換するステップダウン・コンバータである。入力電圧 V_{10} は、定電圧又は整流されたAC電圧であっても良い。

【0032】

出力電圧 V_{20} は、以下で記載されるように制御可能なスイッチ22のデューティサイクル及び周波数により設定される。

【0033】

コンバータユニット10は、更に、制御可能なスイッチ22のオン状態においてインダクタ26のインダクタ電流 I_{30} を検出する制御可能なスイッチ22に接続された電流検出器34を有する。電流センサ34は、制御可能なスイッチ22のオン状態においてインダクタ電流 I_{30} に対応する電圧を検出するために、検出抵抗36と検出抵抗36の両端における電圧降下を測定する電圧検出器（図示略）とを有する。検出抵抗36は、入力端子14若しくは接地と制御可能なスイッチ22のとの間に又は制御可能なスイッチ22とインダクタ26との間に接続されることができる。

【0034】

コンバータユニット10は、更に、制御可能なスイッチ22の両端において降下するスイッチ電圧 V_{30} の電圧勾配を検出するための電圧勾配検出器38を有する。電圧勾配検出器38は、コンデンサ40を介してノード28に接続されており、互いに逆平行に接続されていると共にコンデンサ40及びオフセット電圧 V_{40} を供給するオフセット電圧供給46に直列に接続されている2つのダイオード42、44を有する。電圧勾配検出器38は、スイッチ電圧 V_{30} の電圧勾配を示している電圧勾配検出器38において電圧を検出する電圧検出器48に接続されている。

【0035】

制御ユニット32は、インダクタ電流 I_{30} 及び電圧検出器48により検出された電圧勾配信号50に基づいて制御可能なスイッチ22を制御するために電流センサ34及び電圧勾配検出器38に接続されている。

【0036】

検出抵抗36の両端における電圧は、測定されたインダクタ電流 I_{30} を、制御可能なスイッチ22をオフに切り替えるための基準値と比較する比較装置に供給される。前記電圧勾配検出器は、前記電圧勾配が正である場合に論理high値を有すると共に前記電圧勾配がオフセット電圧源46により供給されるオフセット電圧 V_{40} に対して負である場合に論理low値を有する電圧勾配信号50を供給する。詳細には、電圧勾配信号50は、前記電圧勾配が正である場合にオフセット電圧 V_{40} よりも高い1つのダイオード降下

であり、前記電圧勾配が負である場合にオフセット電圧 V_{40} よりも低い1つのダイオード降下を有する。電圧勾配信号50は、スイッチ電圧 V_{30} の電圧勾配がゼロに等しいとき又はスイッチ電圧 V_{30} が最小値を有するとき、制御可能なスイッチ22をオンに切り替えるために制御ユニット32に供給される。

【0037】

制御可能なスイッチ22をオフにする手順は、次の通りである。制御可能なスイッチ22がオンにされる場合、インダクタ電流 I_{30} は上昇し始める。或る点においてインダクタ電流 I_{30} は予め規定されたインダクタ電流閾値レベルに到達し、制御ユニット32に供給される対応する電流センサ信号が変化する。この電流センサ信号は、制御ユニット32に（或る遅延時間の後）制御可能なスイッチ22をオフにさせる。従って、制御可能な

10

【0038】

制御可能なスイッチをオンにする手順は、以下の通りである。制御可能なスイッチ22がオフにされる場合、インダクタ電流 I_{30} は最終的に減少し始める。ダイオード24の接合静電容量、当該オフにされた制御可能なスイッチ22の出力静電容量及び電圧勾配検出コンデンサ40の静電容量は、ここで、インダクタ26に対して直列である3つの並列な静電容量であり、共振LC回路を形成する。或る点において、インダクタ電流 I_{30} はゼロを交差し、（例えば、前記ダイオードの逆回復が完了した後）前記LC回路の共振間隔が始まりスイッチ電圧 V_{30} を減少させる。この点において、電圧勾配検出器38は、負の電圧勾配を示す又は検出する。対応する電圧勾配信号50は制御ユニット32へ供給され、制御ユニット32は遅延後に制御可能なスイッチ22をオンに切り替える。つまり、前記スイッチは、前記電圧勾配が最初に負になった後の或る点においてオンにされる。

20

【0039】

代替的な実施例において、スイッチ電圧 V_{30} の最小値は、スイッチ電圧が最初にいつ減少し始めるかを検出することにより決定される。ひとたびこの条件が満たされると、制御ユニット32は、スイッチ電圧 V_{30} の勾配が次にゼロの十分近くに来たときに制御可能なスイッチ22をオンに切り替える。つまり、前記スイッチは、前記電圧勾配における負から正への遷移に近い或る点においてオンにされる。

【0040】

30

これらの2つの実施例は、前記対応するゼロ電圧スイッチング条件が満たされている場合、中間スイッチングのための電圧閾値比較と組み合わせられて提供されることができる。当該第1の実施例は、この実施例が前記共振間隔のタイミングの変化に対する許容誤差に関してあまり堅牢性を有さない場合でさえも、実行速度の観点から最適な電圧勾配の検出である。電圧閾値比較のための付加的な回路は、0電圧スイッチング条件が満たされるときに自動的に伝導し始める前記MOSFETの本体ダイオードの特性に依存して必要であり得る。前記本体ダイオードがあまりに損失性のものである場合、前記付加的な検出回路は前記MOSFETの前記本体ダイオードの伝導を最小化する又は防止するために望ましいものであり得る。

【0041】

40

電流センサ34の代替的な実施例において、インダクタ電流 I_{30} の極一部（small fraction）は、前記インダクタ電流閾値を表している閾値電流レベルと比較される。インダクタ電流 I_{30} は、互いに並列に及び制御可能なスイッチ22に対して直列に接続される多数のFETセルにより測定される。少数のこれらのFETセルの電流は、制御可能なスイッチ22をオフに切り替えるために縮尺変更されたインダクタ電流閾値と比較される。このことは、前記ゲート・コネクタ及び前記FETセルのソースコネクタが相互接続されると仮定している。

【0042】

更なる代替的な実施例において、電流センサ34は、多数のFETセルを有し、前記ドレイン及び前記ゲート・コネクタが相互接続され、少数のソースコネクタは前記他のFET

50

Tセルから切り離される。検出抵抗は、分離されたFETソースと他のFETセルのソースコネクタとの間で接続される。前記検出抵抗両端の電圧は、インダクタ電流 I_{30} に対応して測定されることができ、前記検出抵抗の前記抵抗がFETセルの量に対して小さい場合、インダクタ電流 I_{30} は、十分な精度により測定されることができる。

【0043】

更なる代替的な実施例において、 I_{30} の縮尺変更された変形である誘導結合電流を供給するために、追加の巻線が、前記インダクタ上に構成されることができる。この場合、この縮尺変更された電流は、上述した技術の何れかを使用して検出されることができる。

【0044】

一般に、コンバータユニット10の構成要素は、別々の構成要素であるが、コンバータユニット10は集積回路として実施化されることができる、並びに/又は1つ以上のアナログ-デジタル及び/若しくはデジタル-アナログコンバータを使用しているデジタル領域の信号処理を実行することができる。

【0045】

図2は、コンバータユニット10の実施例及び制御可能なスイッチ22を制御するための制御ユニット32の実施例を示している。同一の要素は、同じ符号により示されており、ここでは、単に違いのみが詳細に説明される。

【0046】

電流センサ34は、検出抵抗36と基準電圧源54に接続されている比較器52とを有する。前記基準電圧源は、前記インダクタ電流閾値を決定するための閾値電圧として基準電圧を供給する。比較器52は、検出抵抗36の両端の電圧が、基準電圧源54により供給される基準電圧よりも高いか否かを示している信号 V_i を供給する。信号 V_i は、以下に記載するように制御可能なスイッチ22を切り替える制御ユニット32に供給される。

【0047】

電圧勾配検出器38は、ダイオード42、44の両端の電圧を決定するための逆平行ダイオード42、44に並列に接続されている電圧検出器48としての比較器を有する。比較器48は、スイッチ電圧 V_{30} の勾配が正であるか又は負であるかを示す信号 V_s を供給する。信号 V_s は、制御可能なスイッチ22を切り替える制御ユニット32に供給される。

【0048】

信号 V_i は、インダクタ電流 I_{30} が前記閾値よりも低い場合に論理highであり、インダクタ電流 I_{30} が前記閾値よりも高い場合に論理lowである。信号 V_s は、スイッチ電圧 V_{30} の勾配が正である場合に論理highであり、スイッチ電圧 V_{30} の勾配が負である場合に論理lowである。

【0049】

制御ユニット32は、図2に模式的に示されている。制御ユニット32は、NANDラッチ56として実施化されるフリップフロップ56を有している。信号 V_i 及び V_s がフリップフロップ56内に供給され、フリップフロップ56は、制御可能なスイッチ22のゲート・コネクタにインバータ58を介して接続される。信号 V_i 及び V_s は、インダクタ電流 I_{30} 及びスイッチ電圧 V_{30} の勾配に基づいて制御可能なスイッチ22をオン及びオフに切り替えるようにNANDラッチ56内に供給される。制御ユニット32は、更に、制御可能なスイッチをオンに切り替えるようにタイムアウト信号 V_D を含むようにフリップフロップ56に接続されているANDゲート60を有する。タイムアウト信号 V_D は、スイッチ電圧 V_{30} の最小値が検出されたか否かにかかわらず、あまりに多くの時間が経過している場合に、スイッチ22を起動させるタイマー回路(図示略)からの信号である。タイムアウト信号 V_D は、当該タイムアウト条件に達した場合に論理lowであり、通常の動作においては論理highである。当該タイムアウト回路は、主に制御ユニット32のスタートアップの振る舞いを援助するのに利用される。従って、制御ユニット32は、閾値に対するインダクタ電流 I_{30} に基づき及びスイッチ電圧 V_{30} の勾配に基づき制御可能なスイッチのスイッチをオフに切り替える。

【 0 0 5 0 】

図 3 は、スイッチ電圧 V_{30} 、インダクタ電流 I_{30} 、信号 V_i 及び V_s 及び制御可能なスイッチ 22 を切り替えるための駆動信号として供給されるゲート電圧 V_G のタイミング図を示している。

【 0 0 5 1 】

インダクタ電流 I_{30} は図 3 a に示されており、スイッチ電圧 V_{30} は図 3 b に示されている。

【 0 0 5 2 】

比較器 52 により供給される信号 V_i が図 3 c に示されており、インダクタ電流 I_{30} が閾値よりも高いか又は低いを示している。インダクタ電流 I_{30} は t_1 において閾値電流に到達し、信号 V_i はその後直ぐに電流検出器 34 における遅延により t_2 において論理 low に切り替えられる。インダクタ電流 I_{30} の実際のピークは、しばらく後に、 t_3 において当該システムの遅延及び共振により生じる。図 1 に示されている位置における電流検出抵抗 36 の場合、信号 V_i は、制御可能なスイッチが t_4 においてオフにされた直後に論理 high に切り替えられる。

【 0 0 5 3 】

インダクタ 26 と直列の電流検出抵抗 36 の場合、信号 V_i は、 I_{30} が前記電流閾値よりも低くまで降下した直後に論理 high に切り替えられるが、このコンフィギュレーションは、これらの波形に示されていない。

【 0 0 5 4 】

図 3 d に示されている信号 V_s はスイッチ電圧 V_{30} の勾配を示しており、信号 V_s はスイッチ電圧 V_{30} の勾配が t_5 において十分に負である場合に論理 low に切り替えられ、スイッチ電圧 V_{30} の勾配が t_6 において十分に正である場合に論理 high へ切り替えられる。

【 0 0 5 5 】

信号 V_i 及び V_s は、図 3 e に示されるようにゲート電圧 V_G を供給するために NAND ラッチ 56 によって組み合わせられる。ゲート信号 V_G は、 V_i が t_9 において論理 low になった直後に論理 low になり、 V_G は、 V_s が t_8 において論理 low になった直後に論理 high になる。

【 0 0 5 6 】

図 4 は、コンバータユニット 10 の第 2 実施例の模式的なブロック図を示している。同一の要素は、同じ符号により示されており、ここでは、単に違いのみが詳細に説明される。

【 0 0 5 7 】

電圧勾配検出器 38 は、更に、抵抗器 64 及びローカル電圧源 66 を含む電流源 62 を有する。電流源 62 は、ダイオード 42、44 においてソース又はシンク電流を検出ノード 67 へ供給する。電流源 62 によって、閾値は、スイッチ電圧 V_{30} の勾配がいつ「正」又は「負」の何れかであるとして検出されるか決定するために調整される。信号 V_s は、（遅延の後）十分に負である勾配が検出されたとき、論理 high から論理 low まで変化する。high から low への遷移のためのトリガ・ポイントを調整することによって、当該回路遅延は、コンバータユニット 10 の正確な動作のために補償されることができる。オフセット電圧 V_{40} は、ローカル電圧源 66 により供給される供給電圧 V_{50} よりも十分に低い。従って、比較器 48 のダイオード 42、44 の電圧降下は、ごく僅かである。

【 0 0 5 8 】

図 4 において、制御ユニット 32 の更なる実施例は、第 2 のフリップフロップ 68 を有して示されており、スイッチ電圧 V_{30} が低下し始めたことを示す信号 V_p は、設定のための準備信号（prepare-for-set signal）としてフリップフロップ 56 に接続されている論理に供給される。信号 V_p が受け取られた場合、電圧勾配検出器 38 はスイッチ電圧 V_{30} の勾配の次の零交差点がいつ生じるかを決定し、次いで、制御可能なスイッチ 22 の

スイッチオンを決定するために使用される。信号 V_p はANDゲート60に接続されている付加的なNANDゲート70に供給され、「設定のための準備」信号 V_p をリセットするのを可能にするために第2のフリップフロップ68にも接続される。

【0059】

制御可能なスイッチ22のスイッチオフ手順は、この実施例において、過去の実施例と同一である。スイッチオン手順は、以下の通りである。制御可能なスイッチ22がオフにされた場合、インダクタ電流 I_{30} は最終的に減少し始める。インダクタ電流 I_{30} がゼロまで減少し、逆回復時間（ある場合）が経過した場合、共振間隔はスイッチ電圧 V_{30} をゼロに向かって減少させ始める。スイッチ電圧 V_{30} が減少し始めたとき、電圧勾配検出器38は負の電圧勾配を示し、電圧勾配は、当該変化を起動するために付加的な電流源62に対して十分に負のものであることを必要とする。このことは、信号 V_p をhighに切り替える。電圧勾配検出器38は、更に、電圧勾配が或る後の時間に信号 V_s を論理lowから論理highまで切り替えることによって、ゼロの十分に近くに来了ことを示す。両方の信号 V_p が論理highであり、信号 V_s が切り替わったので、ゲート電圧 V_g は遅延の後に論理highに切り替えられ、制御可能なスイッチ22はオンに切り替えられる。

10

【0060】

図5は、図4の実施例に従ってスイッチ電圧 V_{30} 、インダクタ電流 I_{30} 、信号 V_i 、信号 V_p 、信号 V_s 及びゲート電圧 V_g のタイミング図を示している。インダクタ電流は図5aに示されており、スイッチ電圧 V_{30} は図5bに示されている。

20

【0061】

図5cにおける信号 V_i は、インダクタ電流 I_{30} が閾値電流よりも高いときを示しており、図3cに示されている信号と同一である。

【0062】

図5eの信号 V_s は、スイッチ電圧 V_{30} の勾配が十分に負になるときである t_5 において論理lowへ切り替わる。このことは、図5dにおける V_p を、直後のある時点において、 t_7 において、highにし、「設定のための準備」条件が達成されることを示す。スイッチ電圧 V_{30} の勾配がゼロの十分に近くに来到ときに、 V_s は t_6 において論理lowから論理highまで切り替えられる。 V_p がhighであり V_s が切り替わっているので、このことは、図5fにおけるゲート信号 V_g を或る遅延の後に論理highにさせ、前記制御可能なスイッチが t_8 においてオンに切り替えられる。更に、我々は、我々がもはや前記「設定のための準備」条件にないので、 V_p 信号を論理lowにリセットするトリガとして V_s のlowからhighの遷移を使用する。

30

【0063】

設定のための準備信号としての信号 V_p 及び当該スイッチングを決定する信号 V_s のため、前記スイッチオン手順は、動作の間の共振間隔のタイミングの変化に対してより堅牢性を有する。

【0064】

他の実施例において、前記電流閾値は、より高い力率をもたらすために、入力電圧 V_{10} のACサイクル内で調整されることができる。前記電流又は電圧検出は、コンバータユニット10のそれぞれの導体への誘導結合を介して実施化されることができる。更なる実施例において、制御可能なスイッチ22を切り替えることは、当該第1の検出されたゼロ勾配を越えて又は当該第1の検出されたゼロ勾配の後のゼロに近い電圧勾配の検出に基づいても良く、このような検出のために前記設定のための準備信号は調整されることができる。

40

【0065】

コンバータユニット10は、ブースト・コンバータ、バックコンバータ、バックブースト・コンバータ、クラスEコンバータ又はフライバック・コンバータであっても良い。

【0066】

本発明は、添付図面及び上述の明細書において説明され記載されたが、このような例及

50

び記載は、説明的又は例示的なものであり、限定的なものではないとみなされるべきである。本発明は、開示されている実施例に限定されるものではない。開示されている前記実施例に対する他の変化は、前記添付図面、本明細書及び添付請求項の熟慮により、添付請求項に記載の本発明を実施する際に当業者により理解され、行われることができる。

【 0 0 6 7 】

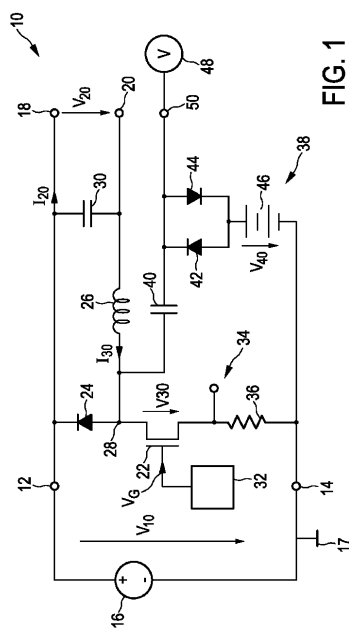
添付の請求項において、「有する」なる語は他の要素又はステップを排除するものではなく、単数形は複数形を排除するものではない。単一の要素又は他のユニットが、前記請求項に列挙されている幾つかの項目の機能を実現しても良い。特定の手段が、相互に異なる従属請求項において引用されているという単なる事実は、これらの手段の組み合わせが有利になるように使用されることできないと示すものではない。

【 0 0 6 8 】

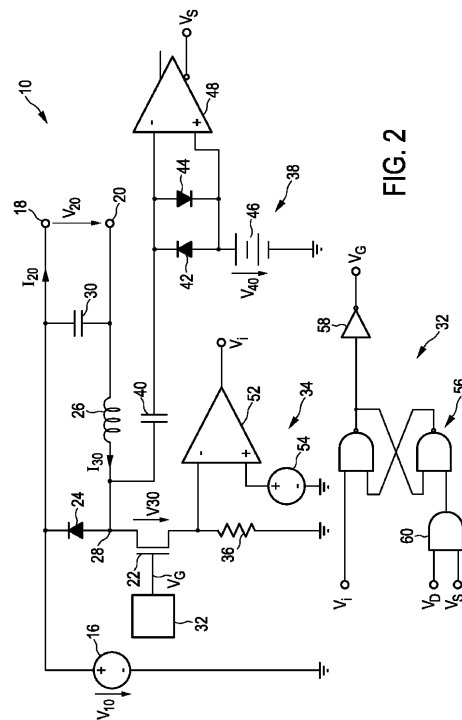
添付請求項における如何なる符号も、この範囲を制限するものとしてみなしてはならない。

10

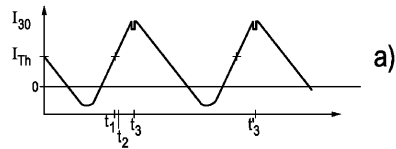
【圖 1】



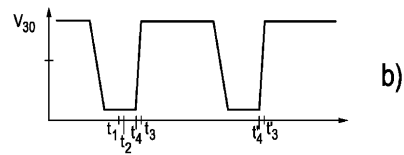
【圖 2】



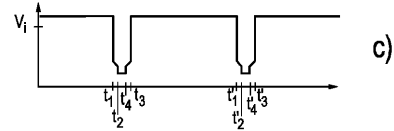
【図 3 a)】



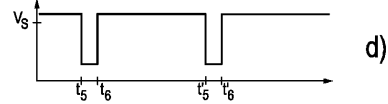
【図 3 b)】



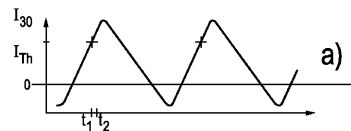
【図 3 c)】



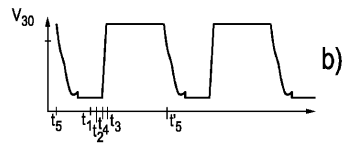
【図 3 d)】



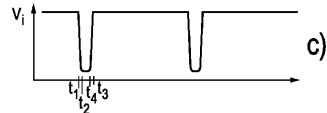
【図 5 a)】



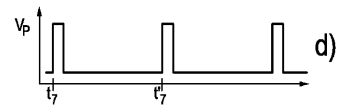
【図 5 b)】



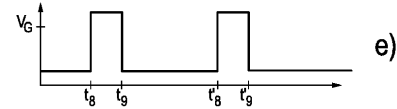
【図 5 c)】



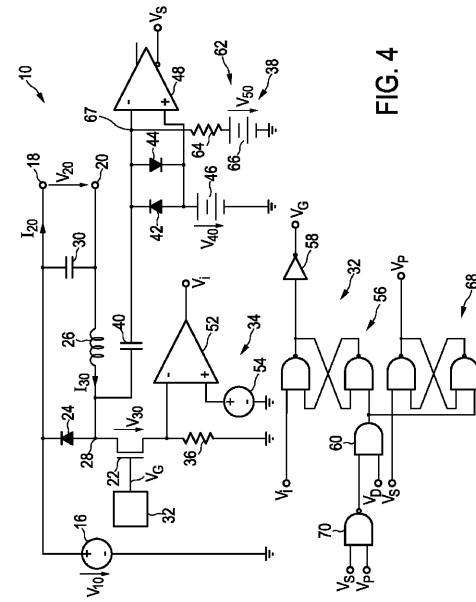
【図 5 d)】



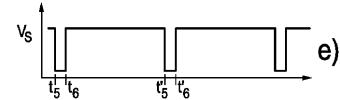
【図 3 e)】



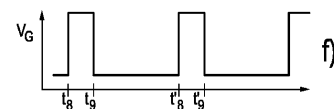
【図 4】



【図 5 e)】



【図 5 f)】



フロントページの続き

- (72)発明者 ブランケン ピーテル ヘリット
オランダ国 5 6 5 6 ア - エ - アイントホーフェン ハイ テク キャンパス 5
- (72)発明者 エルフェリッヒ ラインホルト
オランダ国 5 6 5 6 ア - エ - アイントホーフェン ハイ テク キャンパス 5

審査官 麻生 哲朗

- (56)参考文献 特開 2 0 1 3 - 2 1 7 5 8 (J P , A)
特開 2 0 0 2 - 2 4 7 8 5 6 (J P , A)
米国特許出願公開第 2 0 0 6 / 0 1 5 8 1 6 8 (U S , A 1)

- (58)調査した分野(Int.Cl. , D B 名)
H 0 2 M 3 / 1 5 5