

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-158105
(P2007-158105A)

(43) 公開日 平成19年6月21日(2007.6.21)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8236 (2006.01)	HO 1 L 27/08 3 1 1 A	4 M 1 1 8
HO 1 L 27/088 (2006.01)	HO 1 L 27/14 A	5 F O 4 8
HO 1 L 27/146 (2006.01)		

審査請求 未請求 請求項の数 12 O L (全 18 頁)

(21) 出願番号	特願2005-352396 (P2005-352396)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成17年12月6日 (2005.12.6)	(74) 代理人	110000040 特許業務法人池内・佐藤アンドパートナーズ
		(72) 発明者	瀬戸 千夏 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	内田 幹也 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	金崎 恵美 大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

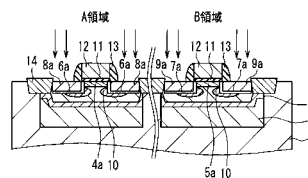
(54) 【発明の名称】 集積回路およびその製造方法

(57) 【要約】

【課題】 しきい値、変調度のばらつきが小さく、かつ変調度大きい、少なくとも一方の導電型のトランジスタにおいて、しきい値が異なるトランジスタを有する、エンハンスメント型とディプレッション型の両方のMOSトランジスタを有する集積回路、集積回路を備えた固体撮像装置、及びそれらの製造方法を提供する。

【解決手段】 第1導電型の半導体基板1と、半導体基板に形成され、ゲート電極12の下にチャネル領域を有するエンハンスメント型MOSトランジスタおよびディプレッション型MOSトランジスタとを備え、ディプレッション型MOSトランジスタの少なくとも1つには、ゲート電極側のチャネル領域に、半導体基板と同じ濃度の第1導電型の不純物、および逆導電型となる第2導電型の不純物を有する注入領域5aが形成され、注入領域の第2導電型の不純物濃度は、第1導電型の不純物濃度より高い。

【選択図】 図1 I



【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体基板と、

前記半導体基板に形成され、ゲート電極の下にチャンネル領域を有するエンハンスメント型 MOS トランジスタおよびディプレッション型 MOS トランジスタとを備え、

前記ディプレッション型 MOS トランジスタの少なくとも 1 つには、前記ゲート電極側の前記チャンネル領域に、前記半導体基板と同じ濃度の第 1 導電型の不純物、および逆導電型となる第 2 導電型の不純物を有する注入領域が形成され、

前記注入領域の第 2 導電型の不純物濃度は、前記第 1 導電型の不純物濃度より高いことを特徴とする集積回路。

10

【請求項 2】

前記チャンネル領域内に、前記注入領域の下に形成された第 1 導電型のポケット注入領域を有し、

前記第 2 導電型の不純物は、前記ポケット注入領域よりも浅く注入されたことを特徴とする請求項 1 記載の集積回路。

【請求項 3】

前記チャンネル領域に注入された第 2 導電型不純物は、リンである請求項 2 記載の集積回路。

【請求項 4】

前記チャンネル領域に注入された第 2 導電型不純物は、砒素である請求項 2 記載の集積回路。

20

【請求項 5】

第 1 導電型の半導体基板と、

前記半導体基板に形成され、ゲート電極の下にチャンネル領域を有するエンハンスメント型 MOS トランジスタおよびディプレッション型 MOS トランジスタとを備え、

前記ディプレッション型 MOS トランジスタの少なくとも 1 つは、前記チャンネル領域が、前記半導体基板より不純物濃度が高い前記第 1 導電型の不純物、および前記第 1 導電型不純物より濃度が高く、前記第 1 導電型と逆導電型となる第 2 導電型の不純物を有する注入領域と、

前記注入領域の下に形成された第 1 導電型のポケット注入領域とを有し、

前記第 2 導電型の不純物は、前記ポケット注入領域よりも浅く注入されたことを特徴とする集積回路。

30

【請求項 6】

前記第 1 導電型の不純物がボロンであり、前記第 2 導電型の不純物が砒素である請求項 5 記載の集積回路。

【請求項 7】

前記複数のディプレッション型 MOS トランジスタには、他としい値が異なるディプレッション型 MOS トランジスタがある請求項 1 ~ 6 のいずれか 1 項に記載の集積回路。

【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載の集積回路を備えた固体撮像装置。

40

【請求項 9】

第 1 導電型の半導体基板に形成されたエンハンスメント型 MOS トランジスタおよびディプレッション型 MOS トランジスタとを備えた集積回路の製造方法において、

前記ディプレッション型 MOS トランジスタの少なくとも 1 つは、

前記半導体基板の表面に、前記第 1 導電型不純物と逆導電型の不純物である第 2 導電型の不純物を注入し、前記第 2 導電型として機能する注入領域を形成し、

前記注入領域上にゲート電極を形成し、

前記ゲート電極をマスクとして、前記半導体基板に第 2 導電型の不純物を注入して、ドレイン、ソース領域を形成することを特徴とする集積回路の製造方法。

【請求項 10】

50

前記ゲート電極を形成した後に、

前記ゲート電極をマスクとして、前記注入領域の下に、第1導電型の不純物を注入しポケット領域を形成する請求項9記載の集積回路の製造方法。

【請求項11】

第1導電型の半導体基板と、前記半導体基板に形成されたエンハンスメント型MOSトランジスタおよびディプレッション型MOSトランジスタとを備えた集積回路の製造方法において、

前記ディプレッション型MOSトランジスタの少なくとも1つは、

前記半導体基板の表面に、第1導電型の不純物を注入し、

前記第1導電型の不純物が注入された半導体基板の表面に、前記第1導電型の不純物より重く、第1導電型と逆導電型である第2導電型半導体として機能する量の第2導電型の不純物を注入して注入領域を形成し、

前記注入領域上の一部にゲート電極を形成し、

前記ゲート電極をマスクとして、前記注入領域の下に、第1導電型の不純物を注入しポケット領域を形成し、

前記ゲート電極をマスクとして、上に前記ゲート電極が形成されていない前記注入領域に第2導電型の不純物を注入し、ドレイン、ソース領域を形成することを特徴とする集積回路の製造方法。

【請求項12】

請求項9～11のいずれか一項に記載の集積回路の製造方法を用いる固体撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路に関するもので、特にしきい値の異なる複数のディプレッション型MOSトランジスタを備えた集積回路およびその製造方法に関する。

【背景技術】

【0002】

図7は、一般的な固体撮像装置の一部を示す回路図である。フォトダイオード103、転送ゲート104、リセットトランジスタ105および増幅トランジスタ106によって構成される感光セル101が、マトリクス状に配列されている。感光セル101には、トランジスタ111、113とキャパシタ112、114で構成される雑音抑圧回路102が接続されている。雑音抑圧回路102は、水平ドライバ回路122により制御される水平トランジスタ121を介して、水平信号線124と接続されている。

【0003】

上記回路は画素の代表的な回路であり、リセットトランジスタ105や、水平トランジスタ121、また電源電圧に対するトランジスタ113、123のような電位リセット、電位伝達などの用途に、しきい値の異なるMOSトランジスタが使われる。これらは一般に、しきい値が負の値をもつディプレッション型トランジスタが用いられる。

【0004】

このようなディプレッション型トランジスタは、従来から、エンハンスメント型トランジスタのチャネル領域に、ドーパされた不純物と逆導電型の不純物を導入することによって形成される。

【0005】

また、複数のトランジスタに対して、第2導電型である基板と逆の導電型(第1導電型)の不純物をチャネルに導入して、しきい値を制御する方法がある(例えば特許文献1参照)。しきい値が異なる複数のMOSトランジスタから構成されるCMOS半導体装置において、まず基板上に第2導電型のウェル領域と第1導電型のウェル領域を形成する。次に、第1導電型のウェル領域の表面領域にイオン注入工程により、しきい値制御のための第1導電型不純物層を形成する。次に、第1導電型不純物層が形成されたウェル領域、お

10

20

30

40

50

よび第1導電型不純物層が形成されていないウェル領域の少なくとも1つに、その表面領域に、イオン注入工程により形成されたしきい値制御のための第2導電型不純物層を形成する。この製造方法により、しきい値の種類よりも少ないイオン注入数で、トランジスタを形成することができる。

【0006】

また、砒素を用いてディプレッション型トランジスタのしきい値を制御する方法がある（例えば特許文献2参照）。これによれば、砒素の注入量を変化させることによりしきい値を制御し、リソグラフィやドライエッチングなどの加工精度、LOCOS法等によるフィールド酸化膜の侵入、およびチャネルストッパーの侵入等の影響をほとんど受けない、極めて高精度のトランジスタを得ることができる。

10

【0007】

図8A～8Gは、従来のディプレッション型NMOSトランジスタを備えた半導体装置の製造方法の一例を示す断面図である。A領域には図7の増幅トランジスタ106に代表されるNチャネルエンハンスメント型トランジスタが形成され、B領域には図7のリセットトランジスタ105に代表されるディプレッション型トランジスタが形成される。

【0008】

まず、図8Aに示すように、シリコン基板131内に素子分離領域144を選択的に形成する。次に、図8Bに示すように、レジスト151をマスクとして、p型不純物を注入し、シリコン基板131上にpウェル領域132を形成する。次に、同じマスク（レジスト151）を用いて、同様にp型不純物を注入し、チャネルストップ層133を形成する。次に、同じマスク（レジスト151）を用いて、さらにp型不純物の注入を行い、p型不純物層161、162を形成し、レジスト151を除去する。

20

【0009】

次に、図8Cに示すように、A領域を覆い、B領域に開口を有するレジスト154をパターン形成する。そして、レジスト154をマスクとして、B領域のp型不純物層162に、p型と逆導電型のn型不純物を注入して、n型不純物層163を形成するとともに、ディプレッション型トランジスタのしきい値を決定する。次に、図8Dに示すように、レジスト154を除去し、酸化膜156とポリシリコン157を形成する。次に、レジスト158をパターン形成する。

【0010】

次に、レジスト158をマスクとして、ポリシリコン157および酸化膜156をドライエッチングし、レジスト158を除去することにより、図8Eに示すように、ゲート電極142およびゲート酸化膜141を規定する。次に、n型不純物を注入することによりLDD（Lightly Doped Drain）領域136、137を形成し、注入領域134、135を規定する。次に図8Fに示すように、ゲート電極142の側面に、ゲート側壁絶縁膜（サイドウォール絶縁膜）143を形成する。

30

【0011】

次に、図8Gに示すように、ゲート電極142とゲート側壁絶縁膜143をマスクとして、n型不純物を注入することにより、LDD領域136、137内にソース/ドレイン領域139、140を形成する。

40

【0012】

このようにして、同一基板上に、異なるしきい値を有するMOSトランジスタを複数、形成することができる。

【0013】

また、固体撮像装置の特性向上のために、ディプレッション型トランジスタのチャネル領域における表面ポテンシャルの、ゲート電圧に対する変動率を大きくし、フローティングディフュージョン107のダイナミックレンジを大きくすることが必要となっている。ダイナミックレンジは少しでも大きい方がよい。フローティングディフュージョン107において、ダイナミックレンジは、リセットトランジスタOFF時の信号とON時の信号との比率のことである。

50

【0014】

ここで、ディプレッション型トランジスタのチャンネル領域における表面ポテンシャルの、ゲート電圧に対するポテンシャルの変動率を、“変調度”と定義する。変調度は、ディプレッション型トランジスタの能力を表す指標の1つである。図9は、MOSトランジスタの空乏化を示すバンド図である。ゲート電圧に対する表面ポテンシャル s は、ゲート電圧 V_G がゲート酸化膜厚容量 C_{ox} と空乏層容量 C_{dep} によって分圧され、

$$s = [C_{ox} / (C_{ox} + C_{dep})] \times V_G$$

と表される。ゲート電圧 V_G の変動量 ΔV_G に対する表面ポテンシャル s の変動量 Δs が変調度あるので、

$$\text{変調度} = \Delta s / \Delta V_G = C_{ox} / (C_{ox} + C_{dep}) \cdots (\text{式1})$$

となる。表面ポテンシャルをゲート電圧のとおりに変動させることができれば、変調度は1となる。

【0015】

図10は、例えば図7に示すリセットトランジスタ105として、ディプレッション型トランジスタを用いた際のソース、ゲート、ドレインの導通時(ON)と遮断時(OFF)における内部ポテンシャルを示す図である。図10(a)は変調度が大きい場合、(b)は変調度が小さい場合を示す。

【0016】

図10に示すように、ゲート電圧に対するゲート直下の表面ポテンシャルの変化量を s_1 、 s_2 とする。図10の(a)、(b)に示すように、ゲートに同じ電圧($V_G = V_{ON}$)を印加したときに生じる s_1 と s_2 の差は、変調度の差によるものである。変調度が大きければ、表面ポテンシャルの変化量も大きく、導通時にゲート直下の表面ポテンシャルをリセット電位以下とすることが可能である。この場合、図10(a)に示すように、遮断時においてソース領域に一時的に蓄積されていた信号電荷151は、ほとんどすべてがドレイン領域に排出されてソース領域に残る信号電荷は少なくなる。

【0017】

これに対して、変調度が小さければ、表面ポテンシャルの変化量 s が小さい。そのため、図10(b)に示すように、ゲート直下の表面ポテンシャルがリセット電位より高くなり、信号電荷151のうちゲート直下の表面ポテンシャルを越えることができない残存信号電荷152が生じる。

【特許文献1】特開2000-323587号公報

【特許文献2】特開昭60-134468号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

集積回路の低電圧化、小型化に伴い、トランジスタの微細化が進むと、エンハンスメント型トランジスタのチャンネル領域(特に注入領域)において、ショートチャンネル効果によるパンチスルーが生じ、リーク電流が顕著になるという問題が発生する。この問題に対して、ソース、ドレインに接したポケット拡散層を形成することにより、リーク電流の抑制を図っている。一方、すでに図7で説明したようにトランジスタ105、121、123などは、ディプレッション型MOSトランジスタであるが、回路中において通常のスイッチングトランジスタとして機能するために、オフ状態が存在する。そのため、ディプレッション型MOSであっても、ショートチャンネル効果によるパンチスルーリーク電流が発生しないように、形成されなければならない。

【0019】

しかし、上記従来のディプレッション型トランジスタは、単に半導体基板の導電型と逆導電型の不純物を注入することによって、LDD領域とソース/ドレイン領域を形成するような簡易な方法で形成され、パンチスルーリーク電流を防止する構成ではない。そのため、この構成を微細化し、注入領域のソース-ドレイン間長さが短くなると、パンチスルーリーク電流が生じやすい。

10

20

30

40

50

【0020】

また、上記従来のディプレッション型トランジスタは、変調度とそのばらつきを制御することが困難であり、さらにゲート寸法の微細化により、しきい値のばらつきが大きくなるという問題も発生する。

【0021】

しきい値のばらつきは、注入領域に、第1導電型不純物と第2導電型不純物を同時に導入する形成方法に原因がある。第1導電型不純物と第2導電型不純物を1:1で注入したとしても、完全に打ち消し合うわけではない。つまり、打ち消された不活性な第1導電型不純物と、打ち消した不活性な第2導電型不純物、また、打ち消され損なった第1導電型不純物と、しきい値を制御する活性な第2導電型不純物とが、ひとつの注入領域に同居している状態になる。活性状態の第1導電型不純物と第2導電型不純物は、プロセス工程中の熱処理や寸法のばらつきにより大きくばらつく。このばらつきは、ゲート寸法の微細化に伴い、さらに顕著になってきている。

10

【0022】

また、式1より、変調度は表面近傍の空乏層幅に依存することが判る。空乏層幅を大きくすると、空乏層容量 C_{dep} は小さくなり、変調度は大きくなる。つまり、空乏層幅を大きくすることによって、変調度は大きくなる。ところが、従来の注入領域形成方法では、第1導電型不純物が注入された注入領域に、第2導電型不純物をうち返すことから、半導体表面近傍に濃いpn接合が形成され、空乏層幅が小さくなる。従って、変調度を大きくすることが困難である。さらに、上記しきい値のばらつきと同じ理由で、変調度のばら

20

【0023】

特許文献1には、製造コストに対する課題解決方法が示されているが、これらばらつきに対する記述はなく、上記問題の解決は困難である。また、特許文献2に記載の構造では、微細化が進むことによって顕著となった上記問題の解決は困難である。

【0024】

本発明の目的は、変調度が大きく、かつしきい値および変調度のばらつきが小さいトランジスタにおいて、エンハンスメント型とディプレッション型の両方のMOSトランジスタを有する集積回路、集積回路を備えた固体撮像装置、及びそれらの製造方法を提供することである。

30

【課題を解決するための手段】

【0025】

上記目的を達成するために、本発明の第1の集積回路は、第1導電型の半導体基板と、前記半導体基板に形成され、ゲート電極の下にチャンネル領域を有するエンハンスメント型MOSトランジスタおよびディプレッション型MOSトランジスタとを備え、前記ディプレッション型MOSトランジスタの少なくとも1つには、前記ゲート電極側の前記チャンネル領域に、前記半導体基板と同じ濃度の第1導電型の不純物、および逆導電型となる第2導電型の不純物を有する注入領域が形成され、前記注入領域の第2導電型の不純物濃度は、前記第1導電型の不純物濃度より高いことを特徴とする。

【0026】

上記目的を達成するために、本発明の第2の集積回路は、第1導電型の半導体基板と、前記半導体基板に形成され、ゲート電極の下にチャンネル領域を有するエンハンスメント型MOSトランジスタおよびディプレッション型MOSトランジスタとを備え、前記ディプレッション型MOSトランジスタの少なくとも1つは、前記チャンネル領域が、前記半導体基板より不純物濃度が高い前記第1導電型の不純物、および前記第1導電型不純物より濃度が高く、前記第1導電型と逆導電型となる第2導電型の不純物を有する注入領域と、前記注入領域の下に形成された第1導電型のポケット注入領域とを有し、前記第2導電型の不純物は、前記ポケット注入領域よりも浅く注入されたことを特徴とする。

40

【0027】

本発明の固体撮像装置は、上記第1または第2の集積回路を備える。

50

【0028】

上記目的を達成するために、本発明の第1の集積回路の製造方法は、第1導電型の半導体基板に形成されたエンハンスメント型MOSトランジスタおよびディプレッション型MOSトランジスタとを備えた集積回路の製造方法において、前記ディプレッション型MOSトランジスタの少なくとも1つは、前記半導体基板の表面に、前記第1導電型不純物と逆導電型の不純物である第2導電型の不純物を注入し、前記第2導電型として機能する注入領域を形成し、前記注入領域上にゲート電極を形成し、前記ゲート電極をマスクとして、前記半導体基板に第2導電型の不純物を注入して、ドレイン、ソース領域を形成することを特徴とする。

【0029】

上記目的を達成するために、本発明の第2の集積回路の製造方法は、第1導電型の半導体基板と、前記半導体基板に形成されたエンハンスメント型MOSトランジスタおよびディプレッション型MOSトランジスタとを備えた集積回路の製造方法において、前記ディプレッション型MOSトランジスタの少なくとも1つは、前記半導体基板の表面に、第1導電型の不純物を注入し、前記第1導電型の不純物が注入された半導体基板の表面に、前記第1導電型の不純物より重く、第1導電型と逆導電型である第2導電型半導体として機能する量の第2導電型の不純物を注入して注入領域を形成し、前記注入領域上の一部にゲート電極を形成し、前記ゲート電極をマスクとして、前記注入領域の下に、第1導電型の不純物を注入しポケット領域を形成し、前記ゲート電極をマスクとして、上に前記ゲート電極が形成されていない前記注入領域に第2導電型の不純物を注入し、ドレイン、ソース領域を形成することを特徴とする。

【0030】

上記目的を達成するために、本発明固体撮像装置の製造方法は、上記の集積回路の製造方法を用いることを特徴とする。

【発明の効果】

【0031】

本発明によれば、しきい値、変調度のばらつきが小さく、かつ変調度が大きい、少なくとも一方の導電型のトランジスタが複数のしきい値を有し、エンハンスメント型とディプレッション型の両方のMOSトランジスタを有する集積回路、集積回路を備えた固体撮像装置、及びそれらの製造方法を提供することができる。

【発明を実施するための最良の形態】

【0032】

MOSトランジスタのしきい値のばらつきは、チャンネルの注入領域に、第1導電型不純物と第2導電型不純物を同時に導入する形成方法に原因がある。第1導電型不純物と第2導電型不純物を1:1で注入したとしても、完全に打ち消し合うわけではない。つまり、打ち消された不活性な第1導電型不純物と、打ち消した不活性な第2導電型不純物、また、打ち消され損なった第1導電型不純物と、しきい値を制御する活性な第2導電型不純物とが、ひとつの注入領域に同居している状態になる。活性状態の第1導電型不純物と第2導電型不純物は、プロセス工程中の熱処理や寸法のばらつきにより大きくばらつく。

【0033】

本発明の第1の集積回路は、チャンネル領域には、第1導電型不純物層と本来しきい値を制御すべき活性な第2導電型不純物層がひとつのトランジスタに同居することは無いため、しきい値ばらつきを小さくすることができる。

【0034】

空乏層幅は次の式で表される。

【0035】

$$W = [2 \cdot \epsilon_s \{ (N_A + N_D) / N_A N_D \} V_{bi}]^{1/2}$$

$$V_{bi} = k T \ln (N_A N_D / n_i^2)$$

ここで ϵ_s : 半導体基板の誘電率、 N_A : アクセプタ (P型) 不純物濃度、 N_D : ドナー (N型) 不純物濃度、 n_i : 真性半導体のキャリア濃度である。

10

20

30

40

50

【0036】

上記式より、従来のようなチャンネル領域に比較的濃度の高い大きい N_A を導入してからさらに比較的濃度の高い大きい N_D で N_A を打ち消してしきい値電圧を制御するよりも、本発明のように、濃度の小さい N_A を有するウェルや基板に濃度の小さい N_D を導入して N_A を打ち消し、しきい値電圧を制御する方が空乏層幅 W は大きくなる。本発明の第1の集積回路は、第1導電型不純物層と本来しきい値を制御するべき活性な第2導電型不純物層がひとつのトランジスタに同居することは無く、従来チャンネルよりも不純物濃度を小さくすることができるため、より空乏層を大きくすることができ、変調度を大きくすることができる。

【0037】

また、前記チャンネル領域内に、パンチスルーを抑制するために前記注入領域の下に形成された第1導電型のポケット注入領域を有し、前記第2導電型の不純物は、前記ポケット注入領域よりも浅く注入された構成にすることもできる。

10

【0038】

また、前記チャンネル領域に注入された第2導電型不純物は、リンである構成にすることもできる。

【0039】

また、前記チャンネル領域に注入された第2導電型不純物は、砒素である構成にすることもできる。

【0040】

本発明の第2の集積回路は、注入領域に第1導電型不純物と第2導電型不純物を有するので、打ち消された不活性な第1導電型不純物と、打ち消した不活性な第2導電型不純物、また、打ち消され損なった第1導電型不純物と、本来しきい値を制御するべき活性な第2導電型不純物が同居する。しかし、第2導電型不純物に第1導電型不純物より重いイオン種を使うことにより、注入における R_p (飛距離)の拡がり小さく、また、熱処理による拡散係数も小さいので、よりばらつきを低減することができる。また、 $p-n$ 接合の位置が浅くなり、ゲート電極と空乏層の間の距離が短くなり、寄生抵抗による電圧効果の影響が低減できるので、変調度が大きくなる。

20

【0041】

また、前記第1導電型の不純物がボロンであり、前記第2導電型の不純物が砒素である構成にすることが好ましい。

30

【0042】

また、前記複数のディプレッション型MOSトランジスタには、他としきい値が異なるディプレッション型MOSトランジスタがある構成にすることもできる。

【0043】

本発明の第1の集積回路の製造方法は、チャンネル領域に第1導電型不純物をウェル形成以外に注入することはない。従って、ゲート電圧のしきい値ばらつきを低減することができる。

【0044】

また、前記ゲート電極を形成した後に、前記ゲート電極をマスクとして、前記チャンネル領域の下に、第1導電型の不純物を注入しポケット領域を形成してもよい。

40

【0045】

本発明の第2の集積回路の製造方法は、チャンネル領域に注入する第2導電型不純物を第1導電型不純物を重いイオン種を用いる。従って、第2導電型不純物を浅く注入することができ、寄生抵抗による電圧効果の影響が低減できるため、変調度を大きくすることができる。また、第2導電型不純物が重いイオン種であるため、拡散しにくく、ゲート電圧のしきい値ばらつきおよび変調度のばらつきを抑えることができる。

【0046】

また、前記ゲート電極を形成した後に、前記ゲート電極をマスクとして、前記注入領域の下に、第1導電型の不純物を注入しポケット領域を形成することもできる。

50

【0047】

以下、本発明の固体撮像装置における集積回路（トランジスタ）の実施の形態について、図面を用いて説明する。

【0048】

（実施の形態1）

まず、本発明の実施の形態1に係る集積回路の構造について説明する。本実施の形態における集積回路は、エンハンスメント型とディプレッション型の、しきい値が異なる複数のトランジスタをそれぞれ有するアナログ/デジタル混載回路である。

【0049】

図1Iは、本実施の形態に係る集積回路の断面図である。A領域は、Nチャンネルエンハンスメント型トランジスタが形成される領域であり、B領域は、ディプレッション型トランジスタが形成される領域である。

10

【0050】

シリコン基板1に素子分離領域14が形成され、素子分離領域14に囲まれた領域にpウェル領域2が形成されている。pウェル領域2には、チャンネルストップ領域3が形成されている。素子分離領域14に囲まれたpウェル領域2の表面に注入領域4a、5aが形成され、注入領域4a、5aの両側にLDD（Lightly Doped Drain）領域6a、7aが形成されている。LDD領域6a、7aには、ソース/ドレイン領域8a、9aが形成され、注入領域4a、5aの下に、LDD領域6a、7aに接してポケット注入領域10が形成されている。

20

【0051】

注入領域4a、5a上にゲート酸化膜11を介してゲート電極12が形成されている。ゲート電極12の下の注入領域4a、5aおよびポケット注入領域10が形成されている領域がチャンネル領域である。ゲート電極12の側面にゲート側壁絶縁膜（サイドウォール絶縁膜）13が形成されている。

【0052】

次に、上記集積回路の製造方法について説明する。図1A～1Iは、本実施の形態に係る集積回路の製造工程断面図である。

【0053】

まず、図1Aに示すように、シリコン基板1内に素子分離領域14を選択的に形成する。次に、図1Bに示すように、レジスト21をパターン形成し、レジスト21をマスクとして、シリコン基板1にp型不純物（第1導電型不純物）を注入してpウェル領域2を形成する。次に、同じマスク（レジスト21）を用いて、再びp型不純物を注入してpウェル領域2内にチャンネルストップ領域3を形成し、レジスト21を除去する。次に図1Cに示すように、B領域を覆い、A領域に開口を有するレジスト22をパターン形成する。次に、レジスト22をマスクとして、表面領域にp型不純物を注入し、p型不純物層23を形成してNチャンネルトランジスタのしきい値を決定する。その後、レジスト22を除去する。

30

【0054】

次に、図1Dに示すように、A領域を覆い、B領域に開口を有するレジスト24をパターン形成する。レジスト24をマスクとして、B領域にn型不純物（第2導電型不純物）を注入してn型不純物層25を形成し、ディプレッション型トランジスタのしきい値を制御する。その後、レジスト24を除去する。

40

【0055】

次に、図1Eに示すように、基板表面に酸化膜26を形成し、酸化膜26上にポリシリコン27を堆積する。次に、ポリシリコン27上にレジスト28をパターン形成する。次に、レジスト28をマスクとして、図1Fに示すように、ドライエッチングにより、ゲート電極12およびゲート酸化膜11を規定する。次に、ゲート電極12および素子分離領域14をマスクとして、p型不純物を注入することにより、注入領域29を形成する。さらに、図1Gに示すように、n型不純物を注入することにより、LDD領域6a、7aを

50

形成し、ポケット注入領域 10、注入領域 4a、5aを規定する。ここで、n型不純物をポケット注入領域 10（図 1 I 参照）が形成される領域より浅く注入する。注入された n 型不純物の濃度と p 型不純物の濃度が一致する深さが、ポケット注入領域 10 内にあると、パンチスルーを生じ易くなるためである。

【0056】

次に、図 1 H に示すように、ゲート電極 12 の側面に、ゲート側壁絶縁膜（サイドウォール絶縁膜）13 を形成する。次に、図 1 I に示すように、ゲート電極 12、ゲート側壁絶縁膜 13 および素子分離領域 14 をマスクとして、n 型不純物を注入することにより、LDD 領域 6a、7a にソース/ドレイン領域 8a、9a を形成する。

【0057】

このようにして、Nチャネルエンハンスメント型トランジスタとディプレッション型トランジスタが同一基板に形成される。

【0058】

以上のような製造方法により、しきい値ばらつきが低減したトランジスタを有する集積回路を製造することができる。また、空乏層幅を大きくすることができ、そのため変調度を広くすることができる。

【0059】

なお、図 1 C または 1 D において注入する p 型不純物または n 型不純物の濃度を変えることにより、しきい値の異なるトランジスタを形成することができる。

【0060】

図 2 は、トランジスタの空乏層を示すシミュレーション結果を示す図である。注入領域 5a の n 型不純物として、図 2 (a) はボロンが注入された領域にリンをうち返して形成された従来例のトランジスタ、図 2 (b) は本実施の形態におけるトランジスタを示す。

【0061】

このシミュレーションでは、ディプレッション型トランジスタのしきい値電圧が $V_t = -1.00V$ になるように、ドーズ量を合わせている。注入条件は、(a) 従来例のトランジスタでは、注入エネルギーが $35keV$ であり、(b) 本実施の形態に係るトランジスタでは、注入エネルギーが $25keV$ である。

【0062】

図 2 の (a) と (b) を比較すると、(b) の方が (a) より、空乏層がわずかに広がっている。従って、本実施の形態に係るトランジスタの変調度が、従来例のトランジスタに比べて大きくなっていることが判る。

【0063】

また、図 3 は、従来および本実施の形態におけるディプレッション型トランジスタの変調度、および変調度のばらつきを示す実験結果である。図 3 の横軸がチャンネル領域に注入する不純物の注入エネルギーを示し、縦軸が左側に変調度、右側に変調度のばらつきを示す。図 3 の は本実施の形態における変調度、 は従来例の変調度を示し、 は本実施の形態における変調度のばらつき、 は従来例の変調度のばらつきを示す。なお、変調度のばらつきを示す軸は任意の値で示している。リンの注入エネルギーが小さくなると変調度は変化しないが、ばらつきが小さくなる。ここでいうばらつきは標準偏差である。

【0064】

本実験では、ディプレッション型トランジスタの閾値電圧が $V_t = -1.21V$ になるように、ドーズ量を決めている。注入条件は、(a) 従来例のトランジスタでは、注入エネルギー $35keV$ であり、(b) 本実施の形態に係るトランジスタでは、注入エネルギー $25keV$ または $30keV$ である。

【0065】

図 3 は、本実施の形態に係るディプレッション型トランジスタを 2 つのサンプルについて測定した結果であり、変調度については 2 つのサンプルのメジアンを、ばらつきについては 2 つのサンプルの平均値を破線で示す。図 3 より、変調度は、本実施の形態に係るトランジスタで 0.75 （注入エネルギー $25eV$ ）であり、従来例のトランジスタが $0.$

10

20

30

40

50

5 (注入エネルギー 35 eV) であるから約 1.5 倍に向上したことになる。また、ばらつきは、本実施の形態に係るトランジスタで 0.58 (注入エネルギー 25 eV) であり、従来例のトランジスタが 0.84 (注入エネルギー 35 eV) であるから約 0.69 倍に抑えたことになる。

【0066】

上記トランジスタは、変調度が大きく、ばらつきが少ないことから、このトランジスタを備えた固体撮像素子は、フローティングディフュージョンのダイナミックレンジを大きくすることができる。

【0067】

また、変調度のばらつきを抑えることができるため、しきい値のばらつきも抑えることができる。また、このトランジスタを用いることで、小型化、高集積化された固体撮像装置を形成することができる。

10

【0068】

なお、本実施の形態に係る集積回路のディプレッション型トランジスタのチャネル領域に不純物としてリンを用いたが、砒素を用いることもできる。

【0069】

(実施の形態 2)

本発明の実施の形態 2 に係る集積回路は、注入領域にドーピングする不純物を従来のトランジスタに比べて、重い不純物を用いることにより、拡散を抑え、変調度を改善し、変調度のばらつきを抑える。

20

【0070】

まず、本実施の形態に係る集積回路の構造について説明する。図 4H は、本実施の形態に係る集積回路の断面図であり、実施の形態 1 で示したディプレッション型トランジスタの注入領域 5a が p 型不純物、n 型不純物を含む注入領域 5b に置き換わっている。また、p 型不純物としてボロン、n 型不純物としてリンより重い砒素を用いる。

【0071】

なお、本実施の形態に係る集積回路は、複数のしきい値を有するディプレッション型 NMOS トランジスタを有し、少なくともその一つのトランジスタのしきい値は、p 型不純物と、n 型不純物の両方の注入量により制御されることを特徴とする。

【0072】

本実施の形態に係る集積回路の構成は、第 1 の実施の形態に係る集積回路と同様であり、注入領域 4b、5b、LDD 領域 6b、7b およびソース/ドレイン領域 8b、9b の材料が異なる。その他の構成については、実施の形態 1 と同一の符号を付して構成の説明を省略する。

30

【0073】

次に、上記トランジスタの製造方法について説明する。図 4A ~ 4H は、本実施の形態に係る集積回路の工程断面図である。A 領域は、n チャネルエンハンスメント型トランジスタを示し、B 領域はディプレッション型トランジスタを示す。

【0074】

まず、図 4A に示すように、シリコン基板 1 内に、素子分離領域 14 を選択的に形成する。次に、図 4B に示すように、レジスト 21 をパターン形成する。レジスト 21 をマスクとして、シリコン基板 1 に p 型不純物 (第 1 導電型不純物) であるボロンを注入し、p ウェル領域 2 を形成する。次に、レジスト 21 をマスクとして用い、再びボロンを注入し、チャネルストップ領域 3 を形成する。次にレジスト 21 をマスクとして、さらにボロンの注入を行い、p 型不純物層 31、32 を形成し、n チャネルトランジスタのしきい値を決定する。その後、レジスト 21 を除去する。

40

【0075】

次に、図 4C に示すように、A 領域を覆い、B 領域に開口を有するレジスト 24 をパターン形成する。レジスト 24 をマスクとして、B 領域の p 型不純物層 32 に n 型不純物 (第 2 導電型不純物) である砒素を注入して不純物層 33 を形成し、ディプレッション型ト

50

ランジスタのしきい値を制御する。その後、レジスト 24 を除去する。

【0076】

次に、図 4 D に示すように、p ウェル領域 2 上に酸化膜 26 とポリシリコン 27 を堆積する。次に、ポリシリコン 27 上にレジスト 28 をパターン形成し、レジスト 28 をマスクとして、図 4 E に示すように、ドライエッチングにより、ゲート電極 12 およびゲート酸化膜 11 を規定する。次に、ゲート電極 12 および素子分離領域 14 をマスクとして p 型不純物を注入することによって、注入領域 29 を形成する。さらに、図 4 F に示すように、n 型不純物を注入することによって、注入領域 4 b、5 b およびポケット注入領域 10 を規定し、LDD 領域 6 b、7 b を形成する。

【0077】

ここで、LDD 領域 6 b、7 b を形成するための n 型不純物をポケット注入領域 10 が形成される領域より浅く注入する。ポケット注入領域 10 と LDD 領域 6 b、7 b の位置が概ね一致するような深さにすると、n 型不純物が p 型不純物を電氣的に相殺して p 型不純物の実効濃度が低下し、パンチスルーしやすくなるためである。

【0078】

次に、図 4 G に示すように、ゲート電極 12 の側面に、ゲート側壁絶縁膜(サイドウォール絶縁膜) 13 を形成し、図 4 H に示すように、ゲート電極 12、ゲート側壁絶縁膜 13 および素子分離領域 14 をマスクとして n 型不純物を注入することによって、ソース/ドレイン領域 8 b、9 b を形成する。

【0079】

以上のように本実施の形態に係る集積回路の製造方法を実施することにより、ランジスタのしきい値ばらつきを低減させることができる。また、空乏層幅を広くすることができる。

【0080】

図 5 は、p 型不純物としてボロン、n 型不純物として (a) はリンを用いた従来例のランジスタ、(b) は砒素を用いた本実施の形態におけるランジスタの空乏層を示すシミュレーション結果を示す図である。

【0081】

このシミュレーションでは、ディプレッション型ランジスタのしきい値電圧が $V_{t1} = -1.00V$ になるように、ドーズ量を合わせている。例えば注入条件は、(a) の従来例のランジスタでは、注入イオンがリンイオン、注入エネルギーが $35keV$ であり、(b) の本実施の形態に係るランジスタでは、注入イオンが砒素イオン、注入エネルギーが $90keV$ である。

【0082】

図 5 (a) と (b) を比較すると、(b) の方が、pn 接合の位置が浅くなっていることがわかる。つまり、砒素イオンを注入した場合は、結果的に不純物注入層が浅くなり不純物濃度が上昇する。従って、チャンネル領域の寄生抵抗が減少し、ゲート電圧がゲート電極直下のチャンネル領域に伝達されやすくなる。

【0083】

図 6 は、上記 n 型不純物としてリンを用いた場合、砒素を用いた場合のディプレッション型ランジスタにおいて、変調度およびそのばらつきの実験結果を示したグラフである。図 6 は、横軸が注入エネルギーを示し、縦軸が左側に変調度、右側に変調度のばらつきを示す。なお、変調度のばらつきを示す軸は、任意の値で示している。

【0084】

本実験では、ディプレッション型ランジスタのしきい値電圧が $V_{t1} = -1.60V$ になるように、ドーズ量を決めている。注入条件(実験条件)は、(a) 従来例のランジスタでは、注入イオンはリンイオン、注入エネルギーは $35keV$ であり、(b) 本実施の形態に係るランジスタでは、注入イオンは砒素イオン、注入エネルギーは $50keV \sim 130keV$ の間で変化させる。

【0085】

10

20

30

40

50

図6は、 Δ が本実施の形態におけるトランジスタの変調度、 Δ が従来例の変調度を示し、 σ が本実施の形態におけるトランジスタの変調度のばらつき、 σ が従来例の変調度のばらつきを示す実験結果である。注入エネルギーが大きくなると、変調度が大きくなり、ばらつきが小さくなる。ここでいうばらつきは、標準偏差である。

【0086】

図6より、本実施の形態に係るトランジスタは、測定したすべての注入エネルギーにおいて、従来例のトランジスタより変調度が大きく、ばらつきが小さい。特に、変調度は、本実施の形態に係るトランジスタで0.58(注入エネルギー50eVで最大)であり、従来のトランジスタが0.45(注入エネルギー35eV)であるから約1.29倍に向上したことになる。また、ばらつきは、本実施の形態に係るトランジスタで0.22(注入エネルギー50eVで最小)であり、従来のトランジスタが0.6(注入エネルギー35eV)であるから約0.37倍に抑えたことになる。

【0087】

つまり、変調度およびばらつきが、改善され、さらに変調度のばらつきの原因の解消により、しきい値のばらつきを抑制することができる。

【0088】

以上のような構成により、本実施の形態に係る集積回路のディプレッション型トランジスタは、pn接合の位置が浅いため、変調度が大きく、ばらつきが小さい。従って、しきい値のばらつきを低減することができる。

【0089】

さらに、固体撮像装置に上記変調度が大きいトランジスタを用いることにより、固体撮像装置のダイナミックレンジを大きくすることができる。

【産業上の利用可能性】

【0090】

本発明に係る固体撮像装置の製造方法は、エンハンスメント型とディプレッション型両方のMOSトランジスタから構成されるアナログ/デジタル混載回路の半導体装置、及びその製造方法において、しきい値ばらつきを小さく、ダイナミックレンジを大きく、また、ダイナミックレンジのばらつきを小さくするのに有益な方法である。

【図面の簡単な説明】

【0091】

【図1A】本発明の実施の形態1に係る集積回路の製造工程を示す断面図

【図1B】同上製造工程の次の工程を示す断面図

【図1C】同上製造工程の次の工程を示す断面図

【図1D】同上製造工程の次の工程を示す断面図

【図1E】同上製造工程の次の工程を示す断面図

【図1F】同上製造工程の次の工程を示す断面図

【図1G】同上製造工程の次の工程を示す断面図

【図1H】同上製造工程の次の工程を示す断面図

【図1I】同上集積回路の断面図

【図2】実施の形態1に係るトランジスタと従来例のトランジスタの空乏層を比較するシミュレーション結果を示す図

【図3】従来および本実施の形態におけるディプレッション型トランジスタの変調度、および変調度のばらつきを表わす実験結果を示すグラフ

【図4A】本発明の実施の形態2に係る集積回路の製造工程を示す断面図

【図4B】同上製造工程の次の工程を示す断面図

【図4C】同上製造工程の次の工程を示す断面図

【図4D】同上製造工程の次の工程を示す断面図

【図4E】同上製造工程の次の工程を示す断面図

【図4F】同上製造工程の次の工程を示す断面図

【図4G】同上製造工程の次の工程を示す断面図

10

20

30

40

50

- 【図 4 H】同上集積回路の断面図
- 【図 5】実施の形態 2 に係るトランジスタと従来のトランジスタの空乏層を比較するシミュレーション結果を示す図
- 【図 6】実施の形態 2 に係るトランジスタと従来のトランジスタの変調度を測定した実験結果を示すグラフ
- 【図 7】従来の固体撮像装置の感光セルおよび雑音制御回路を示す回路図
- 【図 8 A】従来の集積回路の製造工程を示す断面図
- 【図 8 B】同上製造工程の次の工程を示す断面図
- 【図 8 C】同上製造工程の次の工程を示す断面図
- 【図 8 D】同上製造工程の次の工程を示す断面図
- 【図 8 E】同上製造工程の次の工程を示す断面図
- 【図 8 F】同上製造工程の次の工程を示す断面図
- 【図 8 G】同上集積回路の断面図
- 【図 9】従来の MOS トランジスタの空乏化を示すバンド図
- 【図 10】従来のトランジスタのソース、ゲート、ドレインの導通時と遮断時におけるポテンシャルを示すエネルギー図

10

【符号の説明】

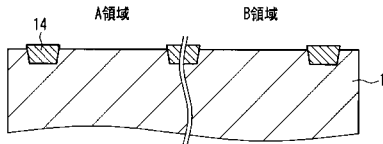
【 0 0 9 2 】

- 1 シリコン基板
- 2 p ウェル領域
- 3 チャネルストップ領域
- 4 a、4 b、5 a、5 b 注入領域
- 6 a、6 b、7 a、7 b LDD 領域
- 8 a、8 b、9 a、9 b ソース/ドレイン領域
- 10 ポケット注入領域
- 11 ゲート酸化膜
- 12 ゲート電極
- 13 サイドウォール絶縁膜
- 14 素子分離領域
- 21、22、24、28 レジスト
- 23、31、32 p 型不純物層
- 25 n 型不純物層
- 26 酸化膜
- 27 ポリシリコン
- 29 注入領域
- 33 不純物層

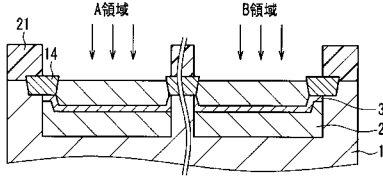
20

30

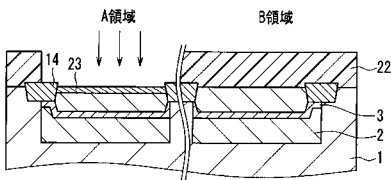
【図 1 A】



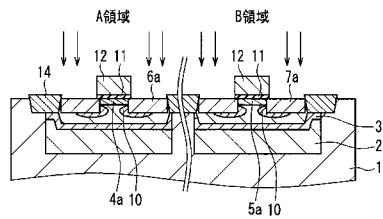
【図 1 B】



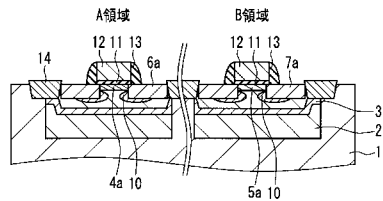
【図 1 C】



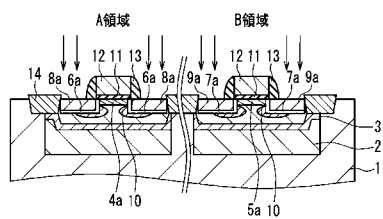
【図 1 G】



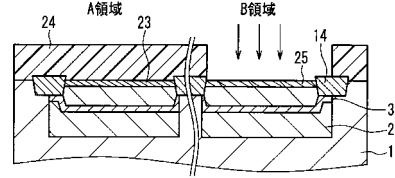
【図 1 H】



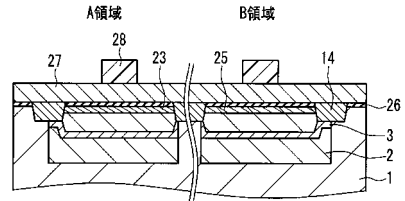
【図 1 I】



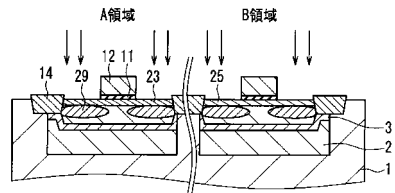
【図 1 D】



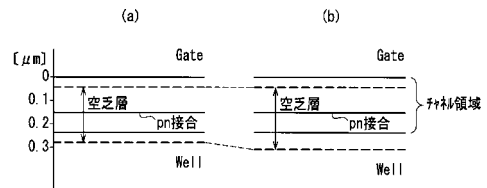
【図 1 E】



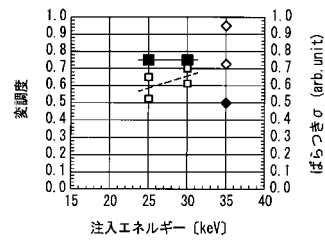
【図 1 F】



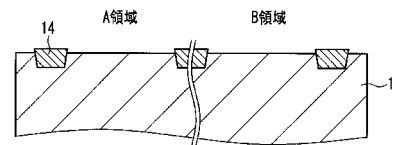
【図 2】



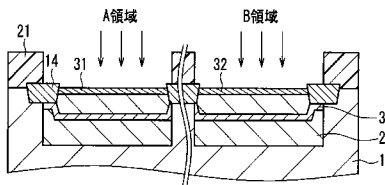
【図 3】



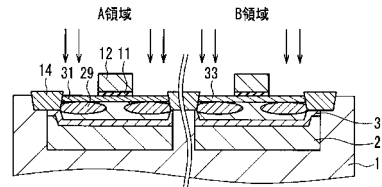
【図 4 A】



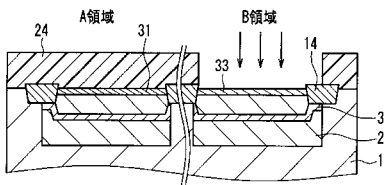
【図 4 B】



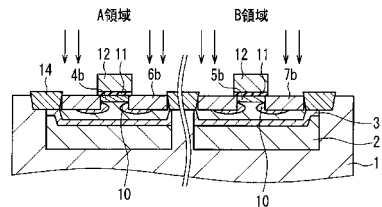
【図 4 E】



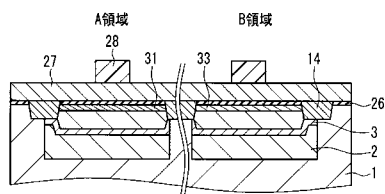
【図 4 C】



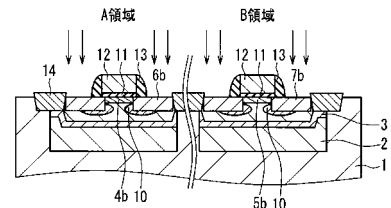
【図 4 F】



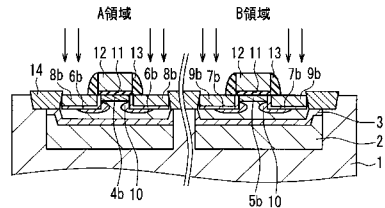
【図 4 D】



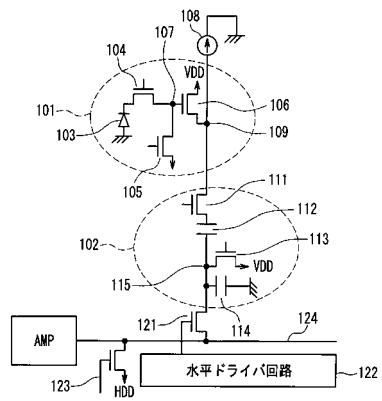
【図 4 G】



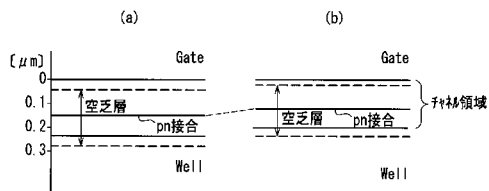
【図 4 H】



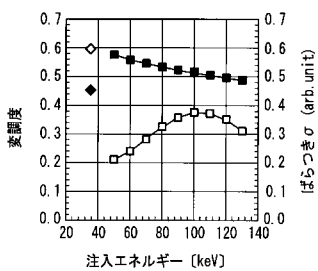
【図 7】



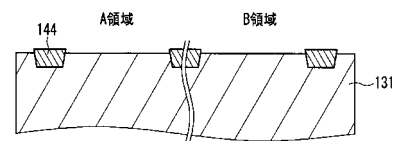
【図 5】



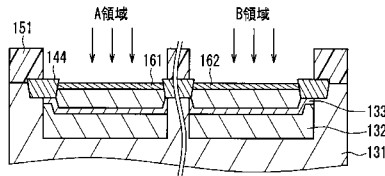
【図 6】



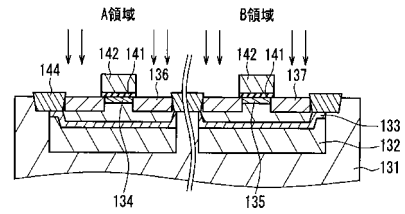
【図 8 A】



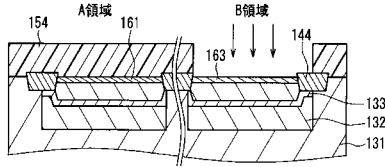
【図 8 B】



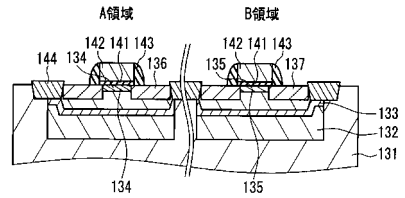
【図 8 E】



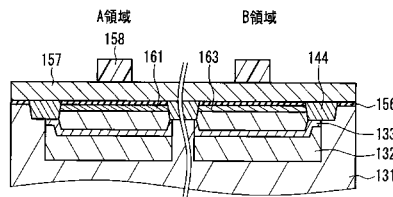
【図 8 C】



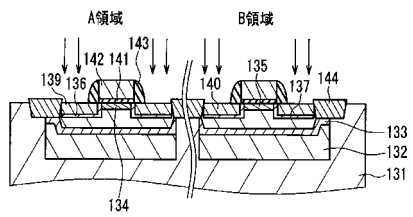
【図 8 F】



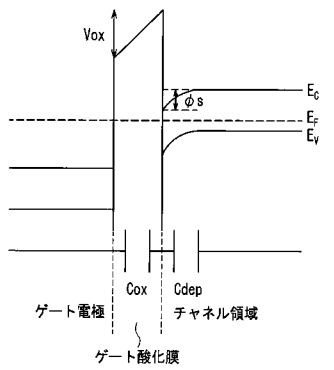
【図 8 D】



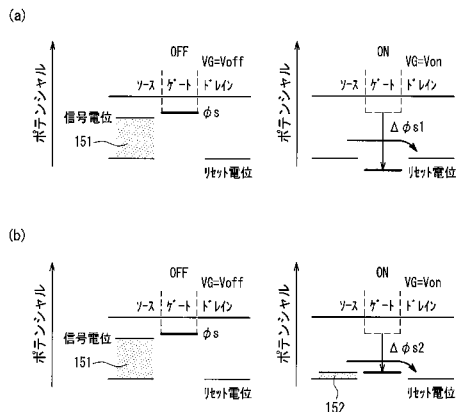
【図 8 G】



【図 9】



【図 10】



フロントページの続き

(72)発明者 三室 研

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 4M118 AA02 AA10 AB01 BA14 CA02 DD12 EA01 EA06 EA16 FA06
FA26
5F048 AC02 BA01 BB14 BB18 BC06 BC07 BD04 BE01 BE04 BE06
BG13 BH07 DA23