

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 20 日(20.12.2012)



(10) 国際公開番号
WO 2012/172985 A1

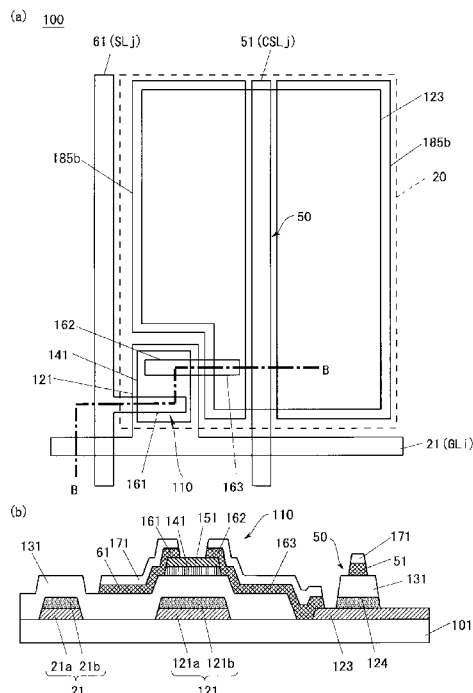
- (51) 国際特許分類:
G09F 9/30 (2006.01) H01L 21/336 (2006.01)
G02F 1/1345 (2006.01) H01L 29/786 (2006.01)
G02F 1/1368 (2006.01) H01L 51/50 (2006.01)
G09F 9/00 (2006.01) H05B 33/10 (2006.01)
- (21) 国際出願番号: PCT/JP2012/064061
- (22) 国際出願日: 2012 年 5 月 31 日(31.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-134622 2011 年 6 月 16 日(16.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 齊藤 裕一
(SAITOH, Yuhichi).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

[続葉有]

(54) Title: MANUFACTURING METHOD FOR ACTIVE MATRIX SUBSTRATE, ACTIVE MATRIX SUBSTRATE, DISPLAY DEVICE, AND TELEVISION RECEIVER PROVIDED WITH DISPLAY DEVICE

(54) 発明の名称: アクティブマトリクス基板の製造方法、アクティブマトリクス基板、表示装置、および、表示装置を備えたテレビジョン受像機

[図3]



(57) Abstract: In the present invention, a pixel electrode (123) is formed by etching as a mask a resist pattern having a thin film and a resist pattern having a thick film which have been simultaneously formed. Then, by removing only the thin resist pattern and etching the remaining thick resist pattern as a mask, a channel protective layer (151) and a semiconductor layer (141) for a thin film transistor (110) are formed. In this way, with only one photolithographic step both the semiconductor layer (141) of the thin film transistor (110) as well as the pixel electrode (123) can be formed. With this configuration, the manufacturing process of the active matrix substrate (100) can be shortened and the manufacturing costs can be reduced.

(57) 要約: 同時に形成された膜厚が薄いレジストパターンと、厚いレジストパターンとをマスクとしてエッチングすることにより、画素電極 (123) を形成する。次に、薄いレジストパターンのみを除去し、残された厚いレジストパターンをマスクとしてエッチングすることにより、薄膜トランジスタ (110) のチャネル保護層 (151) と半導体層 (141) とを形成する。このように、1 回のフォトリソグラフィ工程だけで、薄膜トランジスタ (110) の半導体層 (141) だけでなく、画素電極 123 も形成することができる。これにより、アクティブマトリクス基板 (100) の製造工程を短縮することができ、その製造コストを低減することができる。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

アクティブマトリクス基板の製造方法、アクティブマトリクス基板、表示装置、および、表示装置を備えたテレビジョン受像機

技術分野

[0001] 本発明は、液晶表示装置や有機EL (Electro Luminescence) 表示装置等に用いられるアクティブマトリクス基板の製造方法、アクティブマトリクス基板、表示装置、および、表示装置を備えたテレビジョン受像機に関する。

背景技術

[0002] アクティブマトリクス型の液晶表示装置や有機EL表示装置は、薄型で低消費電力であるだけでなく、高いコントラスト比および優れた応答特性等の特徴を有している。このため、これらの表示装置は、テレビ、ノートパソコン、携帯用端末等のディスプレイとして用いられるようになり、近年その市場規模が急速に拡大している。

[0003] 例えば、液晶表示装置に用いられるアクティブマトリクス基板には、複数の走査信号線と、絶縁膜を介してこれらの走査信号線と交差する複数のデータ信号線とが形成されている。走査信号線とデータ信号線との交差部近傍に設けられた画素には、スイッチング素子として機能するボトムゲート型TFT (Thin Film Transistor) が設けられている。

[0004] 特許文献1には、アクティブマトリクス基板に形成されたチャネルストップ構造のボトムゲート型TFTの製造方法が開示されている。具体的には、フォトリソグラフィ法を用いてゲート電極を形成した後に、ゲート絶縁膜、第1の半導体膜、第2の半導体膜、第2の絶縁膜の順に成膜する。第2の絶縁膜上に、ハーフトーンマスクを使用して、厚いレジストパターンと薄いレジストパターンとを形成する。これらのレジストパターンをマスクとして、第2の絶縁膜、第2の半導体膜、第1の半導体膜の順にエッチングする。次

に、薄いレジストパターンをハーフエッチングにより除去する。残された厚いレジストパターンをマスクとして、さらに第2の絶縁膜をエッチングする。これにより、第1及び第2の半導体層とチャネル保護層とが形成される。次に、ソース／ドレイン電極を形成するための金属膜を成膜し、金属膜上に新たに形成したレジストパターンをマスクとして、金属膜をエッチングする。これにより、ソース／ドレイン電極が形成される。さらに、同じレジストパターンをマスクにして、チャネル保護層、第2の半導体層の順にエッチングする。これにより、ソース／ドレイン電極と第1の半導体層とをそれぞれオーミック接続するコンタクト層が形成される。このように、特許文献1に記載の製造方法によれば、ゲート電極を形成する工程、第1および第2の半導体層とチャネル保護層を形成する工程、およびソース／ドレイン電極を形成する工程でそれぞれレジストパターンを1回ずつ、合計3回形成するだけで、電気的特性が安定したボトムゲート型TFETを製造することができる。

先行技術文献

特許文献

[0005] 特許文献1：日本の特開2007-221022号公報

発明の概要

発明が解決しようとする課題

[0006] 特許文献1は、ハーフトーンマスクを使用することにより、製造工程を短縮したTFETの製造方法を開示している。しかし、TFETだけでなく、TFETに各種の制御信号および画像信号を与えるための端子や配線を含むアクティブマトリクス基板の製造方法は開示されていない。この場合、ハーフトーンマスクを使用することによりTFETの製造工程を短縮することはできても、端子や配線を形成するために新たなフォトリソグラフィ工程が必要になれば、アクティブマトリクス基板の製造コストは高くなる。また、特許文献1には、TFETの形成後に、4回目のフォトリソグラフィ工程によって、パッシベーション膜に画素コンタクトを開孔し、5回目のフォトリソグラフィエ

程によって、画素コンタクトを介してドレイン電極に接続された画素電極を形成することが記載されている。このように、特許文献1のアクティブマトリクス基板の製造方法によれば、画素電極を形成するために、TFTの形成後、さらに2回のフォトリソグラフィ工程が必要になる。このため、アクティブマトリクス基板の製造方法が複雑になり、製造コストがより高くなる。

[0007] フォトリソグラフィ工程は、製造工程の中でも特に多くの製造設備を必要とする。このため、その回数が多くなれば、フォトリソグラフィ工程がネックになり、アクティブマトリクス基板の生産性が低下する。フォトリソグラフィ工程における生産性を向上させるために製造設備を増設すれば、そのための費用が必要になり、ひいてはアクティブマトリクス基板の製造コストが高くなるという問題が生じる。

[0008] そこで、本発明の目的は、製造コストを低減することができるアクティブマトリクス基板の製造方法を提供することである。また、本発明の他の目的は、そのような製造方法で製造した安価なアクティブマトリクス基板を提供することである。

課題を解決するための手段

[0009] 本発明の第1の局面は、走査信号線と、前記走査信号線と交差するデータ信号線と、画素電極と、前記走査信号線にゲート電極が、前記データ信号線にソース電極が、前記画素電極にドレイン電極がそれぞれ電氣的に接続された第1の薄膜トランジスタと、前記走査信号線に電氣的に接続されたゲート引出線と、前記データ信号線に電氣的に接続されたソース引出線と、前記画素電極に電氣的に接続されたドレイン引出線とを絶縁基板上に備えたアクティブマトリクス基板の製造方法であって、

前記走査信号線と、前記ゲート電極と、前記画素電極になるべき第1の加工層とを形成する第1の工程と、

前記走査信号線と、前記ゲート電極と、前記第1の加工層とを含む前記絶縁基板上に第1の絶縁膜を成膜する第2の工程と、

同時に形成された第1のレジストパターンと、前記第1のレジストパター

ンよりも厚い膜厚を有する第2のレジストパターンとをマスクとして前記第1の加工層をエッチングすることにより、前記画素電極を形成するとともに、前記第1の薄膜トランジスタの半導体層と前記半導体層の表面に形成された第1の保護層、または、前記ソース電極と前記ドレイン電極を形成する第3の工程を備えることを特徴とする。

[0010] 本発明の第2の局面は、本発明の第1の局面において、外部から前記ゲート引出線を介して前記走査信号線に電気信号を与えるためのゲート端子と、外部から前記ソース引出線を介して前記データ信号線に電気信号を与えるためのソース端子とをさらに備え、

前記第1の工程は、前記ゲート端子のゲート端子電極となるべき第2の加工層と、前記ソース端子のソース端子電極となるべき第3の加工層とを形成する工程をさらに含み、

前記第3の工程は、前記第2および第3の加工層をエッチングして、前記ゲート端子電極および前記ソース端子電極をそれぞれ形成する工程を含むことを特徴とする。

[0011] 本発明の第3の局面は、本発明の第1の局面において、

前記第1の薄膜トランジスタはトップコンタクト型の薄膜トランジスタであり、

前記第2の工程は、

前記第1の絶縁膜上に半導体膜を成膜する工程と、

前記半導体膜上に第2の絶縁膜を成膜する工程とをさらに含み、

前記第3の工程は、

前記第1および第2のレジストパターンをマスクとして、前記第2の絶縁膜と前記半導体膜とを順にエッチングすることにより、前記画素電極と前記ゲート引出線とを形成する工程と、

前記第1のレジストパターンを除去する工程と、

前記第2のレジストパターンをマスクとして、前記第2の絶縁膜と前記半導体膜を順にエッチングすることにより、前記第1の保護層と前記半導体

層とを形成する工程とをさらに含むことを特徴とする。

- [0012] 本発明の第4の局面は、本発明の第3の局面において、
前記第3の工程の後に、第4の工程をさらに備え、
前記第4の工程は、

前記第1の保護層と前記半導体層とを含む前記第1の絶縁膜を覆うようにソース金属膜を成膜する工程と、

前記ソース金属膜上に第3のレジストパターンを形成する工程と、

前記第3のレジストパターンをマスクとして前記ソース金属膜をエッチングすることにより、前記ソース電極と、前記ドレイン電極と、前記データ信号線と、前記ソース引出線と、前記ドレイン引出線とを形成する工程とを含むことを特徴とする。

- [0013] 本発明の第5の局面は、本発明の第4の局面において、

前記絶縁基板上に、前記第1の絶縁膜を挟んで配置された電極層と保持容量配線とを含む保持容量形成部と、外部から保持容量配線端子を介して所定の電圧を前記保持容量配線に与えるための保持容量配線幹と、前記保持容量配線と前記保持容量配線幹とを電氣的に接続するための第1のコンタクト部とをさらに備え、

前記第3の工程は、前記保持容量配線幹上に開孔されたコンタクトホールを有する前記第1のコンタクト部を形成する工程をさらに含み、

前記第4の工程は、前記ソース金属膜をエッチングすることにより、前記第1のコンタクト部において前記保持容量配線幹と電氣的に接続された前記保持容量配線を形成する工程をさらに含むことを特徴とする。

- [0014] 本発明の第6の局面は、本発明の第4の局面において、

発光層と、前記発光層と電氣的に接続された第2の薄膜トランジスタと、前記第2の薄膜トランジスタに所定の電圧を与える供給線と、外部から供給線端子を介して所定の電圧を前記供給線に与えるための供給線幹と、前記供給線と前記供給線幹とを電氣的に接続するための第2のコンタクト部とをさらに備え、

前記第 3 の工程は、前記第 1 および第 2 のレジストパターンをマスクとして、前記供給線幹上に開口されたコンタクトホールを有する前記第 2 のコンタクト部を形成する工程をさらに含み、

前記第 4 の工程は、前記ソース金属膜をエッチングすることにより、前記第 2 のコンタクト部において前記供給線幹と電氣的に接続された前記供給線を形成する工程を含むことを特徴とする。

[0015] 本発明の第 7 の局面は、本発明の第 4 の局面において、

前記ソース金属膜は複数の金属膜を積層した積層金属膜からなり、前記積層金属膜の表面の金属膜はチタン膜またはチタンを主成分とする金属膜であることを特徴とする。

[0016] 本発明の第 8 の局面は、本発明の第 4 の局面において、

前記第 4 の工程は、前記ソース電極、前記ドレイン電極、前記データ信号線、前記ソース引出線、および前記ドレイン引出線上にそれぞれ第 2 の保護層を形成する工程をさらに含むことを特徴とする。

[0017] 本発明の第 9 の局面は、本発明の第 4 または第 8 の局面において、

前記第 4 の工程は、前記第 1 の薄膜トランジスタ、前記ゲート引出線、および前記ソース引出線を覆うとともに、前記画素電極上に開口部を有する層間絶縁層を形成する工程をさらに含むことを特徴とする。

[0018] 本発明の第 10 の局面は、本発明の第 3 の局面において、

前記第 3 の工程は、前記第 2 のレジストパターンをマスクとして、前記半導体層の周辺部が前記第 1 の保護層のエッジからはみ出し、前記半導体層と前記保護層とが階段状に積層されるようにエッチングする工程をさらに含むことを特徴とする。

[0019] 本発明の第 11 の局面は、本発明の第 1 の局面において、

前記第 1 の薄膜トランジスタはボトムコンタクト型の薄膜トランジスタであり、

前記第 2 の工程は、前記第 1 の絶縁膜を覆うようにソース金属膜を成膜する工程をさらに含み、

前記第 3 の工程は、

前記第 1 および第 2 のレジストパターンをマスクとして、前記ソース金属膜をエッチングして前記画素電極を形成する工程と、

前記第 1 のレジストパターンを除去する工程と、

前記第 2 のレジストパターンをマスクとして前記ソース金属膜をエッチングすることにより、前記ソース電極と、前記ドレイン電極と、前記データ信号線と、前記ソース引出線と、前記ドレイン引出線とを形成する工程をさらに含むことを特徴とする。

[0020] 本発明の第 1 2 の局面は、本発明の第 1 1 の局面において、

前記第 3 の工程の後に、第 4 の工程をさらに備え、

前記第 4 の工程は、

前記ソース電極と前記ドレイン電極とによって挟まれた前記第 1 の絶縁膜上に半導体膜を成膜する工程と、

前記半導体膜上に第 2 の絶縁膜を成膜する工程と、

前記第 2 の絶縁膜上に第 3 のレジストパターンを形成する工程と、

前記第 3 のレジストパターンをマスクとして、前記第 2 の絶縁膜と前記半導体膜とを順にエッチングすることにより、前記第 1 の保護層と前記半導体層とを形成する工程とを含むことを特徴とする。

[0021] 本発明の第 1 3 の局面は、本発明の第 1 2 の局面において、

前記ドレイン引出線と前記画素電極とを電氣的に接続する第 1 の接続電極と、前記ソース引出線とソース端子とを電氣的に接続する第 2 の接続電極とをさらに備え、

前記第 4 の工程は、前記第 3 のレジストパターンをマスクとして前記第 2 の絶縁膜と前記半導体膜とを順にエッチングすることにより、前記第 1 の接続電極と前記第 2 の接続電極とを形成する工程をさらに含むことを特徴とする。

[0022] 本発明の第 1 4 の局面は、本発明の第 1 2 の局面において、

第 4 の工程は、前記第 1 および第 2 の接続電極の表面に第 2 の保護層を形

成する工程をさらに含むことを特徴とする。

[0023] 本発明の第 15 の局面は、本発明の第 1 の局面において、

前記半導体層は、酸化物半導体からなることを特徴とする。

[0024] 本発明の第 16 の局面は、走査信号線と、前記走査信号線と交差するデータ信号線と、画素電極と、前記走査信号線にゲート電極が、前記データ信号線にソース電極が、前記画素電極にドレイン電極がそれぞれ電氣的に接続された第 1 の薄膜トランジスタと、前記走査信号線に電氣的に接続されたゲート引出線と、前記ゲート引出線に電氣的に接続されたゲート端子と、前記データ信号線に電氣的に接続されたソース引出線と、前記ソース引出線に電氣的に接続されたソース端子と、前記画素電極に電氣的に接続されたドレイン引出線とを絶縁基板上に備えたアクティブマトリクス基板であって、

前記ゲート端子のゲート端子電極、前記ソース端子のソース端子電極、および前記画素電極は同じ金属膜からなり、

前記データ信号線、前記ソース引出線、および前記ドレイン引出線は、前記ソース電極および前記ドレイン電極と同じ金属膜からなることを特徴とする。

[0025] 本発明の第 17 の局面は、本発明の第 16 の局面において、

前記ゲート端子電極および前記ソース端子電極は、それらを構成する金属膜よりも導電率が高い第 1 の導電層によって周囲を囲まれていることを特徴とする。

[0026] 本発明の第 18 の局面は、本発明の第 17 の局面において、

前記第 1 の導電層によって囲まれた前記ゲート端子電極および前記ソース端子電極の表面に、前記第 1 の導電層と電氣的に接続され、第 1 の導電層と同じ金属膜からなる第 2 の導電層がさらに形成されていることを特徴とする。

[0027] 本発明の第 19 の局面は、本発明の第 18 の局面において、

前記第 2 の導電層は、前記ゲート端子電極および前記ソース端子電極上にそれぞれ格子状に形成されていることを特徴とする。

- [0028] 本発明の第20の局面は、本発明の第16の局面において、
前記第1の薄膜トランジスタは、下面がソース電極および前記ドレイン電極の上面と電氣的に接続された半導体層を含み、
前記ドレイン引出線は、前記半導体層と同じ半導体膜からなる第1の接続電極によって前記画素電極と電氣的に接続され、
前記ソース引出線は、前記半導体膜からなる第2の接続電極によって前記ソース端子電極と電氣的に接続されていることを特徴とする。
- [0029] 本発明の第21の局面は、本発明の第16の局面において、
発光層と、前記発光層と電氣的に接続された第2の薄膜トランジスタと、
前記第2の薄膜トランジスタに所定の電圧を与える供給線と、外部から供給線端子を介して所定の電圧を前記供給線に与えるための供給線幹と、前記供給線と前記供給線幹とを電氣的に接続するためのコンタクト部とをさらに備えることを特徴とする。
- [0030] 本発明の第22の局面は、本発明の第16から第17のいずれかの局面に係るアクティブマトリクス基板を備えた表示装置である。
- [0031] 本発明の第23の局面は、本発明の第22の局面に係る表示装置と、テレビジョン放送を受信するチューナ部とを備えたテレビジョン受像機である。

発明の効果

- [0032] 上記本発明の第1の局面によれば、第3の工程では、同時に形成された第1のレジストパターンと、第1のレジストパターンよりも厚い膜厚を有する第2のレジストパターンとをマスクとしてエッチングすることにより、第1の薄膜トランジスタの半導体層と第1の保護層、または、ソース電極とドレイン電極を形成するとともに、画素電極も形成することができる。このように、画素電極を形成するために、新たなフォトリソグラフィ工程を追加する必要がないので、それだけアクティブマトリクス基板の製造工程を短縮することができる。これにより、アクティブマトリクス基板の製造コストを低減することができる。
- [0033] 上記本発明の第2の局面によれば、さらにゲート端子電極とソース端子電

極も、画素電極と同時に形成することができる。これにより、アクティブマトリクス基板の製造工程をより短縮することができるので、その製造コストをより低減することができる。

[0034] 上記本発明の第3の局面によれば、トップゲート型の第1の薄膜トランジスタでは、第1のレジストパターンと第2のレジストパターンをマスクとしてエッチングすることにより、画素電極とゲート引出線を形成する。次に、第1のレジストパターンを除去し、残された第2のレジストパターンをマスクとしてエッチングすることにより、第1の薄膜トランジスタの第1の保護層と半導体層を形成する。このように、1回のフォトリソグラフィ工程で、第1の保護層と半導体層を形成するだけでなく、画素電極も形成することができる。これにより、トップコンタクト型の第1の薄膜トランジスタを含むアクティブマトリクス基板の製造コストをより一層低減することができる。

[0035] 上記本発明の第4の局面によれば、第3の工程の後に設けられた第4の工程において、第3のレジストパターンをマスクとしてエッチングすることにより、ソース電極と、ドレイン電極と、データ信号線と、ドレイン引出線と、ソース引出線とを同時に形成する。これにより、アクティブマトリクス基板の製造工程をより一層短縮することができるので、その製造コストをより一層低減することができる。

[0036] 上記本発明の第5の局面によれば、アクティブマトリクス基板が保持容量形成部を備えている場合には、第3の工程および第4の工程において、ソース電極等とともに、第1のコンタクト部で保持容量配線幹と電氣的に接続された保持容量配線を形成する。これにより、アクティブマトリクス基板の製造工程をより一層短縮することができるので、その製造コストをより一層低減することができる。

[0037] 上記本発明の第6の局面によれば、アクティブマトリクス基板が発光層等を備えている場合には、第3の工程および第4の工程において、ソース電極等とともに、第2のコンタクト部で供給線幹と電氣的に接続された供給線を形成する。これにより、アクティブマトリクス基板の製造工程をより一層短

縮することができるので、その製造コストをより一層低減することができる。

[0038] 上記本発明の第7の局面によれば、ソース金属膜が積層金属膜によって構成されている場合に、積層金属膜の表面に、チタンまたはチタンを主成分とする金属膜を形成することにより、積層金属膜の腐食耐性を高くすることができる。このため、アクティブマトリクス基板の信頼性を高くすることができる。

[0039] 上記本発明の第8の局面によれば、ソース電極、ドレイン電極等の表面に第2の保護層を形成することにより、これらの腐食耐性を高くすることができる。このため、アクティブマトリクス基板の信頼性を高くすることができる。

[0040] 上記本発明の第9の局面によれば、第1の薄膜トランジスタ、ゲート引出線、ソース引出線を層間絶縁層で覆うことにより、これらの信頼性を高くすることができる。また、層間絶縁層で覆うことにより、第2の保護層が不要になるので、アクティブマトリクス基板の製造コストを低減することができる。

[0041] 上記本発明の第10の局面によれば、第2のレジストパターンをマスクとして、半導体層の周辺部が第1の保護層のエッジからはみ出すようにエッチングする。これにより、ソース電極およびドレイン電極と半導体層との電気的接続の信頼性を高める段差を、新たなフォトリソグラフィ工程を追加することなく形成することができる。このため、アクティブマトリクス基板の製造コストを低減することができる。

[0042] 上記本発明の第11の局面によれば、ボトムゲート型の第1の薄膜トランジスタでは、第1のレジストパターンと第2のレジストパターンをマスクとしてエッチングすることにより、画素電極を形成する。次に、第1のレジストパターンを除去し、残された第2のレジストパターンをマスクとしてエッチングすることにより、第1の薄膜トランジスタのソース電極、ドレイン電極等を形成する。このように、1回のフォトリソグラフィ工程で、ソース電

極、ドレイン電極等を形成するだけでなく、画素電極も形成することができる。これにより、ボトムコンタクト型の第1の薄膜トランジスタを含むアクティブマトリクス基板の製造コストをより一層低減することができる。

[0043] 上記本発明の第12の局面によれば、第3のレジストパターンをマスクとしてエッチングすることにより、第1の薄膜トランジスタの第1の保護層と半導体層とを同時に形成する。これにより、アクティブマトリクス基板の製造工程をより一層短縮することができるので、その製造コストを低減することができる。

[0044] 上記本発明の第13の局面によれば、第3のレジストパターンをマスクとしてエッチングすることにより、第1の接続電極と第2の接続電極とを形成する。このように、1回のフォトリソグラフィ工程で第1の接続電極と第2の接続電極を形成することができるので、アクティブマトリクス基板の製造コストを低減することができる。また、このように短縮された製造工程でも、ドレイン引出線と画素電極、および、ソース引出線とソース端子をそれぞれ確実に接続することができる。

[0045] 上記本発明の第14の局面によれば、第1の接続電極と第2の接続電極の表面に第2の保護層を形成することにより、これらの腐食耐性を高くすることができる。このため、アクティブマトリクス基板の信頼性を高くすることができる。

[0046] 上記本発明の第15の局面によれば、半導体層が酸化物半導体からなる第1の薄膜トランジスタを含むアクティブマトリクス基板の製造コストを低減することができる。

[0047] 上記本発明の第16の局面によれば、ゲート端子電極、ソース端子電極、および画素電極は同じ金属膜からなり、データ信号線、ソース引出線、およびドレイン引出線は、ソース電極およびドレイン電極と同じ金属膜からなる。この場合、同じ金属膜からなる構成要素は、同じフォトリソグラフィ工程で形成されたレジストパターンをマスクとしてエッチングすることにより形成されるので、アクティブマトリクス基板の製造工程を短縮することができる。

る。これにより、アクティブマトリクス基板の製造コストを低減することができる。

[0048] 上記本発明の第17の局面によれば、ゲート端子のゲート端子電極およびソース端子のソース端子電極は、それを構成する金属膜よりも導電率が高い金属膜からなる第1の導電層によって周囲を囲まれている。これにより、ゲート端子およびソース端子では、異方性導電フィルムに含まれる導電粒子を介して外部から入力される電気信号の波形劣化が抑えられる。このようなゲート端子およびソース端子を有するアクティブマトリクス基板を液晶テレビのような大型の表示装置に用いれば、表示品位の低下を防止することができる。

[0049] 上記本発明の第18の局面によれば、さらにゲート端子電極及びソース端子電極の表面に、第1の導電層と同じ金属膜からなる第2の導電層が形成されている。これにより、ゲート端子およびソース端子では、異方性導電フィルムに含まれる導電粒子を介して外部から入力される電気信号の波形劣化がより一層抑えられる。このようなゲート端子およびソース端子を有するアクティブマトリクス基板を液晶テレビのような大型の表示装置に用いれば、表示品位の低下をより一層防止することができる。

[0050] 上記本発明の第19の局面によれば、ゲート端子電極及びソース端子電極の表面に、第2の導電層が格子状に形成されている。これにより、外部から入力される電気信号がゲート端子及びソース端子において波形劣化することを効果的に抑えることができる。

[0051] 上記本発明の第20の局面によれば、第1および第2の接続電極は、半導体膜からなるので、第1の薄膜トランジスタの半導体層を形成するときに同時に形成することができる。このように、製造工程を新たに追加することなく、第1および第2の接続電極を形成することができるので、アクティブマトリクス基板の製造コストを低減することができる。

[0052] 上記本発明の第21の局面によれば、有機EL表示装置に使用されるアクティブマトリクス基板の製造工程を短縮することができる。これにより、有

機EL表示装置に使用されるアクティブマトリクス基板の製造コストを低減することができる。

[0053] 上記本発明の第22の局面によれば、本発明の第16から第21の局面に係るアクティブマトリクス基板を用いて表示装置を製造するので、表示装置の製造コストを低減することができる。

[0054] 上記本発明の第23の局面によれば、本発明の第22の局面に係る表示装置を用いてテレビジョン受像機を製造するので、テレビジョン受像機の製造コストを低減することができる。

図面の簡単な説明

[0055] [図1] (a) は本発明の第1の実施形態に係る液晶表示装置の構成を示す平面図であり、(b) は(a) に示すA-A線に沿った液晶表示装置の断面図である。

[図2] 図1に示す液晶表示装置に含まれるアクティブマトリクス基板の構成を示す平面図である。

[図3] (a) は図2に示すアクティブマトリクス基板に形成された画素の構成を示す拡大平面図であり、(b) は(a) に示すB-B線に沿った画素の断面図である。

[図4] (a) は図2に示すアクティブマトリクス基板に形成されたゲート端子の構成を示す平面図であり、(b) は(a) に示すC-C線に沿ったゲート端子の断面図である。

[図5] (a) は図2に示すアクティブマトリクス基板に形成されたソース端子の構成を示す平面図であり、(b) は(a) に示すD-D線に沿ったソース端子の断面図である。

[図6] (a) は図2に示すアクティブマトリクス基板に形成されたコンタクト部の構成を示す平面図であり、(b) は(a) に示すE-E線に沿ったコンタクト部の断面図である。

[図7] 図2に示すアクティブマトリクス基板の製造工程を示すフローチャートである。

[図8]図7に示すアクティブマトリクス基板の製造工程のうち、ゲート絶縁層・半導体層工程の詳細な製造工程を示すフローチャートである。

[図9] (a) は図3 (a) に示すB-B線に沿った画素の工程断面図であり、(b) は図4 (a) に示すC-C線に沿ったゲート端子の工程断面図であり、(c) は図5 (a) に示すD-D線に沿ったソース端子の工程断面図であり、(d) は図6 (a) に示すE-E線に沿ったコンタクト部の工程断面図である。

[図10] (a) は図3 (a) に示すB-B線に沿った画素の工程断面図であり、(b) は図4 (a) に示すC-C線に沿ったゲート端子の工程断面図であり、(c) は図5 (a) に示すD-D線に沿ったソース端子の工程断面図であり、(d) は図6 (a) に示すE-E線に沿ったコンタクト部の工程断面図である。

[図11] (a) は図3 (a) に示すB-B線に沿った画素の工程断面図であり、(b) は図4 (a) に示すC-C線に沿ったゲート端子の工程断面図であり、(c) は図5 (a) に示すD-D線に沿ったソース端子の工程断面図であり、(d) は図6 (a) に示すE-E線に沿ったコンタクト部の工程断面図である。

[図12] (a) は図3 (a) に示すB-B線に沿った画素の工程断面図であり、(b) は図4 (a) に示すC-C線に沿ったゲート端子の工程断面図であり、(c) は図5 (a) に示すD-D線に沿ったソース端子の工程断面図であり、(d) は図6 (a) に示すE-E線に沿ったコンタクト部の工程断面図である。

[図13] (a) は図3 (a) に示すB-B線に沿った画素の工程断面図であり、(b) は図4 (a) に示すC-C線に沿ったゲート端子の工程断面図であり、(c) は図5 (a) に示すD-D線に沿ったソース端子の工程断面図であり、(d) は図6 (a) に示すE-E線に沿ったコンタクト部の工程断面図である。

[図14] (a) は図3 (a) に示すB-B線に沿った画素の工程断面図であり

、（b）は図4（a）に示すC－C線に沿ったゲート端子の工程断面図であり、（c）は図5（a）に示すD－D線に沿ったソース端子の工程断面図であり、（d）は図6（a）に示すE－E線に沿ったコンタクト部の工程断面図である。

[図15]（a）～（e）は、図12に示すTFTのチャネル保護層および半導体層をドライエッチング法によって形成するときの形状の変化を示す工程断面図である。

[図16]（a）は第1の実施形態に係る液晶表示装置の変形例に含まれるアクティブマトリクス基板に形成された画素の構成を示す拡大平面図であり、（b）は（a）に示すF－F線に沿った画素の断面図である。

[図17]（a）は第1の実施形態に係る液晶表示装置の変形例に含まれるアクティブマトリクス基板に形成されたゲート端子の構成を示す平面図であり、（b）は（a）に示すG－G線に沿ったゲート端子の断面図である。

[図18]（a）は第1の実施形態に係る液晶表示装置の変形例に含まれるアクティブマトリクス基板に形成されたソース端子の構成を示す平面図であり、（b）は（a）に示すH－H線に沿ったソース端子の断面図である。

[図19]（a）は第1の実施形態に係る液晶表示装置の変形例に含まれるアクティブマトリクス基板に形成されたコンタクト部の構成を示す平面図であり、（b）は（a）に示すI－I線に沿ったコンタクト部の断面図である。

[図20]（a）は、図4に示すゲート端子の変形例の構成を示す平面図であり、（b）は（a）に示すJ－J線に沿ったゲート端子の断面図である。

[図21]（a）は、図5に示すソース端子の変形例の構成を示す平面図であり、図（b）は、（a）に示すK－K線に沿ったソース端子の断面図である。

[図22]（a）は図4に示すゲート端子に電流が流れる経路を示す図であり、（b）は図20に示すゲート端子に電流が流れる経路を示す図である。

[図23]図4に示すゲート端子の他の変形例の構成を示す図である。

[図24]（a）は本発明の第2の実施形態に係る液晶表示装置に含まれるアクティブマトリクス基板に形成された画素の構成を示す拡大平面図であり、（

b) は (a) に示す L-L 線に沿った画素の断面図である。

[図25] (a) は第2の実施形態に係る液晶表示装置に含まれるアクティブマトリクス基板に形成されたゲート端子の構成を示す平面図であり、(b) は (a) に示す M-M 線に沿ったゲート端子の断面図である。

[図26] (a) は第2の実施形態に係る液晶表示装置に含まれるアクティブマトリクス基板に形成されたソース端子の構成を示す平面図であり、(b) は (a) に示す N-N 線に沿ったソース端子の断面図である。

[図27] (a) は第2の実施形態に係る液晶表示装置に含まれるアクティブマトリクス基板に形成されたコンタクト部の構成を示す平面図であり、(b) は (a) に示す P-P 線に沿ったコンタクト部の断面図である。

[図28] 本発明の第2の実施形態に係る液晶表示装置に含まれるアクティブマトリクス基板の製造工程を示すフローチャートである。

[図29] 図28に示す製造工程のうち、ゲート絶縁層・ソース層工程の詳細な製造工程を示すフローチャートである。

[図30] (a) は図24(a)に示す L-L 線に沿った画素の工程断面図であり、(b) は図25(a)に示す M-M 線に沿ったゲート端子の工程断面図であり、(c) は図26(a)に示す N-N 線に沿ったソース端子の工程断面図であり、(d) は図27(a)に示す P-P 線に沿ったコンタクト部の工程断面図である。

[図31] (a) は図24(a)に示す L-L 線に沿った画素の工程断面図であり、(b) は図25(a)に示す M-M 線に沿ったゲート端子の工程断面図であり、(c) は図26(a)に示す N-N 線に沿ったソース端子の工程断面図であり、(d) は図27(a)に示す P-P 線に沿ったコンタクト部の工程断面図である。

[図32] (a) は図24(a)に示す L-L 線に沿った画素の工程断面図であり、(b) は図25(a)に示す M-M 線に沿ったゲート端子の工程断面図であり、(c) は図26(a)に示す N-N 線に沿ったソース端子の工程断面図であり、(d) は図27(a)に示す P-P 線に沿ったコンタクト部の

工程断面図である。

[図33] (a) は図24 (a) に示すL-L線に沿った画素の工程断面図であり、(b) は図25 (a) に示すM-M線に沿ったゲート端子の工程断面図であり、(c) は図26 (a) に示すN-N線に沿ったソース端子の工程断面図であり、(d) は図27 (a) に示すP-P線に沿ったコンタクト部の工程断面図である。

[図34] (a) は図24 (a) に示すL-L線に沿った画素の工程断面図であり、(b) は図25 (a) に示すM-M線に沿ったゲート端子の工程断面図であり、(c) は図26 (a) に示すN-N線に沿ったソース端子の工程断面図であり、(d) は図27 (a) に示すP-P線に沿ったコンタクト部の工程断面図である。

[図35] (a) は本発明の第3の実施形態に係る液晶表示装置に含まれるアクティブマトリクス基板に形成された画素の構成を示す拡大平面図であり、(b) は(a) に示すQ-Q線に沿った画素の断面図である。

[図36] (a) は第3の実施形態に係る液晶表示装置に含まれるアクティブマトリクス基板に形成されたゲート端子の構成を示す平面図であり、(b) は(a) に示すR-R線に沿ったゲート端子の断面図である。

[図37] (a) は第3の実施形態に係る液晶表示装置に含まれるアクティブマトリクス基板に形成されたソース端子の構成を示す平面図であり、(b) は(a) に示すS-S線に沿ったソース端子の断面図である。

[図38] (a) は、第3の実施形態に係る液晶表示装置に含まれるアクティブマトリクス基板に形成されたコンタクト部の構成を示す平面図であり、(b) は(a) に示すT-T線に沿ったコンタクト部の断面図である。

[図39] 本発明の第3の実施形態に係る液晶表示装置に含まれるアクティブマトリクス基板の製造工程を示すフローチャートである。

[図40] (a) は本発明の第4の実施形態に係るアクティブマトリクス方式の有機EL表示装置の構成を示す平面図であり、(b) は(a) に示すU-U線に沿った有機EL表示装置の断面図である。

[図41]図40に示す有機EL表示装置に含まれるアクティブマトリクス基板の構成を示す平面図である。

[図42](a)は図41に示すアクティブマトリクス基板に形成された画素の構成を示す拡大平面図であり、(b)は(a)に示すV-V線に沿ったアクティブマトリクス基板の断面図であり、(c)は(a)に示すW-W線に沿ったアクティブマトリクス基板の断面図である。

[図43]図42に示す画素の等価回路である。

[図44](a)は図41に示すアクティブマトリクス基板に形成されたゲート端子の構成を示す平面図であり、(b)は(a)に示すX-X線に沿ったゲート端子の断面図である。

[図45](a)は図41に示すアクティブマトリクス基板に形成されたソース端子の構成を示す平面図であり、(b)は(a)に示すY-Y線に沿ったソース端子の断面図である。

[図46](a)は図41に示すアクティブマトリクス基板に形成されたコンタクト部の構成を示す平面図であり、(b)は(a)に示すZ-Z線に沿ったコンタクト部の断面図である。

[図47]図41に示すアクティブマトリクス基板の製造工程を示すフローチャートである。

[図48]テレビジョン受像機の構成を示すブロック図である。

[図49]図48に示すテレビジョン受像機に含まれる表示装置の構成を示すブロック図である。

発明を実施するための形態

[0056] <1. 第1の実施形態>

<1. 1 液晶表示装置の構成>

図1(a)は、本発明の第1の実施形態に係る液晶表示装置10の構成を示す平面図であり、図1(b)は、図1(a)に示すA-A線に沿った液晶表示装置10の断面図である。図1(a)および図1(b)に示すように、液晶表示装置10は、アクティブマトリクス基板100と、対向基板11と

、接続用フィルム 3、5 と、複数のゲートドライバ 7 と、複数のソースドライバ 8 と、接続用フィルム 5 と電氣的に接続された外部基板 9 とを備えている。アクティブマトリクス基板 100 と対向基板 11 とはシール材 12 を用いて貼り合わされ、液晶パネル 15 を構成する。

[0057] ゲートドライバ 7 は接続用フィルム 3 上に配置され、ソースドライバ 8 は接続用フィルム 5 上に配置されている。ゲートドライバ 7 およびソースドライバ 8 は、接続用フィルム 5 に接続された外部基板 9 から受け取った信号に基づいて、アクティブマトリクス基板 100 の各画素に形成された TFT を駆動するために必要な画像信号および制御信号を生成し、アクティブマトリクス基板 100 に設けられたゲート端子部 4 内のゲート端子およびソース端子部 6 内のソース端子を介して TFT に与える。

[0058] なお、図 1 (a) および図 1 (b) では記載を省略したが、アクティブマトリクス基板 100 と対向基板 11 との間には、液晶材料が挟持されている。また、対向基板 11 のアクティブマトリクス基板 100 と対向する側の面には、カラーフィルタ層、ブラックマトリクス層および共通電極が設けられている。液晶表示装置 10 は、さらに偏光フィルム等の光学フィルム、バックライトユニット、その他の光学部品、回路部品、これらの部品を所定の位置に固定するためのベゼル等を備えているが、図 1 (a) および図 1 (b) ではこれらの記載を省略する。

[0059] 液晶表示装置 10 では、複数のゲートドライバ 7 は、アクティブマトリクス基板 100 の両端部 (図 1 (a) の左端部と右端部) に一列に配置されている。しかし、ゲートドライバ 7 は、アクティブマトリクス基板 100 の一端部 (図 1 (a) の左端部および右端部のいずれか一方) だけに配置されていてもよい。また、複数のソースドライバ 8 は、アクティブマトリクス基板 100 の一端部 (図 1 (a) の上端部) に一列に配置されている。しかし、ソースドライバ 8 は、アクティブマトリクス基板 100 の両端部 (図 1 (a) の上端部と下端部) に配置されていてもよい。

[0060] <1. 2 アクティブマトリクス基板の構成>

図2は、本実施形態の液晶表示装置10に含まれるアクティブマトリクス基板100の構成を示す平面図である。図2に示すように、アクティブマトリクス基板100は、複数の画素20が形成された表示領域13と、表示領域13の周囲を囲む周辺領域14とを含む。なお、周辺領域14には、表示領域13を囲むようにシール材12が配設されている。

[0061] アクティブマトリクス基板100のガラス基板（絶縁基板）101上には、 m （ m は自然数）本の走査信号線 $GL1 \sim GLm$ と、 n （ n は自然数）本のデータ信号線 $SL1 \sim SLn$ と、 n 本の保持容量配線 $CSL1 \sim CSLn$ と、 $m \times n$ 個の画素20が配置されている。各画素20は、走査信号線 GLi とデータ信号線 SLj との各交差点の近くにそれぞれ配置されている。例えば、画素20は、 i （ $1 \leq i \leq m$ の自然数）番目の走査信号線 GLi と、 j （ $1 \leq j \leq n$ の自然数）番目のデータ信号線 SLj と、 j 番目の保持容量配線 $CSLj$ とに対応する画素である。

[0062] 走査信号線 $GL1 \sim GLm$ は、それらと同じ金属膜からなるゲート引出線26を介して、透明金属膜からなる複数のゲート端子25Aとそれぞれ接続されている。データ信号線 $SL1 \sim SLn$ は、それらと同じ金属膜からなるソース引出線66を介して、透明金属膜からなる複数のソース端子65Aとそれぞれ接続されている。保持容量配線 $CSL1 \sim CSLn$ は、コンタクト部54A（第1のコンタクト部）を介して、走査信号線 $GL1 \sim GLm$ と同じ金属膜からなる保持容量配線幹52に接続されている。保持容量配線幹52は、その両端で、走査信号線 $GL1 \sim GLm$ と同じ金属膜からなる保持容量配線幹引出線56に接続され、保持容量配線幹引出線56は、透明金属膜からなる保持容量配線端子55Aに接続されている。なお、保持容量配線端子55Aは、ソース端子65Aを数百～千数百本ずつまとめて配置した複数のソース端子部6のうち、保持容量配線幹引出線56に近いソース端子部6だけに配置されている。

[0063] 次に、アクティブマトリクス基板100に形成された画素20の構成を詳細に説明する。図3（a）は、アクティブマトリクス基板100に形成され

た画素20の構成を示す拡大平面図であり、図3(b)は、図3(a)に示すB-B線に沿った画素20の断面図である。図3(a)および図3(b)に示すように、画素20は、スイッチング素子として機能するTFT110(第1の薄膜トランジスタ)と、画素電極123と、保持容量形成部50とを含む。画素20は、液晶材料によってバックライト光の透過率を変化させることにより、画像信号に応じたバックライト光を透過させる。なお、画素20は、i番目の走査信号線21(GLi)と、j番目のデータ信号線61(SLj)とに対応して、それらの交点付近に設けられている。j番目の保持容量配線51(CSLj)は画素20の中央付近を縦断するように配置されている。

[0064] TFT110は、ゲート電極121と、ゲート絶縁層131と、半導体層141と、チャネル保護層151(第1の保護層)と、ソース電極161と、ドレイン電極162とを含む。ゲート電極121は走査信号線21(GLi)から分岐して形成され、ソース電極161はデータ信号線61(SLj)から分岐して形成されている。半導体層141の上面はチャネル保護層151で覆われている。ソース電極161は、後述するように、半導体層141の左側の上面および側面と電氣的に接続され、ドレイン電極162は、半導体層141の右側の上面および側面と電氣的に接続されている。ドレイン電極162は、ドレイン引出線163を介して画素電極123と接続されている。画素電極123の表面が露出されるように、保持容量形成部50を挟んでその両側のゲート絶縁層131に開口部185a、185bがそれぞれ設けられている。

[0065] 保持容量形成部50は、ゲート絶縁層131を介して対向するように配置された保持容量配線51(CSLj)と、電極124のうち保持容量配線51と対向する部分とによって構成され、電極124と電氣的に接続された画素電極123の電位を安定させる機能を有する。

[0066] 図3(b)に示すように、走査信号線21およびゲート電極121は、それぞれ上層21b、121bおよび下層21a、121aからなる2層構造

である。下層 2 1 a、1 2 1 a は、画素電極 1 2 3 と同じ透明金属膜により形成され、上層 2 1 b、1 2 1 b は、電極 1 2 4 と同じ金属膜により形成されている。また、データ信号線 6 1、ソース電極 1 6 1、ドレイン電極 1 6 2、ドレイン引出線 1 6 3、および保持容量配線 5 1 は、同じ金属膜からなる。さらに、それらの上面には絶縁膜からなる保護層 1 7 1（第 2 の保護層）が形成されている。これにより、ソース電極 1 6 1、ドレイン電極 1 6 2 等の腐食耐性を高くすることができるので、アクティブマトリクス基板 1 0 0 の信頼性を高くすることができる。

[0067] また、半導体層 1 4 1 の上面には絶縁膜からなるチャネル保護層 1 5 1 が形成されている。なお、T F T 1 1 0 のように、半導体層 1 4 1 の上面の一部を覆うようにソース電極 1 6 1 およびドレイン電極 1 6 2 が形成されている T F T をトップコンタクト型の T F T ということがある。

[0068] 次に、アクティブマトリクス基板 1 0 0 上に形成されたゲート端子 2 5 A、ソース端子 6 5 A、および、保持容量配線 5 1 と保持容量配線幹 5 2 とを電氣的に接続するためのコンタクト部 5 4 A の各構成について説明する。図 4（a）はゲート端子 2 5 A の構成を示す平面図であり、図 4（b）は図 4（a）に示す C－C 線に沿ったゲート端子 2 5 A の断面図である。図 4（a）および図 4（b）に示すように、ゲート端子 2 5 A では、ゲート端子電極 2 7 はゲート引出線 2 6 を介して走査信号線 2 1 に電氣的に接続されている。ゲート引出線 2 6 は、走査信号線 2 1 と同様に、下層 2 6 a および上層 2 6 b からなる 2 層構造である。下層 2 6 a および上層 2 6 b は、それぞれゲート電極 1 2 1 の下層 1 2 1 a および上層 1 2 1 b と同じ金属膜からなる。ゲート端子電極 2 7 は 1 層構造であり、ゲート電極 1 2 1 の下層 1 2 1 a と同じ透明金属膜からなる。なお、ゲート引出線 2 6 は、ゲート絶縁層 1 3 1 で覆われているが、ゲート端子電極 2 7 は覆われていない。

[0069] 図 5（a）はソース端子 6 5 A の構成を示す平面図であり、図 5（b）は図 5（a）に示す D－D 線に沿ったソース端子 6 5 A の断面図である。図 5（a）および図 5（b）に示すように、ソース端子 6 5 A では、ソース端子

電極 6 7 は、コンタクトホール 6 8 を形成する接続層 1 6 8 を介してソース引出線 6 6 と電氣的に接続され、ソース引出線 6 6 はデータ信号線 6 1 に接続されている。ソース引出線 6 6 はソース電極 1 6 1 と同じ金属膜からなる。接続層 1 6 8 は、上層 1 6 8 b および下層 1 6 8 a からなる 2 層構造であり、それぞれゲート電極 1 2 1 の上層 1 2 1 b および下層 1 2 1 a と同じ金属膜からなる。ソース端子電極 6 7 は 1 層構造であり、ゲート電極 1 2 1 の下層 1 2 1 a と同じ透明金属膜からなる。ソース引出線 6 6 および接続層 1 6 8 は、コンタクトホール 6 8 を除き、ゲート絶縁層 1 3 1 で覆われているが、ソース端子電極 6 7 は覆われていない。

[0070] 図 6 (a) はコンタクト部 5 4 A の構成を示す平面図であり、図 6 (b) は図 6 (a) に示す E - E 線に沿ったコンタクト部 5 4 A の断面図である。図 6 (a) および図 6 (b) に示すように、保持容量配線 5 1 は、ゲート絶縁層 1 3 1 に設けられたコンタクトホール 5 3 を形成する接続層 1 5 3 を介して、保持容量配線幹 5 2 と電氣的に接続されている。保持容量配線幹 5 2 は、上層 5 2 b および下層 5 2 a からなる 2 層構造であり、それぞれゲート電極 1 2 1 の上層 1 2 1 b および下層 1 2 1 a と同じ金属膜からなる。なお、保持容量配線端子 5 5 A は、図 4 (a) および図 4 (b) に示すゲート端子 2 5 A において、ゲート引出線 2 6 を保持容量配線幹引出線 5 6 に置き換え、ゲート端子電極 2 7 を保持容量端子電極に置き換えるだけでよいので、保持容量配線端子 5 5 A の構成を示す図およびその説明を省略する。

[0071] < 1. 3 アクティブマトリクス基板の製造方法 >

アクティブマトリクス基板 1 0 0 の製造方法について説明する。アクティブマトリクス基板 1 0 0 に形成された T F T 1 1 0 のチャネルとなる半導体層 1 4 1 は、例えば、インジウム・ガリウム・亜鉛酸化物 (I G Z O) 等の酸化物半導体膜からなる。走査信号線 2 1 およびゲート電極 1 2 1 は、例えば、ガラス基板 1 0 1 上に成膜されたインジウム・錫酸化物 (I T O) 膜と、 I T O 膜の表面に、チタン (T i) 膜、アルミニウム (A l) 膜、チタン膜の順に積層された T i / A l / T i 積層膜とからなる。データ信号線 6 1

、ソース電極 161、ドレイン電極 162、および保持容量配線 51 は、例えば、ガラス基板 101 側から Ti 膜、Al 膜の順に積層された Al/Ti 積層膜からなる。

[0072] 図 7 は、アクティブマトリクス基板 100 の製造工程を示すフローチャートである。図 7 に示すように、アクティブマトリクス基板 100 の製造工程は、画素電極層・ゲート層工程 S100、ゲート絶縁層・半導体層工程 S110、およびソース層工程 S120 の 3 つの工程を含む。後述するように、各工程には、フォトリソグラフィ工程が 1 回ずつ含まれるので、アクティブマトリクス基板 100 を製造するために、合計 3 枚のフォトマスクが使用される。図 8 は、図 7 に示すアクティブマトリクス基板 100 の製造工程のうち、ゲート絶縁層・半導体層工程 S110 の詳細な製造工程を示すフローチャートである。

[0073] 図 9～図 14 は、アクティブマトリクス基板 100 の製造工程を示す工程断面図である。図 9～図 14 の各 (a) は図 3 (a) に示す B-B 線に沿った画素 20 の工程断面図であり、図 9～図 14 の各 (b) は図 4 (a) に示す C-C 線に沿ったゲート端子 25A の工程断面図であり、図 9～図 14 の各 (c) は図 5 (a) に示す D-D 線に沿ったソース端子 65A の工程断面図であり、図 9～図 14 の各 (d) は図 6 (a) に示す E-E 線に沿ったコンタクト部 54A の工程断面図である。

[0074] まず、図 7 に示す画素電極層・ゲート層工程 S100 について、図 9 (a)～図 9 (d) を参照して説明する。ガラス基板 101 上に、アルゴン (Ar) ガスを用いたスパッタリング法により、例えばゲート電極 121 の下層 121a になる ITO 膜 (図示しない) を成膜し、次にゲート電極 121 の上層 121b になる Ti/Al/Ti 積層膜 (図示しない) を連続して成膜する。ITO 膜の膜厚は例えば 100 nm とする。Ti/Al/Ti 積層膜の各膜の膜厚は、ガラス基板 101 側から順に、30 nm、200 nm、150 nm とする。また、これらの膜の成膜時のガラス基板 101 の温度は例えば 100～200℃ とする。なお、ITO 膜と Ti/Al/Ti 積層膜と

を合わせて、ゲート金属膜ということがある。

[0075] 次に、フォトリソグラフィ法を用いて、 $Ti/Al/Ti$ 積層膜上にレジストパターン（図示しない）を形成し、レジストパターンをマスクとして $Ti/Al/Ti$ 積層膜、透明金属膜の順にエッチングする。これにより、走査信号線21、ゲート電極121、加工層41～44を形成する。ここで、走査信号線21、ゲート電極121、および加工層41～44はいずれも2層構造であって、それぞれの下層21a、121a、41a～44aはITO膜からなり、上層21b、121b、41b～44bは $Ti/Al/Ti$ 積層膜からなる。なお、加工層41を第1の加工層、加工層42を第2の加工層、加工層43を第3の加工層ということがある。

[0076] $Ti/Al/Ti$ 積層膜のエッチングには、例えば、塩素(Cl_2)ガス、三塩化ホウ素(BCl_3)ガス、アルゴンガス等のガスを適宜組み合わせたドライエッチング法を使用する。ITO膜のエッチングには、塩化第二鉄($FeCl_3$)水溶液またはシュウ酸($HOOC-COOH$)水溶液をエッチャントとするウエットエッチング法を使用する。なお、ITO膜をエッチングするために使用されるエッチャントの液温は例えば20～40℃とする。また、 $Ti/Al/Ti$ 積層膜を、フッ化水素酸(HF)と硝酸(HNO_3)とを含むエッチャントを用いてエッチングしてもよく、また同じエッチャントを用いて $Ti/Al/Ti$ 積層膜とITO膜を連続してエッチングしてもよい。ここまでの工程を第1の工程ということがある。

[0077] 次に、ゲート絶縁層・半導体層工程S110について説明する。ゲート絶縁層・半導体層工程S110は、図8に示すように、成膜・レジストパターン形成工程S111、第1のエッチング工程S112、アッシング・第2のエッチング工程S113、および剥離工程S114を含む。

[0078] まず、成膜・レジストパターン形成工程S111について、図10(a)～図10(d)を参照して説明する。プラズマCVD(Chemical Vapor Deposition)法により、窒化シリコン(SiN_x)膜（図示しない）と酸化シリコン(SiO_x)膜（図示しない）を連続して

成膜する。窒化シリコン膜の成膜には、シラン (SiH_4)、アンモニア (NH_3)、水素 (H_2) および窒素 (N_2) ガス等が使用され、酸化シリコン膜の成膜には、シランおよび一酸化二窒素 (N_2O) ガス等が使用される。これにより、 $\text{SiO}_x/\text{SiN}_x$ 積層膜からなる絶縁膜 136 (第1の絶縁膜) を成膜する。なお、窒化シリコン膜の膜厚を例えば 325 nm、酸化シリコン膜の膜厚を 50 nm とする。また、これらの膜の成膜時のガラス基板 101 の温度は例えば 200~300℃ とする。

[0079] 絶縁膜 136 上に、アルゴンガスを用いたスパッタリング法を用いて非晶質の酸化物半導体膜 146 を成膜する。酸化物半導体膜 146 の膜厚を例えば 50 nm とする。酸化物半導体膜 146 として IGZO 膜を成膜する場合、スパッタリング用ターゲットには、インジウム酸化物 (In_2O_3)、ガリウム酸化物 (Ga_2O_3)、亜鉛酸化物 (ZnO) からなる混合物の焼結体を使用される。IGZO 膜に含まれるインジウム、ガリウム、亜鉛の組成比 (原子数比) は、次式 (1) に示すように同じ比率になるように調整する。

$$\text{インジウム} : \text{ガリウム} : \text{亜鉛} = 1 : 1 : 1 \cdots (1)$$

IGZO 膜の成膜時のガラス基板 101 の温度は例えば 100~200℃ とする。なお、IGZO 膜の膜厚および組成比は、式 (1) に示す範囲に限定されず、インジウム、ガリウム、亜鉛の組成比 (原子数比) は互いに異なる比率であってもよい。

[0080] 酸化物半導体膜 146 上に、シランおよび一酸化二窒素等のガスを用いたプラズマ CVD 法により、酸化シリコン膜からなる絶縁膜 156 (第2の絶縁膜) を成膜する。絶縁膜 156 の膜厚は例えば 150 nm とする。絶縁膜 156 を成膜するときのガラス基板 101 の温度は例えば 200~300℃ とする。ここまでの工程を第2の工程ということがある。

[0081] フォトリソグラフィ法を用いて、絶縁膜 156 上にレジストパターン 181 を形成する。レジストパターン 181 は、1枚の石英基板上に透過パターン、半透過パターンおよび非透過パターンが形成されたグレー-tonマスク

またはハーフトーンマスクを用いてレジスト膜を露光することにより形成される。これにより、絶縁膜 156 上に、非透過パターンによって露光光が遮られることにより形成された厚いレジストパターン 181a（第2のレジストパターン）と、半透過パターンを透過した露光光によって形成された薄いレジストパターン 181b（第1のレジストパターン）とを含むレジストパターン 181 が形成される。このように、グレートーンマスクまたはハーフトーンマスクを用いれば、厚いレジストパターン 181a と薄いレジストパターン 181b とを含むレジストパターン 181 を1回のフォトリソグラフィ工程で形成することができるので、アクティブマトリクス基板 100 の製造コストを低減することができる。

[0082] 厚いレジストパターン 181a は、後述する TFT 110 のチャネル保護層 151 が形成されるべき領域に形成される。薄いレジストパターン 181b は後述する半導体層 141 のうちチャネル保護層 151 からはみ出す部分が形成されるべき領域、保持容量形成部 50 が形成されるべき領域等、後述するゲート絶縁層 131 が残されるべき領域に形成される。

[0083] 次に、第1のエッチング工程 S112 について、図 11 (a) ~ 図 11 (d) を参照して説明する。第1のエッチング工程 S112 では、厚いレジストパターン 181a および薄いレジストパターン 181b をマスクとして、絶縁膜 156、酸化物半導体膜 146、絶縁膜 136 を順にエッチングする。絶縁膜 156 および絶縁膜 136 のエッチングには、例えば四塩化炭素（CF₄）ガス、酸素（O₂）ガス等のガスを適宜組み合わせたドライエッチング法を使用する。酸化物半導体膜 146 のエッチングには、シュウ酸を含むエッチャント、または、リン酸、酢酸、硝酸等を含むエッチャントを用いたウエットエッチング法を使用する。なお、酸化物半導体膜 146 のエッチングには、ウエットエッチング法の代わりに、例えば四塩化炭素ガス、酸素ガス、アルゴンガス等のガスを適宜組み合わせたドライエッチング法を使用してもよい。

[0084] これらのエッチングにより、絶縁膜 136 からゲート絶縁層 131 が形成

されるとともに、画素電極 1 2 3 の表面が露出される。ゲート端子 2 5 A では、加工層 4 2 の下層 4 2 a および上層 4 2 b からゲート引出線 2 6 が形成され、下層 4 2 a からゲート端子電極 2 7 が形成される。ソース端子 6 5 A では、加工層 4 3 の下層 4 3 a の表面に到達するコンタクトホール 6 8 が開孔される。また、下層 4 3 a および上層 4 3 b から接続層 1 6 8 を構成する下層 1 6 8 a および上層 1 6 8 b がそれぞれ形成され、下層 4 3 a からソース端子電極 6 7 が形成される。コンタクト部 5 4 A では、保持容量配線幹 5 2 と接続された接続層 1 5 3 の下層 1 5 3 a の表面に到達するコンタクトホール 5 3 が開孔され、加工層 4 4 の下層 4 4 a および上層 4 4 b から接続層 1 5 3 を構成する下層 1 5 3 a および上層 1 5 3 b がそれぞれ形成される。

[0085] 次に、アッシング・第 2 のエッチング工程 S 1 1 3 について、図 1 2 (a) ~ 図 1 2 (d) を参照して説明する。アッシング・第 2 のエッチング工程 S 1 1 3 では、レジストパターン 1 8 1 のハーフアッシングを行うことによって、薄いレジストパターン 1 8 1 b を除去し、厚いレジストパターン 1 8 1 a を残す。ハーフアッシングは、四塩化炭素ガスと酸素ガスを組み合わせたガスを用いて行う。

[0086] 次に、残された厚いレジストパターン 1 8 1 a をマスクとして、ドライエッチング法により絶縁膜 1 5 6 および酸化物半導体膜 1 4 6 をエッチングする。これにより、チャネル保護層 1 5 1 および半導体層 1 4 1 が形成される。また、ゲート端子 2 5 A、ソース端子 6 5 A およびコンタクト部 5 4 A では、絶縁膜 1 5 6 および酸化物半導体膜 1 4 6 が除去され、ゲート絶縁層 1 3 1 の表面が露出される。

[0087] なお、エッチングによって形成されたチャネル保護層 1 5 1 の形状は、半導体層 1 4 1 の形状よりも小さくなる。このため、半導体層 1 4 1 の周辺部がチャネル保護層 1 5 1 の周囲にはみ出す。半導体層 1 4 1 の周辺部がはみ出すようにする製造方法の詳細については後述する。

[0088] 剥離工程 S 1 1 4 では、図 1 3 (a) ~ 図 1 3 (d) に示すように、有機アルカリを含む剥離液を用いて厚いレジストパターン 1 8 1 a を剥離する。

ここまでの工程を第3の工程ということがある。

[0089] ソース層工程S120について、図14(a)～図14(d)を参照して説明する。まずアルゴンガスを用いたスパッタリング法により、ガラス基板101の全体を覆うように、Ti/Al積層膜からなるソース金属膜166を成膜する。ソース金属膜166を構成するチタン膜の膜厚は200nmであり、アルミニウム膜の膜厚は30nmである。なお、ソース金属膜166の成膜時のガラス基板101の温度は例えば100～200℃とする。次に、ソース金属膜166上に、プラズマCVD法を用いて保護膜176を成膜する。次に、保護膜176上に、フォトリソグラフィ法を用いてレジストパターン183(第3のレジストパターン)を形成する。レジストパターン183は、データ信号線61、ソース電極161、ドレイン電極162、ドレイン引出線163、保持容量配線51が形成されるべき領域上、および、ソース端子65Aのソース引出線66が形成されるべき領域上に形成される。

[0090] レジストパターン183をマスクとして、保護膜176、ソース金属膜166の順にエッチングする。これにより、図3(b)に示すように、保護膜176から保護層171が形成され、ソース金属膜166からデータ信号線61、ソース電極161、ドレイン電極162、ドレイン引出線163、保持容量配線51、ソース引出線66、保持容量配線51が形成される。また、画素電極123、ゲート端子電極27およびソース端子電極67の表面が露出される。なお、保護膜176のエッチングには、例えば、四フッ化炭素ガス、酸素ガス等のガスを適宜組み合わせたドライエッチング法を使用する。ソース金属膜166のエッチングには、例えば、塩素ガス、三塩化ホウ素ガス、アルゴンガス等のガスを適宜組み合わせたドライエッチング法を使用する。さらに、有機アルカリを含む剥離液を用いてレジストパターン183を剥離する。ここまでの工程を第4の工程ということがある。このようにして、図3～図6に示すアクティブマトリクス基板100が製造される。

[0091] 次に、アッシング・第2のエッチング工程S113の第2のエッチングによって、半導体層141の周辺部がチャネル保護層151のエッジからはみ

出す理由を説明する。図 15 (a) ~ 図 15 (e) は、図 12 に示すチャネル保護層 151 および半導体層 141 をドライエッチング法によって形成するときの形状の変化を示す工程断面図である。図 15 (a) に示すように、ゲート絶縁層 131 上に積層された酸化物半導体膜 146 および絶縁膜 156 をエッチングするために、薄いレジストパターン（図示しない）をハーフアッシングによって除去する。これにより、絶縁膜 156 上に厚いレジストパターン 181a だけが残る。残された厚いレジストパターン 181a は、ハーフアッシングによって膜厚が減少している。

[0092] 図 15 (b) に示すように、厚いレジストパターン 181a をマスクとして、ドライエッチング法により、絶縁膜 156、酸化物半導体膜 146 の順にエッチングし、チャネル保護層 151 および半導体層 141 を形成する。

[0093] 図 15 (c) に示すように、厚いレジストパターン 181a の表面をわずかに除去するためのアッシングを行う。これにより、厚いレジストパターン 181a は、膜厚が薄くなるとともに、形状が小さくなったレジストパターン 182 になり、レジストパターン 182 の周囲にはチャネル保護層 151 の表面が露出する。

[0094] 図 15 (d) に示すように、レジストパターン 182 をマスクにして、さらにチャネル保護層 151 をエッチングする。これにより、チャネル保護層 151 は、小さくなったレジストパターン 182 と同じ大きさのチャネル保護層 152 になる。この結果、半導体層 141 の周辺部がチャネル保護層 152 エッジからはみ出すので、半導体層 141 とチャネル保護層 152 との間に段差が形成され、それらは階段状に積層される。

[0095] 図 15 (e) に示すように、レジストパターン 182 を剥離する。そして、チャネル保護層 152 の左上面から左側に延びるソース電極 161 と、チャネル保護層 152 の右上面から右側に延びるドレイン電極 162 を形成する。この場合、図 15 (e) の太線で示すように、ソース電極 161 は半導体層 141 の左側面および左上面と電氣的に接続され、ドレイン電極 162 は半導体層 141 の右側面および右上面と電氣的に接続される。これにより

、ソース電極１６１およびドレイン電極１６２と半導体層１４１との電氣的接続の信頼性を高くすることができる。また、段差を形成するためのフォトリソグラフィ工程を新たに追加する必要がないので、アクティブマトリクス基板１００の製造コストを低減することができる。

[0096] また、図１５（ｂ）に示すエッチングでは、厚いレジストパターン１８１ aと、絶縁膜１５６と、酸化物半導体膜１４６のエッチング速度はほぼ同じであるとした。しかし、図１５（ｂ）に示すエッチングにおいて、厚いレジストパターン１８１ a、絶縁膜１５６、酸化物半導体膜１４６の順にエッチング速度が遅くなるような条件でエッチングを行えば、図１５（ｃ）および図１５（ｄ）の工程を省略できる。これにより、半導体層１４１とチャネル保護層１５１との間の段差をより簡略に形成することができるので、アクティブマトリクス基板１００の製造コストをより一層低減することができる。

[0097] なお、以下に説明する各実施形態でも、本実施形態の場合と同様に、チャネル保護層が半導体層よりも小さくなることによって、ソース電極およびドレイン電極は半導体層の側面だけではなく、その上面とも電氣的に接続されている。しかし、以下では、簡略化のために、チャネル保護層は半導体層と同じ大きさであるとして説明する。

[0098] ＜１．４ 効果＞

ゲート絶縁層・半導体層工程Ｓ１１０では、厚いレジストパターン１８１ aと薄いレジストパターン１８１ bをマスクとしてエッチングし、ゲート端子電極２７と、ソース端子電極６７と、画素電極１２３と、保持容量配線幹５２のコンタクトホール５３を形成する。次に、薄いレジストパターン１８１ bを除去した後に、残された厚いレジストパターン１８１ aをマスクとしてエッチングし、ＴＦＴ１１０の半導体層１４１と、半導体層１４１の上面にチャネル保護層１５１を形成する。さらに、ソース層工程Ｓ１２０では、レジストパターン１８３をマスクとしてエッチングし、ソース電極１６１と、ドレイン電極１６２と、ドレイン引出線１６３と、ソース引出線６６と、データ信号線６１と、コンタクトホール５３で保持容量配線幹５２と接続さ

れた保持容量配線 5 1 を形成する。このように、各工程におけるレジストパターン形成の形成回数をそれぞれ 1 回ずつにしても、画素電極 1 2 3 を含む必要な構成要素を形成することができる。これにより、製造工程の中でも特に多くの製造設備を必要とするフォトリソグラフィ工程の回数を少なくすることができるので、アクティブマトリクス基板 1 0 0 の製造コストを低減することができる。

[0099] < 1. 5 変形例 >

上記アクティブマトリクス基板 1 0 0 の変形例であるアクティブマトリクス基板 2 0 0 について説明する。図 1 6 (a) は、アクティブマトリクス基板 2 0 0 に形成された画素 2 0 の構成を示す拡大平面図であり、図 1 6 (b) は、図 1 6 (a) に示す F - F 線に沿った画素 2 0 の断面図である。図 1 7 (a) は、図 4 に示すゲート端子 2 5 A の変形例であるゲート端子 2 5 B の構成を示す平面図であり、図 1 7 (b) は図 1 7 (a) に示す G - G 線に沿ったゲート端子 2 5 B の断面図である。図 1 8 (a) は、図 5 に示すソース端子 6 5 A の変形例であるソース端子 6 5 B の構成を示す平面図であり、図 1 8 (b) は図 1 8 (a) に示す H - H 線に沿ったソース端子 6 5 B の断面図である。図 1 9 (a) は、図 6 に示すコンタクト部 5 4 A の変形例であるコンタクト部 5 4 B (第 1 のコンタクト部) の構成を示す平面図であり、図 1 9 (b) は図 1 9 (a) に示す I - I 線に沿ったコンタクト部 5 4 B の断面図である。図 1 6 ~ 1 9 に示すように、アクティブマトリクス基板 2 0 0 では、アクティブマトリクス基板 1 0 0 と異なり、ソース電極 1 6 1 、ドレイン電極 1 6 2 等の表面に保護層 1 7 1 が設けられていない。そこで、保護層 1 7 1 が設けられていないアクティブマトリクス基板 2 0 0 の構成を説明する。なお、図 1 6 ~ 図 1 9 に示す構成要素のうち、図 3 ~ 図 6 に示す構成要素と同じ構成要素については同じ参照符号を付して、その説明を省略する。

[0100] アクティブマトリクス基板 2 0 0 の表面に保護層 1 7 1 が設けられていないので、データ信号線 6 1 、ドレイン引出線 1 6 3 、保持容量配線 5 1 、ソ

ース引出線 66、および TFT210（第 1 の薄膜トランジスタ）のソース電極 161 とドレイン電極 162 の表面は露出している。そこで、これらの配線の腐食耐性を確保するために、これら配線の最上層に腐食耐性が比較的高いチタン層またはチタンを主成分とする金属層を配置することが好ましい。具体的には、これらの配線を、Ti / Al / Ti 積層膜、Ti / Al 積層膜、Ti / Cu / Ti 積層膜、Ti / Al 積層膜のいずれかを用いて形成することが好ましい。これにより、アクティブマトリクス基板 200 の信頼性を高くすることができる。また、腐食を防止するための保護層 171 を形成する必要がないので、アクティブマトリクス基板 200 の製造コストを低減することができる。

[0101] また、他の変形例として、図 4 に示すゲート端子 25A および図 5 に示すソース端子 65A の代わりに、次に説明するゲート端子およびソース端子を用いてもよい。図 20 (a) は、図 4 に示すゲート端子 25A の変形例であるゲート端子 25C の構成を示す平面図であり、図 20 (b) は、図 20 (a) に示す J-J 線に沿ったゲート端子 25C の断面図である。図 21 (a) は、図 5 に示すソース端子 65A の変形例であるソース端子 65C の構成を示す平面図であり、図 21 (b) は、図 21 (a) に示す K-K 線に沿ったソース端子 65C の断面図である。

[0102] 図 4 に示すゲート端子 25A では、ゲート端子電極 27 は ITO 等の透明金属膜のみによって形成されているので、電気抵抗が高くなりやすい。このため、図 3 に示すアクティブマトリクス基板 100 を液晶テレビのような大型の表示装置に用いた場合に表示品位が低下する可能性がある。そこで、ゲート端子 25C では、透明金属膜からなるゲート端子電極 27 の周囲を導電層 28（第 1 の導電層）で囲む。導電層 28 は、ゲート電極 121 の上層 121b と同様に、Ti / Al / Ti 膜からなるので導電率が高い。このような導電層 28 を設けることにより、ゲート端子 25C の電気抵抗を補助的に下げることができる。これにより、ゲート端子 25C では、異方性導電フィルム（ACF）等を介して外部基板 9 から入力される電気信号の波形劣化が

抑えられる。このようなゲート端子 25 C を有するアクティブマトリクス基板を液晶テレビのような大型の表示装置に用いれば、表示品位の低下を防止することができる。

[0103] ソース端子 65 C でも同様に、ITO のみからなるソース端子電極 67 の周囲を導電層 69 で囲む。導電層 69 (第 1 の導電層) は、導電層 28 と同様に Ti / Al / Ti 膜からなるので導電率が高い。これにより、ゲート端子 25 C の場合と同様に、ソース端子 65 C でも、ACF 等を介して入力される外部基板 9 から入力される電気信号の波形劣化が抑えられ、大型の表示装置に用いれば表示品位の低下を防止することができる。なお、ゲート端子電極 27 の周囲に形成された導電層 28、ソース端子電極 67 の周囲に形成された導電層 69 はゲート絶縁層 131 で覆われている。このため、導電層 28、および導電層 69 の信頼性が確保されている。

[0104] 次に、ゲート端子 25 C のゲート端子電極 27 の周囲に導電層 28 を形成することにより、ACF 等を介して外部基板 9 から入力される電気信号の波形劣化が抑えられる理由を説明する。図 22 (a) は、ゲート端子電極 27 の周囲に導電層 28 を形成しなかったゲート端子 25 A に電流が流れる経路を示す図であり、図 22 (b) は、ゲート端子電極 27 の周囲に導電層 28 を形成したゲート端子 25 C に電流が流れる経路を示す図である。

[0105] 図 22 (a) に示すように、ACF に含まれる導電粒子とゲート端子電極 27 との接続点 P とする。この場合、外部基板 9 から与えられる電流は、ゲート引出線 26 に向かって矢印の方向に流れる。しかし、ゲート端子電極 27 は透明金属膜のみからなるので、その抵抗値は非常に高い。このため、電気信号の波形が劣化する。

[0106] 次に、図 22 (b) に示すように、ゲート端子電極 27 の周囲に導電層 28 を形成する。ACF に含まれる導電粒子とゲート端子電極 27 との接続点 P の位置は、図 22 (a) に示す場合と同じであるとする。この場合、抵抗値が最も低い経路は、矢線で示す経路である。すなわち、接続点 P と、接続点 P から最も近い導電層 28 の位置 Q とを直線で結び、さらに位置 Q から導

電層 28 に沿ってゲート引出線 26 に至る経路である。そこで、外部基板 9 から与えられる電流が、このような抵抗値が最も低い経路を通して流れれば、電気信号の波形劣化を防止することができる。なお、導電層 28 の導電率は透明金属膜の導電率の $1/10 \sim 1/100$ であるので、位置 P から位置 Q に至る経路のようにゲート引出線 26 から遠ざかるような経路が含まれていても、実質的な抵抗値はほぼ同じである。また、ここではゲート端子 25 C について説明したが、ソース端子 65 C の場合も同様である。

[0107] また、ゲート端子 25 A の他の変形例を説明する。図 23 は、ゲート端子 25 A の他の変形例であるゲート端子 25 D を示す図である。図 23 に示すように、ゲート端子 25 D では、ゲート端子電極 27 の周囲に導電層 28 を形成するだけでなく、さらにその内部に、周囲の導電層 28 と電氣的に接続された格子状の導電層 29（第 2 の導電層）を形成する。これにより、ACF に含まれる導電粒子とゲート端子電極 27 との接続点 P から導電層 29 までの距離をより短くすることができるので、電流が流れる経路の抵抗値をより低くすることができる。導電層 29 の形状を格子状にすることにより、電流がより一層流れやすくなり、外部基板 9 から入力される電気信号の波形劣化がより一層抑えられる。なお、ここではゲート端子 25 D を例に挙げて説明したが、ソース端子の場合も同様である。

[0108] <2. 第 2 の実施形態>

本発明の第 2 の実施形態に係る液晶表示装置の構成は、図 1（a）および図 1（b）に示す液晶表示装置 10 の構成と同じであるため、図およびその説明を省略する。

[0109] <2. 1 アクティブマトリクス基板の構成>

本実施形態に係る液晶表示装置に含まれるアクティブマトリクス基板 300 の構成は、図 2 に示すアクティブマトリクス基板 100 と実質的に同じであるため、図およびその説明を省略する。

[0110] アクティブマトリクス基板 300 に形成された画素 20 の構成を詳細に説明する。図 24（a）は、アクティブマトリクス基板 300 に形成された画

素 20 の構成を示す拡大平面図であり、図 24 (b) は、図 24 (a) に示す L-L 線に沿った画素 20 の断面図である。図 24 (a) に示すアクティブマトリクス基板 300 の構成要素のうち、図 3 (a) に示すアクティブマトリクス基板 100 の構成要素と同じ構成要素については、同じ参照符号を付し、異なる構成要素を中心に説明する。

[0111] アクティブマトリクス基板 300 では、アクティブマトリクス基板 100 と異なり、TFT310 (第 1 の薄膜トランジスタ) の半導体層 341 はソース電極 361 とドレイン電極 362 とに挟まれたゲート絶縁層 131 上に形成され、半導体層 341 の下面は、ソース電極 361 およびドレイン電極 362 の上面と電氣的に接続されている。半導体層 341 の上面は保護層 351 (第 3 の保護層) で覆われている。なお、TFT310 のように、ソース電極 361 およびドレイン電極 362 の上面に半導体層 341 を設けた TFT をボトムコンタクト型の TFT ということがある。

[0112] アクティブマトリクス基板 100 では、画素電極 123 はドレイン引出線 163 と直接接続されていた。しかし、本実施形態では、画素電極 323 は、半導体層 341 と同じ層からなる接続電極 343 (第 1 の接続電極) を介してドレイン引出線 363 と電氣的に接続されている。接続電極 343 は保護層 351 で覆われている。

[0113] 図 25 (a) は、図 4 に示すゲート端子 25A の変形例であるゲート端子 25E の構成を示す平面図であり、図 25 (b) は、図 25 (a) に示す M-M 線に沿ったゲート端子 25E の断面図である。図 25 (a) および図 25 (b) に示すように、ゲート端子 25E は、図 4 (a) および図 4 (b) に示すゲート端子 25A と同じ構成であるので、同じ参照符号を付してその説明を省略する。

[0114] 図 26 (a) は、図 5 に示すソース端子 65A の変形例であるソース端子 65E の構成を示す平面図であり、図 26 (b) は、図 26 (a) に示す N-N 線に沿ったソース端子 65E の断面図である。図 5 (a) および図 5 (b) に示すソース端子 65A では、ソース端子電極 67 は、コンタクトホー

ル68を有する接続層168を介してソース引出線66と電氣的に接続されていた。しかし、本実施形態のソース端子65Eでは、図26(a)および図26(b)に示すように、ソース引出線66は接続電極344(第2の接続電極)と電氣的に接続され、接続電極344は接続層168と電氣的に接続されている。これにより、ソース引出線66は、ソース端子電極67と電氣的に接続される。なお、ソース引出線66はソース電極361と同じ工程で形成され、ソース金属膜からなる。接続電極344は半導体層341と同じ工程で形成され、酸化物半導体膜からなる。また、接続電極344は保護層351により覆われているが、ソース端子電極67は覆われていない。

[0115] 図27(a)は、図6に示すコンタクト部54Aの変形例であるコンタクト部54Eの構成を示す平面図であり、図27(b)は、図27(a)に示すP-P線に沿ったコンタクト部54Eの断面図である。図6(a)および図6(b)に示すコンタクト部54Aでは、保持容量配線51は、コンタクトホール53を有する接続層153を介して保持容量配線幹52と電氣的に接続されていた。しかし、本実施形態のコンタクト部54E(第1のコンタクト部)では、図27(a)および図27(b)に示すように、保持容量配線51は接続電極345と電氣的に接続され、接続電極345は接続層153と電氣的に接続されている。これにより、保持容量配線51は保持容量配線幹52と電氣的に接続される。保持容量配線51はソース電極361と同じ工程で形成され、ソース金属膜からなる。接続電極345は半導体層341と同じ工程で形成され、酸化物半導体膜からなる。また、接続電極345は保護層351で覆われている。なお、保持容量配線端子は、図25(a)および図25(b)に示すゲート端子25Eのゲート引出線26を保持容量配線幹引出線56に置き換え、ゲート端子電極27を保持容量配線端子電極に置き換えるだけでよいので、保持容量配線端子の構成を示す図およびその説明を省略する。

[0116] <2.2 アクティブマトリクス基板の製造方法>

アクティブマトリクス基板300の製造方法について説明する。図28は

、アクティブマトリクス基板 300 の製造工程を示すフローチャートであり、図 29 は、図 28 に示す製造工程のうち、ゲート絶縁層・ソース層工程 S310 の詳細な製造工程を示すフローチャートである。図 28 に示すように、アクティブマトリクス基板 300 の製造工程は、画素電極層・ゲート層工程 S100、ゲート絶縁層・ソース層工程 S310、および、半導体層工程 S320 の 3 つの工程を含む。各工程には、第 1 の実施形態の場合と同様に、フォトリソグラフィ工程が 1 回ずつ含まれるので、アクティブマトリクス基板 300 を製造するために、合計 3 枚のフォトマスクが使用される。なお、図 28 では、図 7 に示すゲート絶縁層・半導体層工程 S110 の代わりにゲート絶縁層・ソース層工程 S310 が設けられ、またソース層工程 S120 の代わりに半導体層工程 S320 が設けられている。そこで、以下の説明では、画素電極層・ゲート層工程 S100 については簡単に説明し、ゲート絶縁層・ソース層工程 S310、および、半導体層工程 S320 について説明する。

[0117] 図 30～図 34 は、アクティブマトリクス基板 300 の製造工程を示す工程断面図である。図 30～図 34 の各 (a) は図 24 (a) に示す L-L 線に沿った画素 20 の工程断面図であり、図 30～図 34 の各 (b) は図 25 (a) に示す M-M 線に沿ったゲート端子 25E の工程断面図であり、図 30～図 34 の各 (c) は図 26 (a) に示す N-N 線に沿ったソース端子 65E の工程断面図であり、図 30～図 34 の各 (d) は図 27 (a) に示す P-P 線に沿ったコンタクト部 54E の工程断面図である。

[0118] 画素電極層・ゲート層工程 S100 では、第 1 の実施形態の場合と同様に、ガラス基板 101 上に走査信号線 21、ゲート電極 121、加工層 41～44 を形成する。ここで、走査信号線 21、ゲート電極 121、および、加工層 41～44 はいずれも 2 層構造であって、それぞれの下層 21a、121a、41a～44a は ITO 膜からなり、上層 21b、121b、41b～44b は Ti / Al / Ti 積層膜からなる。ここまでの工程を第 1 の工程ということがある。

- [0119] 次に、走査信号線 2 1、ゲート電極 1 2 1等を覆うように、窒化シリコン膜と酸化シリコン膜とを連続して成膜し、絶縁膜 1 3 6を形成する。なお、窒化シリコン膜および酸化シリコン膜の成膜時の原料ガス、膜厚およびガラス基板 1 0 1の温度は、第 1の実施形態の場合と同じであるので、それらの説明を省略する。
- [0120] 次に、ゲート絶縁層・ソース層工程 S 3 1 0について説明する。ゲート絶縁層・ソース層工程 S 3 1 0は、図 2 9に示すように、成膜・レジストパターン膜形成工程 S 3 1 1、第 1のエッチング工程 S 3 1 2、アッシング・第 2のエッチング工程 S 3 1 3、および剥離工程 S 3 1 4を含む。
- [0121] 成膜・レジストパターン膜形成工程 S 3 1 1では、図 3 0 (a) ~ 図 3 0 (d) に示すように、絶縁膜 1 3 6上にソース金属膜 3 6 6を形成する。ソース金属膜 3 6 6は、Al/Ti積層膜からなる。なお、ソース金属膜 3 6 6の成膜方法、膜厚およびガラス基板 1 0 1の温度は、第 1の実施形態の場合と同じであるため、それらの説明を省略する。ここまでの工程を第 2の工程ということがある。
- [0122] フォトリソグラフィ法を用いてソース金属膜 3 6 6上にレジストパターン 3 8 1を形成する。レジストパターン 3 8 1は、第 1の実施形態の場合と同様に、グレートンマスクまたはハーフトンマスクを用いて露光することにより形成される。これにより、ソース金属膜 3 6 6上に、厚いレジストパターン 3 8 1 a (第 2のレジストパターン) と薄いレジストパターン 3 8 1 b (第 1のレジストパターン) とを含むレジストパターン 3 8 1が形成される。このように、グレートンマスクまたはハーフトンマスクを用いれば、厚いレジストパターン 3 8 1 a と薄いレジストパターン 3 8 1 b とを含むレジストパターン 3 8 1を 1回のフォトリソグラフィ工程で形成することができるので、アクティブマトリクス基板 3 0 0の製造コストを低減することができる。
- [0123] 厚いレジストパターン 3 8 1 aは、後述する TFT 3 1 0のソース電極 3 6 1、ドレイン電極 3 6 2、ドレイン引出線 3 6 3、データ信号線 6 1、保

持容量配線 5 1、および、ソース引出線 6 6 が形成されるべき領域に形成される。薄いレジストパターン 3 8 1 b は、T F T 3 1 0 のソース電極 3 6 1 とドレイン電極 3 6 2 とによって挟まれるべき領域、走査信号線 2 1 の上方、保持容量配線 5 1 が形成されるべき領域に隣接する領域等、後述するゲート絶縁層 1 3 1 が残されるべき領域に形成される。

[0124] 第 1 のエッチング工程 S 3 1 2 では、図 3 1 (a) ~ 図 3 1 (d) に示すように、厚いレジストパターン 3 8 1 a、および、薄いレジストパターン 3 8 1 b をマスクとして用いて、ソース金属膜 3 6 6、絶縁膜 1 3 6、加工層 4 1 ~ 4 4 の各上層 4 1 b、4 2 b、4 3 b、4 4 b を順にエッチングする。絶縁膜 1 3 6 のエッチングには、例えば四塩化炭素ガス、酸素ガス等のガスを適宜組み合わせたドライエッチング法を使用する。ソース金属膜 3 6 6 および加工層 4 1 ~ 4 4 の各上層 4 1 b、4 2 b、4 3 b、4 4 b のエッチングには、例えば、塩素ガス、三塩化ホウ素ガス、アルゴンガス等のガスを適宜組み合わせたドライエッチング法を使用する。これらのエッチングにより、ソース金属層 3 6 7 およびゲート絶縁層 1 3 1 が形成され、加工層 4 1 ~ 4 4 ではそれぞれの下層 4 1 a ~ 4 4 a の表面が露出される。

[0125] 加工層 4 1 の下層 4 1 a から画素電極 1 2 3 が形成され、上層 4 1 b から電極 1 2 4 が形成される。また、加工層 4 2 ~ 4 4 の下層 4 2 a ~ 4 4 a からゲート引出線 2 6、接続層 1 6 8、接続層 1 5 3 の下層 2 6 a、1 6 8 a、1 5 3 a がそれぞれ形成され、上層 4 2 b ~ 4 4 b からゲート引出線 2 6、接続層 1 6 8、接続層 1 5 3 の上層 2 6 b、1 6 8 b、1 5 3 b がそれぞれ形成される。

[0126] アッシング・第 2 のエッチング工程 S 3 1 3 では、図 3 2 (a) ~ 図 3 2 (d) に示すように、レジストパターン 3 8 1 のハーフアッシングを行うことによって、薄いレジストパターン 3 8 1 b を除去し、厚いレジストパターン 3 8 1 a を残す。残された厚いレジストパターン 3 8 1 a は、ハーフアッシングによって膜厚が減少している。次に、残された厚いレジストパターン 3 8 1 a をマスクとして、ドライエッチング法により、ソース金属層 3 6 7

をエッチングする。これにより、データ信号線 6 1、ソース電極 3 6 1、ドレイン電極 3 6 2、ドレイン引出線 3 6 3、保持容量配線 5 1、ソース引出線 6 6 を形成する。なお、レジストパターン 3 8 1 のハーフアッシングは、第 1 の実施形態の場合と同じであるので、その説明を省略する。また、ソース金属層 3 6 7 のエッチングは、第 1 のエッチング工程 S 3 1 2 におけるソース金属膜 3 6 6 のエッチングと同様に、例えば塩素ガス、三塩化ホウ素ガス、アルゴンガス等のガスを適宜組み合わせたドライエッチング法を用いて行う。

[0127] 剥離工程 S 3 1 4 では、図 3 3 (a) ~ 図 3 3 (d) に示すように、有機アルカリを含む剥離液を用いて厚いレジストパターン 3 8 1 a を剥離する。ここまでの工程を第 3 の工程ということがある。

[0128] 半導体層工程 S 3 2 0 では、まず、図 3 4 (a) ~ 図 3 4 (d) に示すように、ゲート絶縁層 1 3 1 上に、IGZO 膜からなる酸化物半導体膜 3 4 6 を成膜する。酸化物半導体膜 3 4 6 は、第 1 の実施形態の場合と同様に、スパッタリング法によって成膜される。酸化物半導体膜 3 4 6 の成膜方法および組成比は、第 1 の実施形態の場合と同じであるので、その説明を省略する。また、酸化物半導体膜 3 4 6 の膜厚および成膜時のガラス基板 1 0 1 の温度も、第 1 の実施形態の場合と同じであるため、それらの説明を省略する。

[0129] 酸化物半導体膜 3 4 6 上に、シランおよび一酸化二窒素等のガスを用いたプラズマ CVD 法により、酸化シリコン膜からなる保護膜 3 5 6 (第 2 の絶縁膜) を成膜する。保護膜 3 5 6 の膜厚は例えば 150 nm とする。保護膜 3 5 6 を成膜するときのガラス基板 1 0 1 の温度は例えば 200 ~ 300 °C とする。

[0130] フォトリソグラフィ法を用いて、保護膜 3 5 6 上にレジストパターン 3 8 3 (第 3 のレジストパターン) を形成する。レジストパターン 3 8 3 をマスクとして、保護膜 3 5 6、酸化物半導体膜 3 4 6 の順にエッチングする。これにより、図 2 4 (b)、図 2 6 (b) および図 2 7 (b) に示すように、保護層 3 5 1、半導体層 3 4 1、接続電極 3 4 3 ~ 3 4 5 が形成される。な

お、保護膜 356 および酸化物半導体膜 346 のエッチングは、第 1 の実施形態の場合と同じであるので、それらの説明を省略する。その後、有機アルカリを含む剥離液を用いてレジストパターン 383 を剥離する。ここまでの工程を第 4 の工程ということがある。このようにして、図 24～図 27 に示すアクティブマトリクス基板 300 が製造される。

[0131] <2. 3 効果>

IGZO 膜は基板加熱処理の影響を受けやすい。例えばソース金属膜 366 をスパッタリング法によって成膜する際に、アクティブマトリクス基板 300 に加わる温度（例えば 100℃～200℃）によって、TFT 310 の特性が影響を受けることがある。しかし、ソース金属膜 366 を成膜した後に半導体層 341 になる IGZO 膜を成膜するボトムコンタクト型の TFT 310 では、IGZO 膜はソース金属膜 366 の成膜時の温度の影響を受けない。そこで、TFT 310 では、トップコンタクト型の TFT 110 に比べて、その特性が安定する。このような TFT 310 は、さらに以下のような効果を有する。

[0132] ゲート絶縁層・ソース層工程 S310 では、厚いレジストパターン 381a と薄いレジストパターン 381b をマスクとしてエッチングし、ゲート端子電極 27 と、ソース端子電極 67 と、画素電極 123 と、保持容量配線幹 52 のコンタクトホール 53 を形成する。次に、薄いレジストパターン 381b を除去した後に、残された厚いレジストパターン 381a をマスクとしてエッチングし、ソース電極 161 と、ドレイン電極 162 と、ドレイン引出線 163 と、ソース引出線 66 と、データ信号線 61 と、コンタクトホール 53 で保持容量配線幹 52 と接続される保持容量配線 51 を形成する。さらに、半導体層工程 S320 では、レジストパターン 383 をマスクとして保護膜 356 と酸化物半導体膜 346 を順にエッチングし、半導体層 341 と、接続電極 343～345 と、それらを覆う保護層 351 とを形成する。このように、各工程におけるレジストパターンの形成回数をそれぞれ 1 回ずつにしても、画素電極 123 を含む必要な構成要素を形成することができる。

。これにより、製造工程の中でも特に多くの製造設備を必要とするフォトリソグラフィ工程の回数を少なくすることができるので、アクティブマトリクス基板 300 の製造コストを低減することができる。

[0133] また、ドレイン引出線 363 と画素電極 123、ソース引出線 66 とソース端子 65E のソース端子電極 67、および、保持容量配線 51 と保持容量配線幹 52 とを直接接続することができない。そこで、第 3 のレジストパターン 383 をマスクとして酸化物半導体膜 346 をエッチングすることにより、ドレイン引出線 363 と画素電極 123 とを接続する接続電極 343、ソース引出線 66 とソース端子電極 67 とを接続する接続電極 344、および、保持容量配線 51 と保持容量配線幹 52 とを接続する接続電極 345 を形成する。このように、製造工程を新たに追加することなく、ドレイン引出線 363 と画素電極 123、ソース引出線 66 とソース端子電極 67、および、保持容量配線 51 と保持容量配線幹 52 とを接続することができるので、アクティブマトリクス基板 300 の製造コストを低減することができる。

[0134] <3. 第 3 の実施形態>

本発明の第 3 の実施形態に係る液晶表示装置の構成は、図 1 (a) および図 1 (b) に示す液晶表示装置 10 の構成と同じであるため、図およびその説明を省略する。

[0135] <3. 1 アクティブマトリクス基板の構成>

本実施形態に係る液晶表示装置に含まれるアクティブマトリクス基板 400 の構成は、図 2 に示すアクティブマトリクス基板 100 の構成と実質的に同じであるため、図およびその説明を省略する。

[0136] アクティブマトリクス基板 400 に形成された画素 20 の構成を詳細に説明する。図 35 (a) は、アクティブマトリクス基板 400 に形成された画素 20 の構成を示す拡大平面図であり、図 35 (b) は、図 35 (a) に示す Q-Q 線に沿った画素 20 の断面図である。図 35 (a) および図 35 (b) に示すように、TFT 410 (第 1 の薄膜トランジスタ)、データ信号線 61、走査信号線 21、保持容量形成部 50、および画素電極 123 の構

成は、第1の実施形態の場合と同様である。そこで、アクティブマトリクス基板400の構成要素のうち、図3(a)および図3(b)に示すアクティブマトリクス基板100の構成要素と同じ構成要素については、同じ参照符号を付し、異なる構成要素を中心に説明する。

[0137] アクティブマトリクス基板400が、アクティブマトリクス基板100と異なるのは、ソース電極161、ドレイン電極162等の上面に保護層171が形成されておらず、その代わりにアクティブマトリクス基板400の表面を覆うように層間絶縁層491が形成されていることである。なお、ゲート絶縁層131に設けられた開口部185a、185bの内側の画素電極123上に、層間絶縁層491の開口部186a、186bがそれぞれ設けられている。これにより、開口部186a、186bでは、画素電極123の表面が露出している。

[0138] 図36(a)は、図4に示すゲート端子25Aの変形例であるゲート端子25Fの構成を示す平面図であり、図36(b)は、図36(a)に示すR-R線に沿ったゲート端子25Fの断面図である。図37(a)は、図5に示すソース端子65Aの変形例であるソース端子65Fの構成を示す平面図であり、図37(b)は、図37(a)に示すS-S線に沿ったソース端子65Fの断面図である。図38(a)は、図6に示すコンタクト部54Aの変形例であるコンタクト部54Fの構成を示す平面図であり、図38(b)は、図38(a)に示すT-T線に沿ったコンタクト部54Fの断面図である。図36～図38に示すように、ゲート端子25F、ソース端子65F、およびコンタクト部54F(第1のコンタクト部)は、層間絶縁層491が形成されていること、および、ソース引出線66と保持容量配線51とコンタクトホール53上に保護層171が形成されていないことを除いて、図4～図6に示すゲート端子25A、ソース端子65A、およびコンタクト部54Aとそれぞれ同じである。そこで、対応する構成要素にそれぞれ同じ参照符号を付して、それらの説明を省略する。

[0139] 層間絶縁層491は、ゲート端子25Fではゲート引出線26を覆い、ソ

ース端子 6 5 F ではソース引出線 6 6 を覆い、コンタクト部 5 4 F では、保持容量配線 5 1、保持容量配線幹 5 2 およびコンタクトホール 5 3 を覆っている。しかし、ゲート端子電極 2 7 およびソース端子電極 6 7 は覆われていない。

[0140] なお、アクティブマトリクス基板 4 0 0 でも、アクティブマトリクス基板 1 0 0 と同様に、データ信号線 6 1、ソース電極 1 6 1、ドレイン電極 1 6 2、ドレイン引出線 1 6 3、ソース引出線 6 6、保持容量配線 5 1、保持容量配線幹 5 2、およびコンタクトホール 5 3 上に保護層 1 7 1 を形成し、さらに保護層 1 7 1 を覆うように層間絶縁層 4 9 1 を形成してもよい。

[0141] <3. 2 アクティブマトリクス基板の製造方法>

アクティブマトリクス基板 4 0 0 の製造方法について説明する。図 3 9 は、アクティブマトリクス基板 4 0 0 の製造工程を示すフローチャートである。図 3 9 に示すように、アクティブマトリクス基板 4 0 0 の製造工程は、画素電極層・ゲート層工程 S 1 0 0、ゲート絶縁層・半導体層工程 S 1 1 0、ソース層工程 S 4 2 0、および、層間絶縁層工程 S 4 3 0 の 4 つの工程を含む。画素電極層・ゲート層工程 S 1 0 0 およびゲート絶縁層・半導体層工程 S 1 1 0 は第 1 の実施形態の場合と同じである。ソース層工程 S 4 2 0 は、保護層 1 7 1 を形成しないことを除いて、第 1 の実施形態のソース層工程 S 1 2 0 と同じである。この場合、画素電極層・ゲート層工程 S 1 0 0 からソース層工程 S 4 2 0 までの各工程には、フォトリソグラフィ工程が 1 回ずつ含まれているので、ソース層工程 S 4 2 0 までに 3 枚のフォトマスクが使用される。さらに、層間絶縁膜上にレジストパターンを形成し、レジストパターンをマスクにしてエッチングすることにより、開口部 1 8 6 a、1 8 6 b を有する層間絶縁層 4 9 1 を形成する。このため、フォトマスクがさらに 1 枚必要になる。このように、アクティブマトリクス基板 4 0 0 を製造するために、合計 4 枚のフォトマスクが使用される。

[0142] 層間絶縁層工程 S 4 3 0 について説明する。層間絶縁層工程 S 4 3 0 では、アクリル樹脂を含有するフォトレジストを塗布し、露光、現像することに

よってレジストパターンを形成する。さらに、レジストパターンを、例えば 200℃～220℃で加熱処理する。これにより、レジストパターンは硬化して層間絶縁層 491 になる。このように、アクリル樹脂等を含有するフォトレジストによって層間絶縁層 491 を形成することにより、層間絶縁層 491 の形成工程を短縮することができる。なお、層間絶縁層工程 S430 では、アクリル樹脂を含有するフォトレジストを用いてレジストパターンを形成する代わりに、エポキシ樹脂を含有するフォトレジストを用いてレジストパターンを形成してもよい。また、永久レジストとしてガラス基板 101 上に残る材料によって層間絶縁層 491 を形成してもよい。

[0143] このようにして形成される層間絶縁層 491 は、アクティブマトリクス基板 400 上のデータ信号線 61、ドレイン引出線 163、ソース引出線 66 等のソース金属膜からなる配線の端面、および、半導体層 141 の端面を保護している。

[0144] <3. 3 効果>

アクティブマトリクス基板 400 は、第 1 の実施形態のアクティブマトリクス基板 100 の場合と同様の効果を奏する。

[0145] また、TF T410 等を層間絶縁層 491 で覆うことにより、TF T410 のソース電極 161 およびドレイン電極 162、ドレイン引出線 163、ソース引出線 66 を、保護層 171 で覆わなくても、アクティブマトリクス基板 400 の信頼性を確保することができる。このように、保護層 171 を形成しなくてもよいので、アクティブマトリクス基板 400 の製造コストを低減することができる。

[0146] <4. 第 4 の実施形態>

<4. 1 有機 EL 表示装置の構成>

有機 EL 表示装置は、有機材料からなる発光層を備え、低電圧駆動、全固体型、高速応答性、自発光性という優れた特徴を有する。このような有機 EL 表示装置の駆動方式には、パッシブマトリクス方式と、アクティブマトリクス方式とがある。

[0147] パッシブマトリクス方式の有機ＥＬ表示装置は線順次駆動であるので、各画素に設けられた発光層は、１フレーム期間のうちの選択されている期間だけ発光する。従って、高輝度画像を表示するためには、各画素の発光層に大きな瞬間電力を印加して瞬間輝度を高くしなければならない。このため、パッシブマトリクス方式の有機ＥＬ表示装置では、発光層の劣化が激しく、有機ＥＬ表示装置の製品寿命が短いという問題がある。

[0148] 一方、アクティブマトリクス方式の有機ＥＬ表示装置では、画素ごとにスイッチング素子として機能するＴＦＴと蓄積容量を備えている。これにより、画素が選択されている期間（対応する走査信号線の電位が高電位である期間）以外でも、各画素に設けられる発光層は発光し続けるように駆動される。この場合、アクティブマトリクス方式の有機ＥＬ表示装置では、パッシブマトリクス方式の有機ＥＬ素子と比べて瞬間輝度を低くすることができるので、製品寿命が長くなる。そこで、以下の説明では、アクティブマトリクス方式の有機ＥＬ表示装置、および、それに含まれるアクティブマトリクス基板について説明する。

[0149] 図４０（ａ）は、本発明の第４の実施形態に係るアクティブマトリクス方式の有機ＥＬ表示装置３０の構成を示す平面図であり、図４０（ｂ）は、図４０（ａ）に示すＵ－Ｕ線に沿った有機ＥＬ表示装置３０の断面図である。図４０（ａ）および図４０（ｂ）に示すように、有機ＥＬ表示装置３０は、発光層（図示しない）を形成した有機ＥＬ基板であるアクティブマトリクス基板５００と、シール材１２を用いてアクティブマトリクス基板５００と貼り合わされた封止基板１７とからなる有機ＥＬパネル１８を含み、発光層からの光を有機ＥＬパネル１８の裏面側に発するボトム・エミッション型の表示装置である。有機ＥＬ表示装置３０は、さらに接続用フィルム３、５、複数のゲートドライバ７、複数のソースドライバ８、および外部基板９を備える。

[0150] 図４０（ｂ）に示すように、アクティブマトリクス基板５００と封止基板１７とによって挟まれ、シール材１２によって封止された空間には、発光層

の劣化を防ぐために、窒素ガスやゲッタ剤（図示せず）等が封入されている。なお、有機ＥＬ表示装置３０は、光学部品、回路部品、これらの部品を所定の位置に保持するためのベゼル等を備えるが、図４０（ａ）および図４０（ｂ）ではこれらの記載を省略する。

[0151] また、ゲートドライバ７及びソースドライバ８の配置は、図１に示す液晶表示装置１０の場合と同様である。そこで、図４０（ａ）および図４０（ｂ）に示す構成要素のうち、図１（ａ）および図１（ｂ）に示す構成要素と同じ構成要素については同じ参照符号を付して、その説明を省略する。

[0152] <４．２ アクティブマトリクス基板の構成>

図４１は、図４０に示す有機ＥＬ表示装置３０に含まれるアクティブマトリクス基板５００の構成を示す平面図である。図４１に示すように、アクティブマトリクス基板５００は、複数の画素５２０が設けられた表示領域５１３と、その周囲を囲む周辺領域５１４とを含む。アクティブマトリクス基板５００の周辺領域５１４には、シール材１２が表示領域５１３を囲むように配設されている。

[0153] アクティブマトリクス基板５００のガラス基板１０１上には、図２に示すアクティブマトリクス基板１００のガラス基板１０１上と同様に、 m 本の走査信号線 $GL1 \sim GLm$ と、 n 本のデータ信号線 $SL1 \sim SLn$ と、 $m \times n$ 個の画素５２０が形成されている。そこで、これらについての説明は省略する。

[0154] しかし、アクティブマトリクス基板１００と異なり、アクティブマトリクス基板５００には、 n 本の保持容量配線 $CSL1 \sim CSLn$ の代わりに、 n 本の供給線 $Vdd1 \sim Vddn$ が形成されている。供給線 $Vdd1 \sim Vddn$ は、コンタクト部５５４（第２のコンタクト部）を介して、走査信号線 $GL1 \sim GLm$ と同じ金属膜からなる供給線幹５５２に接続されている。供給線幹５５２は、その両端において、走査信号線 $GL1 \sim GLm$ と同じ金属膜からなる供給線幹引出線５５６を介して供給線端子５５５に接続されている。供給線端子５５５は、図２に示す保持容量配線端子５５Ａと同様に、アク

ティブマトリクス基板 500 の両端にそれぞれ設けられたソース端子部 6 に配置されている。また、共通電極 591 は、表示領域 513 のほぼ全体を覆うように形成され、共通電極 591 の両側の上端に設けられた共通電極引出線 596 によって外部基板 9 に形成された所定の回路と電氣的に接続されている。

[0155] 次に、アクティブマトリクス基板 500 に形成された画素 520 の構成を詳細に説明する。図 42 (a) は画素 520 の構成を示す拡大平面図であり、図 42 (b) は図 42 (a) に示す V-V 線に沿ったアクティブマトリクス基板 500 の断面図であり、図 42 (c) は図 42 (a) に示す W-W 線に沿ったアクティブマトリクス基板 500 の断面図である。また、図 43 は、画素 520 の等価回路である。

[0156] 図 42 および図 43 に示すように、画素 520 は、スイッチング素子として機能する TFT 510 (第 1 の薄膜トランジスタ)、発光層 595 を駆動するための TFT 515 (第 2 の薄膜トランジスタ)、容量 C_{st} 、画素電極 523、共通電極 591、および発光層 595 を含む。TFT 510 および TFT 515 はいずれもトップコンタクト型の TFT である。

[0157] TFT 510 は、ゲート電極 121、ゲート絶縁層 131、半導体層 141、ソース電極 161、およびドレイン電極 162 を含む。ゲート電極 121 は、i 番目の走査信号線 21 (GL i) から分岐し、ソース電極 161 は j 番目のデータ信号線 61 (SL j) から分岐している。半導体層 141 の上面はチャネル保護層 151 で覆われている。ソース電極 161 およびドレイン電極 162 は半導体層 141 と電氣的に接続されている。ドレイン電極 162 はドレイン引出線 163 およびコンタクトホール 565 を介して、TFT 515 のゲート電極 521 に接続されている。

[0158] TFT 515 は、ゲート電極 521、ゲート絶縁層 131、半導体層 541、ソース電極 561、およびドレイン電極 562 を含む。ゲート電極 521 は、ゲート電極 121 とは異なり、走査信号線 21 から分岐しておらず、またデータ信号線 61、供給線 71 等とも接続されていない。ソース電極 5

6 1 は j 番目の供給線 7 1 (V d d j) から分岐している。半導体層 5 4 1 の上面はチャネル保護層 5 5 1 (第 1 の保護層) で覆われている。ソース電極 5 6 1 およびドレイン電極 5 6 2 は、半導体層 5 4 1 と電氣的に接続されている。ドレイン電極 5 6 2 は、さらにドレイン引出線 5 6 3 を介して画素電極 5 2 3 に接続されている。

[0159] 走査信号線 2 1、ゲート電極 1 2 1 およびゲート電極 5 2 1 は、それぞれ上層 2 1 b、1 2 1 b、5 2 1 b と、下層 2 1 a、1 2 1 a、5 2 1 a とからなる 2 層構造である。下層 2 1 a、1 2 1 a、5 2 1 a、および画素電極 5 2 3 は I T O 膜等の透明金属膜からなり、上層 2 1 b、1 2 1 b、5 2 1 b は T i / A l / T i 積層膜からなる。また、データ信号線 6 1、供給線 7 1、ソース電極 1 6 1、5 6 1、ドレイン電極 1 6 2、5 6 2、ドレイン引出線 1 6 3、5 6 3、容量電極 5 6 4 は、ソース金属膜からなる。

[0160] 容量 C s t は、ゲート絶縁層 1 3 1 を介して対向するように配置された容量電極 5 6 4 と、T F T 5 1 5 のゲート電極 5 2 1 の上層 5 2 1 b とによって構成されている。上層 5 2 1 b は、下層 5 2 1 a およびドレイン引出線 1 6 3 を介して、T F T 5 1 0 のドレイン電極 1 6 2 に接続されている。容量 C s t を設けることによって、1 フレーム期間における T F T 5 1 5 のゲート電極 5 2 1 の電位を安定させることができる。これにより、T F T 5 1 5 を流れる電流が安定するので、発光層 5 9 5 の発光強度が安定する。

[0161] 図 4 4 (a) は、図 4 に示すゲート端子 2 5 A の変形例であるゲート端子 2 5 G の構成を示す平面図であり、図 4 4 (b) は、図 4 4 (a) に示す X-X 線に沿ったゲート端子 2 5 G の断面図である。図 4 5 (a) は、図 5 に示すソース端子 6 5 A の変形例であるソース端子 6 5 G の構成を示す平面図であり、図 4 5 (b) は、図 4 5 (a) に示す Y-Y 線に沿ったソース端子 6 5 G の断面図である。図 4 6 (a) は、コンタクト部 5 5 4 の構成を示す平面図であり、図 4 6 (b) は、図 4 6 (a) に示す Z-Z 線に沿ったコンタクト部 5 5 4 の断面図である。図 4 4 および図 4 5 にそれぞれ示すゲート端子 2 5 G およびソース端子 6 5 G は、図 3 6 および図 3 7 にそれぞれ示す

ゲート端子 2 5 F およびソース端子 6 5 F と同じであるため、同じ参照符号を付して説明を省略する。また、図 4 6 に示すコンタクト部 5 5 4 は、図 3 8 に示すコンタクト部 5 4 F の保持容量配線 5 1 の代わりに供給線 7 1 が形成されていること、保持容量配線幹 5 2 の代わりに供給線幹 5 5 2 が形成されていること、および、コンタクトホール 5 5 3 において、供給線 7 1 と供給線幹 5 5 2 とが、下層 6 5 3 a と上層 6 5 3 b とを積層した接続層 6 5 3 を介して電氣的に接続されていることを除いて、図 3 8 に示すコンタクト部 5 4 F とそれぞれ同じである。そこで、それらの説明を省略する。

[0162] <4. 3 アクティブマトリクス基板の製造方法>

図 4 7 は、アクティブマトリクス基板 5 0 0 の製造工程を示すフローチャートである。図 4 7 に示すように、アクティブマトリクス基板 5 0 0 の製造工程は、画素電極層・ゲート層工程 S 1 0 0、ゲート絶縁層・半導体層工程 S 1 1 0、ソース層工程 S 4 2 0、層間絶縁層工程 S 4 3 0、および、発光層・共通電極形成工程 S 5 4 0 の 5 つの工程を含む。画素電極層・ゲート層工程 S 1 0 0 およびゲート絶縁層・半導体層工程 S 1 1 0 は第 1 の実施形態の場合と同じであり、ソース層工程 S 4 2 0 および層間絶縁層工程 S 4 3 0 は、第 3 の実施形態のソース層工程 S 4 2 0 と同じである。画素電極層・ゲート層工程 S 1 0 0 からソース層工程 S 4 2 0 までの各工程には、フォトリソグラフィ工程が 1 回ずつ含まれているので、ソース層工程 S 4 2 0 までに 3 枚のフォトマスクが使用される。さらに、層間絶縁層工程 S 4 3 0 でもフォトマスクがさらに 1 枚必要になる。

[0163] 図 4 7 に示すフローチャートでは、図 3 9 に示すアクティブマトリクス基板 4 0 0 の製造工程に、さらに発光層・共通電極形成工程 S 5 4 0 が追加されている。そこで、画素電極層・ゲート層工程 S 1 0 0 から層間絶縁層工程 S 4 3 0 までの各工程の説明を省略し、発光層・共通電極形成工程 S 5 4 0 について簡単に説明する。

[0164] 発光層・共通電極形成工程 S 5 4 0 では、画素電極 5 2 3 上に、蒸着法、またはインクジェット法等によって発光層 5 9 5 を形成する。次に、アクテ

ィブマトリクス基板 500 の周辺領域 514 を覆った状態で、スパッタリング法を用いてメタル膜を成膜する。メタル膜の成膜後、メタルマスクを取り除くことにより、表示領域 513 の全体を覆う共通電極 591 が形成される。なお、画素電極 523 および共通電極 591 は、アルミニウム、銀、マグネシウム (Mg) ・アルミニウム合金等からなる。また、発光層 595 は、有機 EL 表示装置 30 において一般的に用いられる高分子系または低分子系の材料からなる。

[0165] <4. 4 効果>

アクティブマトリクス基板 400 には、図 3 に示すアクティブマトリクス基板 100 の保持容量配線 51 の代わりに、供給線 71 が形成されているが、アクティブマトリクス基板 100 と同様にして製造することができる。このため、アクティブマトリクス基板 100 の場合と同様の効果を奏する。

[0166] また、有機 EL 表示装置 30 に用いられるアクティブマトリクス基板では、通常発光層を分離する隔壁が必要となる。しかし、アクティブマトリクス基板 500 では、層間絶縁層 491 が隔壁を兼ねるので、新たに隔壁を設ける必要がない。これにより、アクティブマトリクス基板 500 の製造工程を短縮することができる。

[0167] <5. 変形例>

上記各実施形態では、半導体層 141、341、541 を構成する金属酸化物半導体膜は IGZO 膜であるとした。しかし、IGZO 膜の代わりに、亜鉛 (Zn)、インジウム (In)、ガリウム (Ga)、チタン (Ti) 等を主成分とする、例えば Zn-O 系半導体膜 (ZnO 膜)、In-Zn-O 系半導体膜 (IZO 膜)、Zn-Ti-O 系半導体膜 (ZTO 膜)、Ti-O 系半導体膜 (TiO₂ 膜) 等によって半導体層 141、341、541 を構成してもよい。また、半導体層 141、341、541 を、非晶質酸化物半導体膜によって構成する代わりに、膜中に微結晶粒を含む微結晶酸化物半導体膜によって構成してもよい。

[0168] なお、半導体層 141、341、541 を非晶質の IGZO 膜または ZT

O膜によって構成したTFTでは、オン・オフ比が大きくなる。そこで、このようなTFTが形成されたアクティブマトリクス基板500を液晶テレビのような大型の表示装置に用いれば、表示装置の表示品位を向上させることができる。

[0169] 上記各実施形態では、ゲート電極121の下層121a、画素電極123等はITO膜によって構成されとした。しかし、ITO膜の代わりに、インジウム、スズ(Sn)、亜鉛、ガリウム等を主成分とする透明金属膜によって構成してもよい。具体的には、In-Zn-O系膜(IZO膜)、In-Ga-O系膜(IGO膜)、Zn-O系膜(ZnO膜)等によって構成してもよい。

[0170] 上記各実施形態では、ゲート電極121の上層121b、加工層41~44の各上層41b~44b、およびソース金属膜166、366は、アルミニウム、チタン、モリブデン(Mo)、タングステン(W)、銅(Cu)、銀(Ag)等のいずれかからなる単層金属膜またはそれらのうちのいくつかを積層した積層金属膜であってもよい。また、これらの金属は、さらに酸素、窒素、または他の金属元素等を含んでいてもよい。

[0171] また、ゲート電極121の上層121b、加工層41~44の各上層41b~44b、およびソース金属膜166、366は、例えば、アルミニウムとチタンを含むTi/Al/Ti積層膜、Al/Ti積層膜、Ti/Al積層膜でもよく、アルミニウムとモリブデンを含むMo/Al/Mo積層膜、Al/Mo、Mo/Al積層膜でもよく、銅とチタンを含むTi/Cu/Ti積層膜、Cu/Ti、Ti/Cu積層膜でもよく、銅とモリブデンを含むMo/Cu/Mo積層膜、Cu/Mo、Mo/Cu積層膜でもよい。また、ゲート金属膜とソース金属膜166、366は互いに独立に選ぶことができる。なお、ゲート金属膜またはソース金属膜166、366を上記積層膜のいずれかに変更した場合には、成膜条件、エッチング方式、エッチング条件を適宜変更する必要がある。

[0172] 上記各実施形態では、アクティブマトリクス基板100~500の製造方

法を説明した。しかし、上記製造方法は他の回路基板の製造方法にも適用することができる。また、ガラス基板 101 の代わりに、プラスチック基板等の透明絶縁基板を用いてアクティブマトリクス基板 100～500 を製造してもよい。

[0173] <6. 第5の実施形態>

第1の実施形態に係る液晶表示装置 10 を備えたテレビジョン受像機について説明する。図 48 はテレビジョン受像機 700 の構成を示すブロック図であり、図 49 は図 48 に示すテレビジョン受像機 700 に含まれる表示装置 730 の構成を示すブロック図である。なお、以下の説明では、表示装置 730 は、図 1 に示す液晶表示装置 10 であるとして説明する。

[0174] 図 48 に示すように、テレビジョン受像機 700 はチューナ部 710 と、チューナ部 710 に接続された表示装置 730 とを備える。テレビジョン受像機 700 に、所望のチャンネルの映像を表示する場合、チューナ部 710 は、アンテナ 720 で受信した電波（高周波信号）から所望のチャンネルの電波を選局し、中間周波数信号に変換する。次に、変換した中間周波数信号を検波することによって、複合カラー映像信号 S_{c v} を取り出し、取り出した複合カラー映像信号 S_{c v} を表示装置 730 に与える。

[0175] 表示装置 730 は、Y/C 分離回路 731 と、ビデオクロマ回路 732 と、A/D コンバータ 733 と、液晶コントローラ 734 と、マイコン（マイクロコンピュータ）735 と、階調回路 736 と、液晶表示ユニット 737 と、バックライト駆動回路 738 と、バックライト 739 とを備えている。なお、液晶表示ユニット 737 は、図 1 に示す液晶パネル 15 と、これを駆動するためのゲートドライバ 7 およびソースドライバ 8 とを含む。

[0176] 複合カラー映像信号 S_{c v} がチューナ部 710 から Y/C 分離回路 731 に与えられれば、複合カラー映像信号 S_{c v} は、Y/C 分離回路 731 によって、輝度信号と色信号に分離される。分離された輝度信号と色信号は、ビデオクロマ回路 732 によって、光の 3 原色に対応するアナログ RGB 信号に変換される。さらに、アナログ RGB 信号は、A/D コンバータ 733 に

よって、デジタルRGB信号に変換され、液晶コントローラ734に与えられる。また、Y/C分離回路731は、複合カラー映像信号Scvから水平および垂直同期信号も取り出す。Y/C分離回路731によって取り出された水平および垂直同期信号は、マイコン735を介して液晶コントローラ734に与えられる。

[0177] 液晶表示ユニット737は、水平および垂直同期信号に基づくタイミング信号とともに、デジタルRGB信号を所定のタイミングで液晶コントローラ734から与えられる。階調回路736は、R、G、Bごとに階調電位を生成し、生成した階調電位を液晶表示ユニット737に与える。液晶表示ユニット737のゲートドライバおよびソースドライバにより、RGB信号、タイミング信号および階調電位に基づいて、データ信号および制御信号等の駆動用信号が生成され、駆動用信号に基づいて、液晶パネルにカラー映像が表示される。なお、液晶表示ユニット737に映像を表示するために、バックライト駆動回路738によってバックライト739を駆動する。これにより、液晶パネルの裏面に光が照射される。なお、表示装置730の各ブロックはマイコン735によって制御されている。

[0178] 複合カラー映像信号Scvには、テレビジョン放送の映像信号のみならず、カメラによって撮像された映像信号や、インターネット回線を介して供給される映像信号等も含まれる。テレビジョン受像機700は、これらの映像信号に基づいた映像を表示することができる。このように、製造コストを低減した液晶表示装置10を用いてテレビジョン受像機700を製造するので、テレビジョン受像機700の製造コストを低減することができる。

[0179] また、テレビジョン受像機700に含まれる表示装置730は、第1の実施形態に係る液晶表示装置10であるとした。しかし、第2および第3の実施形態に係る液晶表示装置であってもよく、また第4の実施形態に係る有機EL表示装置30であってもよい。

[0180] 本発明は上記の各実施形態に限定されるものではなく、上記各実施形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるもの

も本発明の実施形態に含まれる。

産業上の利用可能性

[0181] 本発明は、アクティブマトリクス型液晶表示装置等のような表示装置に用いられるアクティブマトリクス基板に適しており、特に、製造コストの低減が可能なアクティブマトリクス基板に適している。

符号の説明

[0182] 10…液晶表示装置
20、520…画素
21 (GLi) …走査信号線
25A～25G…ゲート端子
26…ゲート引出線
27…ゲート端子電極
28、29、69…導電層
30…有機EL表示装置
41～44…加工層
50…保持容量形成部
51 (CSLj) …保持容量配線
52…保持容量配線幹
54A～54F、554…コンタクト部
61 (SLj) …データ信号線
65A～65G…ソース端子
66…ソース引出線
67…ソース端子電極
71 (Vddj) …供給線
100～500…アクティブマトリクス基板
101…ガラス基板
110～510…(スイッチング用の) 薄膜トランジスタ
121…ゲート電極

1 2 3 …画素電極
1 2 4 …電極
1 3 1 …ゲート絶縁層
1 3 6 …絶縁膜
1 4 1、3 4 1、5 4 1 …半導体層
1 4 6、3 4 6 …酸化物半導体膜
1 5 1、3 5 1、5 5 1 …チャネル保護層
1 5 6、3 5 6 …絶縁膜
1 6 1、3 6 1、5 6 1 …ソース電極
1 6 2、3 6 2、5 6 2 …ドレイン電極
1 6 3、3 6 3、5 6 3 …ドレイン引出線
1 6 6、3 6 6 …ソース金属膜
1 7 1 …保護層
1 8 1 a、3 8 1 a …厚いレジスト膜
1 8 1 b、3 8 1 b …薄いレジスト膜
3 4 3 ～ 3 4 5 …接続電極
4 9 1 …層間絶縁膜
5 1 5 …（発光層駆動用の）薄膜トランジスタ
5 5 2 …供給線幹
5 9 5 …発光層
7 0 0 …テレビジョン受像機
7 1 0 …チューナ部

請求の範囲

[請求項1]

走査信号線と、前記走査信号線と交差するデータ信号線と、画素電極と、前記走査信号線にゲート電極が、前記データ信号線にソース電極が、前記画素電極にドレイン電極がそれぞれ電氣的に接続された第1の薄膜トランジスタと、前記走査信号線に電氣的に接続されたゲート引出線と、前記データ信号線に電氣的に接続されたソース引出線と、前記画素電極に電氣的に接続されたドレイン引出線とを絶縁基板上に備えたアクティブマトリクス基板の製造方法であって、

前記走査信号線と、前記ゲート電極と、前記画素電極になるべき第1の加工層とを形成する第1の工程と、

前記走査信号線と、前記ゲート電極と、前記第1の加工層とを含む前記絶縁基板上に第1の絶縁膜を成膜する第2の工程と、

同時に形成された第1のレジストパターンと、前記第1のレジストパターンよりも厚い膜厚を有する第2のレジストパターンとをマスクとして前記第1の加工層をエッチングすることにより、前記画素電極を形成するとともに、前記第1の薄膜トランジスタの半導体層と前記半導体層の表面に形成された第1の保護層、または、前記ソース電極と前記ドレイン電極を形成する第3の工程を備えることを特徴とする、アクティブマトリクス基板の製造方法。

[請求項2]

外部から前記ゲート引出線を介して前記走査信号線に電気信号を与えるためのゲート端子と、外部から前記ソース引出線を介して前記データ信号線に電気信号を与えるためのソース端子とをさらに備え、

前記第1の工程は、前記ゲート端子のゲート端子電極となるべき第2の加工層と、前記ソース端子のソース端子電極となるべき第3の加工層とを形成する工程をさらに含み、

前記第3の工程は、前記第2および第3の加工層をエッチングして、前記ゲート端子電極および前記ソース端子電極をそれぞれ形成する工程を含むことを特徴とする、請求項1に記載のアクティブマトリク

ス基板の製造方法。

[請求項3] 前記第1の薄膜トランジスタはトップコンタクト型の薄膜トランジスタであり、

前記第2の工程は、

前記第1の絶縁膜上に半導体膜を成膜する工程と、

前記半導体膜上に第2の絶縁膜を成膜する工程とをさらに含み、

前記第3の工程は、

前記第1および第2のレジストパターンをマスクとして、前記第2の絶縁膜と前記半導体膜とを順にエッチングすることにより、前記画素電極と前記ゲート引出線とを形成する工程と、

前記第1のレジストパターンを除去する工程と、

前記第2のレジストパターンをマスクとして、前記第2の絶縁膜と前記半導体膜を順にエッチングすることにより、前記第1の保護層と前記半導体層とを形成する工程とをさらに含むことを特徴とする、請求項1に記載のアクティブマトリクス基板の製造方法。

[請求項4] 前記第3の工程の後に、第4の工程をさらに備え、

前記第4の工程は、

前記第1の保護層と前記半導体層とを含む前記第1の絶縁膜を覆うようにソース金属膜を成膜する工程と、

前記ソース金属膜上に第3のレジストパターンを形成する工程と、

前記第3のレジストパターンをマスクとして前記ソース金属膜をエッチングすることにより、前記ソース電極と、前記ドレイン電極と、前記データ信号線と、前記ソース引出線と、前記ドレイン引出線とを形成する工程とを含むことを特徴とする、請求項3に記載のアクティブマトリクス基板の製造方法。

[請求項5] 前記絶縁基板の上に、前記第1の絶縁膜を挟んで配置された電極層と保持容量配線とを含む保持容量形成部と、外部から保持容量配線端子

を介して所定の電圧を前記保持容量配線に与えるための保持容量配線幹と、前記保持容量配線と前記保持容量配線幹とを電氣的に接続するための第1のコンタクト部とをさらに備え、

前記第3の工程は、前記保持容量配線幹上に開孔されたコンタクトホールを有する前記第1のコンタクト部を形成する工程をさらに含み、

前記第4の工程は、前記ソース金属膜をエッチングすることにより、前記第1のコンタクト部において前記保持容量配線幹と電氣的に接続された前記保持容量配線を形成する工程をさらに含むことを特徴とする、請求項4に記載のアクティブマトリクス基板の製造方法。

[請求項6]

発光層と、前記発光層と電氣的に接続された第2の薄膜トランジスタと、前記第2の薄膜トランジスタに所定の電圧を与える供給線と、外部から供給線端子を介して所定の電圧を前記供給線に与えるための供給線幹と、前記供給線と前記供給線幹とを電氣的に接続するための第2のコンタクト部とをさらに備え、

前記第3の工程は、前記第1および第2のレジストパターンをマスクとして、前記供給線幹上に開口されたコンタクトホールを有する前記第2のコンタクト部を形成する工程をさらに含み、

前記第4の工程は、前記ソース金属膜をエッチングすることにより、前記第2のコンタクト部において前記供給線幹と電氣的に接続された前記供給線を形成する工程を含むことを特徴とする、請求項4に記載のアクティブマトリクス基板の製造方法。

[請求項7]

前記ソース金属膜は複数の金属膜を積層した積層金属膜からなり、前記積層金属膜の表面の金属膜はチタン膜またはチタンを主成分とする金属膜であることを特徴とする、請求項4に記載のアクティブマトリクス基板の製造方法。

[請求項8]

前記第4の工程は、前記ソース電極、前記ドレイン電極、前記データ信号線、前記ソース引出線、および前記ドレイン引出線上にそれぞれ

れ第2の保護層を形成する工程をさらに含むことを特徴とする、請求項4に記載のアクティブマトリクス基板の製造方法。

[請求項9] 前記第4の工程は、前記第1の薄膜トランジスタ、前記ゲート引出線、および前記ソース引出線を覆うとともに、前記画素電極上に開口部を有する層間絶縁層を形成する工程をさらに含むことを特徴とする、請求項4または8に記載のアクティブマトリクス基板の製造方法。

[請求項10] 前記第3の工程は、前記第2のレジストパターンをマスクとして、前記半導体層の周辺部が前記第1の保護層のエッジからはみ出し、前記半導体層と前記保護層とが階段状に積層されるようにエッチングする工程をさらに含むことを特徴とする、請求項3に記載のアクティブマトリクス基板の製造方法。

[請求項11] 前記第1の薄膜トランジスタはボトムコンタクト型の薄膜トランジスタであり、

前記第2の工程は、前記第1の絶縁膜を覆うようにソース金属膜を成膜する工程をさらに含み、

前記第3の工程は、

前記第1および第2のレジストパターンをマスクとして、前記ソース金属膜をエッチングして前記画素電極を形成する工程と、

前記第1のレジストパターンを除去する工程と、

前記第2のレジストパターンをマスクとして前記ソース金属膜をエッチングすることにより、前記ソース電極と、前記ドレイン電極と、前記データ信号線と、前記ソース引出線と、前記ドレイン引出線とを形成する工程をさらに含むことを特徴とする、請求項1に記載のアクティブマトリクス基板の製造方法。

[請求項12] 前記第3の工程の後に、第4の工程をさらに備え、

前記第4の工程は、

前記ソース電極と前記ドレイン電極とによって挟まれた前記第1の絶縁膜上に半導体膜を成膜する工程と、

前記半導体膜上に第2の絶縁膜を成膜する工程と、

前記第2の絶縁膜上に第3のレジストパターンを形成する工程と、

前記第3のレジストパターンをマスクとして、前記第2の絶縁膜と前記半導体膜とを順にエッチングすることにより、前記第1の保護層と前記半導体層とを形成する工程とを含むことを特徴とする、請求項11に記載のアクティブマトリクス基板の製造方法。

[請求項13] 前記ドレイン引出線と前記画素電極とを電氣的に接続する第1の接続電極と、前記ソース引出線とソース端子とを電氣的に接続する第2の接続電極とをさらに備え、

前記第4の工程は、前記第3のレジストパターンをマスクとして前記第2の絶縁膜と前記半導体膜とを順にエッチングすることにより、前記第1の接続電極と前記第2の接続電極とを形成する工程をさらに含むことを特徴とする、請求項12に記載のアクティブマトリクス基板の製造方法。

[請求項14] 第4の工程は、前記第1および第2の接続電極の表面に第2の保護層を形成する工程をさらに含むことを特徴とする、請求項12に記載のアクティブマトリクス基板の製造方法。

[請求項15] 前記半導体層は、酸化物半導体からなることを特徴とする、請求項1に記載のアクティブマトリクス基板の製造方法。

[請求項16] 走査信号線と、前記走査信号線と交差するデータ信号線と、画素電極と、前記走査信号線にゲート電極が、前記データ信号線にソース電極が、前記画素電極にドレイン電極がそれぞれ電氣的に接続された第1の薄膜トランジスタと、前記走査信号線に電氣的に接続されたゲート引出線と、前記ゲート引出線に電氣的に接続されたゲート端子と、前記データ信号線に電氣的に接続されたソース引出線と、前記ソース引出線に電氣的に接続されたソース端子と、前記画素電極に電氣的に接続されたドレイン引出線とを絶縁基板上に備えたアクティブマトリ

クス基板であって、

前記ゲート端子のゲート端子電極、前記ソース端子のソース端子電極、および前記画素電極は同じ金属膜からなり、

前記データ信号線、前記ソース引出線、および前記ドレイン引出線は、前記ソース電極および前記ドレイン電極と同じ金属膜からなることを特徴とする、アクティブマトリクス基板。

[請求項17] 前記ゲート端子電極および前記ソース端子電極は、それらを構成する金属膜よりも導電率が高い第1の導電層によって周囲を囲まれていることを特徴とする、請求項16に記載のアクティブマトリクス基板。

[請求項18] 前記第1の導電層によって囲まれた前記ゲート端子電極および前記ソース端子電極の表面に、前記第1の導電層と電氣的に接続され、第1の導電層と同じ金属膜からなる第2の導電層がさらに形成されていることを特徴とする、請求項17に記載のアクティブマトリクス基板。

[請求項19] 前記第2の導電層は、前記ゲート端子電極および前記ソース端子電極上にそれぞれ格子状に形成されていることを特徴とする、請求項18に記載のアクティブマトリクス基板。

[請求項20] 前記第1の薄膜トランジスタは、下面が前記ソース電極および前記ドレイン電極の上面と電氣的に接続された半導体層を含み、

前記ドレイン引出線は、前記半導体層と同じ半導体膜からなる第1の接続電極によって前記画素電極と電氣的に接続され、

前記ソース引出線は、前記半導体膜からなる第2の接続電極によって前記ソース端子電極と電氣的に接続されていることを特徴とする、請求項16に記載のアクティブマトリクス基板。

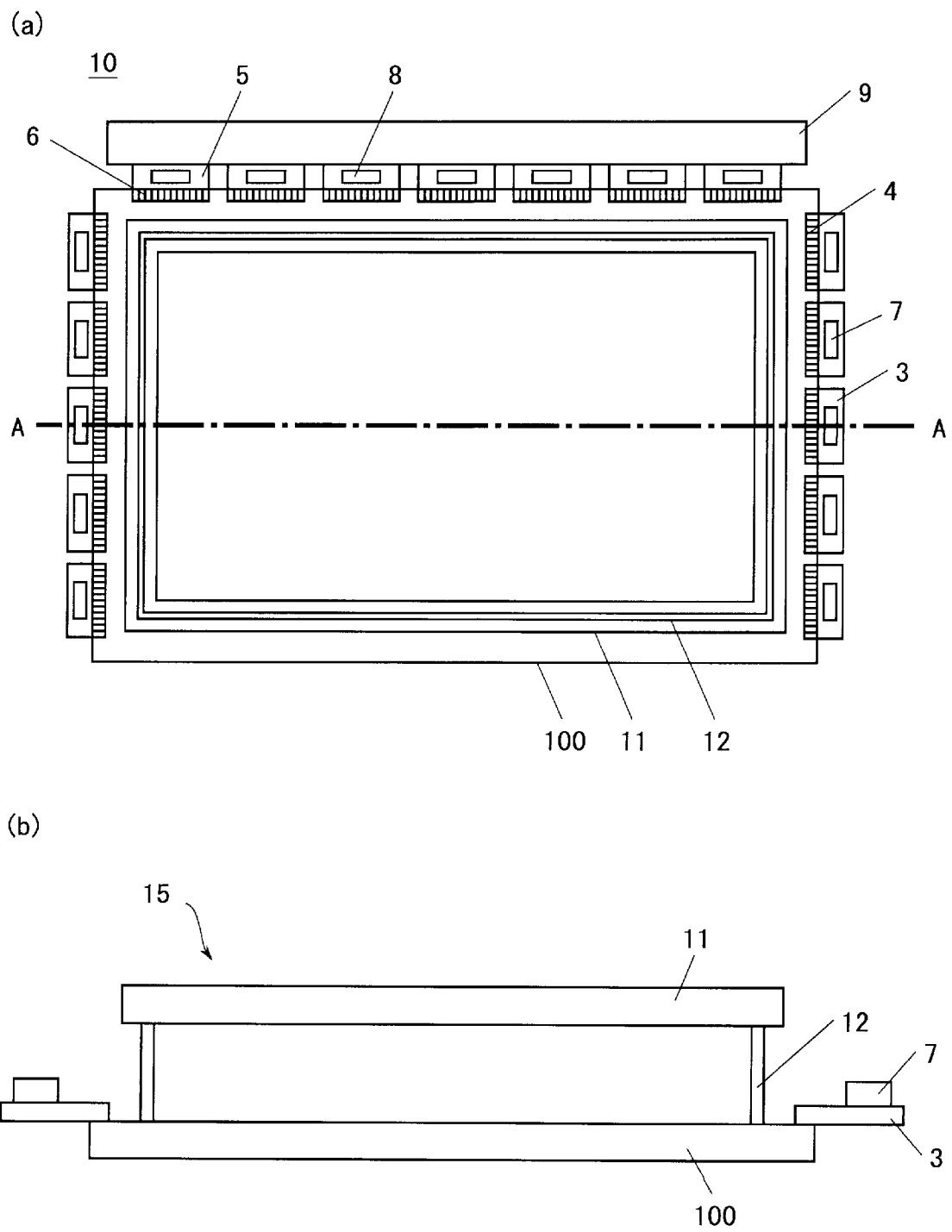
[請求項21] 発光層と、前記発光層と電氣的に接続された第2の薄膜トランジスタと、前記第2の薄膜トランジスタに所定の電圧を与える供給線と、外部から供給線端子を介して所定の電圧を前記供給線に与えるための

供給線幹と、前記供給線と前記供給線幹とを電氣的に接続するためのコンタクト部とをさらに備えることを特徴とする、請求項 16 に記載のアクティブマトリクス基板。

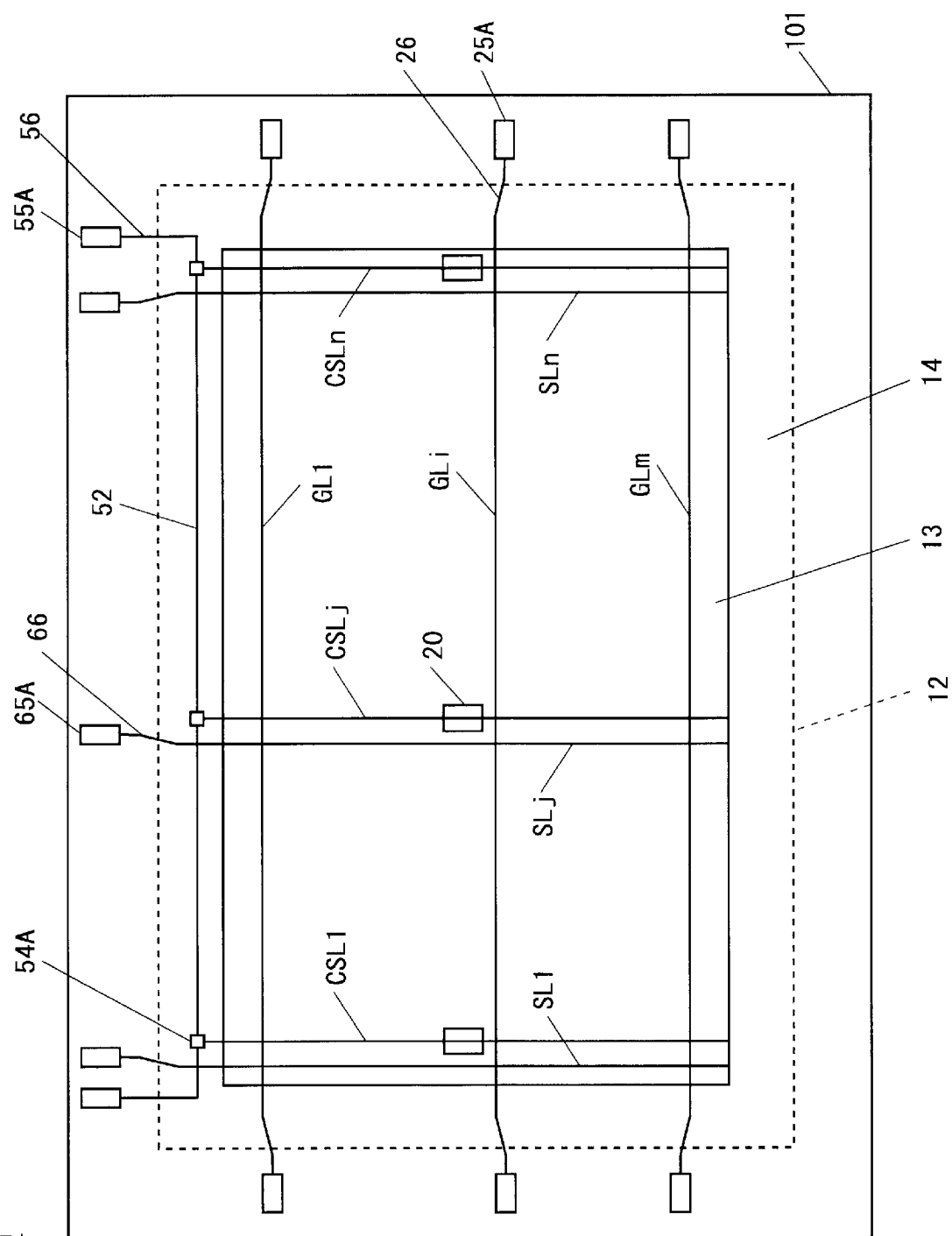
[請求項22] 請求項 16 から 21 のいずれか 1 項に記載のアクティブマトリクス基板を備えた、表示装置。

[請求項23] 請求項 22 に記載の表示装置と、テレビジョン放送を受信するチューナ部とを備えた、テレビジョン受像機。

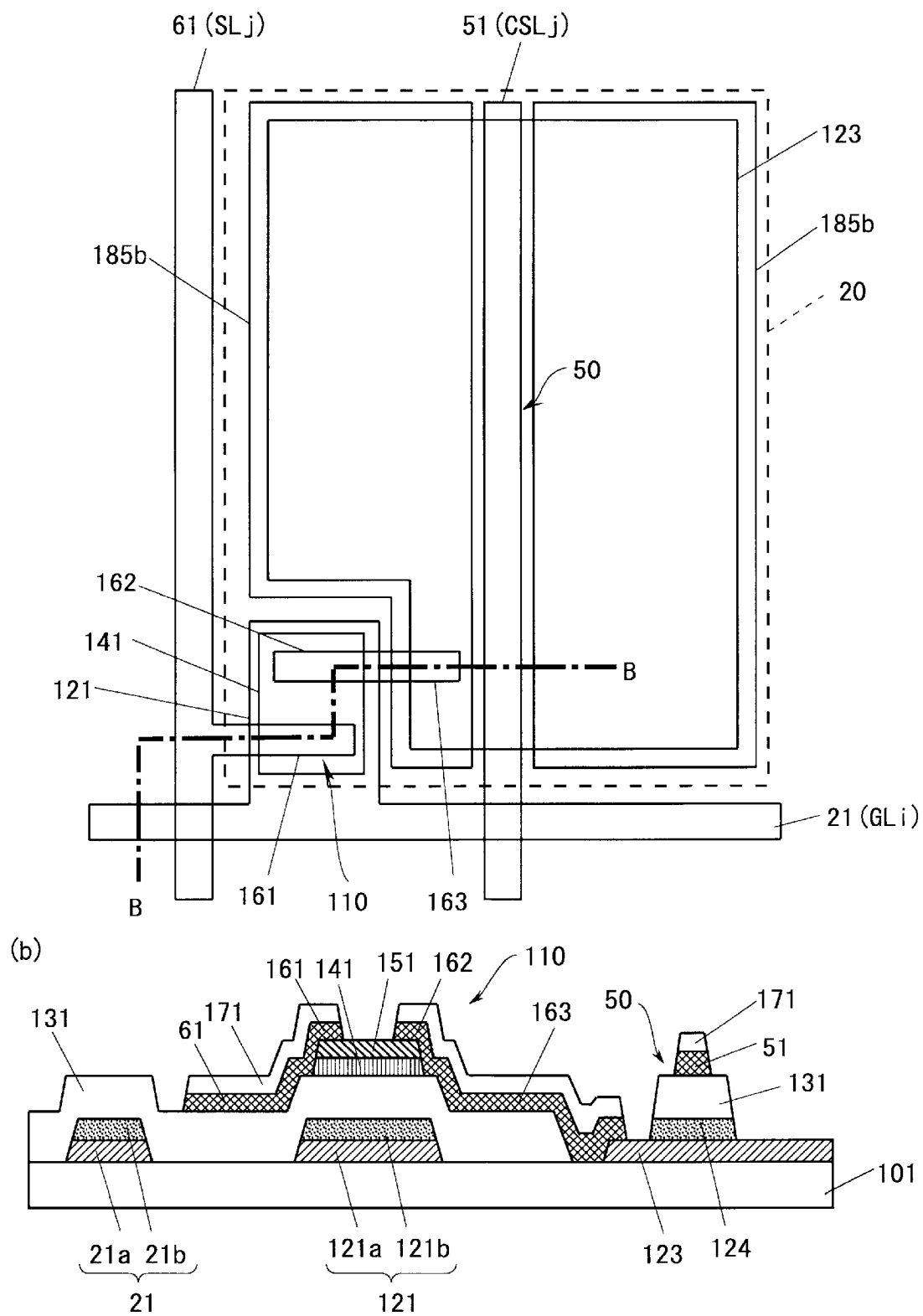
[図1]



100

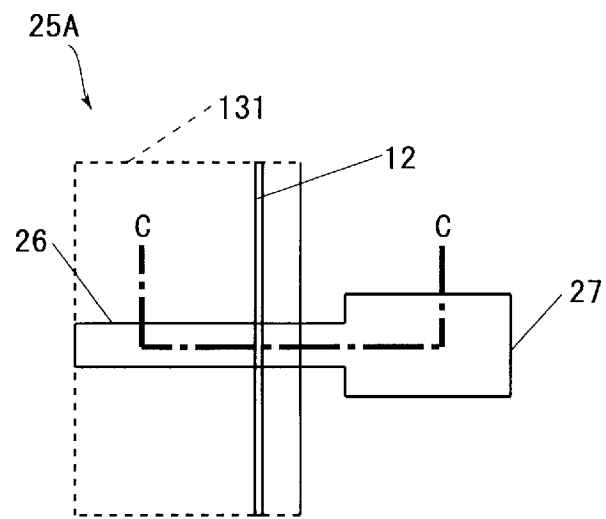


(a) 100

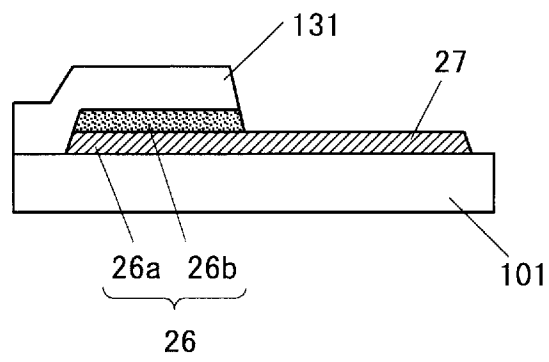


[図4]

(a)

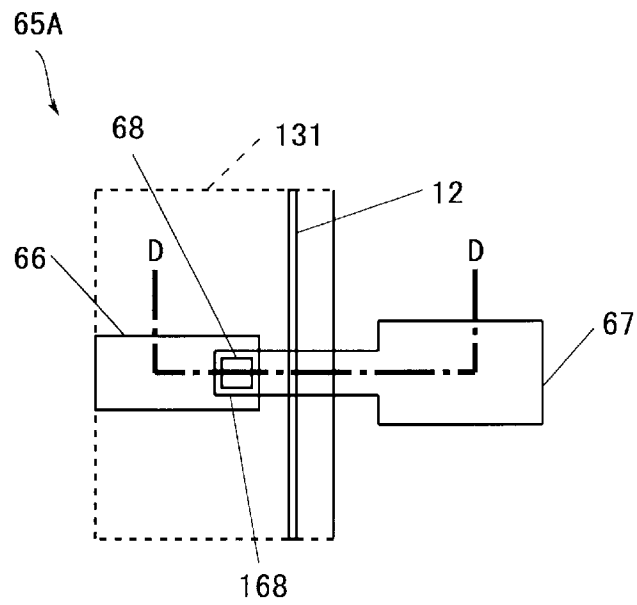


(b)

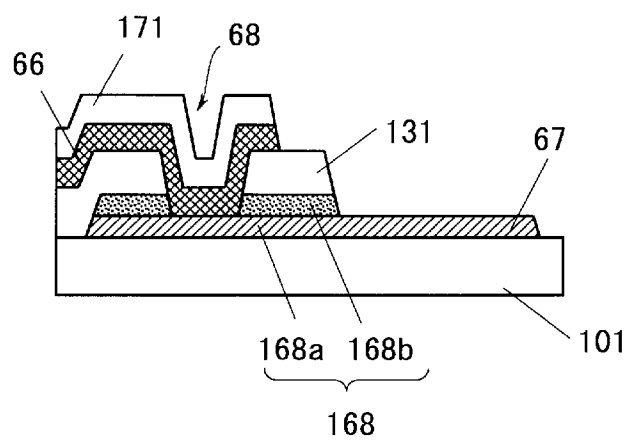


[図5]

(a)

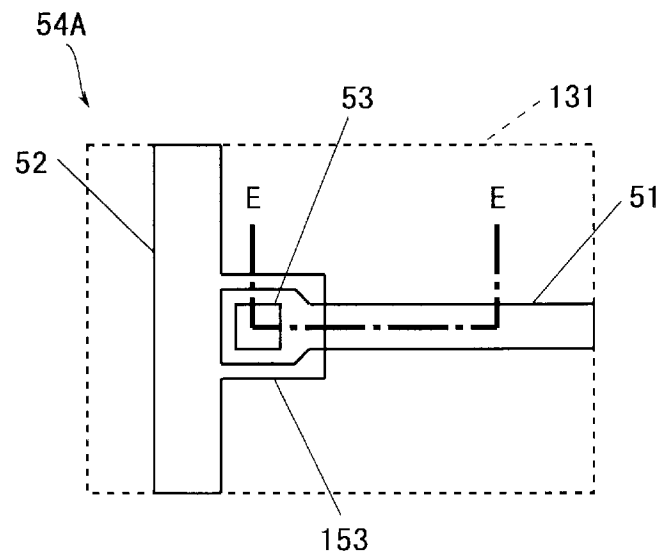


(b)

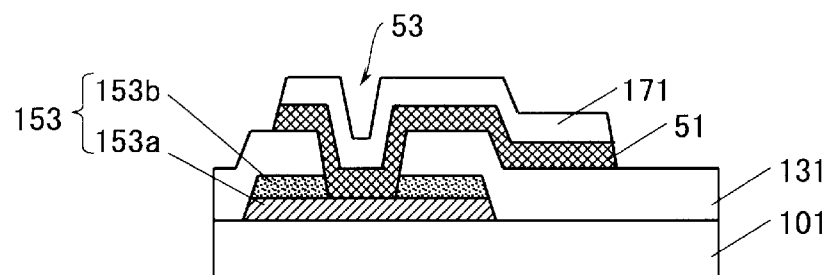


[図6]

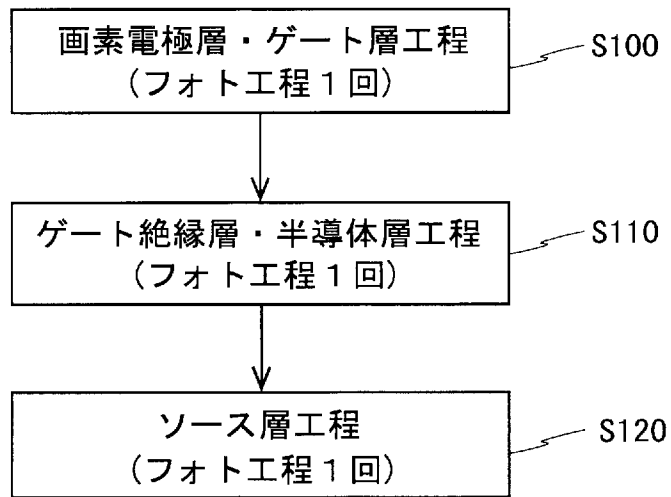
(a)



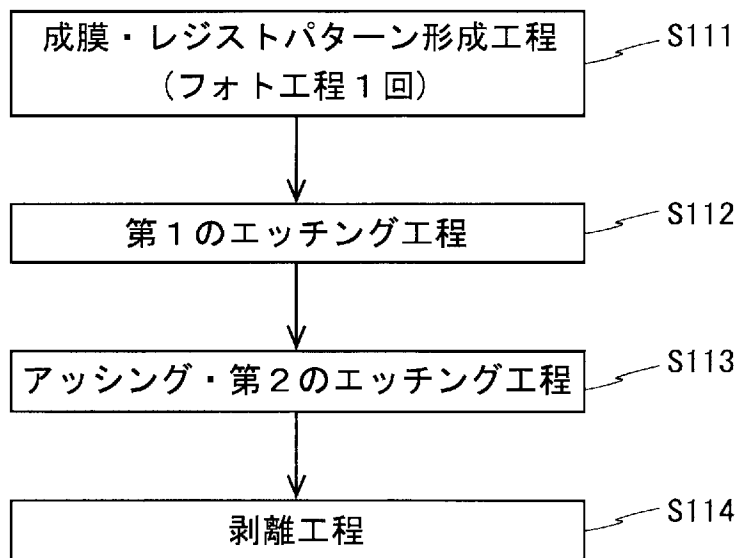
(b)



[図7]

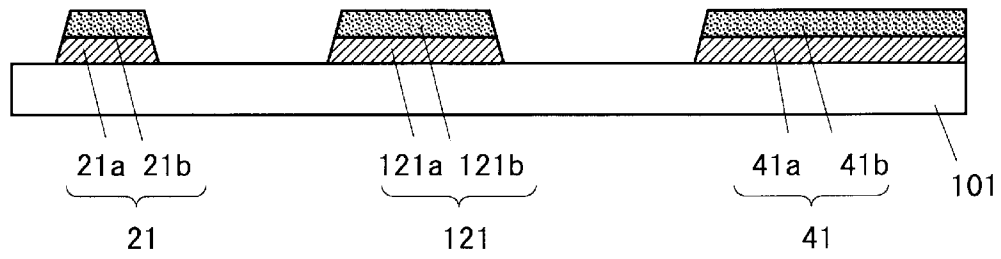


[図8]

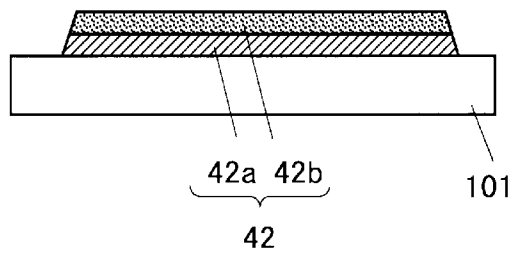


[図9]

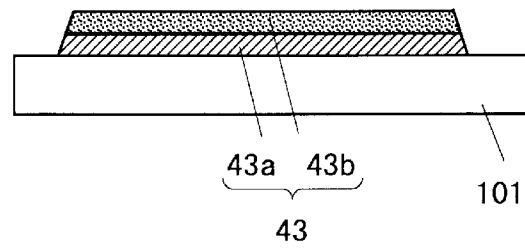
(a)



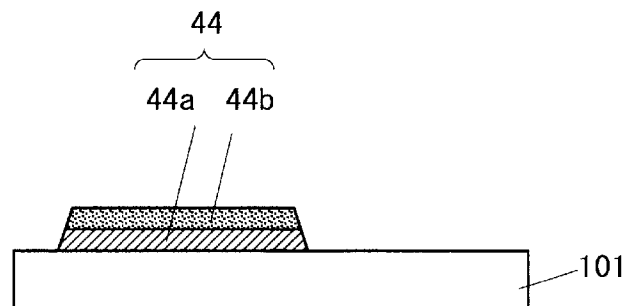
(b)



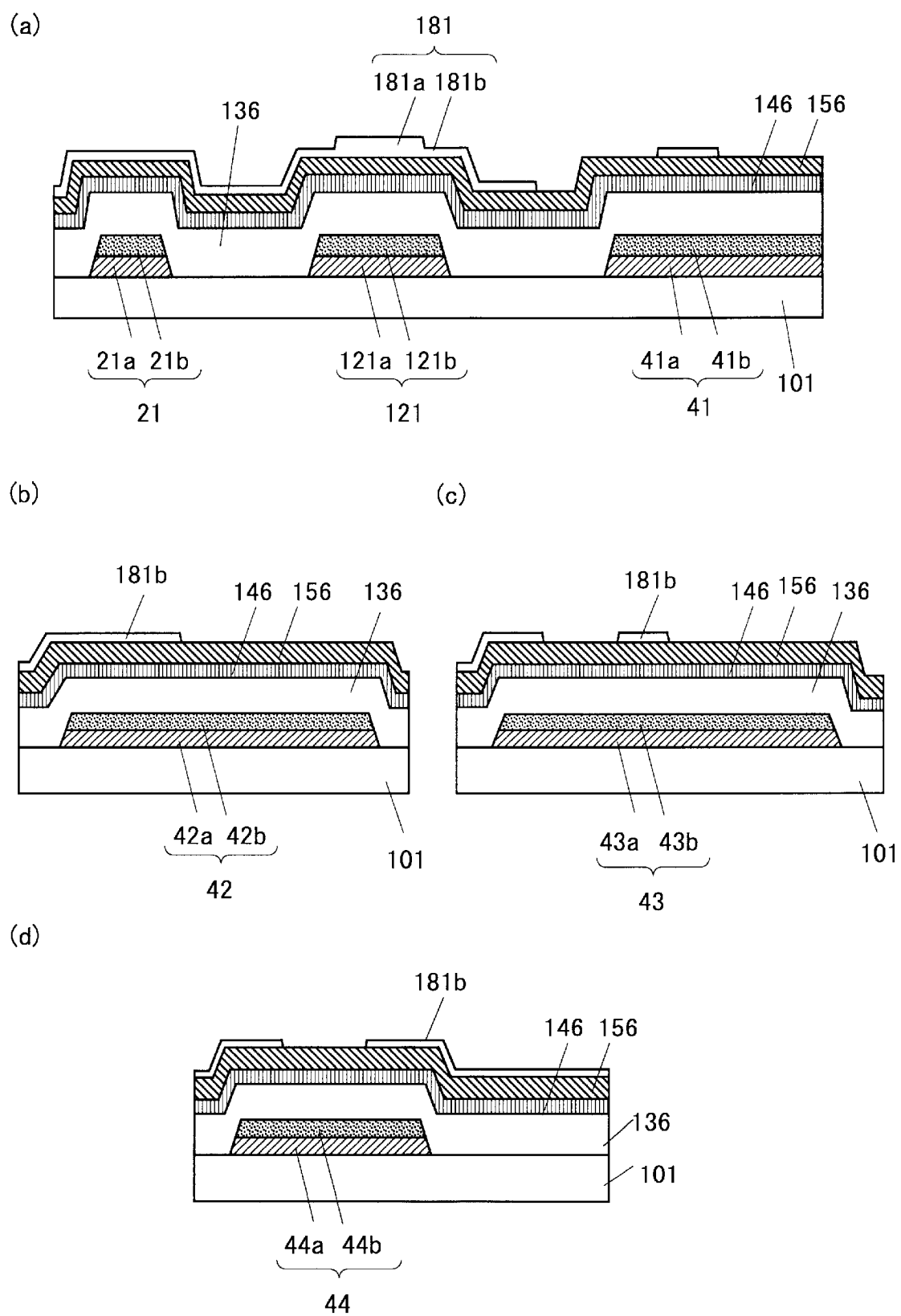
(c)



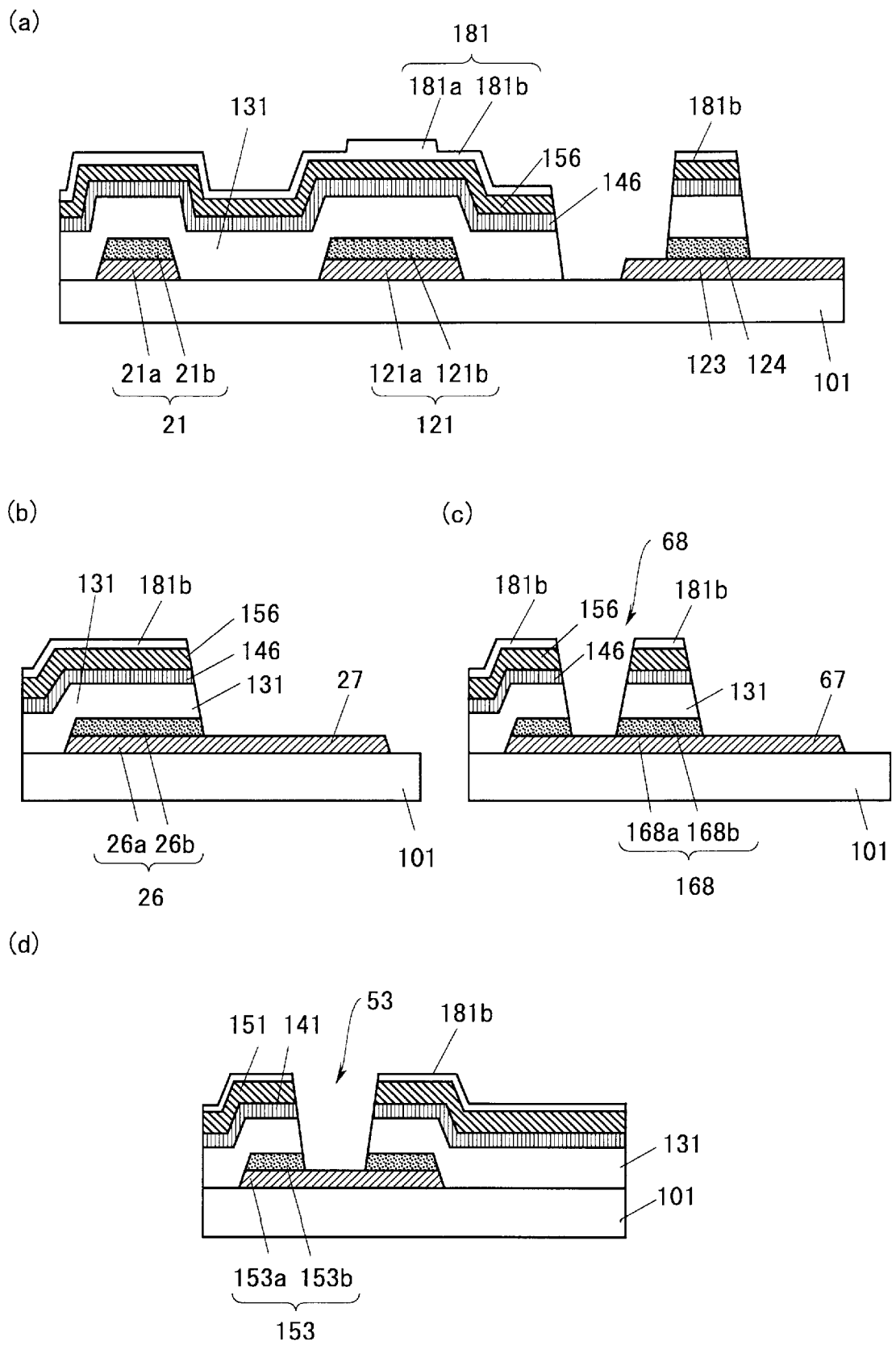
(d)



[図10]

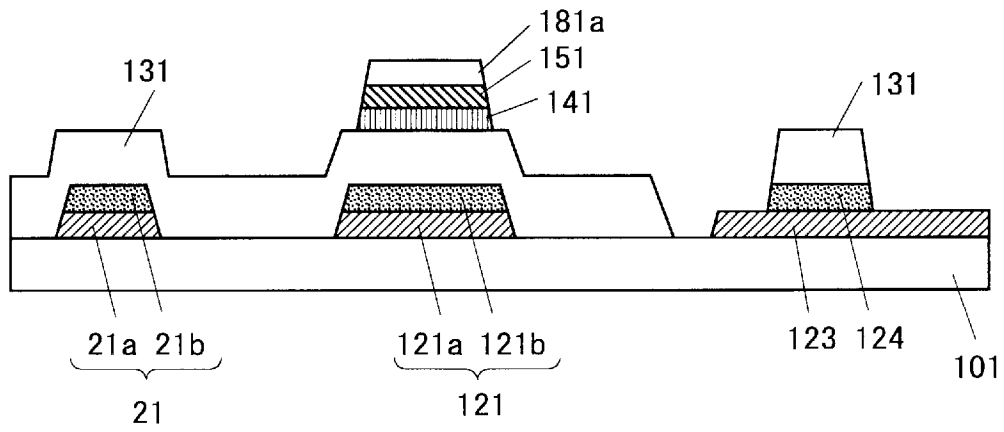


[図11]

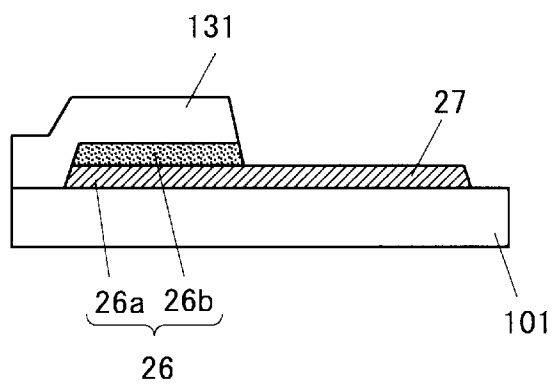


[図12]

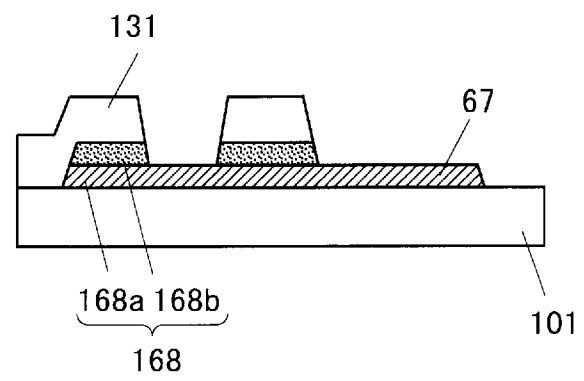
(a)



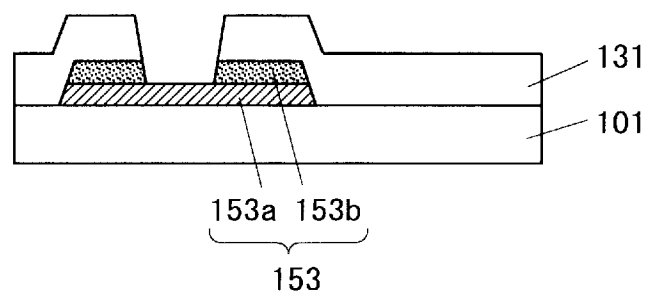
(b)



(c)

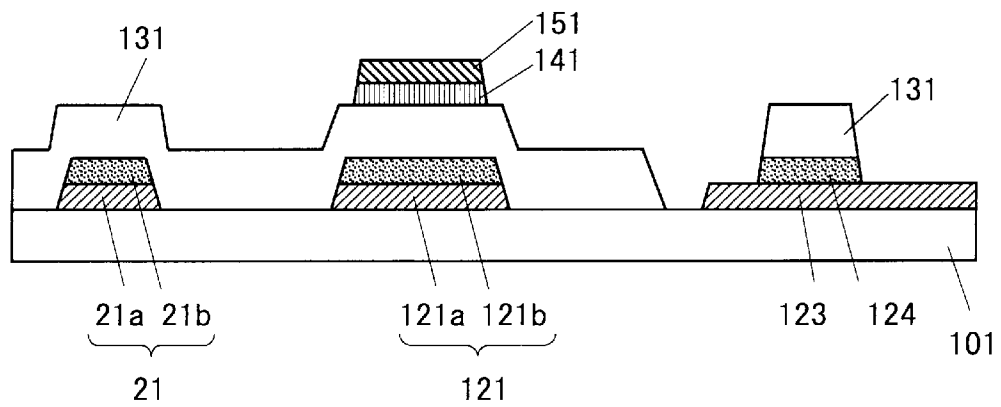


(d)

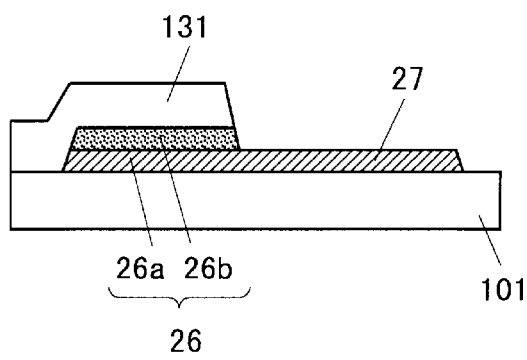


[図13]

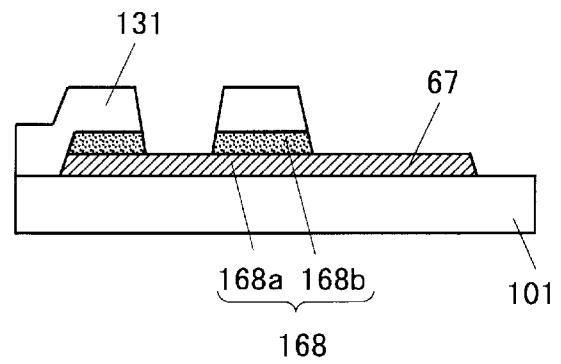
(a)



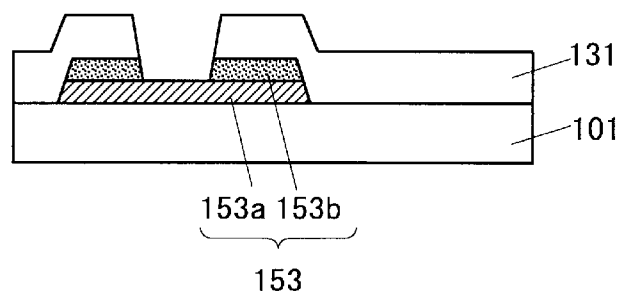
(b)



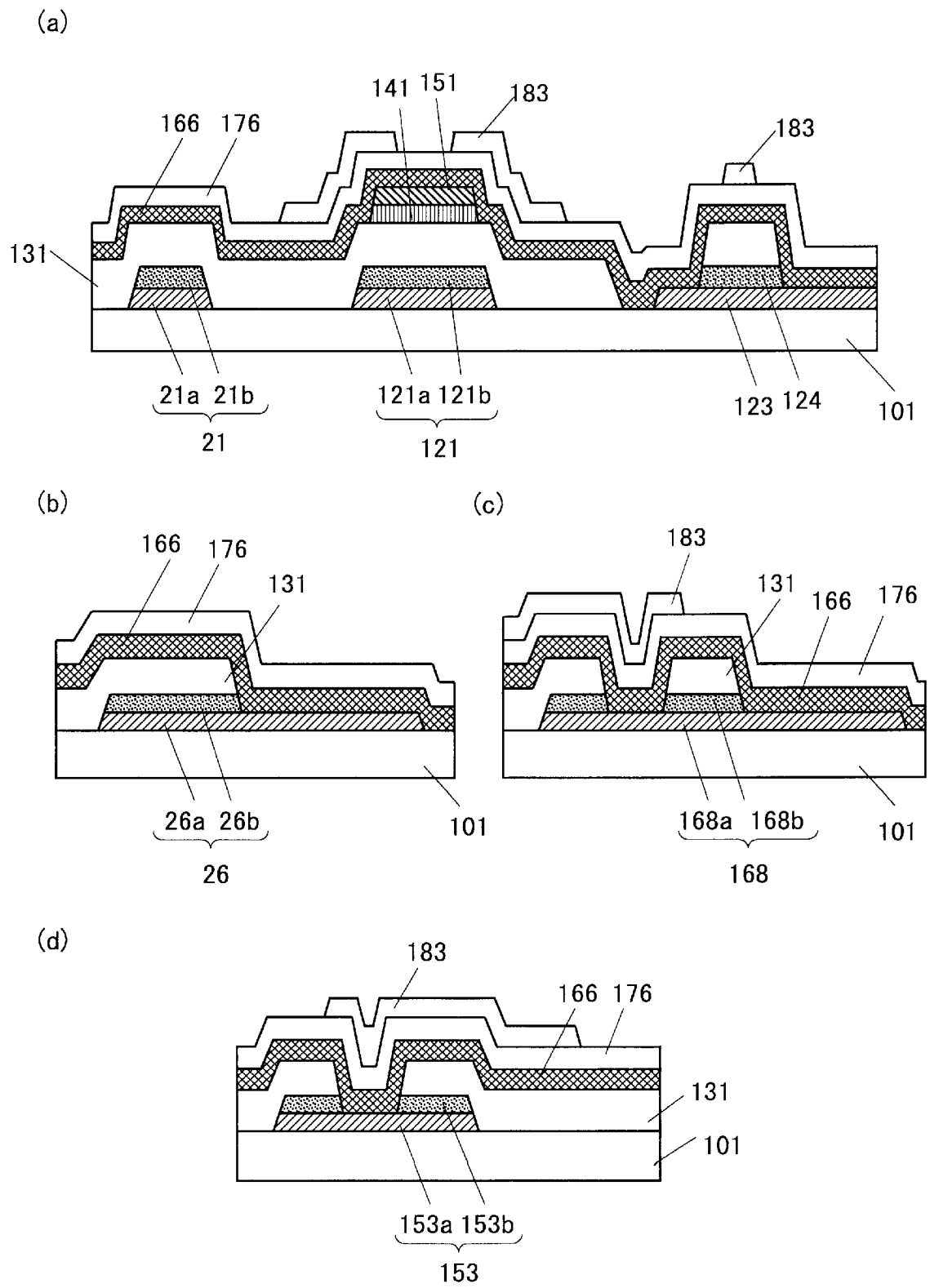
(c)



(d)

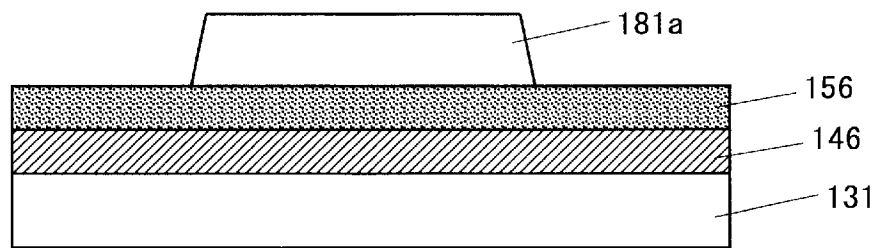


[図14]

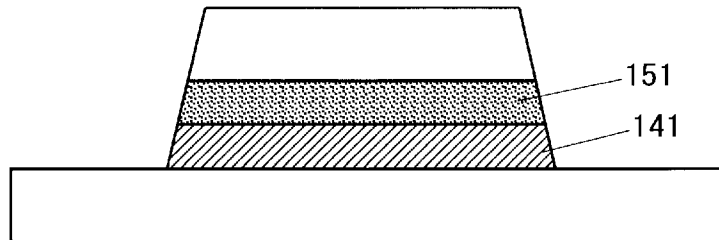


[図15]

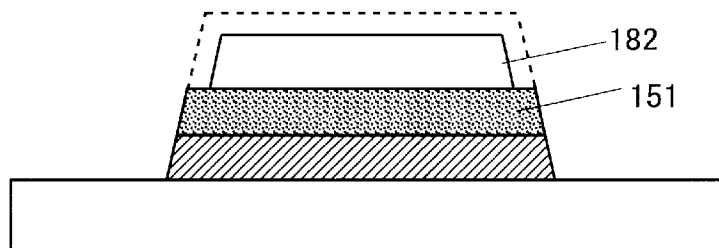
(a)



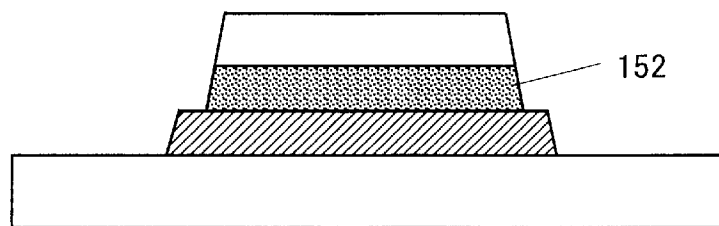
(b)



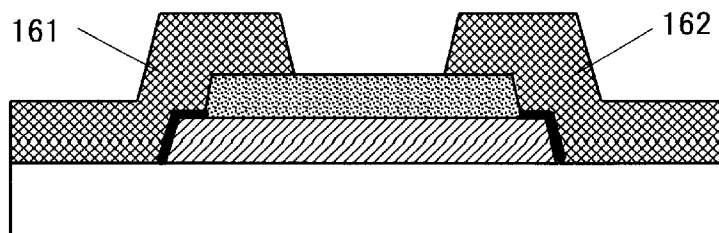
(c)



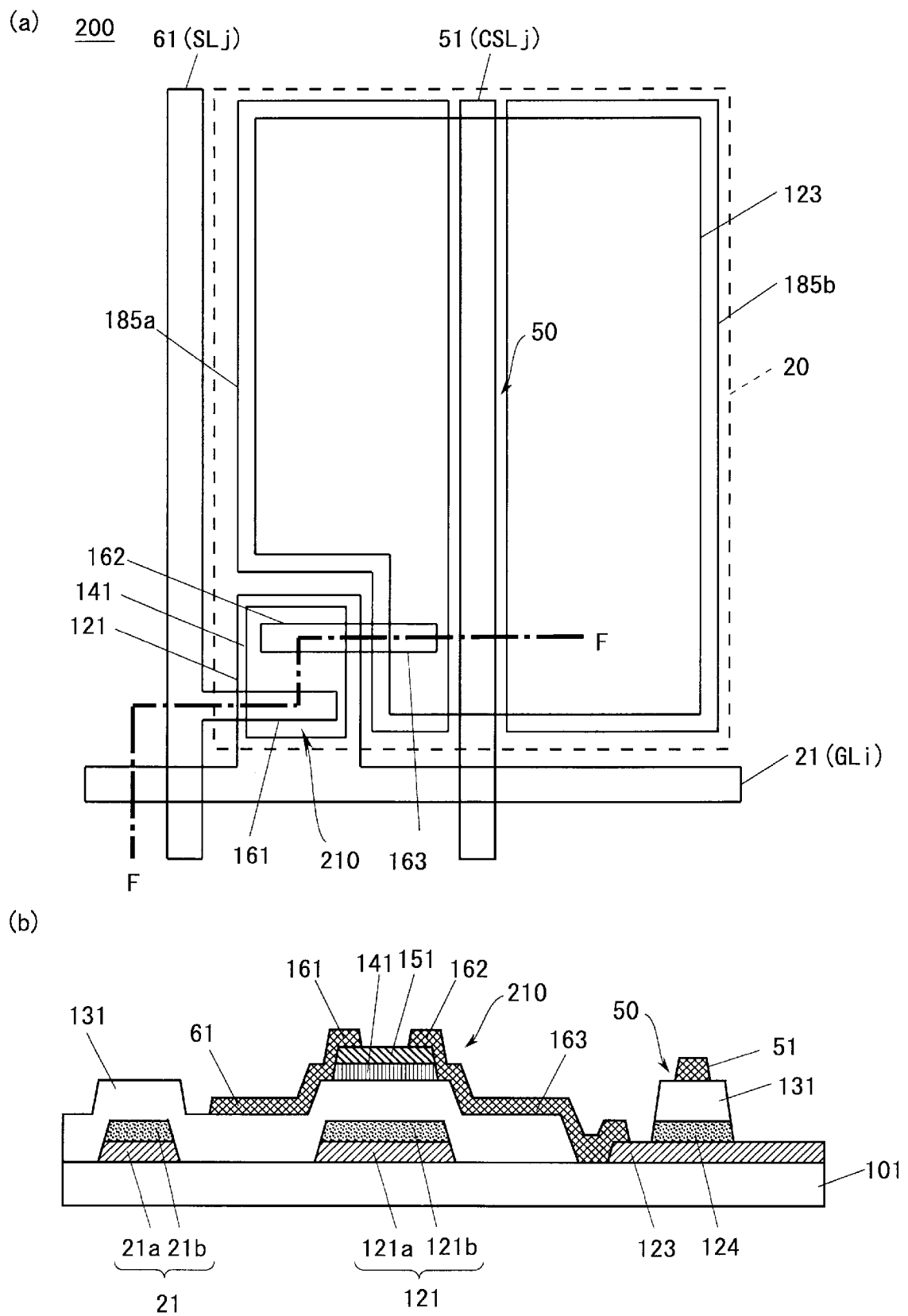
(d)



(e)

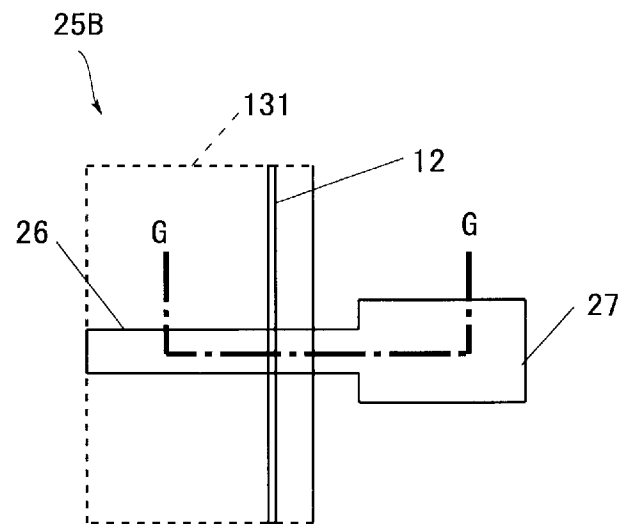


[図16]

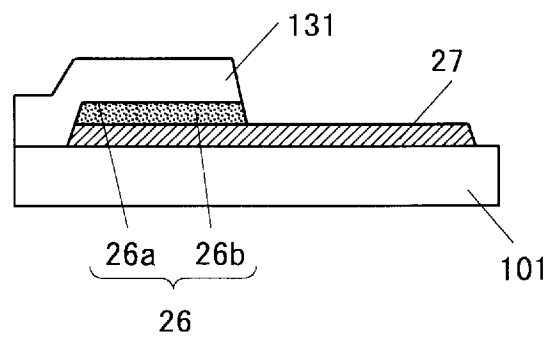


[図17]

(a)

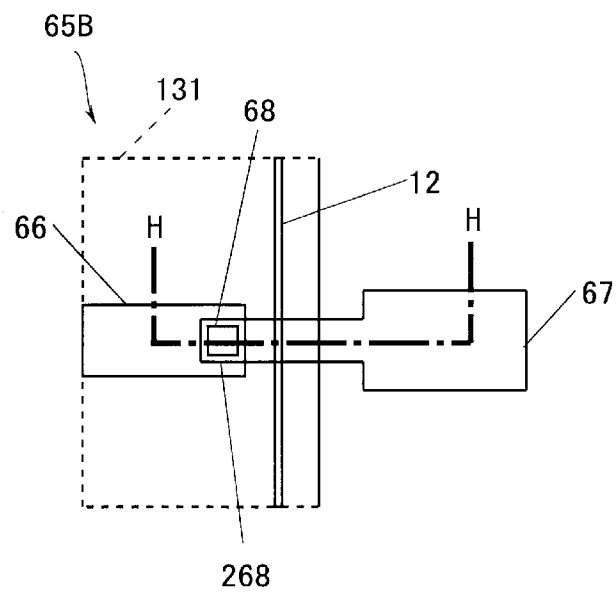


(b)

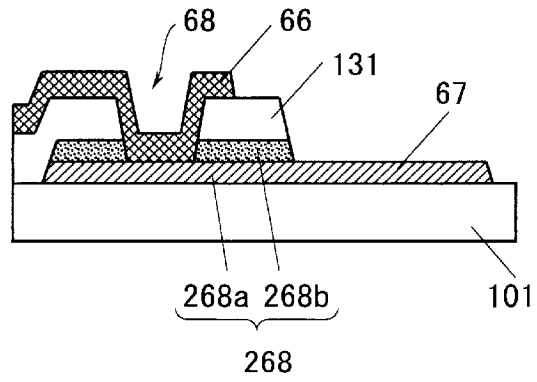


[図18]

(a)

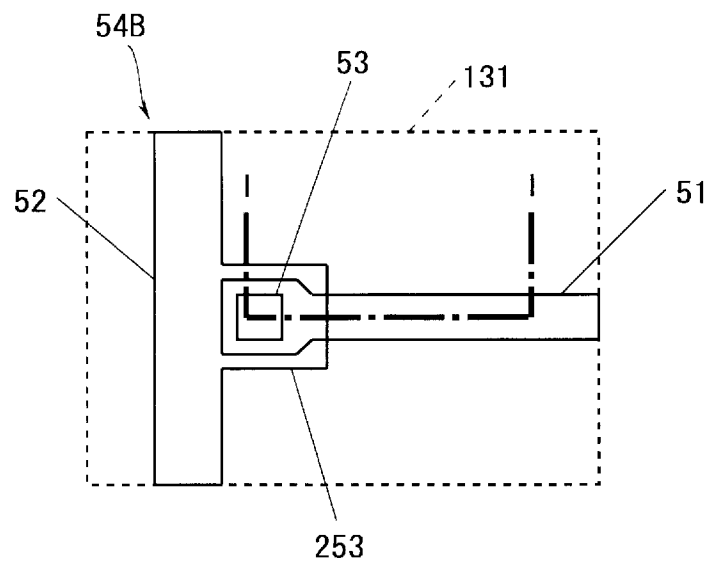


(b)

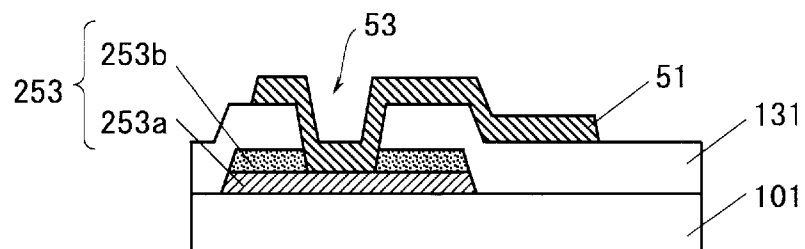


[図19]

(a)

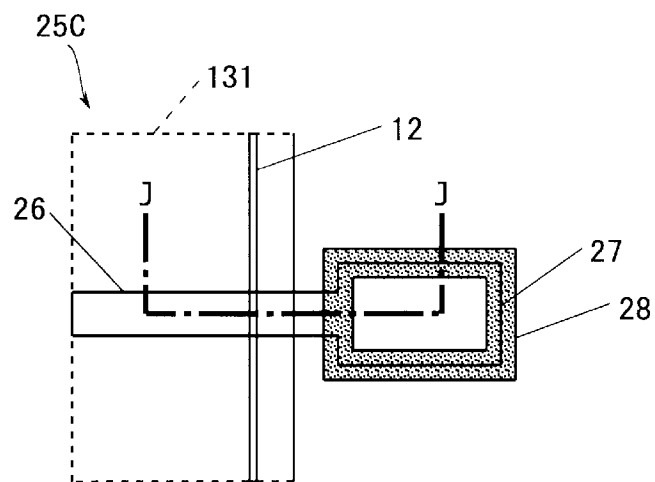


(b)

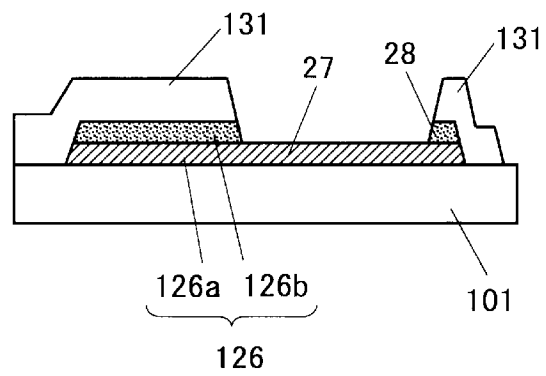


[図20]

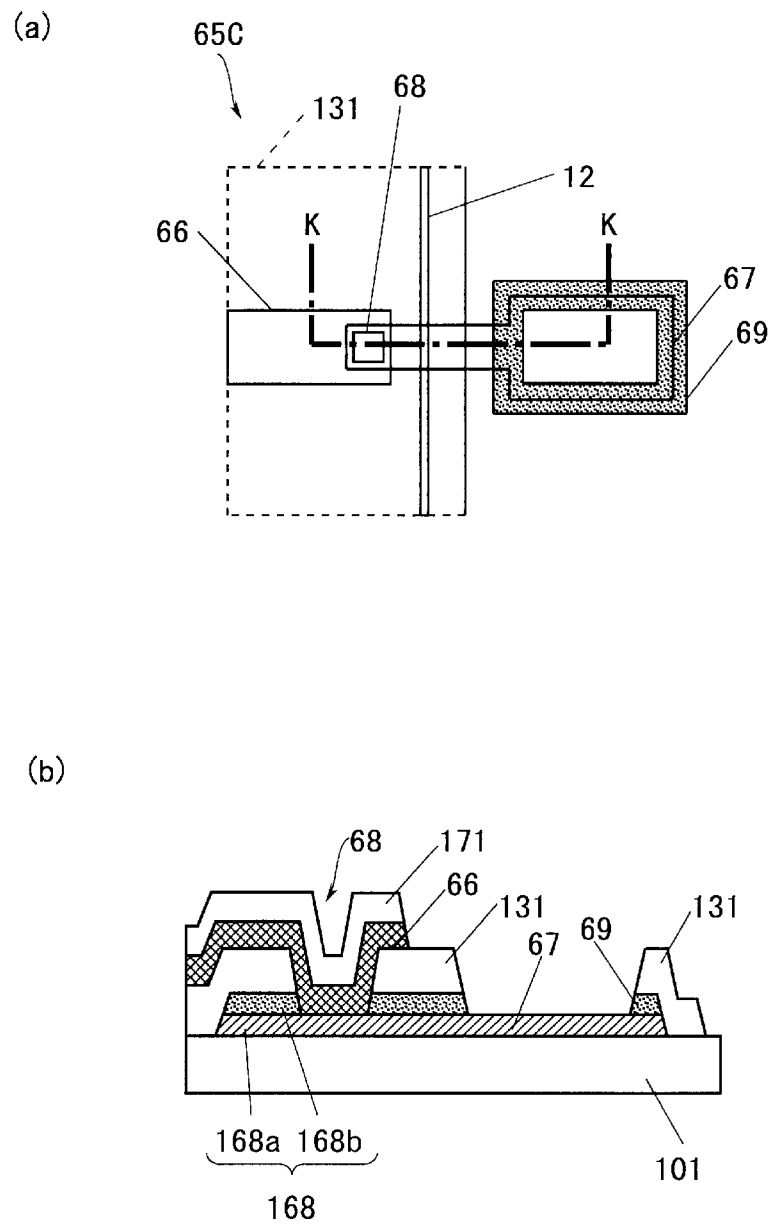
(a)



(b)

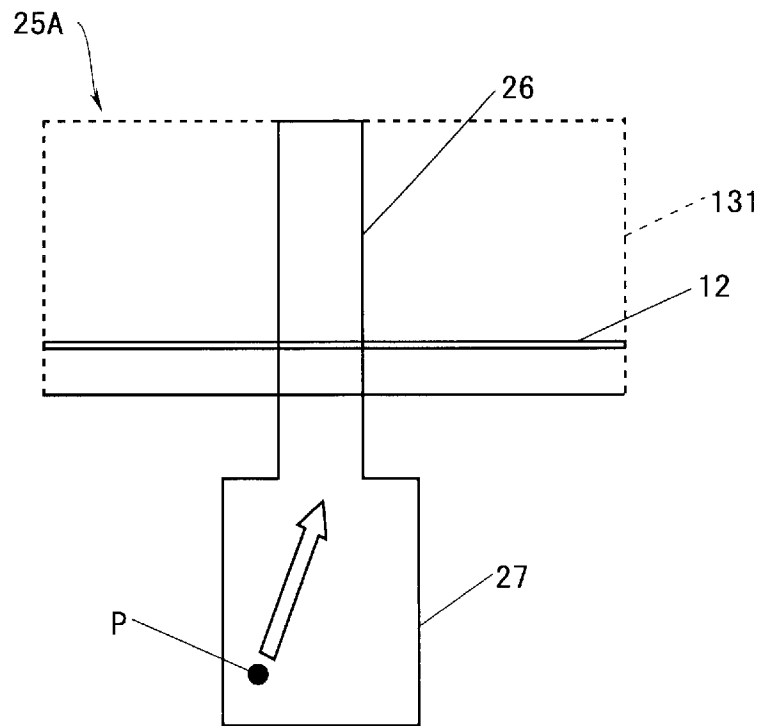


[図21]

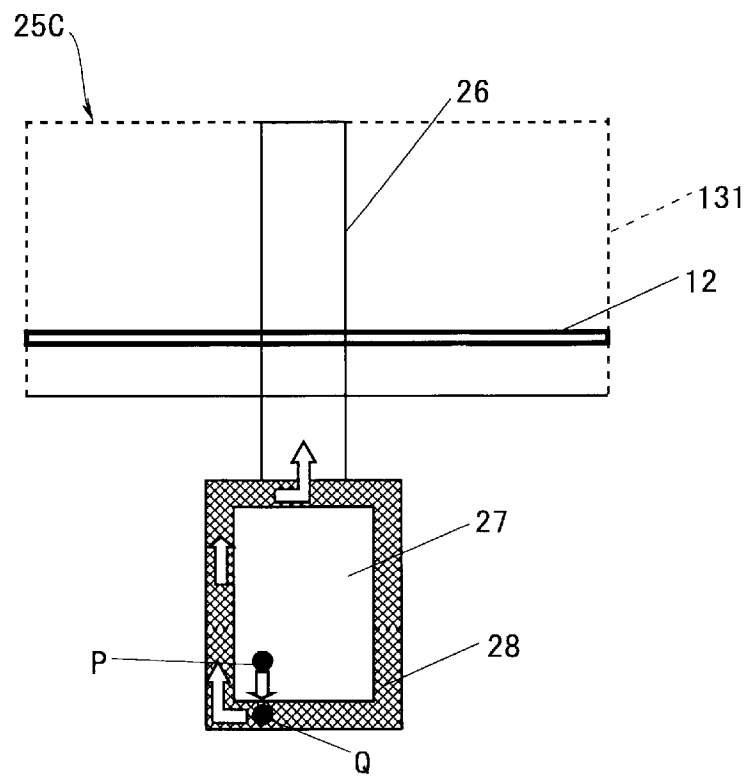


[図22]

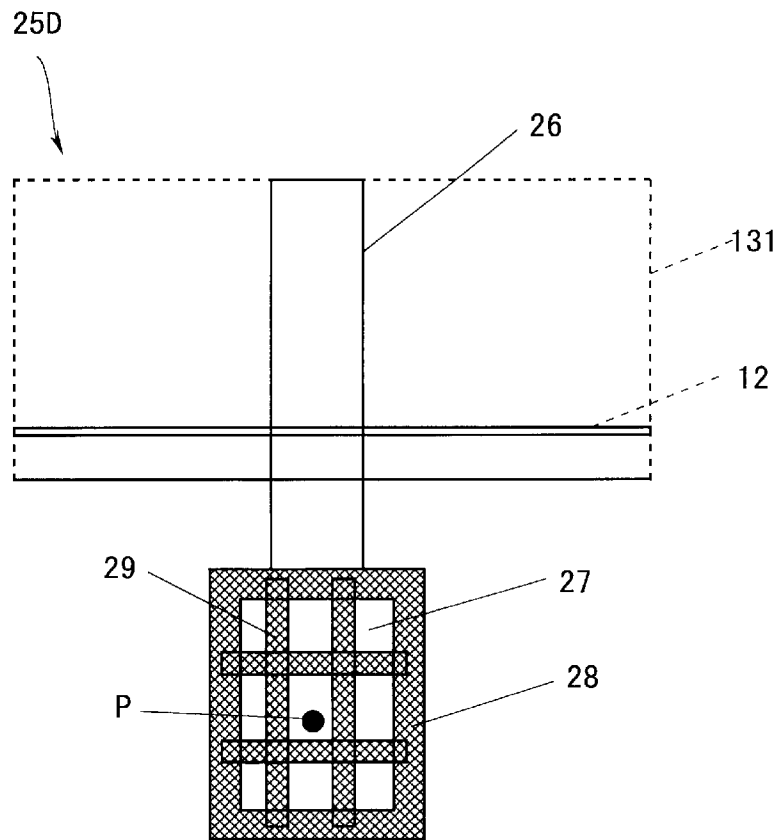
(a)



(b)

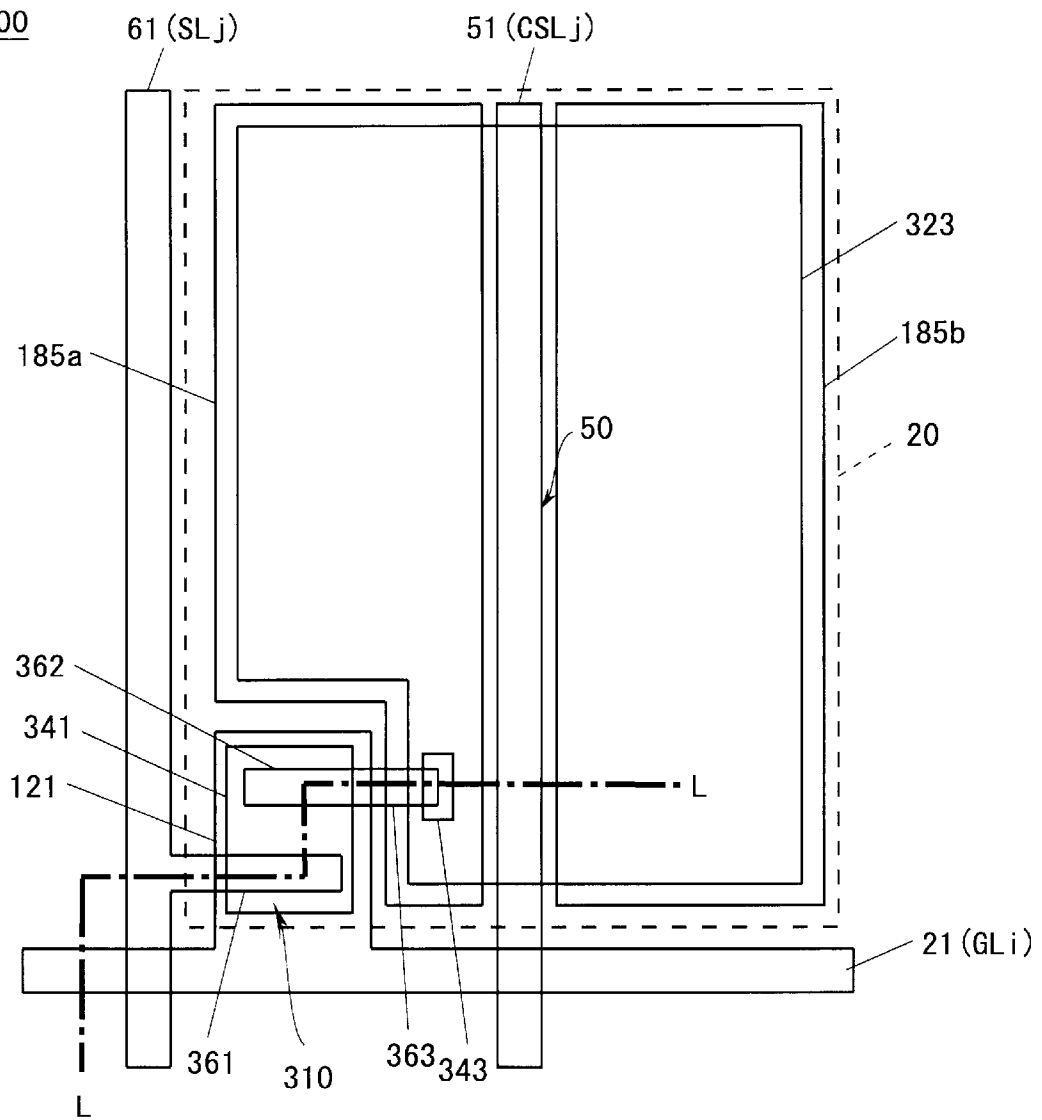


[図23]

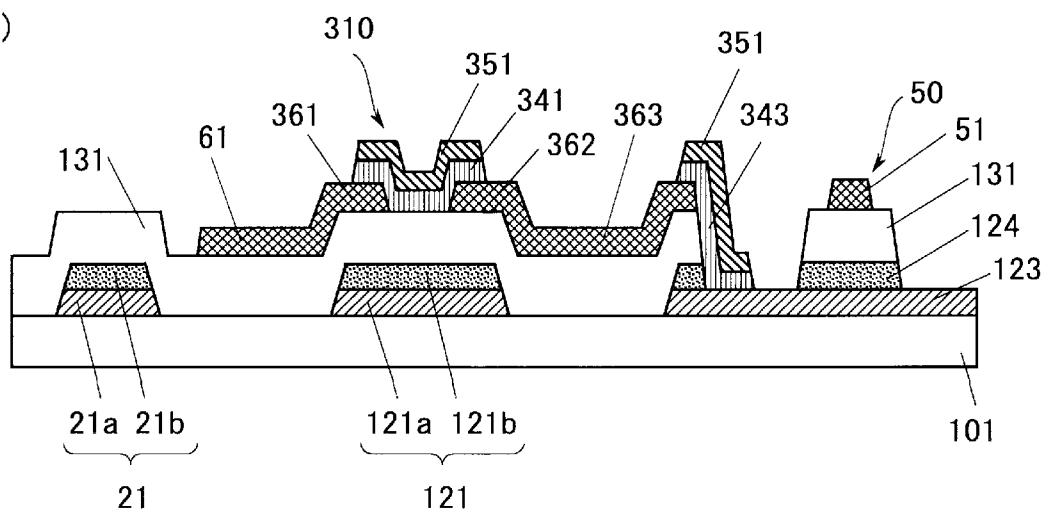


[図24]

(a) 300

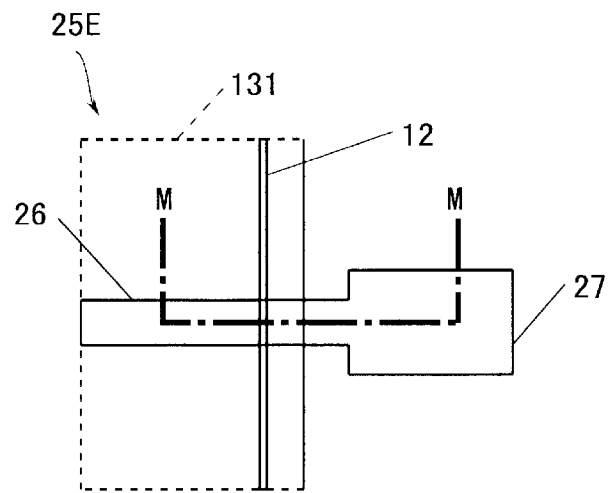


(b)

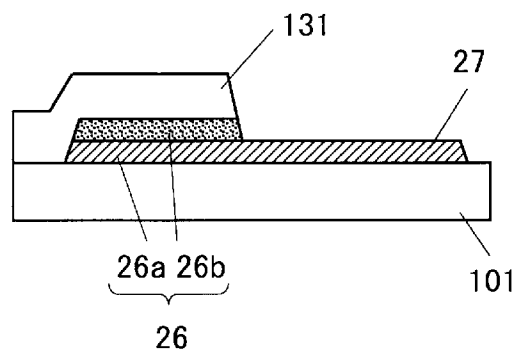


[図25]

(a)

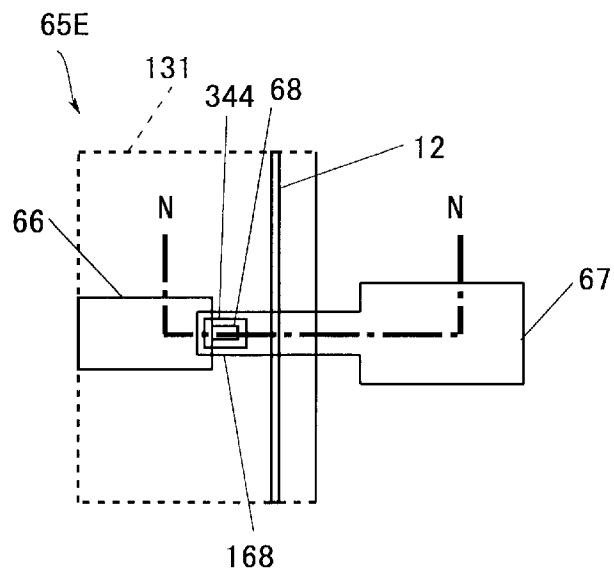


(b)

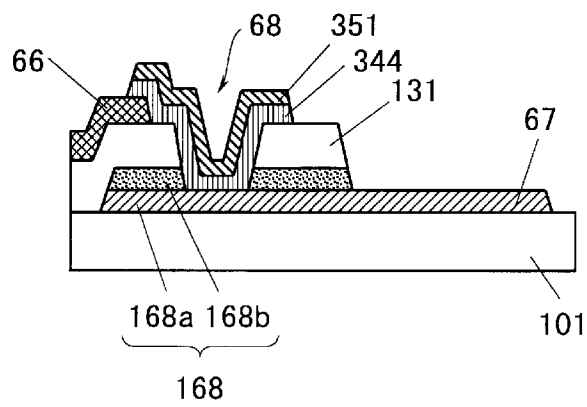


[図26]

(a)

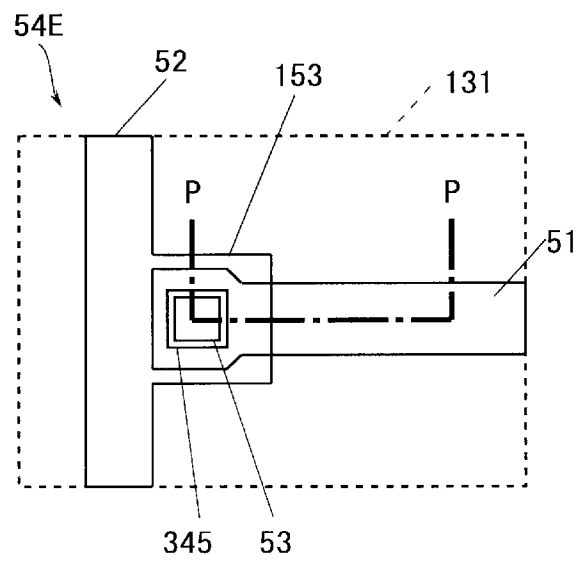


(b)

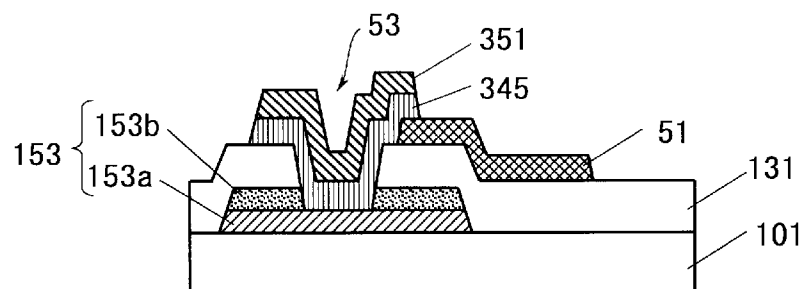


[図27]

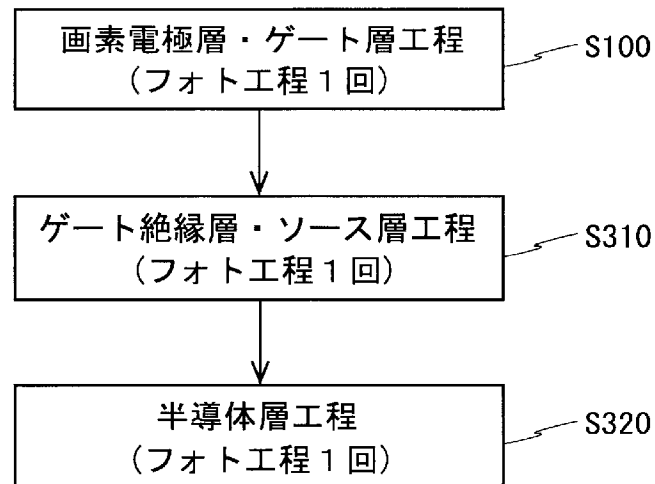
(a)



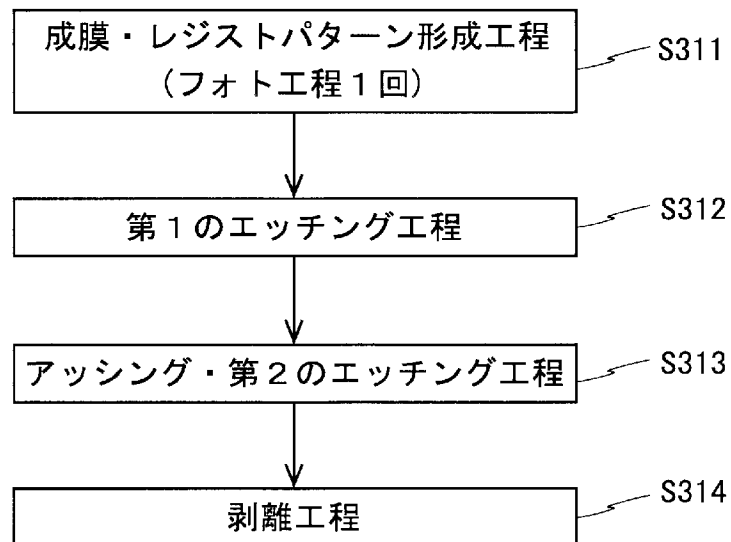
(b)



[図28]

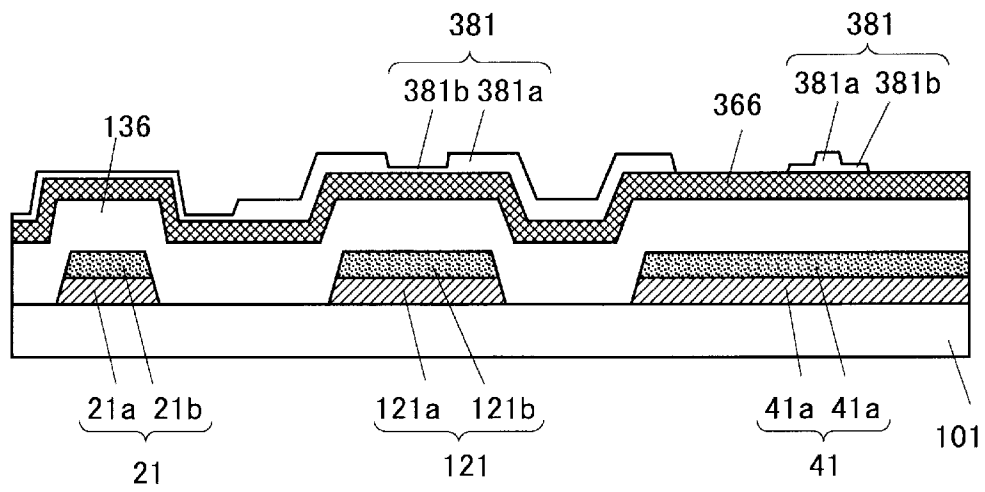


[図29]

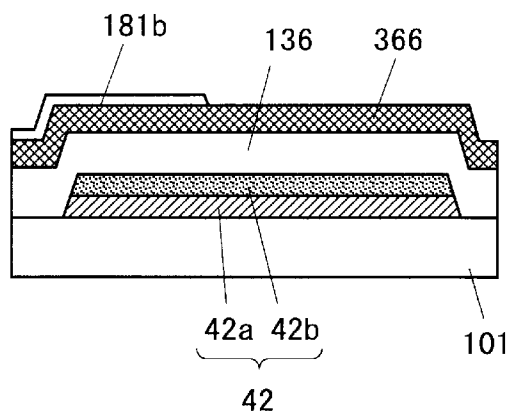


[図30]

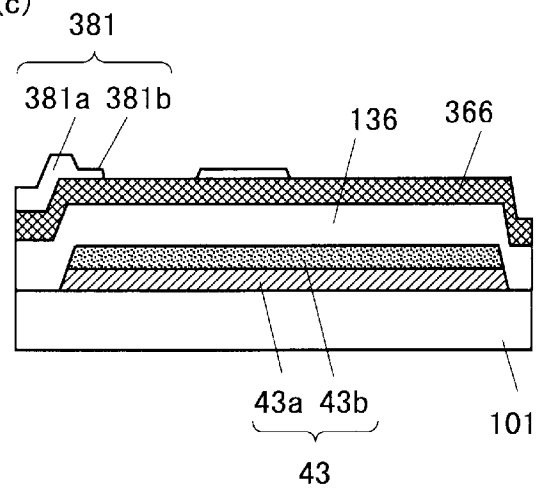
(a)



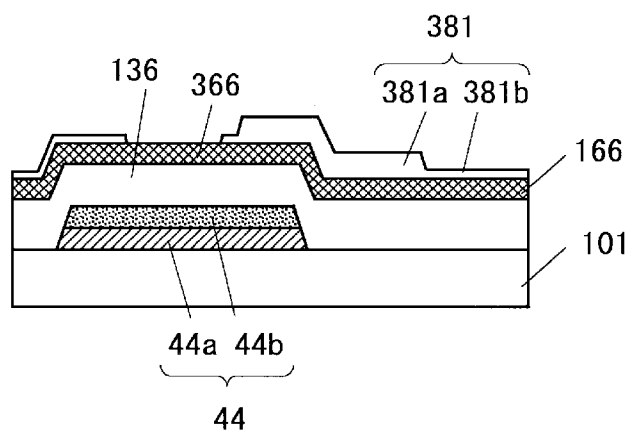
(b)



(c)

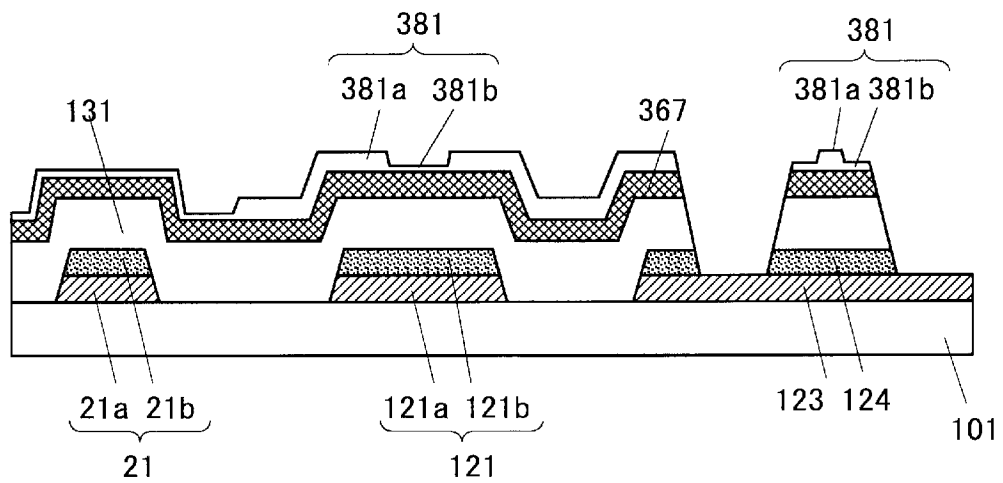


(d)

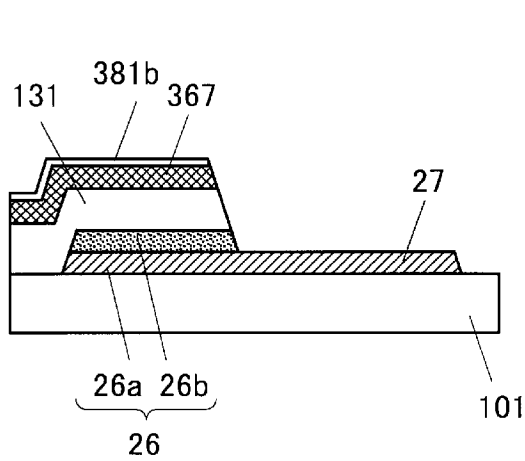


[図31]

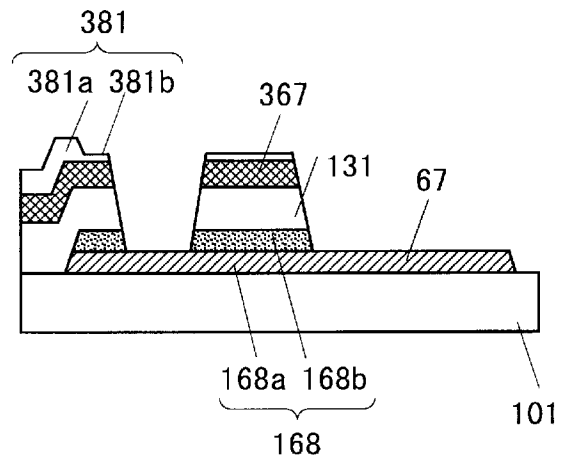
(a)



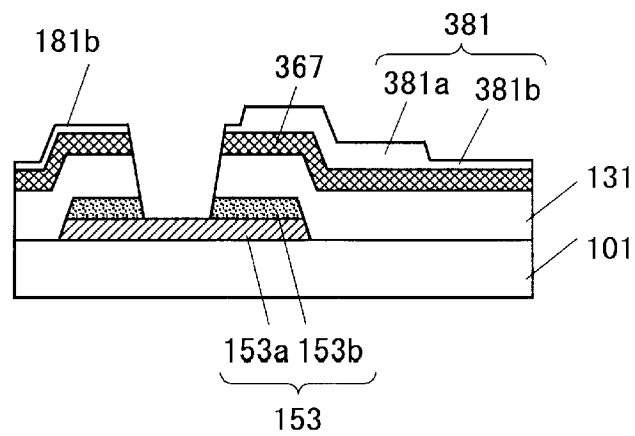
(b)



(c)

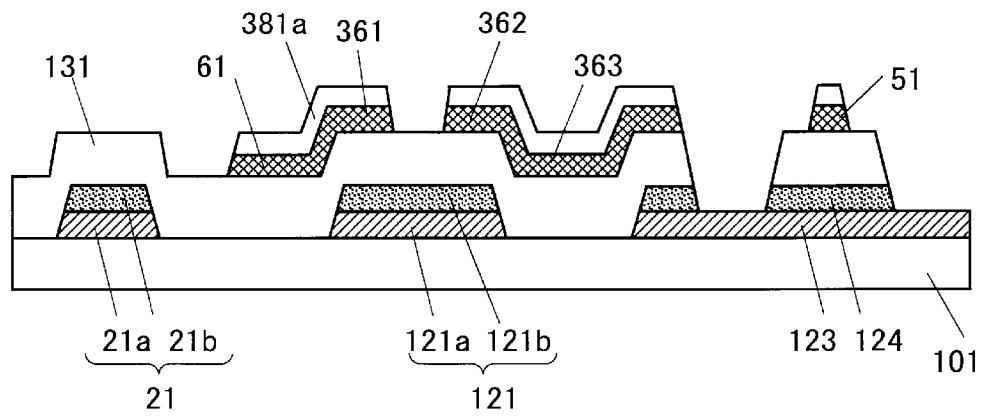


(d)

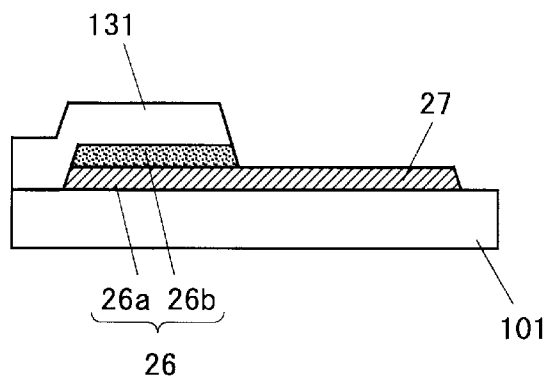


[図32]

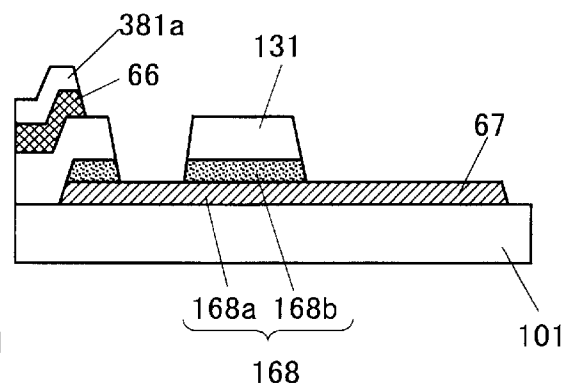
(a)



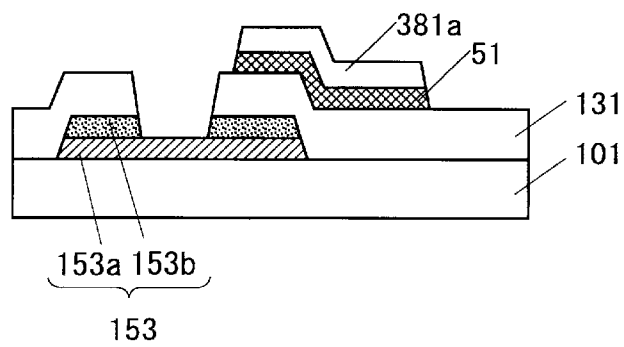
(b)



(c)

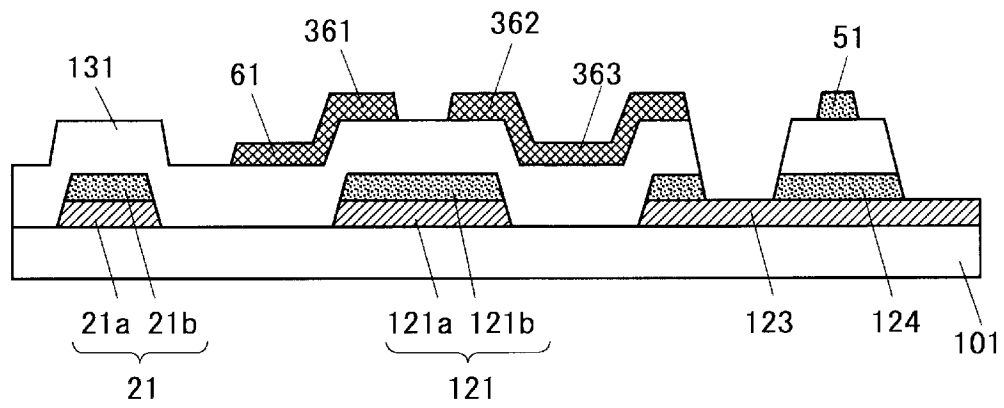


(d)

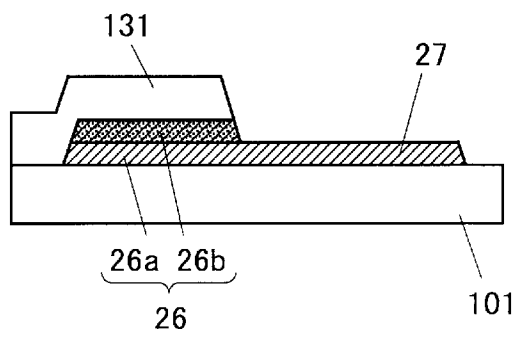


[図33]

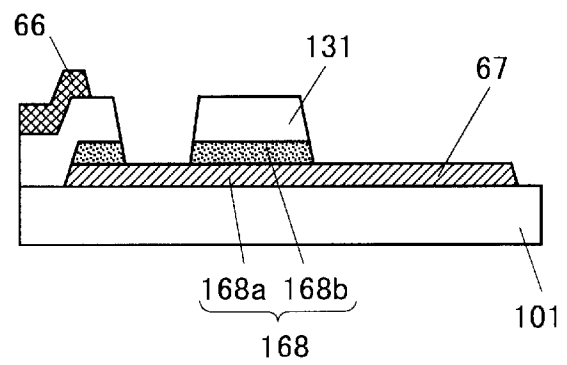
(a)



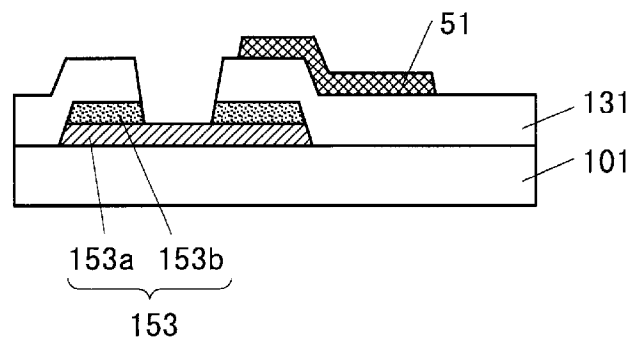
(b)



(c)

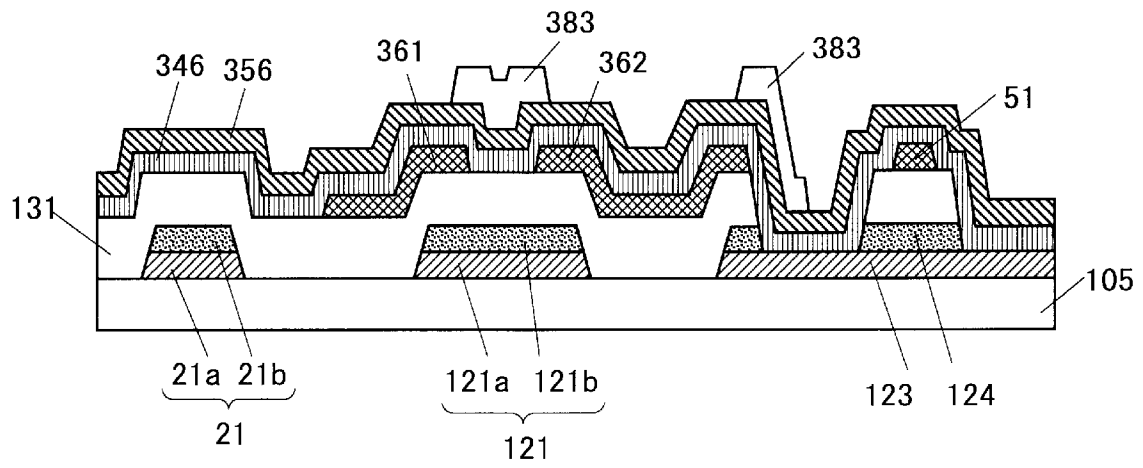


(d)

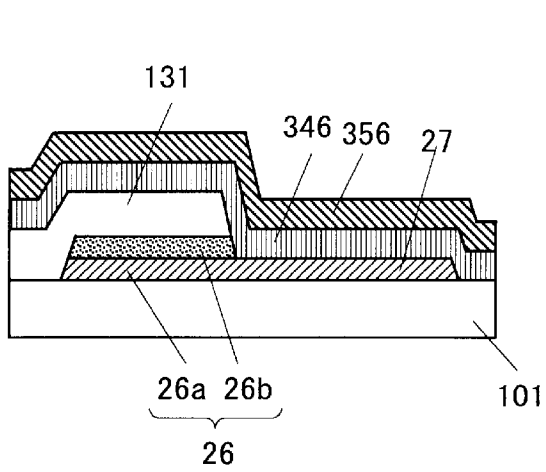


[図34]

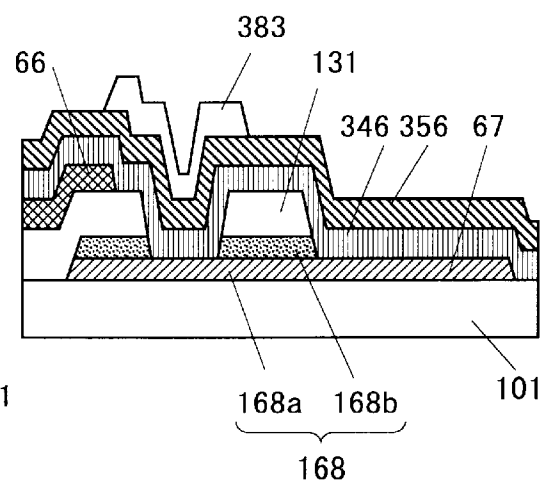
(a)



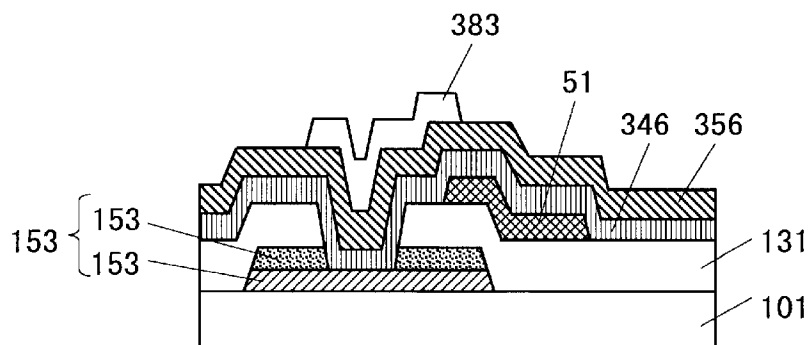
(b)



(c)

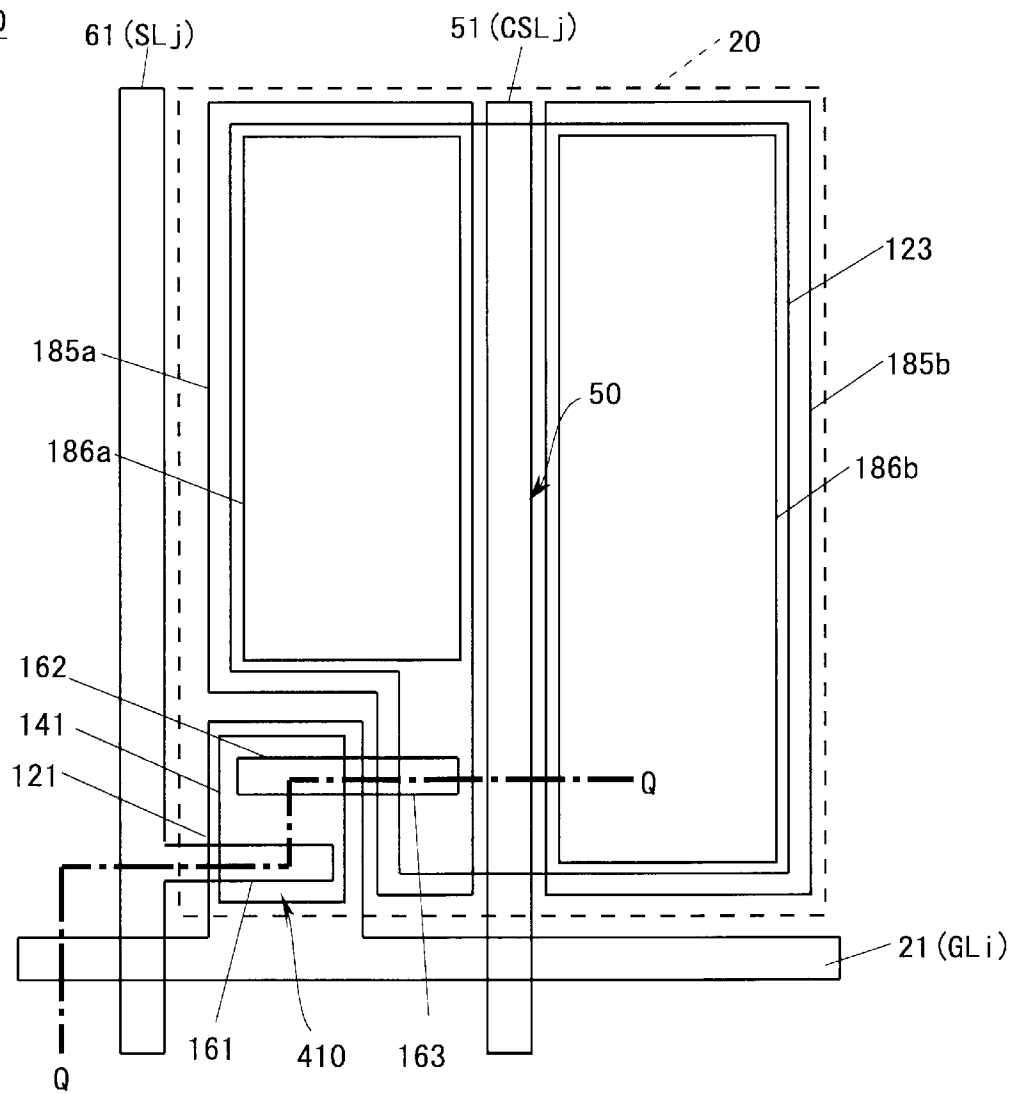


(d)

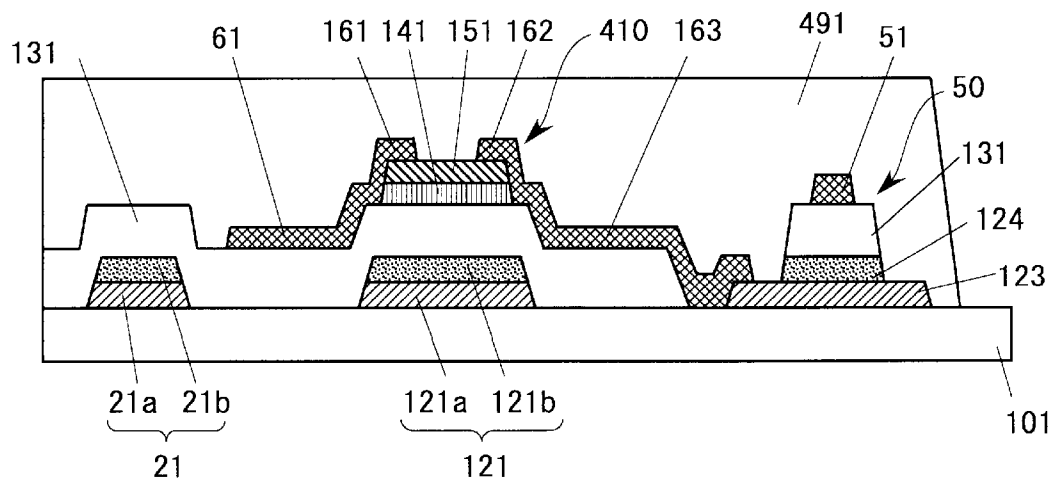


[図35]

(a) 400

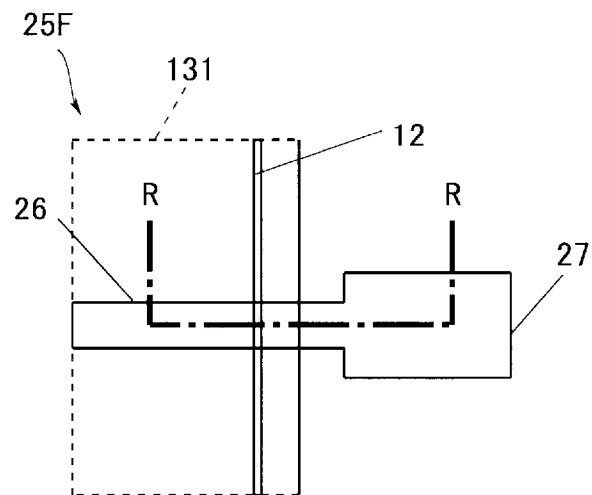


(b)

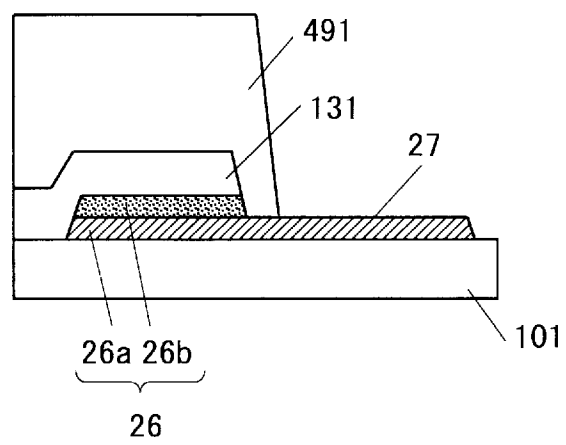


[図36]

(a)

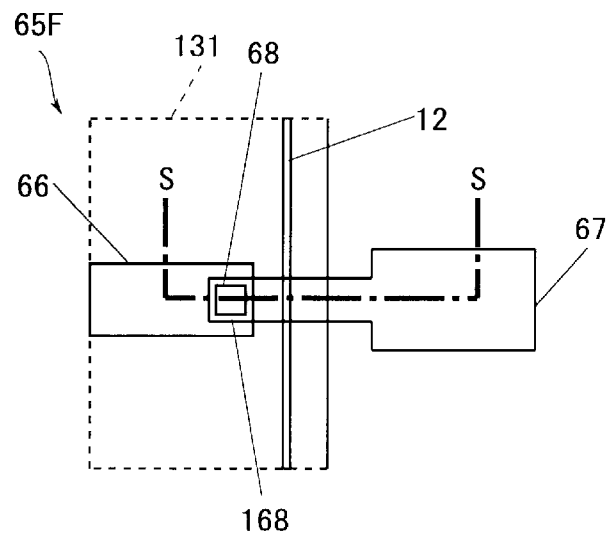


(b)

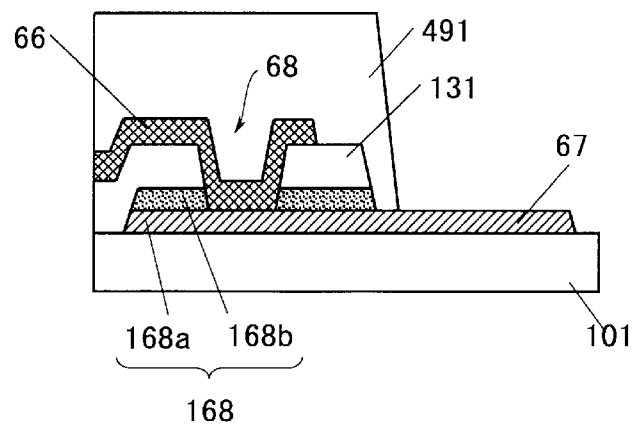


[図37]

(a)

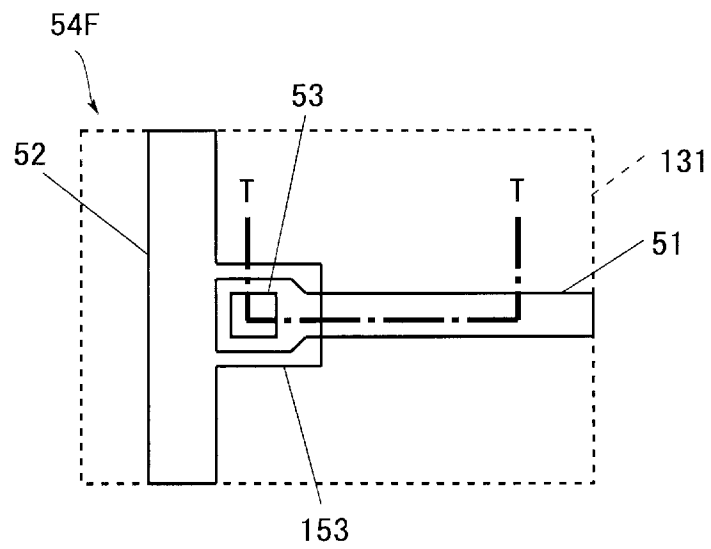


(b)

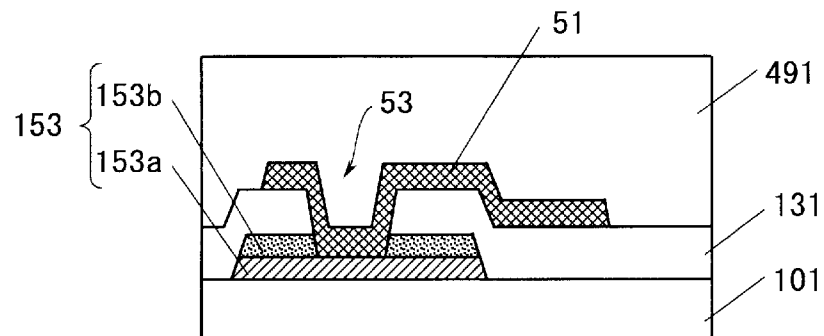


[図38]

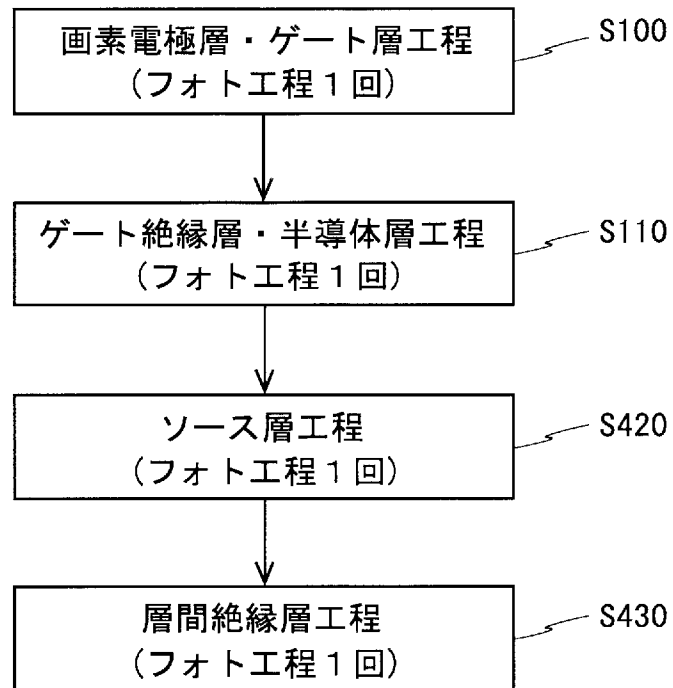
(a)



(b)

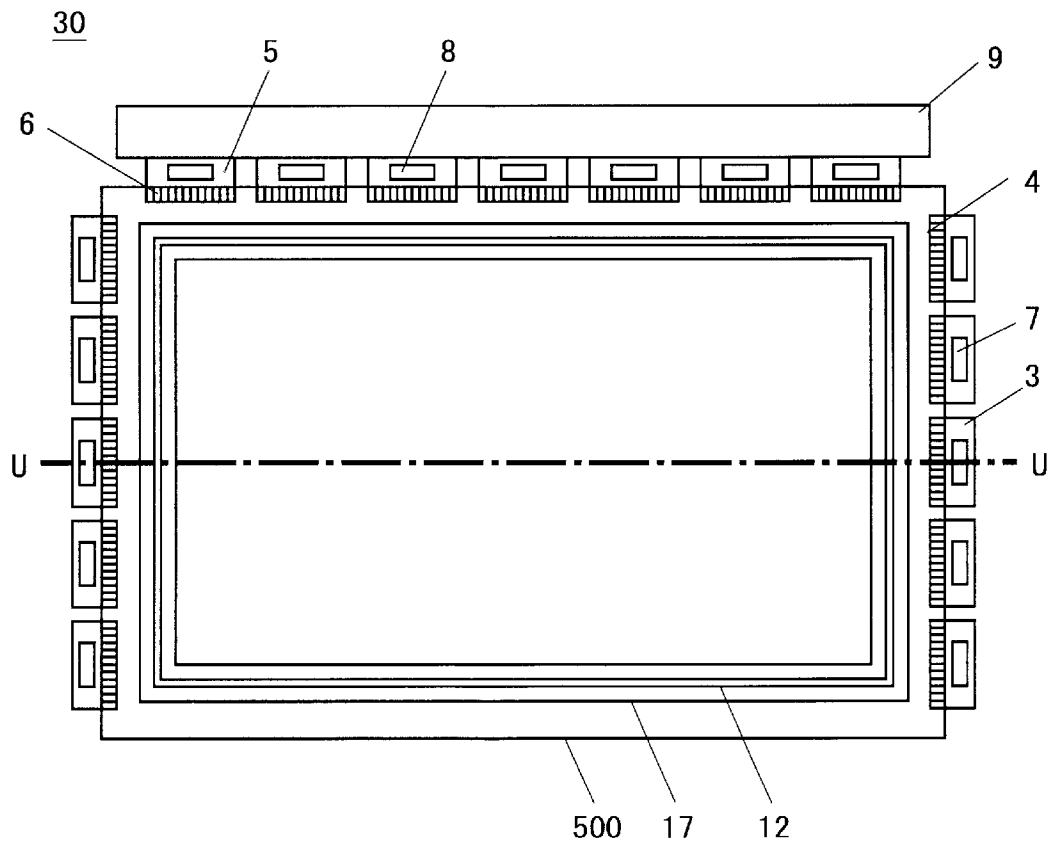


[図39]

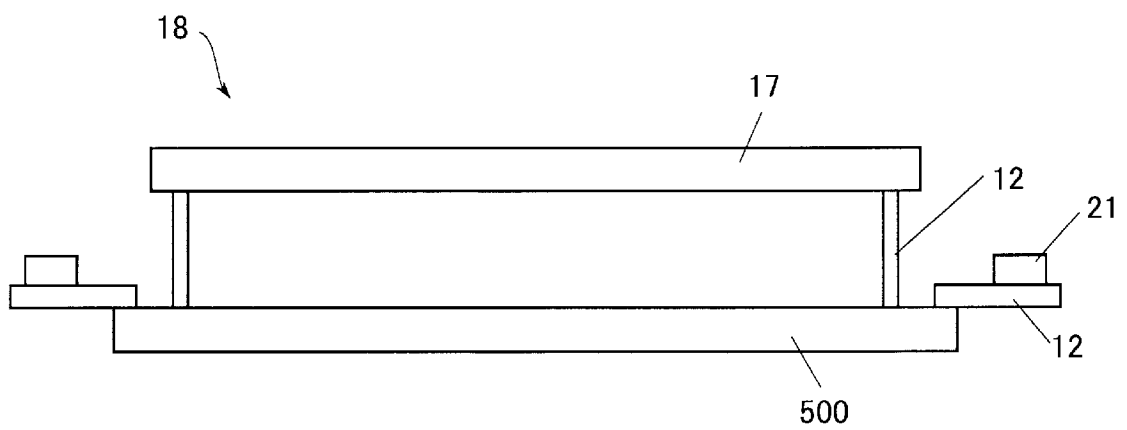


[図40]

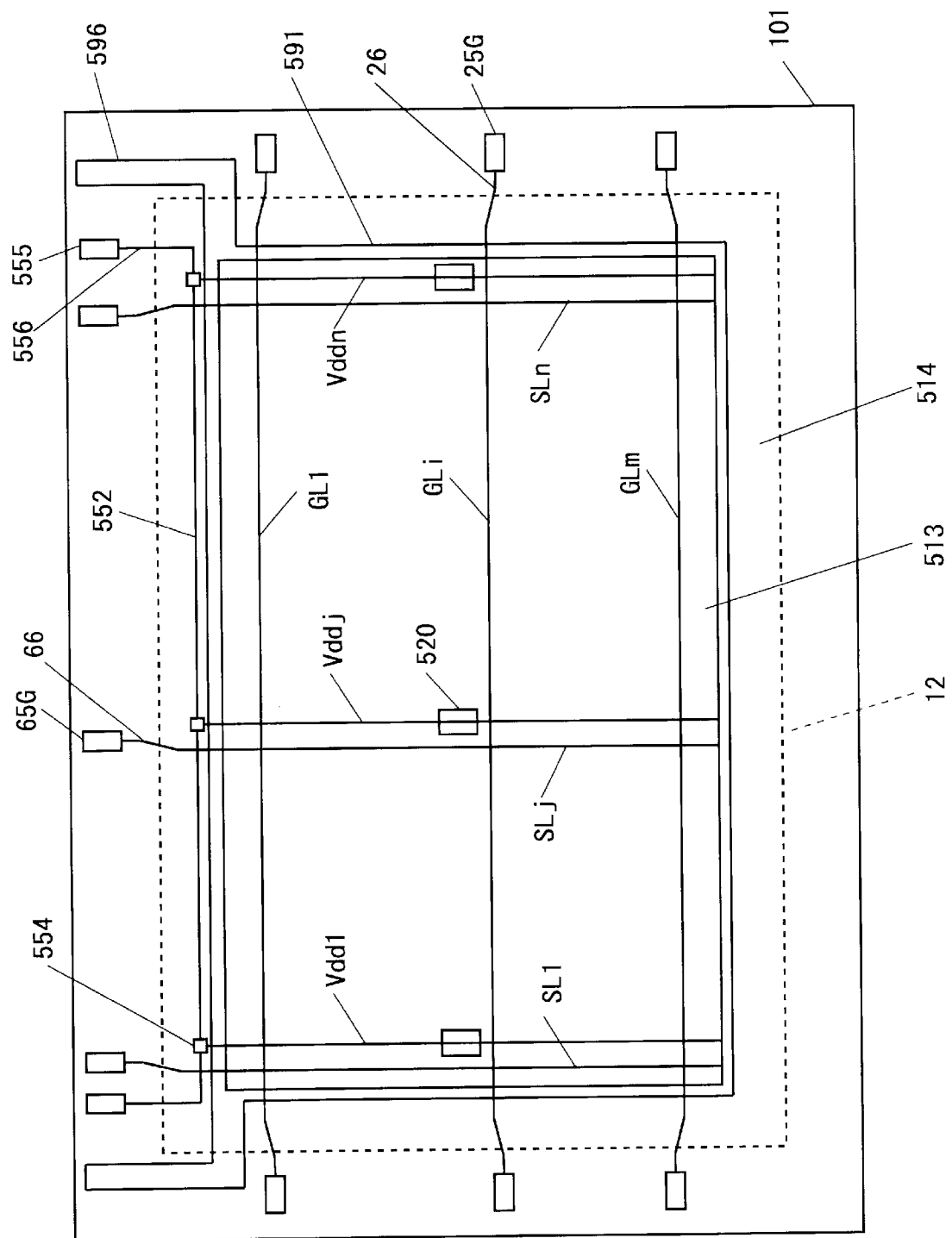
(a)



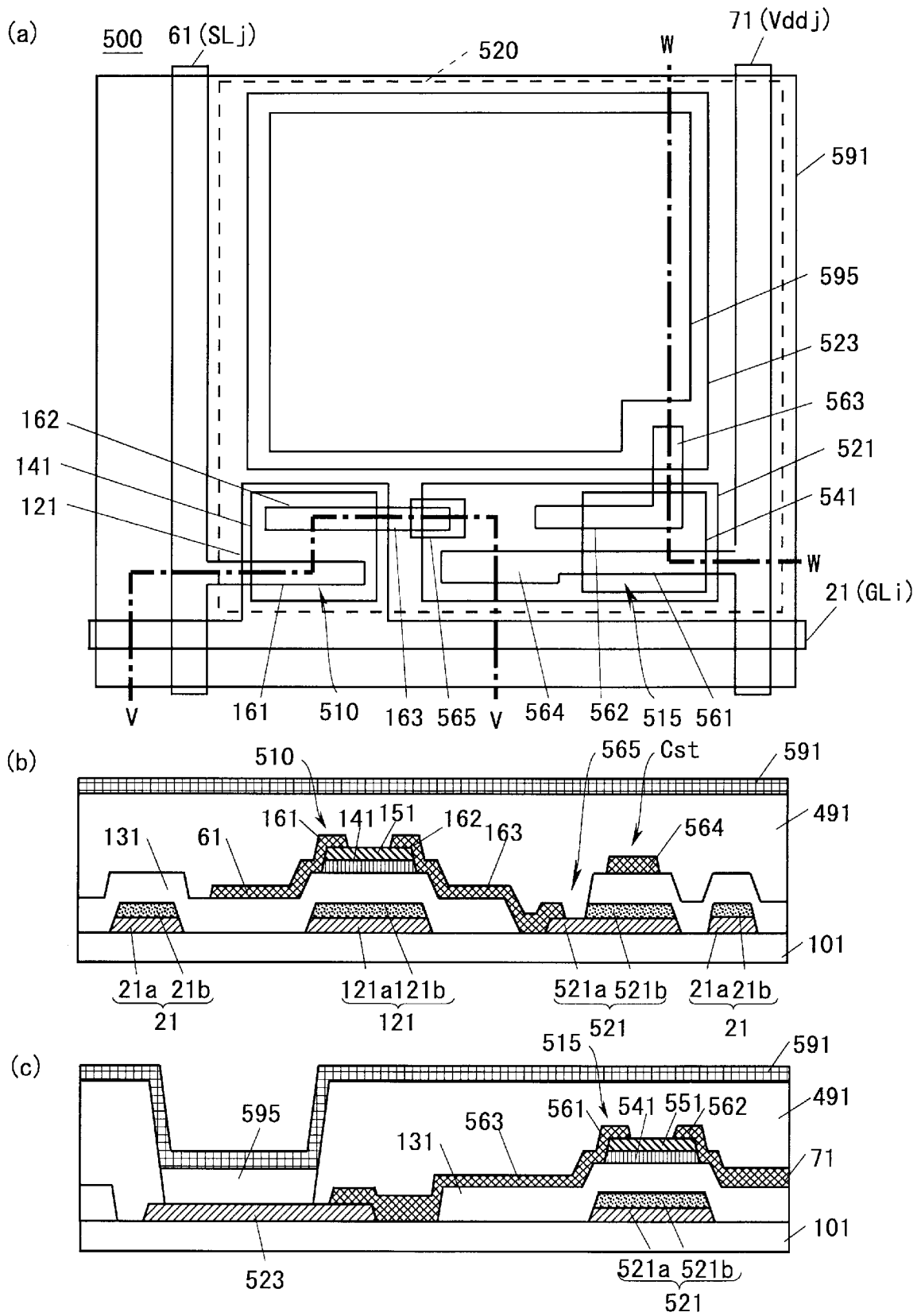
(b)



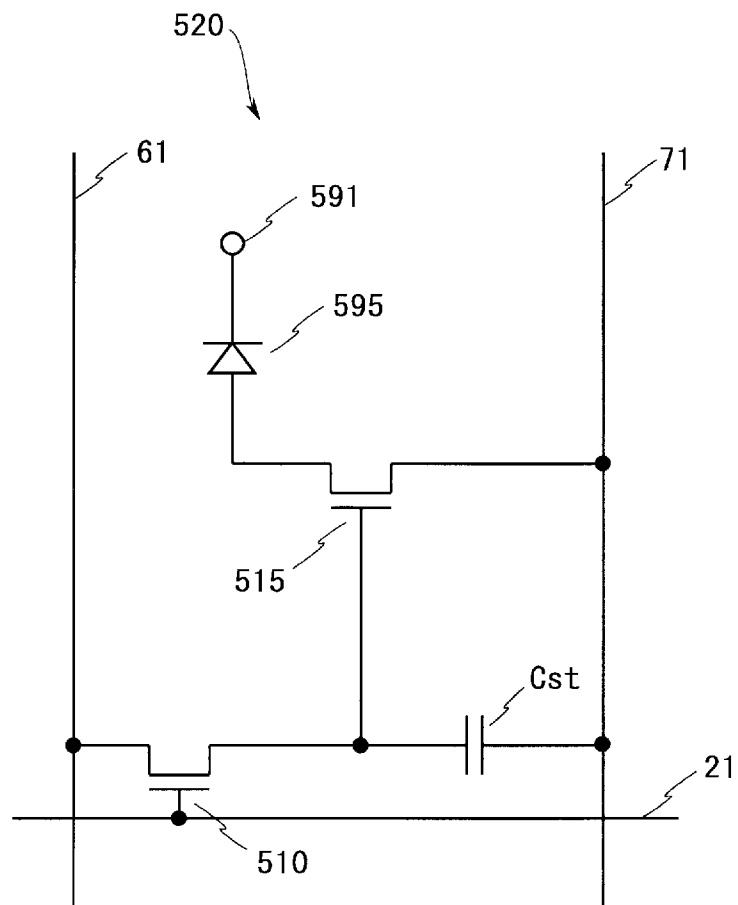
500



[図42]

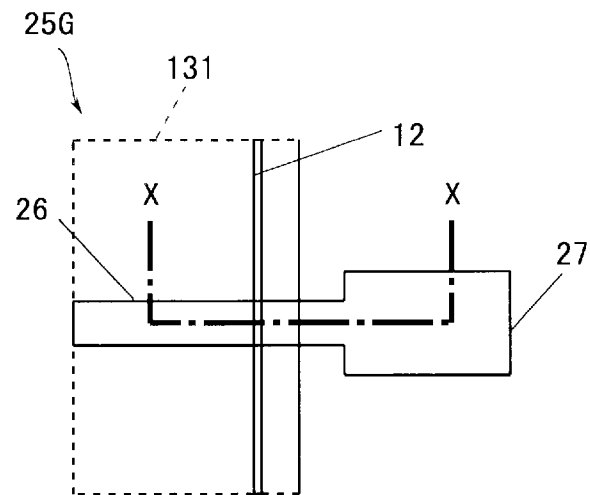


[図43]

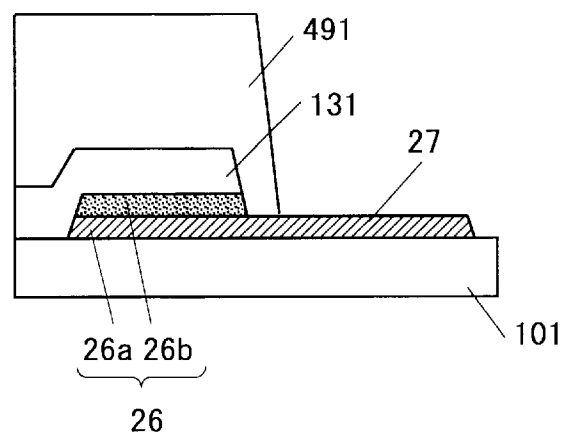


[図44]

(a)

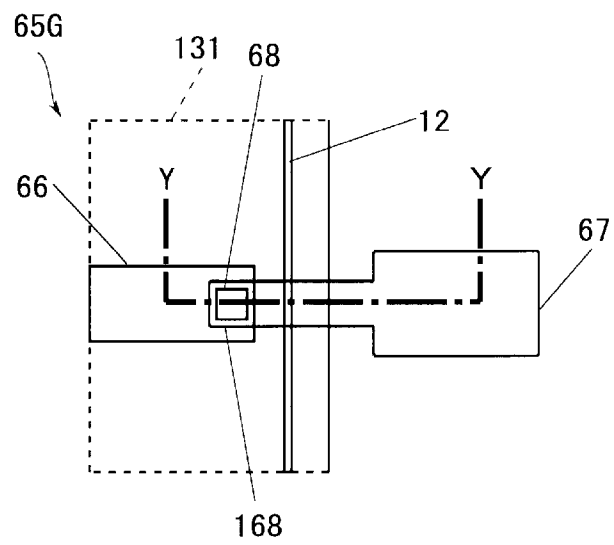


(b)

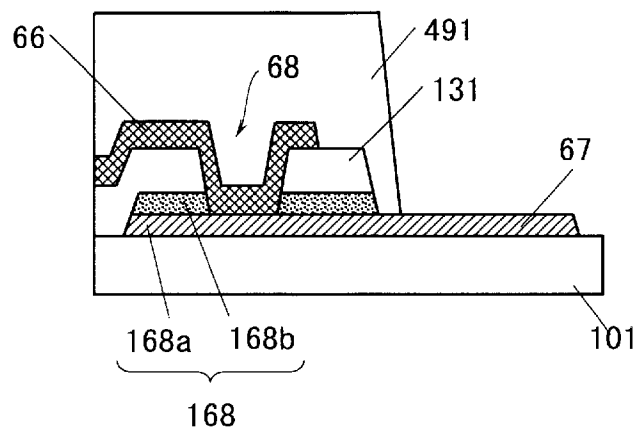


[図45]

(a)

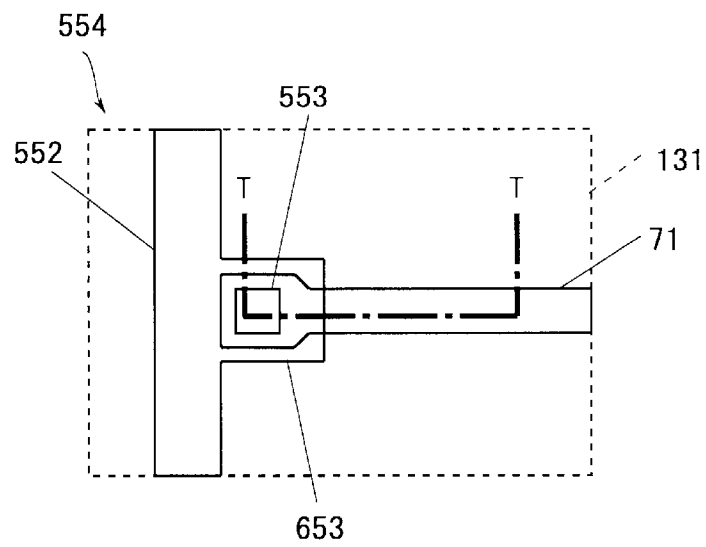


(b)

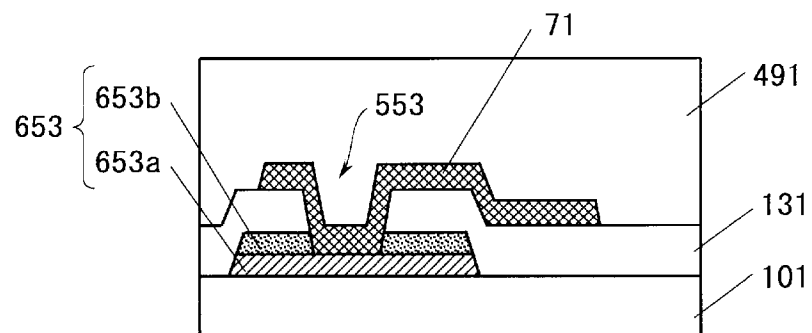


[図46]

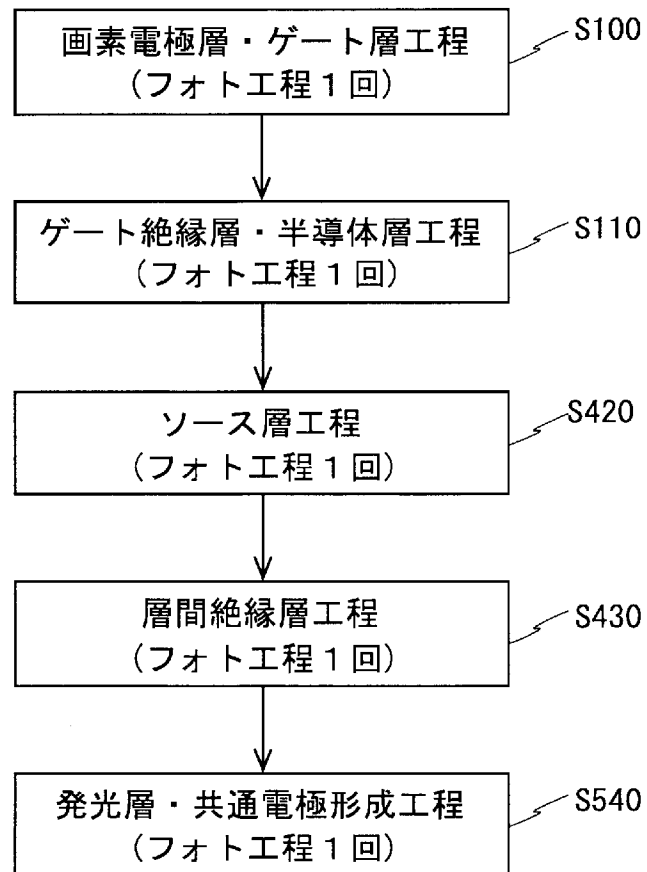
(a)



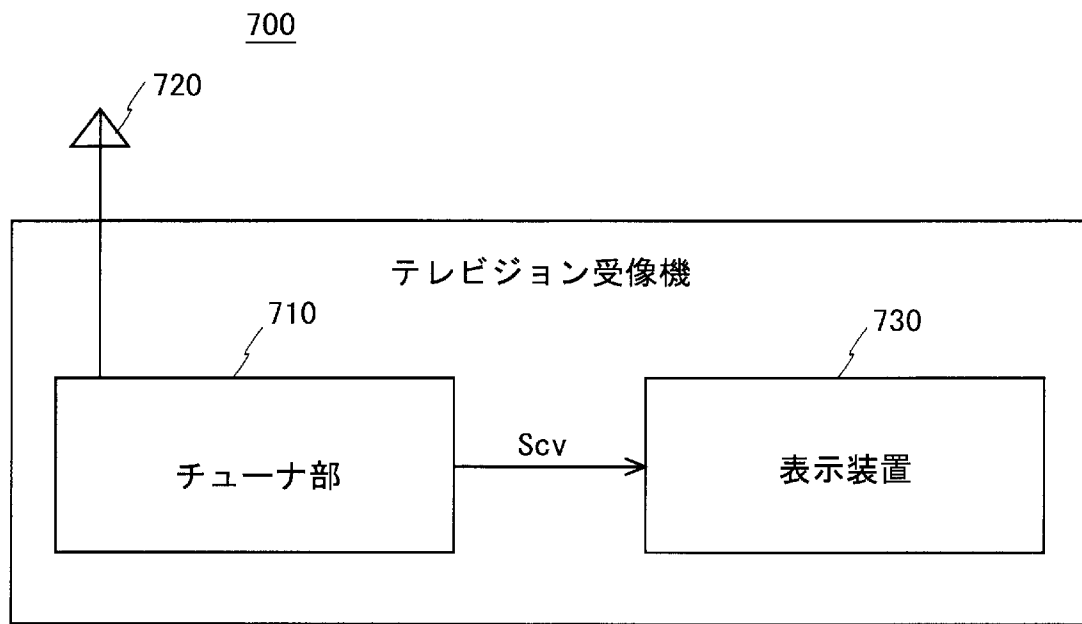
(b)



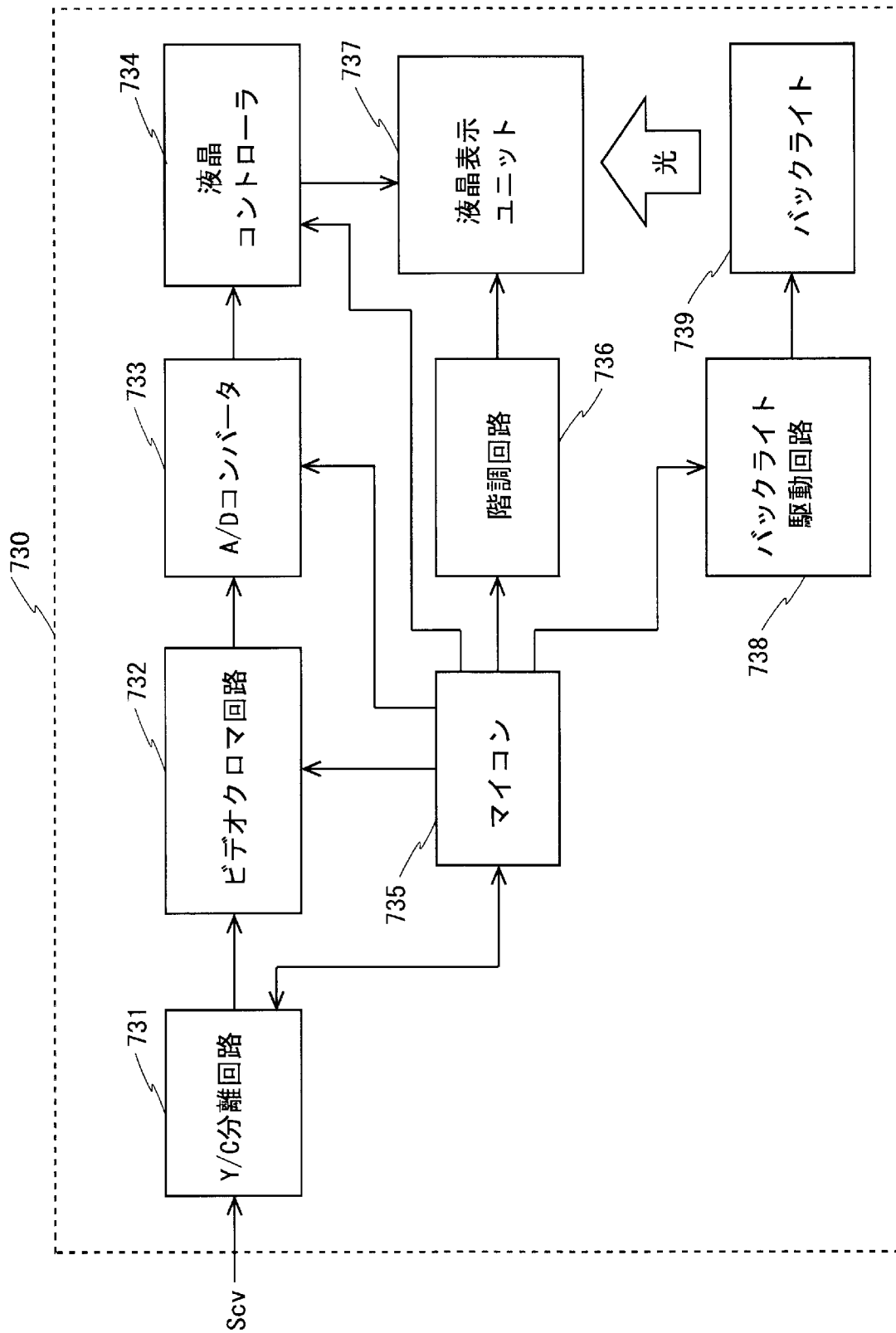
[図47]



[図48]



[図49]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064061

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i, G09F9/00
(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i, H01L51/50
(2006.01)i, H05B33/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/30, G02F1/1345, G02F1/1368, G09F9/00, H01L21/336, H01L29/786,
H01L51/50, H05B33/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-339072 A (Advanced Display Inc.), 07 December 2001 (07.12.2001), paragraphs [0060] to [0091]; fig. 29 to 32 & US 2002/0018176 A1 & TW 258219 B & KR 10-2001-0092358 A	16, 22, 23 1-15, 17-21
Y	JP 2001-311965 A (NEC Corp.), 09 November 2001 (09.11.2001), paragraphs [0020] to [0021]; fig. 6 & US 2001/0035527 A1 & TW 533327 B	1-15
Y	JP 2004-206056 A (Seiko Epson Corp.), 22 July 2004 (22.07.2004), paragraphs [0048] to [0050]; fig. 6, 7 & US 2004/0108977 A1 & TW 253609 B & CN 1469333 A	6, 21

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 July, 2012 (03.07.12)

Date of mailing of the international search report
17 July, 2012 (17.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064061

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-251735 A (Semiconductor Energy Laboratory Co., Ltd.), 04 November 2010 (04.11.2010), paragraphs [0123] to [0130]; fig. 3 & US 2010/0244029 A1 & CN 101853884 A & KR 10-2010-0108291 A & TW 201108416 A	10
Y	JP 2011-077513 A (Semiconductor Energy Laboratory Co., Ltd.), 14 April 2011 (14.04.2011), paragraphs [0059] to [0091], [0210] to [0229]; fig. 1, 9 & US 2011/0210325 A1 & WO 2011/027676 A1 & TW 201125126 A	11-15, 20
Y	JP 2007-500372 A (Koninklijke Philips Electronics N.V.), 11 January 2007 (11.01.2007), paragraphs [0020] to [0031]; fig. 1 to 3 & US 2007/0035688 A1 & EP 1651997 A & WO 2005/010599 A1 & KR 10-2006-0052885 A & CN 1829933 A	17-19
Y	JP 2011-008095 A (Mitsubishi Electric Corp.), 13 January 2011 (13.01.2011), paragraph [0033]; fig. 8 & US 2010/0328921 A1 & EP 2267518 A1 & CN 101930699 A & KR 10-2011-0000490 A & TW 201101259 A	18, 19

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i, H05B33/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09F9/30, G02F1/1345, G02F1/1368, G09F9/00, H01L21/336, H01L29/786, H01L51/50, H05B33/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2001-339072 A（株式会社アドバンスト・ディスプレイ） 2001.12.07, 段落 0 0 6 0 - 0 0 9 1、図 2 9 - 3 2 & US 2002/0018176 A1 & TW 258219 B & KR 10-2001-0092358 A	16, 22, 23 1-15, 17-21
Y	JP 2001-311965 A（日本電気株式会社）2001.11.09, 段落 0 0 2 0 - 0 0 2 1、図 6 & US 2001/0035527 A1 & TW 533327 B	1-15

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 7 . 2 0 1 2

国際調査報告の発送日

1 7 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

小野 博之

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

2 I

4 0 7 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-206056 A (セイコーエプソン株式会社) 2004. 07. 22, 段落 0 0 4 8 - 0 0 5 0、図 6、7 & US 2004/0108977 A1 & TW 253609 B & CN 1469333 A	6, 21
Y	JP 2010-251735 A (株式会社半導体エネルギー研究所) 2010. 11. 04, 段落 0 1 2 3 - 0 1 3 0、図 3 & US 2010/0244029 A1 & CN 101853884 A & KR 10-2010-0108291 A & TW 201108416 A	10
Y	JP 2011-077513 A (株式会社半導体エネルギー研究所) 2011. 04. 14, 段落 0 0 5 9 - 0 0 9 1、0 2 1 0 - 0 2 2 9、図 1、9 & US 2011/0210325 A1 & WO 2011/027676 A1 & TW 201125126 A	11-15, 20
Y	JP 2007-500372 A (コーニンクレッカ フィリップス エレクトロ ニクス エヌ ヴィ) 2007. 01. 11, 段落 0 0 2 0 - 0 0 3 1、図 1 - 3 & US 2007/0035688 A1 & EP 1651997 A & WO 2005/010599 A1 & KR 10-2006-0052885 A & CN 1829933 A	17-19
Y	JP 2011-008095 A (三菱電機株式会社) 2011. 01. 13, 段落 0 0 3 3、 図 8 & US 2010/0328921 A1 & EP 2267518 A1 & CN 101930699 A & KR 10-2011-0000490 A & TW 201101259 A	18, 19