



(12) 发明专利

(10) 授权公告号 CN 101840264 B

(45) 授权公告日 2013. 03. 13

(21) 申请号 201010132264. 4

CN 101251729 A, 2008. 08. 27, 说明书第 5 页

(22) 申请日 2010. 03. 16

倒数第 2 段至第 6 页第 1 段, 第 6 页倒数第 3 段至第 7 页第 16 行, 第 8 页第 9-10 行、附图 1-2.

(30) 优先权数据

2009-063202 2009. 03. 16 JP

审查员 陈冬冰

(73) 专利权人 佳能株式会社

地址 日本东京都大田区下丸子 3 丁目 30 番
2 号

(72) 发明人 山崎壮三

(74) 专利代理机构 北京魏启学律师事务所

11398

代理人 魏启学

(51) Int. Cl.

G06F 1/32 (2006. 01)

(56) 对比文件

JP 特开 2006-331305 A, 2006. 12. 07, 说明书摘要、说明书第 [0015] 段-[0021] 段、附图 1-3.

JP 特开平 8-76876 A, 1996. 03. 22, 全文.

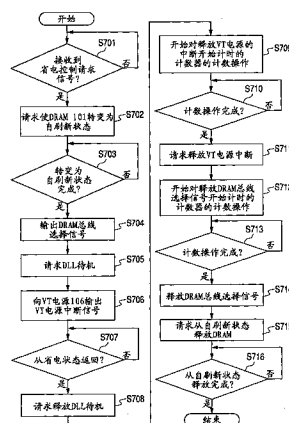
权利要求书 2 页 说明书 12 页 附图 7 页

(54) 发明名称

数据存储设备和数据存储设备的控制方法

(57) 摘要

本发明涉及数据存储设备和数据存储设备的控制方法。在具有数据存储部件的数据存储设备中, 如果判断为使该数据存储设备转变为省电状态的条件成立, 则进行控制, 以使得将用于控制数据存储部件的操作的操作控制部件要输出至多个信号线的信号的状态固定至特定信号状态, 并且停止由基准电压供给部件向多个信号线供给基准电压。



1. 一种数据存储设备,包括:

数据存储部件,用于存储数据;

操作控制部件,用于控制所述数据存储部件的操作,从而通过包括多个信号线的总线向所述数据存储部件发送数据或从所述数据存储部件接收数据;

判断部件,用于判断所述数据存储设备转变为省电状态的条件是否成立;

基准电压供给部件,用于向所述多个信号线供给基准电压;以及

电力控制部件,用于在由所述判断部件判断为所述数据存储设备转变为所述省电状态的条件成立的情况下,进行控制以停止由所述基准电压供给部件供给所述基准电压,

其中,所述操作控制部件在所述判断部件判断为所述数据存储设备转变为所述省电状态的条件成立的情况下,将要输出至所述多个信号线的信号的状态固定至特定信号状态。

2. 根据权利要求1所述的数据存储设备,其特征在于,所述电力控制部件在所述操作控制部件将要输出至所述多个信号线的信号的状态固定至所述特定信号状态之后,控制所述基准电压供给部件以停止供给所述基准电压。

3. 根据权利要求1或2所述的数据存储设备,其特征在于,

所述判断部件判断使所述数据存储设备从所述省电状态返回的条件是否成立,以及

在由所述判断部件判断为使所述数据存储设备从所述省电状态返回的条件成立的情况下,所述电力控制部件控制所述基准电压供给部件以重新开始供给所述基准电压,并且所述操作控制部件释放要输出至所述多个信号线的信号的状态的固定。

4. 根据权利要求3所述的数据存储设备,其特征在于,在所述基准电压供给部件重新开始供给所述基准电压之后,所述操作控制部件释放要输出至所述多个信号线的信号的状态的固定。

5. 根据权利要求1或2所述的数据存储设备,其特征在于,所述特定信号状态是所述操作控制部件输出电压值比所述多个信号线的基准电压低的低电平信号的状态。

6. 根据权利要求1或2所述的数据存储设备,其特征在于,所述基准电压供给部件通过所述数据存储设备的终端电阻向所述多个信号线供给所述基准电压。

7. 根据权利要求1或2所述的数据存储设备,其特征在于,

所述数据存储部件是进行用于保持数据的刷新操作的动态随机存取存储器即 DRAM,以及

所述数据存储设备还包括发送部件,所述发送部件用于通过所述总线发送使所述动态随机存取存储器进行所述刷新操作的信号。

8. 根据权利要求7所述的数据存储设备,其特征在于,所述动态随机存取存储器在第一刷新模式和第二刷新模式中的任一模式下进行所述刷新操作,其中,所述第一刷新模式用于基于通过所述总线输入的且使得进行所述刷新操作的信号进行所述刷新操作,所述第二刷新模式用于在未使用使得进行所述刷新操作的信号的情况下进行所述刷新操作。

9. 根据权利要求1或2所述的数据存储设备,其特征在于,在由所述判断部件判断为所述数据存储设备转变为所述省电状态的条件成立的情况下,所述操作控制部件进行控制以中断通过时钟供给信号线供给至所述数据存储部件的时钟信号。

10. 一种数据存储设备的控制方法,所述数据存储设备包括:数据存储部件,用于存储数据;操作控制部件,用于控制所述数据存储部件的操作,从而通过包括多个信号线的总线

向所述数据存储部件发送数据或从所述数据存储部件接收数据；以及基准电压供给部件，用于向所述多个信号线供给基准电压，所述控制方法包括以下步骤：

判断步骤，用于判断所述数据存储设备转变为省电状态的条件是否成立；

信号状态改变步骤，用于在所述判断步骤中判断为所述数据存储设备转变为所述省电状态的条件成立的情况下，使得所述操作控制部件将要输出至所述多个信号线的信号的状态固定至特定信号状态；以及

停止步骤，用于在所述判断步骤中判断为使所述数据存储设备转变为所述省电状态的条件成立的情况下，使得所述基准电压供给部件停止供给所述基准电压。

11. 根据权利要求 10 所述的控制方法，其特征在于，在所述信号状态改变步骤中将要输出至所述多个信号线的信号的状态固定至所述特定信号状态之后，在所述停止步骤中，停止由所述基准电压供给部件供给所述基准电压。

12. 根据权利要求 10 或 11 所述的控制方法，其特征在于，

在所述判断步骤中判断使所述数据存储设备从所述省电状态返回的条件是否成立，以及

所述控制方法还包括重新开始步骤，所述重新开始步骤用于在所述判断步骤中判断为使所述数据存储设备从所述省电状态返回的条件成立的情况下，使所述基准电压供给部件重新开始供给所述基准电压。

13. 根据权利要求 12 所述的控制方法，其特征在于，还包括信号状态释放步骤，所述信号状态释放步骤用于在所述重新开始步骤中重新开始由所述基准电压供给部件供给所述基准电压之后，释放要输出至所述多个信号线的信号的状态的固定。

14. 根据权利要求 10 或 11 所述的控制方法，其特征在于，所述特定信号状态是所述操作控制部件输出电压值比所述多个信号线的基准电压低的低电平信号的状态。

15. 根据权利要求 10 或 11 所述的控制方法，其特征在于，所述基准电压供给部件通过所述数据存储设备的终端电阻向所述多个信号线供给所述基准电压。

16. 根据权利要求 10 或 11 所述的控制方法，其特征在于，

所述数据存储部件是进行用于保持数据的刷新操作的动态随机存取存储器即 DRAM，以及

所述数据存储设备还包括发送部件，所述发送部件用于通过所述总线发送使所述动态随机存取存储器进行所述刷新操作的信号。

17. 根据权利要求 16 所述的控制方法，其特征在于，所述动态随机存取存储器在第一刷新模式和第二刷新模式中的任一模式下进行所述刷新操作，其中，所述第一刷新模式用于基于通过所述总线输入的且使得进行所述刷新操作的信号进行所述刷新操作，所述第二刷新模式用于在未使用使得进行所述刷新操作的信号的情况下进行所述刷新操作。

18. 根据权利要求 10 或 11 所述的控制方法，其特征在于，还包括时钟信号中断步骤，所述时钟信号中断步骤用于在所述判断步骤中判断为所述数据存储设备转变为所述省电状态的条件成立的情况下，进行控制以中断通过时钟供给信号线供给至所述数据存储部件的时钟信号。

数据存储设备和数据存储设备的控制方法

技术领域

[0001] 本发明涉及数据存储设备和该数据存储设备的控制方法。

背景技术

[0002] 在包括用作用于存储数据的数据存储单元的存储器（例如，DRAM(Dynamic Random Access Memory, 动态随机存取存储器)）的系统中，传统上使用存储器的省电功能已被采纳为用于降低系统的功耗的方法。这里，应当注意，存储器的省电功能是用于使存储器转变为断电状态或自刷新状态(self refreshstate) 等的省电状态的功能。

[0003] 为了使省电功能更加有效，日本特开 2006-331305 号公报公开了使 DDR SDRAM(Double-Data-Rate Synchronous Dynamic Random Access Memory, 双倍速率同步动态随机存取存储器) 转变为省电状态、然后中断该 DDR SDRAM 的终端电源的中断控制单元。这里，作为 DDR SDRAM 的终端电路，已知基于 JEDEC(Joint Electron Devices Engineering Council, 电子器件工程联合委员会) 标准的 SSTL2(Stub Series Terminated Logic for 2.5V, 2.5 伏(V) 的短线串联端接逻辑) 接口。

[0004] 在符合 SSTL2 的终端电路中，通过终端电阻向多个信号线中的各信号线供给存储器系统的电源电压（例如，2.5V）的中间电压（例如，1.25V）。结果，即使 DDR SDRAM 转变为省电状态，电流也可从用于供给中间电压的电源流向多个信号线，由此在终端电路中出现由于这种电流流动而产生的功耗。

[0005] 此外，通过在 DDR SDRAM 的所有内存条(memory bank) 进入空闲状态之后、使接口的 CKE 信号转变为低电平，来进行使 DDR SDRAM 转变为断电模式。如果通过在空闲状态下仅切换 CKE 信号的信号电平使状态转变为省电状态，则接口中分别存在高信号电平和低信号电平。因此，如果照原样中断终端电源，则电流通过终端电路从高电平信号流向低电平信号，由此出现由于电流流动而产生的功耗。

[0006] 在日本特开 2006-331305 号公报中，为了解决如上所述的这种问题，设置了终端电源用的两个中断单元。即，由独立的中断单元分别控制高电平信号和低电平信号，从而在终端电源被中断时限制电流流动，由此降低终端电路中的功耗。

[0007] 然而，在日本特开 2006-331305 号公报所公开的该方法中，由于为终端电源设置了两个中断单元，因此这些中断单元仍然耗电。因而，在存储器未转变为省电状态的普通操作时，功耗增加。

发明内容

[0008] 考虑到上述相关技术完成了本发明，并且本发明的目的是提供改进的数据存储设备以及该改进的数据存储设备的控制方法。

[0009] 此外，本发明的目的是在数据存储设备中提供用于实现降低功耗的机构。

[0010] 根据本发明的一个方面，一种数据存储设备，包括：数据存储部件，用于存储数据；操作控制部件，用于控制所述数据存储部件的操作，从而通过包括多个信号线的总线向所

述数据存储部件发送数据或从所述数据存储部件接收数据 ; 判断部件, 用于判断使所述数据存储设备转变为省电状态的条件是否成立 ; 基准电压供给部件, 用于向所述多个信号线供给基准电压 ; 以及电力控制部件, 用于在由所述判断部件判断为使所述数据存储设备转变为所述省电状态的条件成立的情况下, 将所述操作控制部件要输出至所述多个信号线的信号的状态固定至特定信号状态, 并且进行控制以停止由所述基准电压供给部件供给所述基准电压。

[0011] 根据本发明的另一方面, 一种数据存储设备的控制方法, 所述数据存储设备包括 : 数据存储部件, 用于存储数据 ; 操作控制部件, 用于控制所述数据存储部件的操作, 从而通过包括多个信号线的总线向所述数据存储部件发送数据或从所述数据存储部件接收数据 ; 以及基准电压供给部件, 用于向所述多个信号线供给基准电压, 所述控制方法包括以下步骤 : 判断步骤, 用于判断使所述数据存储设备转变为省电状态的条件是否成立 ; 信号状态固定步骤, 用于在所述判断步骤中判断为使所述数据存储设备转变为所述省电状态的条件成立的情况下, 使电力控制部件将所述操作控制部件要输出至所述多个信号线的信号的状态固定至特定信号状态 ; 以及停止步骤, 用于在所述判断步骤中判断为使所述数据存储设备转变为所述省电状态的条件成立的情况下, 使得所述电力控制部件停止由所述基准电压供给部件供给所述基准电压。

[0012] 根据以下参考附图对典型实施例的说明, 本发明的其它特征将变得明显。

附图说明

[0013] 包含在说明书中并构成说明书的一部分的附图示出本发明的多个实施例、特征和方面, 并和说明书一起用来解释本发明的原理。

[0014] 图 1 是示出可应用根据本发明的数据存储设备的图像处理设备的框图。

[0015] 图 2 是示出控制设备 10 的结构的框图。

[0016] 图 3 是用于说明主控制器 100 的内部电路的框图。

[0017] 图 4 是示出 DRAM 控制器 208 和 DRAM 101 之间的连接结构的框图。

[0018] 图 5 是示出 DRAM 控制器 208 的省电控制操作的流程图。

[0019] 图 6 是用于说明由省电控制电路 213 所进行的操作的时序图。

[0020] 图 7 是用于说明由省电控制电路 213 所进行的操作的流程图。

具体实施方式

[0021] 现在, 将参考示出本发明的各种典型实施例的附图来详细说明本发明。在附图中, 利用相同的附图标记来表示所有图中相同的元件或部件, 并且省略对其的重复说明。

[0022] 第一实施例

[0023] 在下文, 将参考附图来说明用于执行本发明的最佳模式。

[0024] 图 1 是示出可应用根据本发明的数据存储设备的图像处理设备的框图。

[0025] 图 1 示出可应用根据本发明的数据存储设备的图像处理设备 1。在图 1 中, 控制设备 10 整体控制图像处理设备 1。此外, 控制设备 10 基于从扫描器单元 11、作为外部设备的主计算机或通过 PSTN(Public Switched Telephone Network, 公共交换电话网络) 线路 (即, 公共线路) 所连接的传真机等接收到的图像数据, 进行图像处理等, 并且通过打印机

单元 12 在例如记录纸张上形成通过图像处理所获得的图像。

[0026] 扫描器单元 11 将原稿读取为图像数据,并将所读取的图像数据发送至控制设备 10。尽管没有示出,但扫描器单元 11 包括具有读取原稿的功能的扫描器、和具有进给并输送原稿文档的功能的原稿文档进给器。

[0027] 打印机单元 12 输送记录纸张,以电子照相方式将从控制设备 10 接收到的图像数据作为可视图像打印在记录纸张上,并且排出其上已打印了可视图像的记录纸张。尽管没有示出,打印机单元 12 包括:纸张进给单元,其具有多种类型的记录纸张盒;标记单元,其具有将图像数据转印至记录纸张并对所转印的图像数据定影的功能;以及纸张排出单元,其具有分别整理并装订其上已打印了图像的记录纸张、并将处理后的记录纸张排出该设备外的功能。

[0028] 电源单元 13 是使用交流商用电源(即,AC 电源)作为输入源的电源电路。更具体地,电源单元 13 生成用于向控制设备 10、扫描器单元 11 和打印机单元 12 供给 DC 电压和/或 AC 电压的电压 113。此外,电源单元 13 根据来自控制设备 10 的供给信号 116,改变 DC 电压的电压电平。

[0029] 操作面板 14 用于响应于来自操作者(即,用户)的指令,进行使打印机单元 12 基于由扫描器单元 11 所读取的原稿进行图像形成的各种设置。例如,操作面板 14 用于输入要形成图像的份数、与图像形成的浓度有关的信息以及用于读取原稿的扫描器单元的读取分辨率(例如,300dpi、600dpi 等)的选择。

[0030] 图 2 是示出图 1 所示的控制设备 10 的结构的框图。

[0031] 在图 2 中,控制设备 10 具有主控制器 100。这里,用于处理从扫描器单元 11 等接收到的图像数据的图像处理块、和用于整体控制主控制器 100 的 CPU(Central Processing Unit,中央处理单元)201(图 3)内置于主控制器 100 中。

[0032] 此外,主控制器 100 配备有用于分别连接外部装置的接口。这里,这些接口包括 DRAM 总线 115、扫描器接口 110、打印机接口 111 和操作面板接口 114。更具体地,DRAM 总线 115 用于向 DRAM 101 发送数据或从 DRAM 101 接收数据,扫描器接口 110 用于从扫描器单元 11 接收图像数据,并且打印机接口 111 用于向打印机单元 12 发送图像数据。此外,操作面板接口 114 用于从操作面板 114 接收输入指令,并将与操作画面、消息等有关的数据发送至操作面板 14。

[0033] 通用总线 112 是连接有 ROM(Read Only Memory,只读存储器)102、调制解调器 103 等的各种装置的总线,其中,ROM 102 用于存储由主控制器 100 所使用的系统程序。

[0034] DRAM 101 连接至 DRAM 总线 115,并且由主控制器 100 的 CPU 201(图 3)将 DRAM 101 用作图像处理块用的工作区域和图像数据保持存储器。此外,将从 ROM 102 传送来的各种程序存储在 DRAM 101 中,并且由主控制器 100 的 CPU 201(图 3)进行控制。此外,DRAM 101 具有能够在保持数据时降低功耗的自刷新功能作为省电功能。

[0035] 顺便提及,将说明 DRAM 101 的自刷新操作。

[0036] 通常,DRAM 通过在该 DRAM 内部所设置的存储元件中累积电荷来保持或存储信息,并且基于各存储元件中有无电荷的两种状态来表现与 1 比特相对应的信息。因此,存储元件中的电荷丢失的事实意味着信息丢失,即数据丢失。

[0037] 然而,如果不进行任何电荷保持操作而原样维持 DRAM 的各存储元件,则电荷泄漏

并且流出电流,由此如果经过了预定时间,则相关存储元件中的电荷丢失。结果,对于 DRAM 有必要定期补充存储元件的电荷以防止数据丢失。该操作被称为刷新操作。

[0038] 基本上,由用于进行 DRAM 的操作控制的存储器控制器(即,图 3 所示的 DRAM 控制器 208)定期对 DRAM(即,DRAM 101)进行该 DRAM 的存储元件的刷新操作。在刷新模式(即,第一刷新模式)下,DRAM 101 响应于从 DRAM 控制器 208 发送来的信号,进行上述刷新操作。

[0039] 另一方面,在 DRAM 总线 115 被设置为停用状态的情况下,不能够从 DRAM 控制器 208 对 DRAM 101 进行刷新操作。由于该原因,DRAM 101 自身通过使用二次电源来进行刷新操作。该操作被称为自刷新操作。在自刷新模式(即,第二刷新模式)下,DRAM 101 进行上述自刷新操作。

[0040] 顺便提及,尽管可以使用各种类型的存储器作为 DRAM101,但在本实施例中,假定使用 DDR SDRAM(Double-Data-Rate SDRAM,双倍速率 SDRAM)作为 DRAM 101。这里,应当注意,DDR SDRAM 是基于通过将存储器总线时钟增加至 SDRAM 时钟的两倍来实现高速存储器传送的存储器标准的 SDRAM。

[0041] 此外,DRAM 总线 115 是基于例如 S STL2(Stub SeriesTerminated Logic for 2.5V,2.5 伏的短线串联端接逻辑)标准的。设置该标准,从而向各信号线供给存储器系统的电源电压(例如,2.5V)的中间电压(例如,1.25V)。根据 SSTL2 标准,对于构成 DRAM 总线 115 的每个信号线的信号电平,将比诸如 1.25V 等的基准电位(VREF)高 0.35V 以上即等于或高于 1.6V 的电平看作为 H(高)电平。另一方面,将比该基准电位低 0.35V 以上即等于或低于 0.90V 的电平看作为 L(低)电平。

[0042] 调制解调器 103 连接至 NCU(Network Control Unit,网络控制单元)104,NCU 104 进一步连接至 PSTN 线路(即,公共网络)。调制解调器 103 可以通过调制从主控制器 100 接收到的图像数据等、然后将调制后的图像数据传送至 NCU 104,经 PSTN 线路向外部传真机等发送图像数据。此外,NCU 104 可以通过 PSTN 线路接收从外部传真机发送来的传真数据。

[0043] 网络 I/F(接口)105 通过 LAN(Local Area Network,局域网),从作为外部设备的未示出的主计算机接收(包括与要由图像处理设备 1 处理的图像数据有关的信息的)打印数据等。

[0044] 控制设备电源 107 接收来自电源单元 13 的电压,通过转换所接收到的电压来生成控制设备 10 中所设置的主控制器 100 等的电路用的各个驱动电压,并将所生成的驱动电压供给至各个电路。

[0045] VT 电源(即,终端电源)106 是以下基准电压供给单元:该基准电压供给单元接收来自控制设备电源 107 的电压,由此生成要通过终端电阻施加至 DRAM 总线 115 的各个数据信号线(即,后面所述的图 4 中示出的信号线 310~321)的电压(即,基准电压)。更具体地,在 VT 电源 106 中,通过信号线 117 从主控制器 100 接收到 VT 电源中断信号,并且响应于所接收到的 VT 电源中断信号,进行电源接通控制和电源断开控制。这里,在电源接通控制时,输出根据作为 DRAM(DDR SDRAM)101 的接口的 SSTL2 标准的中间电位的电压(例如,1.25V 的电压)。此外,在电源断开控制时,在高阻抗状态下输出电压。

[0046] 在 VT 电源 106 中,在电源和 DRAM 总线 115 之间插入调节器等的稳压单元,并且响

应于 VT 电源中断信号来切换该调节器的输出。可选地,在 VT 电源 106 中,可以在 VT 电源的输出和 DRAM 总线 115 之间插入半导体开关,从而响应于 VT 电源中断信号对该半导体开关进行接通 / 断开控制。

[0047] 图 3 是用于说明图 2 所示的主控制器 100 的内部电路的框图。

[0048] 在图 3 中,CPU 201 整体控制主控制器 100。此外,CPU 201 连接至用于在主控制器 100 中所设置的多个电路之间发送 / 接收数据和控制信号的系统总线 220。

[0049] DMAC(Direct Memory Access Controller,直接存储器存取控制器)(A)202 是用于将从图像处理块 (A)205 输入的图像数据 DMA(Direct Memory Access,直接存储器存取)传送至 DRAM101 的控制电路。

[0050] 此外,图像处理块 (A)205 是对从扫描器接口 110 输入的图像数据进行图像处理的电路块。例如,图像处理块 (A)205 具有对图像数据进行阴影校正的功能。更具体地,在阴影校正时,对于通过读取原稿所获得的图像数据中与主扫描方向(即,垂直于原稿输送方向的方向)上的一行相对应的数据,在主扫描方向上的各位置处进行预定亮度校正。

[0051] DMAC(B)203 是用于通过系统总线 220 将 DRAM 101 中所存储的图像数据 DMA 传送至图像处理块 (B)206 的控制电路。例如,图像处理块 (B)206 是具有以下功能的电路块:对所输入的图像数据进行预定平滑处理、同时将处理后的图像数据发送至打印机接口 111。

[0052] DMAC(C)204 是用于通过系统总线 220 将 DRAM 101 中所存储的图像数据 DMA 传送至图像处理块 (C)207 的控制电路。例如,图像处理块 (C)207 是具有以下功能的电路块:对所输入的图像数据进行图像数据格式转换处理(例如,将位图格式数据转换成 JPEG(Joint Photographic Experts Group,联合图像专家组)格式数据)、变倍处理和图像转动处理等。

[0053] DRAM 控制器 208 控制 DRAM 101 的操作,使得通过 DRAM 总线 115 在 DRAM 控制器 208 和 DRAM 101 之间发送 / 接收各种数据。此外,DRAM 控制器 208 是调整 CPU 201、DMAC(A)202、DMAC(B)203 和 DMAC(C)204 针对 DRAM 101 的存取请求、并且还控制对于 DRAM 101 的存取的控制器。

[0054] 如果从 CPU 201、DMAC(A)202、DMAC(B)203 和 DMAC(C)204 同时向 DRAM 101 传送存取请求,则存取调整电路 209 判断应当使这些存取请求中的哪个存取请求优先。此外,存取调整电路 209 是进行控制以使得从存取优先的 DMAC 向 DRAM 101 传送数据的电路。

[0055] 存取控制电路 210 基于由存取调整电路 209 选择出的并且与 DRAM 101 进行数据传送的 DMAC 对 DRAM 总线 115 的使用请求信号,生成用于存取 DRAM 101 的各种控制信号。此外,存取控制电路 210 响应于通过信号线 221 从后面所述的省电控制电路 213 接收到的信号,进行控制以使得 DRAM 101 转变为自刷新状态(即,自刷新模式)。

[0056] 选择器电路 211 响应于通过信号线 222 从省电控制电路 213 接收到的 DRAM 总线选择信号,切换要输出至 SSTL2I/F 缓冲器 212 的信号。在从省电控制电路 213 没有接收到 DRAM 总线选择信号的普通操作时,选择器电路 211 使得从存取控制电路 210 向 SSTL2I/F 缓冲器 212 输出数据。此外,如果从省电控制电路 123 接收到 DRAM 总线选择信号,则针对 DRAM 总线 115 的输出信号,选择器电路 211 将电平已切换至低电平的信号输出至 SSTL2I/F 缓冲器 212。

[0057] SSTL2 I/F 缓冲器 212 具有分别针对一起构成 DRAM 总线 115 的各个数据信号线所设置的多个缓冲器电路。

[0058] 这里,应当注意,构成 DRAM 总线 115 的多个数据信号线包括如图 4 所示的以下信号线。

[0059] ● CK(Clock,时钟)线 310

[0060] ● /CK(Clock,时钟)线 311

[0061] ● /CS(Chip Select,芯片选择)线 312

[0062] ● /RAS(Row Address Strobe,行地址选通脉冲)线 313

[0063] ● /CAS(Column Address Strobe,列地址选通脉冲)线 314

[0064] ● /WE(Write Enable,写入使能)线 315

[0065] ● BA(Bank Address,库地址)线 316

[0066] ● A(Address,地址)线 317

[0067] ● DM(Data Mask,数据掩模)线 318

[0068] ● CKE(Clock Enable,时钟使能)线 319

[0069] ● DQ(Data,数据)线 320

[0070] ● DQS(Data Strobe,数据选通脉冲)线 321

[0071] 顺便提及,构成 DRAM 总线 115 的信号线可以包括除上述信号线以外的数据线。

[0072] 这里,将参考图 4 来说明 DRAM 控制器 208 和 DRAM 101 之间的连接结构。顺便提及,应当注意,通过 DRAM 总线 115 建立这种连接。

[0073] 即,图 4 是示出 DRAM 控制器 208 和 DRAM 101 之间通过 DRAM 总线 115 的连接结构的框图。

[0074] 在图 4 中,示出了电阻器 301。这里,电阻器 301 串联连接至构成 DRAM 总线 115 的信号线 310 ~ 321。

[0075] 此外,设置终端电阻用的电阻器 302,从而通过使用 VT 电源 106 将 DRAM 总线 115 的各个信号线 310 ~ 321 的电压上拉至终端电压。如图 4 所示,通过电阻器 302 将来自 VT 电源 106 的电源电压供给至各个信号线 310 ~ 321。

[0076] 以下将返回对图 3 所示的电路结构的说明。

[0077] SSTL2I/F 缓冲器 212 用作图 4 所示的 DRAM 总线 115 的各个信号线 310 ~ 319 用的输出缓冲器电路,并且用作 DQ 信号线 320 和 DQS 信号线 321 各自用的双向缓冲器电路。

[0078] DLL(Delay Lock Loop,延迟锁相环)控制电路 214 基于从存取控制电路 210 输出的时钟,生成分别通过 DRAM 总线 115 的时钟信号供给线 310 和 311 输出至 DRAM 101 的时钟信号(CK、/CK)。更具体地,DLL 控制电路 214 利用从选择器电路 211 输出的数据进行相位调整,并且生成均要输出至 DRAM 101 的时钟信号 CK 和通过反转时钟信号 CK 所得的时钟信号 /CK。

[0079] 此外,DLL 控制电路 214 通过基于从省电控制电路 213 输出的 DLL 待机信号 223 转变为待机状态,停止向 DRAM 总线 115 输出时钟信号 CK 和时钟信号 /CK。

[0080] 如果从省电控制电路 213 输出的 DLL 待机信号 223 被中断,则 DLL 控制电路 214 从待机状态返回。然而,在这种情况下,从 DLL 待机信号 223 中断到重新开始向 DRAM 总线 115 输出时钟信号 CK 和时钟信号 /CK,需要预定时间。这里,应当注意,该预定时间等同于从时钟相位控制完成到使 DRAM 时钟返回至 DRAM 可存取的相位的时间,并且该预定时间根据 DLL 控制电路的结构和控制方法而不同。

[0081] 随后,在通过系统总线 220 从 CPU 201 接收到省电控制请求信号的情况下,省电控制电路 213 对 DRAM 控制器 208 进行省电控制。

[0082] 这里,应当注意,由省电控制电路 213 接收到来自 CPU 201 的省电控制请求信号的情况等同于由主控制器 100 的 CPU 201 判断为使图像处理设备 1 转变为预定省电状态的条件成立的情况。

[0083] 例如,在以下情况 (1) ~ (3) 至少之一情况下,省电控制电路 213 使图像处理设备 1 转变为省电状态。即,省电控制电路 213 使 DRAM 101 转变为自刷新状态,并且还切换 DRAM 总线 115 的信号电平,由此对 VT 电源 106 进行电源断开控制。

[0084] 情况 (1):判断为在预定时间内,网络 I/F 105 通过 LAN 从作为外部设备的主计算机没有接收到包括要由图像处理设备 1 进行图像形成处理的图像数据的打印数据。

[0085] 情况 (2):判断为 NCU 104 通过 PSTN 线路从作为外部设备的传真机没有接收到包括要由图像处理设备 1 进行图像形成处理的图像数据的打印数据。

[0086] 情况 (3):判断为操作面板 14 在预定时间内没有接收到操作者的输入。

[0087] 省电控制电路 213 包括两个计数器电路(即,计数器 1 和计数器 2)、以及用于分别设置各个计数器电路用的计数值的两个寄存器电路(即,计数器 1 设置寄存器和计数器 2 设置寄存器)。应当注意,在使图像处理设备 1 从省电状态返回的情况下,这些电路用于设置在释放 DLL 待机信号 223 之后、释放信号线 117 上的 VT 电源中断信号和信号线 222 上的 DRAM 总线选择信号的开始定时。

[0088] 在下文,将参考图 5 和 6 来说明要由 DRAM 控制器 208 进行的省电控制时的操作。

[0089] 图 5 是用于说明要由 DRAM 控制器 208 进行的省电控制时的操作的流程图。这里,应当注意,该流程图中所述的处理与由 CPU 201 基于 ROM 102 中存储的(或者从 ROM 102 传送来、然后存储在 DRAM 101 中的)程序所进行的省电控制相对应。

[0090] 在步骤 S401 中,如果由 CPU 201 判断为使图像处理设备 1 转变为预定省电状态的条件成立(步骤 S401 中为“是”),则流程进入步骤 S402,从而向省电控制电路 213 输出省电控制请求信号。

[0091] 基于由接收到该省电控制请求信号的省电控制电路 213 进行的操作(即,控制),DRAM 101 转变为自刷新模式,由此从终端电源通过存储器总线向终端的供电被中断。顺便提及,后面将参考图 6 和 7 来说明省电控制电路 213 的具体操作。

[0092] 顺便提及,假定在步骤 S401 中由 CPU 201 判断为使图像处理设备 1 转变为预定省电状态的条件成立的情况与例如进行以上判断情况 (1) ~ (3) 至少之一的情况相对应。

[0093] 随后,在步骤 S403 中,CPU 201 保持省电状态,直到判断为使图像处理设备 1 从省电状态返回的条件成立为止(即,直到在步骤 S403 中获得“是”为止)。如果在步骤 S403 中由 CPU 201 判断为使图像处理设备 1 从省电状态返回的条件成立(步骤 S403 中为“是”),则流程进入步骤 S404,从而向省电控制电路 213 输出省电控制释放信号。

[0094] 通过接收到省电控制释放信号的省电控制电路 213 的操作来释放从终端电源向存储器总线的终端供电的中断,然后 DRAM 101 转变为普通模式。后面将参考图 6 来说明省电控制电路 213 的操作。

[0095] 顺便提及,假定在步骤 S403 中由 CPU 201 判断为使图像处理设备 1 从省电状态返回的条件成立的情况与例如以下情况 (4) ~ (6) 至少之一被判断为来自未示出的中断控制

单元的中断信号的情况相对应。

[0096] 情况 (4):网络 I/F 105 通过 LAN 从作为外部设备的主计算机接收到包括要由图像处理设备 1 进行图像形成处理的图像数据的打印数据。

[0097] 情况 (5):NCU 104 通过 PSTN 线路从作为外部设备的传真机接收到包括要由图像处理设备 1 进行图像形成处理的图像数据的打印数据。

[0098] 情况 (6):操作面板 14 接收到操作者的输入。

[0099] 顺便提及,假定在由省电控制电路 213 正在进行省电控制时,CPU 201 没有存取 DRAM 101。然后,在步骤 S404 中释放了省电控制电路 213 的省电控制之后,CPU 201 可以存取 DRAM101。

[0100] 随后,将参考图 6 所示的时序图来说明在 DRAM 控制器 208 的省电控制时、由省电控制电路 213 进行的操作。

[0101] 即,图 6 是用于说明在 DRAM 控制器 208 的省电控制时、由省电控制电路 213 所进行的操作的时序图。

[0102] 图 6 示出省电控制电路 213 的输入和输出信号、VT 电源 106 的输出状态以及 DRAM 总线 115 的信号线 310 ~ 319 上供给的输出信号。顺便提及,假定图 6 所示的省电控制电路 213 的输入和输出信号的电平根据省电控制电路 213 的电路结构而变化。此外,图 6 示出各个时刻 T0 ~ T11。

[0103] 在时刻 T0,如果省电控制电路 213 从 CPU 201 接收到省电控制请求信号(即,步骤 S402 中所发送的信号),则在时刻 T1,省电控制电路 213 对存取控制电路 210 进行转变控制,使得 DRAM101 转变为自刷新状态。顺便提及,省电控制电路 213 通过通知自刷新转变请求来进行使 DRAM 101 转变为自刷新状态的转变控制。

[0104] 这里,接收到自刷新转变请求的存取控制电路 210 向 DRAM 总线 115 输出自刷新命令,然后将 CKE 线 319 上的信号的电平从高设置为低。因而,进行使 DRAM 101 转变为自刷新状态的转变。然后,如果使 DRAM 101 转变为自刷新状态的转变完成,则存取控制电路 210 通过使用转变完成信号来向省电控制电路 213 通知使 DRAM 101 转变为自刷新状态的转变完成。

[0105] 在时刻 T2,如果省电控制电路 213 从存取控制电路 210 检测到使 DRAM 101 转变为自刷新状态的转变完成,则在时刻 T3,省电控制电路 213 向选择器电路 211 输出 DRAM 总线选择信号。

[0106] 接收到 DRAM 总线选择信号的选择器电路 211 将到 DRAM 总线 115 的输出信号线 312 ~ 319 的输出信号从来自存取控制电路 210 的输出信号切换为电平固定为低的信号(即,电压值低于 DRAM 总线 115 的输出信号线 310 ~ 319 的基准电压的低电平信号)(信号状态固定)。

[0107] 在时刻 T4,省电控制电路 213 向 DLL 控制电路 214 输出 DLL 待机信号 223,以使 DLL 控制电路 214 转变为待机状态,由此停止向 DRAM 总线 115 输出时钟信号 CK 和时钟信号 /CK。这里,将直到此时为止所发送的 CK 线 310 和 /CK 线 311 上的信号的电平固定为低。

[0108] 顺便提及,可以停止从存取控制电路 210 输出至 DRAM 时钟生成电路(未示出)的时钟,以停止向 DRAM 总线 115 输出时钟信号 CK 和时钟信号 /CK。在这种情况下,可以进一步降低 DRAM 时钟生成电路的功耗。

[0109] 在时刻 T5, 省电控制电路 213 通过信号线 117 向 VT 电源 106 输出 VT 电源中断信号, 由此停止从 VT 电源 106 向 DRAM 总线 115 供给基准电压。顺便提及, 在图 6 所示的时序图中, 在时刻 T4 输出了 DLL 待机信号 223 之后, 在时刻 T5 输出信号线 117 上的 VT 电源中断信号。然而, 可以同时输出这些信号。

[0110] 如果在时刻 T 5 输出信号线 117 上的 VT 电源中断信号, 则 VT 电源 106 的输出电压从 1.25V 转变为 0V。在这种情况下, 转变时间根据 VT 电源 106 所连接至的布线的负荷容量 (即, 基板上的图案和电容器等的容量) 而不同。在图 6 所示的时序图中, 转变时间为约几百毫秒, 并且与其它信号相比, 输出电压慢慢地转变。

[0111] 随后, 在时刻 T6, 如果省电控制电路 213 通过系统总线 220 从 CPU 201 接收到省电控制返回信号, 则在时刻 T7, 省电控制电路 231 释放针对 DRAM 时钟生成电路的 DLL 待机信号 223。如果释放了 DLL 待机信号 223, 则 DLL 控制电路 214 的待机状态被释放。随后, 在时刻 T8, 省电控制电路 213 释放针对 VT 电源 106 的、信号线 117 上的 VT 电源中断信号。因而, 开始从 VT 电源 106 向 DRAM 总线 115 供给基准电压。

[0112] 这里, 从释放 DLL 控制电路 214 的待机状态到完成时钟相位控制, 需要预定时间 (例如, 500 μ sec)。此外, 从由 VT 电源 106 接收到对信号线 117 上的 VT 电源中断信号的释放到由 VT 电源 106 输出充足的输出电压作为 DRAM 101 的终端电压, 需要预定时间 (例如, 300 μ sec)。

[0113] 在图 6 所示的时序图中, 在自在时刻 T7 释放了 DLL 待机信号 223 起、经过了 200 μ sec 之后, 在时刻 T8 释放信号线 117 上的 VT 电源中断信号。因而, 可以在 DLL 待机信号 223 的时钟相位控制完成之前, 由 VT 电源 106 开始输出基准电压。如果在 DLL 待机信号 223 的时钟相位控制完成之后由 VT 电源 106 开始输出基准电压, 则需要 800 μ sec 来完成这两个释放控制, 由此释放时间被缩短了 300 μ sec。因而, 假定 CPU 201 在用于对释放省电控制电路 213 中的 VT 电源中断信号开始计时的计数器设置寄存器 (即, 计数器 1 设置寄存器) 中预先设置与 200 μ sec 相对应的计数值, 并且还在用于对释放 DRAM 总线选择信号开始计时的计数器设置寄存器 (即, 计数器 2 设置寄存器) 中预先设置与 300 μ sec 相对应的计数值。

[0114] 在自时刻 T8 起经过了 300 μ sec 之后的时刻 T9, 省电控制电路 213 释放由选择器电路 211 所输出的 DRAM 总线选择信号, 并且将除 CKE 线 319 上的信号以外的、要输出至 DRAM 总线 115 的输出信号切换至来自存取控制电路 210 的输出信号。

[0115] 接受了对 DRAM 总线选择信号的释放的选择器电路 211 将要输出至 DRAM 总线 115 的输出信号线 312 ~ 319 的输出信号从电平固定为低的信号切换至来自存取控制电路 210 的输出信号 (信号状态释放)。此外, 由于时钟相位控制完成, 因此向 CK 线 310 和 /CK 线 311 输出振荡信号。

[0116] 随后, 在时刻 T10, 省电控制电路 213 释放自刷新转变请求信号, 以请求存取控制电路 210 进行从自刷新状态的返回控制。

[0117] 接受了对自刷新转变请求信号的释放的存取控制电路 210 针对 DRAM 总线 115, 将 CKE 线 319 上的信号的电平从低设置为高, 由此进行使 DRAM 101 转变为自刷新状态的转变。

[0118] 然后, 存取控制电路 210 通过使用自刷新转变完成信号, 向省电控制电路 213 通知从自刷新状态返回完成。

[0119] 如果从存取控制电路 210 通知了从自刷新状态返回完成,则在时刻 T11,省电控制电路 213 完成省电控制,并且向 CPU 201 通知省电控制完成。

[0120] 顺便提及,在图 6 中,当 CPU 201 输出省电控制请求信号时,DRAM 101 的所有内存条都处于空闲状态。然而,这种情况下,假定 DRAM 101 可以处于除自刷新状态以外的状态。

[0121] 此外,在时刻 T1 之后,假定如果 DRAM 101 处于除空闲状态以外的状态,例如如果 DRAM 101 正被存取,则存取控制电路 210 在 DRAM 101 进入空闲状态之后,输出自刷新命令(即,自刷新转变请求信号)。

[0122] 随后,将参考图 7 所示的流程图来说明由省电控制电路 213 进行的操作。

[0123] 在步骤 S701 中,如果省电控制电路 213 从 CPU 201 接收到省电控制请求信号(步骤 S701 中为“是”),则省电控制电路 213 请求存取控制电路 210 进行控制,以使得 DRAM 101 转变为自刷新状态(步骤 S702)。

[0124] 在步骤 S703 中,如果省电控制电路 213 从存取控制电路 210 检测到使 DRAM 101 转变成自刷新状态的转变完成(步骤 S703 中为“是”),则省电控制电路 213 通过信号线 222 向选择器电路 211 输出 DRAM 总线选择信号(步骤 S704)。

[0125] 然后,在步骤 S705 中,省电控制电路 213 向 DRAM 时钟生成电路输出 DLL 待机信号 223。

[0126] 在步骤 S706 中,省电控制电路 213 通过信号线 117 向 VT 电源 106 输出 VT 电源中断信号。

[0127] 在步骤 S707 中,省电控制电路 213 待机,直到从 CPU 201 接收到省电控制返回请求为止(步骤 S707 中为“否”)。然后,如果从 CPU 201 接收到省电控制返回请求(步骤 S707 中为“是”),则省电控制电路 213 输出 DLL 待机信号 223(步骤 S708)。

[0128] 在步骤 S709 中,省电控制电路 213 开始对用于开始释放 VT 电源的中断的计数器(即,计数器 1)计数。如果计数值达到计数器 1 设置寄存器的设置值(步骤 S710 中为“是”),则省电控制电路 213 完成对计数器 1 的计数,并且释放信号线 117 上的 VT 电源中断信号的输出(步骤 S711)。

[0129] 在步骤 S712 中,省电控制电路 213 开始对用于开始释放 DRAM 总线选择信号的计数器(即,计数器 2)计数。如果计数值达到计数器 2 设置寄存器的设置值(步骤 S713 中为“是”),则省电控制电路 213 完成对计数器 2 的计数,并且释放信号线 222 上的 DRAM 总线选择信号(步骤 S714)。

[0130] 接着,在步骤 S715 中,省电控制电路 213 请求存取控制电路 210 进行控制,以使得 DRAM 101 从自刷新状态返回。

[0131] 在步骤 S716 中,如果从存取控制电路 210 检测到 DRAM 101 从自刷新状态释放完成(步骤 S716 中为“是”),则省电控制电路 213 结束省电控制。

[0132] 随后,为了表明本发明的效果,将参考图 6 所示的时序图来说明图 4 所示的电阻器 301 和 302 中的功耗变化。

[0133] 顺便提及,功耗的数值根据 DRAM 总线 115 上的信号数量、总线的宽度以及电阻器 301 和 302 的阻抗而变化。此外,功耗根据在 VT 电源 106 的接通和断开各个状态下、DRAM 总线 115 的各个信号电平的状态(即,高电平信号的数量和低电平信号的数量)而变化。

[0134] 在图 6 中,在 DRAM 101 从空闲状态转变为自刷新状态之前(即,在时刻 T1 之后的

CKE 线 319 上的信号的电平切换为低电平之前), 电阻器 (即, 终端) 301 和 302 中消耗了约 430mW 的功率。

[0135] 在本发明中, 在 DRAM 101 的自刷新状态下将 DRAM 总线 115 上的输出信号设置为低电平之后, 如果断开 VT 电源 106, 则电阻器 301 和 302 中的功耗 (即, 终端功耗) 变为 0mW。

[0136] 这里, 假定不应用本发明。在这种情况下, 如果在 DRAM101 仍处于空闲状态时、断开 VT 电源 106, 则电阻器 (即, 终端) 301 和 302 中消耗了约 230mW 的功率。

[0137] 结果, 在不应用本发明的情况下, 如果仅断开 VT 电源 106, 则不能期望充分降低功耗。

[0138] 此外, VT 电源 106 自身消耗功率。尽管当 VT 电源 106 断开时功耗为 0mW, 但当 VT 电源 106 接通时, 所消耗的功率根据 DRAM 总线 115 的各信号电平的状态而变化。

[0139] 在图 4 所示的电路结构中, 在空闲状态下由 VT 电源 106 的调节器所消耗的功率是约 100mW。顺便提及, 如果 VT 电源 106 的调节器的结构增加从而中断 VT 电源 106, 则在 VT 电源 106 接通时所消耗的功率增加。

[0140] 通过使 VT 电源 106 的电路结构与本发明的电路结构一样小, 可以降低图像处理设备 1 的功耗。

[0141] 顺便提及, 在本实施例中, 由省电控制电路 213 的硬件来进行功耗控制。然而, 可以在 CPU 201 的控制下利用软件来控制省电控制电路 213 的操作。

[0142] 如上所述, 为了在 DRAM 101 转变为自刷新状态的情况下实现更大程度的省电, 在对 VT 电源进行断开控制的情况下, DRAM 控制器 208 将 DRAM 总线 115 的输出信号的电平改变为低电平, 然后固定相关的电平。随后, 在 DRAM 控制器 208 将 DRAM 总线 115 的输出信号电平固定至低电平之后, VT 电源断开。因而, 针对与使 DRAM 101 转变为自刷新状态有关的 CKE 信号, 可以防止电流流动, 因而可以维持 CKE 信号的低电平状态。即, 在 DRAM 101 转变为自刷新状态 (即, 省电状态) 的情况下, 由于电流通过终端电路从高电平信号流向低电平信号 (即, 电流从高电平信号变为低电平信号), 因此可以防止该终端中出现不必要的功耗。

[0143] 此外, VT 电源中断单元 (即, VT 电源 106) 可以包括一个调节器和一个半导体开关, 由此可以通过小型电路结构来降低功耗。换言之, 即使在没有转变为省电状态的普通操作时, 也可以降低 VT 电源中断单元中的功耗, 由此可以实现更大程度的省电。

[0144] 顺便提及, 上述各种信号线的结构不局限于本实施例。即, 无需说明, 可以根据用途和期望目的来使用各种结构和内容。

[0145] 本发明的实施例如上所述。此外, 应当注意, 可以将本发明作为例如系统、设备、方法、程序或存储介质等来执行。更具体地, 本发明可应用于包括多个装置的系统或者仅包括一个装置的设备。

[0146] 顺便提及, 在本实施例中, 将图像处理设备作为根据本发明的数据存储设备的例子来说明。然而, 本发明可应用于任何设备, 只要该设备具有可以利用省电功能转变为省电状态的上述 DRAM 等的数据存储单元即可。例如, 根据本发明的数据存储设备可应用于个人计算机。

[0147] 其它实施例

[0148] 还可以通过读出并执行存储装置上所记录的程序以进行上述实施例的功能的系统或设备的计算机（或者 CPU 或 MPU 等的装置）以及通过以下方法来实现本发明的方面，其中，由系统或设备的计算机通过例如读出并执行存储装置上所记录的程序以进行上述实施例的功能，来进行该方法的步骤。为了该目的，例如，经由网络或者从用作存储装置的各种类型的记录介质（例如，计算机可读介质）向计算机提供该程序。在这种情况下，系统或设备以及存储有程序的记录介质包括在本发明的范围内。

[0149] 尽管已经参考典型实施例说明了本发明，但是应该理解，本发明不限于所公开的典型实施例。所附权利要求书的范围符合最宽的解释，以包含所有这类修改以及等同结构和功能。

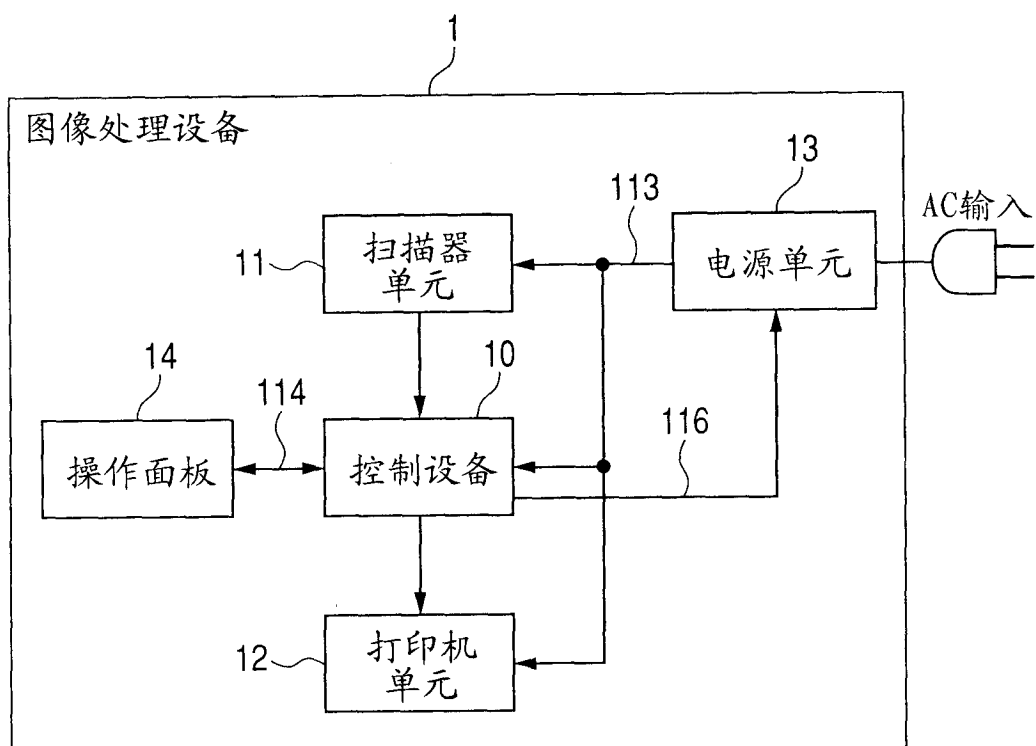


图 1

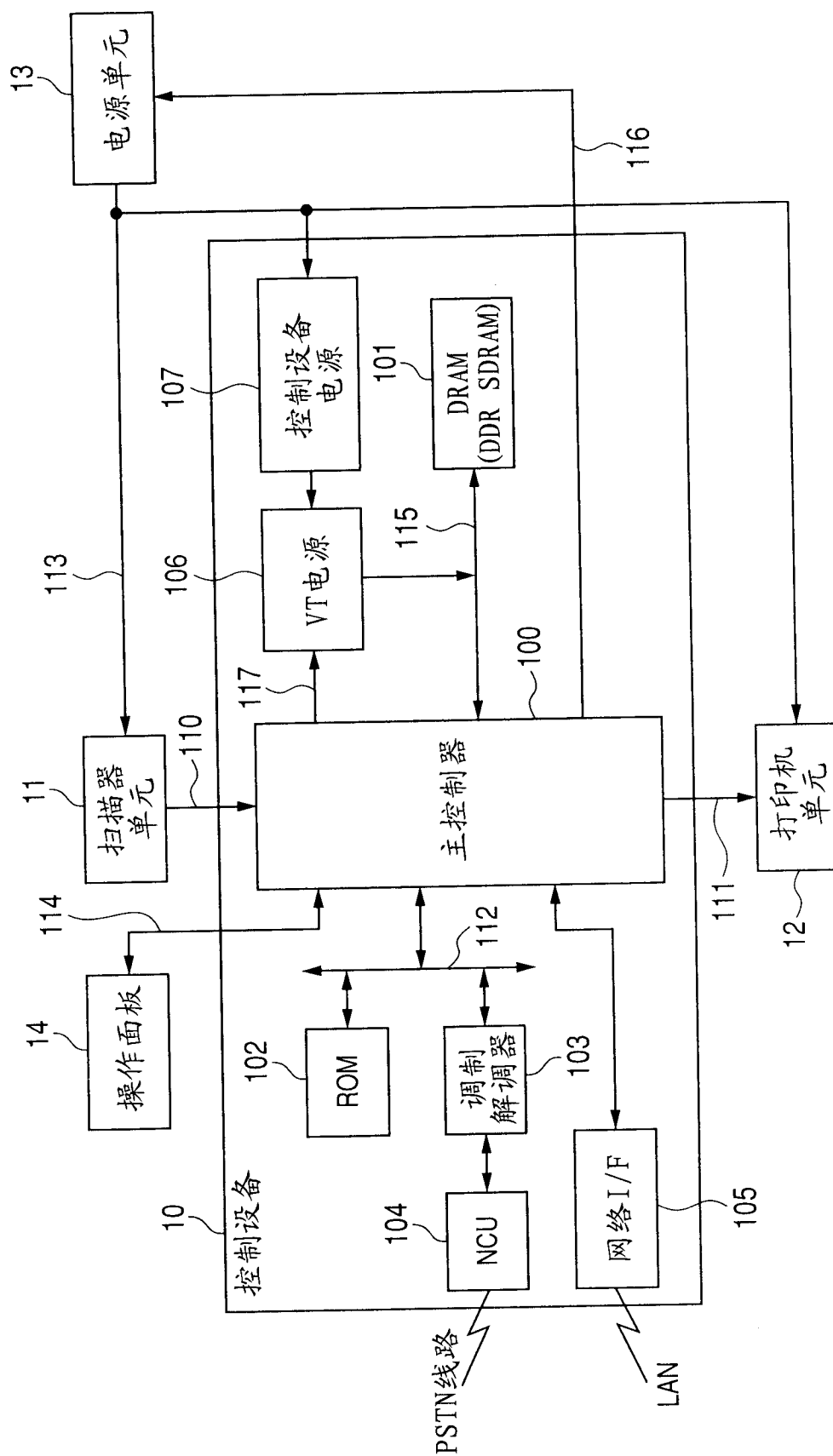


图 2

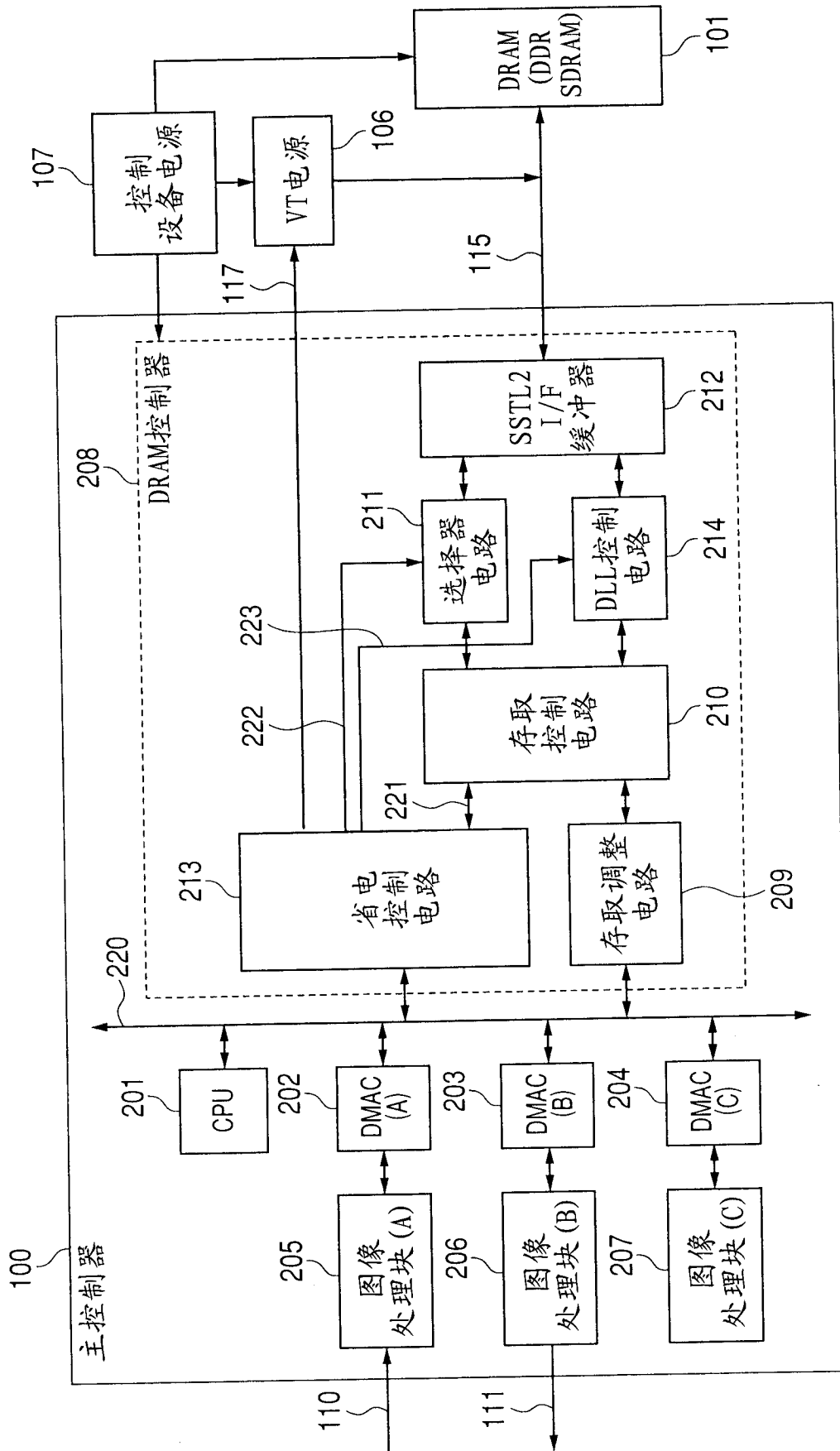


图 3

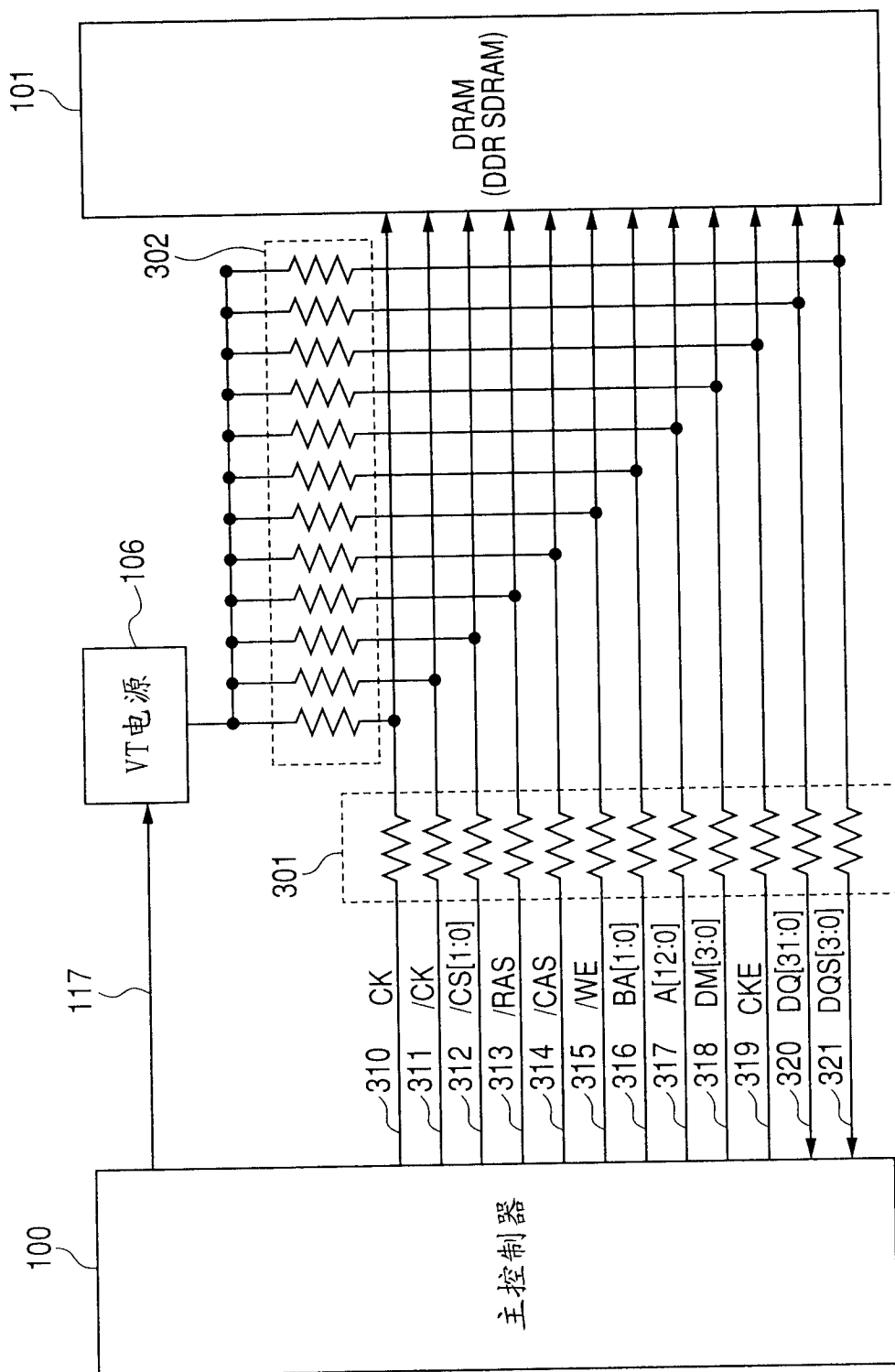


图 4

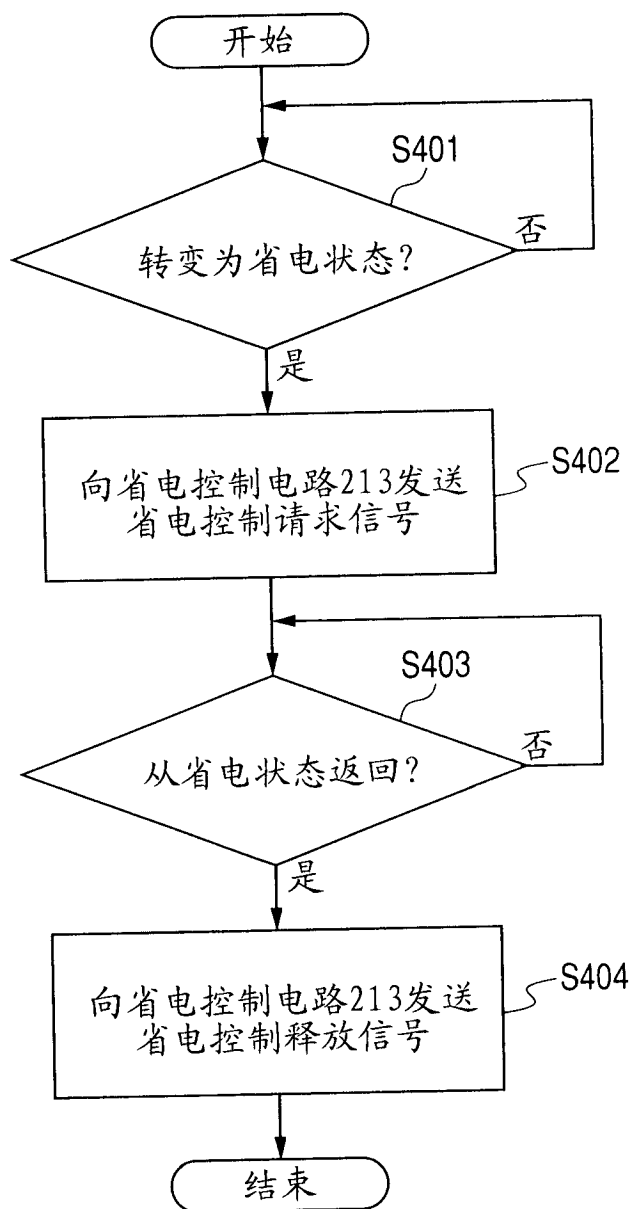


图5

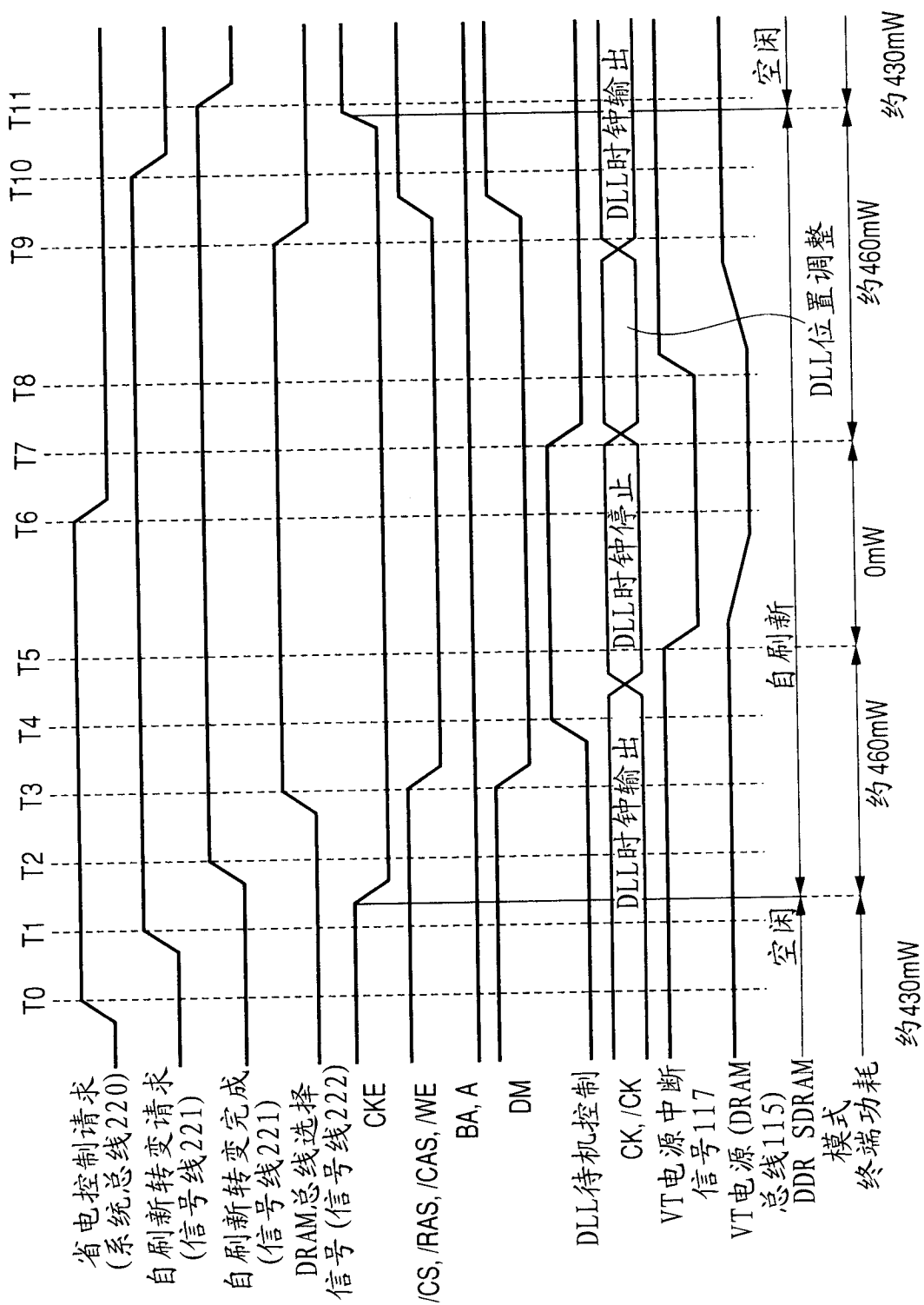


图 6

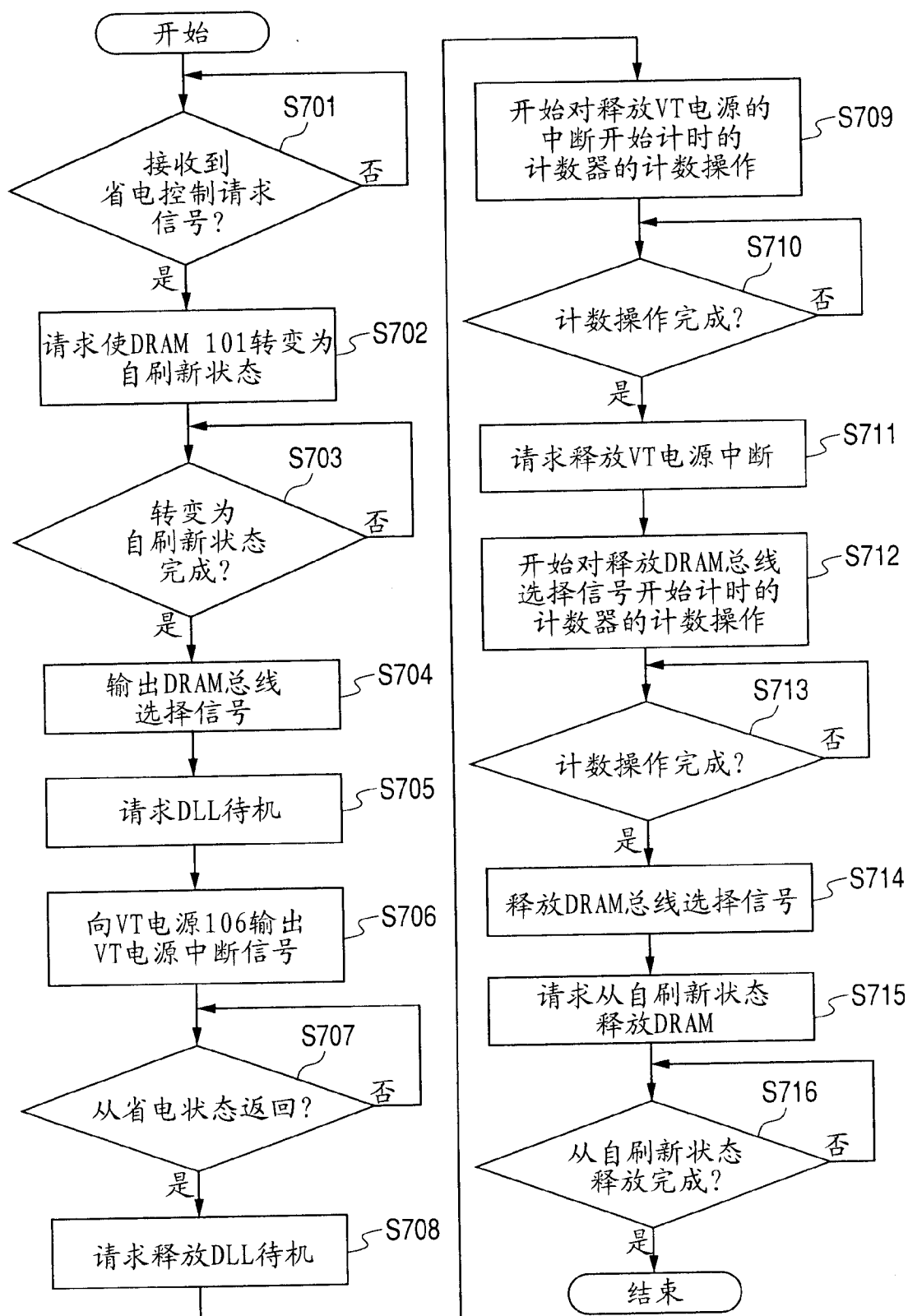


图 7