

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5030341号
(P5030341)

(45) 発行日 平成24年9月19日(2012.9.19)

(24) 登録日 平成24年7月6日(2012.7.6)

(51) Int.Cl.

H01L 29/786 (2006.01)
G02F 1/1368 (2006.01)

F 1

H01L 29/78 612C
G02F 1/1368

請求項の数 17 (全 28 頁)

(21) 出願番号 特願2001-239153 (P2001-239153)
 (22) 出願日 平成13年8月7日 (2001.8.7)
 (65) 公開番号 特開2002-134757 (P2002-134757A)
 (43) 公開日 平成14年5月10日 (2002.5.10)
 審査請求日 平成20年7月4日 (2008.7.4)
 (31) 優先権主張番号 特願2000-245989 (P2000-245989)
 (32) 優先日 平成12年8月14日 (2000.8.14)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 江口 晋吾
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 佐竹 瑠茂
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1の電極と、

前記第1の電極上の絶縁膜と、

前記絶縁膜に形成された前記第1の電極に達する開口部と、

前記絶縁膜上に形成され、前記開口部を介して前記第1の電極と接続するゲート配線と

、前記絶縁膜上に形成された第2の電極と、

前記第2の電極の上方に形成された液晶層とを有し、

前記第2の電極は前記第1の電極と重なっており、

10

前記第1の電極の一部は、保持容量の一方の電極を構成し、

前記第2の電極は前記絶縁膜上に形成された画素電極と接することを特徴とする半導体装置。

【請求項 2】

第1の電極と、

前記第1の電極上の絶縁膜と、

前記絶縁膜に形成された前記第1の電極に達する開口部と、

前記絶縁膜上に形成され、前記開口部を介して前記第1の電極と接続するゲート配線と

、前記絶縁膜上に形成された第2の電極と、

20

前記第2の電極の上方に形成された液晶層とを有し、
 前記第2の電極は前記第1の電極と重なっており、
前記第1の電極の一部は、保持容量の一方の電極を構成し、
前記第2の電極は画素電極であることを特徴とする半導体装置。

【請求項3】

半導体膜と、
 前記半導体膜上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜上に形成され、前記半導体膜と重なる第1の電極と、
 前記第1の電極上の絶縁膜と、
 前記絶縁膜に形成された前記第1の電極に達する開口部と、
 前記絶縁膜上に形成され、前記開口部を介して前記第1の電極と接続するゲート配線と

10

、
 前記絶縁膜上に形成された第2の電極と、
 前記第2の電極の上方に形成された液晶層とを有し、
前記第2の電極は前記第1の電極と重なっており、
前記第1の電極の一部は、保持容量の一方の電極を構成し、
前記第2の電極は前記絶縁膜上に形成された画素電極と接することを特徴とする半導体装置。

【請求項4】

半導体膜と、
 前記半導体膜上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜上に形成され、前記半導体膜と重なる第1の電極と、
 前記第1の電極上の絶縁膜と、
 前記絶縁膜に形成された前記第1の電極に達する開口部と、
 前記絶縁膜上に形成され、前記開口部を介して前記第1の電極と接続するゲート配線と

20

、
 前記絶縁膜上に形成された第2の電極と、
 前記第2の電極の上方に形成された液晶層とを有し、
前記第2の電極は前記第1の電極と重なっており、
前記第1の電極の一部は、保持容量の一方の電極を構成し、
前記第2の電極は画素電極であることを特徴とする半導体装置。

30

【請求項5】

第1の半導体膜と、
 第2の半導体膜と、
 前記第1の半導体膜及び前記第2の半導体膜上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜上に形成され、前記第1の半導体膜と交差して、かつ、前記第2の半導体膜と重なる第1の電極と、
 前記第1の電極上の絶縁膜と、
 前記絶縁膜に形成された前記第1の電極に達する開口部と、
 前記絶縁膜上に形成され、前記開口部を介して前記第1の電極と接続するゲート配線と

40

、
 前記絶縁膜上に形成された第2の電極と、
 前記第2の電極の上方に形成された液晶層とを有し、
前記第2の電極は前記第1の電極と重なっており、
前記第1の電極の一部は、保持容量の一方の電極を構成し、
前記第2の半導体膜は、前記保持容量の他方の電極を構成し、
前記第2の電極は前記絶縁膜上に形成された画素電極と接することを特徴とする半導体装置。

【請求項6】

第1の半導体膜と、

50

第 2 の半導体膜と、

前記第 1 の半導体膜及び前記第 2 の半導体膜上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記第 1 の半導体膜と交差して、かつ、前記第 2 の半導体膜と重なる第 1 の電極と、

前記第 1 の電極上の絶縁膜と、

前記絶縁膜に形成された前記第 1 の電極に達する開口部と、

前記絶縁膜上に形成され、前記開口部を介して前記第 1 の電極と接続するゲート配線と

、
前記絶縁膜上に形成された第 2 の電極と、

前記第 2 の電極の上方に形成された液晶層とを有し、

前記第 2 の電極は前記第 1 の電極と重なっており、

前記第 1 の電極の一部は、保持容量の一方の電極を構成し、

前記第 2 の半導体膜は、前記保持容量の他方の電極を構成し、

前記第 2 の電極は画素電極であることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、

前記第 2 の電極は前記第 1 の電極の電界を前記液晶層に対して遮蔽していることを特徴とする半導体装置。

【請求項 8】

第 1 の電極と、

前記第 1 の電極上の絶縁膜と、

前記絶縁膜に形成された前記第 1 の電極に達する開口部と、

前記絶縁膜上に形成され、前記開口部を介して前記第 1 の電極と接続するゲート配線と

、
前記絶縁膜上に形成された第 2 の電極とを有し、

前記第 1 の電極の面積の 70 % 以上が前記第 2 の電極と重なっており、

前記第 1 の電極の一部は、保持容量の一方の電極を構成し、

前記第 2 の電極は前記絶縁膜上に形成された画素電極と接することを特徴とする半導体装置。

【請求項 9】

第 1 の電極と、

前記第 1 の電極上の絶縁膜と、

前記絶縁膜に形成された前記第 1 の電極に達する開口部と、

前記絶縁膜上に形成され、前記開口部を介して前記第 1 の電極と接続するゲート配線と

、
前記絶縁膜上に形成された第 2 の電極とを有し、

前記第 1 の電極の面積の 70 % 以上が前記第 2 の電極と重なっており、

前記第 1 の電極の一部は、保持容量の一方の電極を構成し、

前記第 2 の電極は画素電極であることを特徴とする半導体装置。

【請求項 10】

半導体膜と、

前記半導体膜上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記半導体膜と重なる第 1 の電極と、

前記第 1 の電極上の絶縁膜と、

前記絶縁膜に形成された前記第 1 の電極に達する開口部と、

前記絶縁膜上に形成され、前記開口部を介して前記第 1 の電極と接続するゲート配線と

、
前記絶縁膜上に形成された第 2 の電極とを有し、

前記第 1 の電極と、前記ゲート絶縁膜と、前記半導体膜とから保持容量が形成され、前記保持容量の面積の 90 % 以上が前記第 2 の電極と重なっており、

10

20

30

40

50

前記第2の電極は前記絶縁膜上に形成された画素電極と接することを特徴とする半導体装置。

【請求項11】

半導体膜と、

前記半導体膜上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記半導体膜と重なる第1の電極と、

前記第1の電極上の絶縁膜と、

前記絶縁膜に形成された前記第1の電極に達する開口部と、

前記絶縁膜上に形成され、前記開口部を介して前記第1の電極と接続するゲート配線と

、

前記絶縁膜上に形成された第2の電極とを有し、

前記第1の電極と、前記ゲート絶縁膜と、前記半導体膜とから保持容量が形成され、前記保持容量の面積の90%以上が前記第2の電極と重なっており、

前記第2の電極は画素電極であることを特徴とする半導体装置。

【請求項12】

第1の半導体膜と、

第2の半導体膜と、

前記第1の半導体膜及び前記第2の半導体膜上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記第1の半導体膜と交差して、かつ、前記第2の半導体膜と重なる第1の電極と、

、

前記第1の電極上の絶縁膜と、

前記絶縁膜に形成された前記第1の電極に達する開口部と、

前記絶縁膜上に形成され、前記開口部を介して前記第1の電極と接続するゲート配線と

、

前記絶縁膜上に形成された第2の電極とを有し、

前記第1の電極と、前記ゲート絶縁膜と、前記第2の半導体膜とから保持容量が形成され、前記保持容量の面積の90%以上が前記第2の電極と重なっており、

前記第2の電極は前記絶縁膜上に形成された画素電極と接することを特徴とする半導体装置。

【請求項13】

第1の半導体膜と、

第2の半導体膜と、

前記第1の半導体膜及び前記第2の半導体膜上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記第1の半導体膜と交差して、かつ、前記第2の半導体膜と重なる第1の電極と、

、

前記第1の電極上の絶縁膜と、

前記絶縁膜に形成された前記第1の電極に達する開口部と、

前記絶縁膜上に形成され、前記開口部を介して前記第1の電極と接続するゲート配線と

、

前記絶縁膜上に形成された第2の電極とを有し、

前記第1の電極と、前記ゲート絶縁膜と、前記第2の半導体膜とから保持容量が形成され、前記保持容量の面積の90%以上が前記第2の電極と重なっており、

前記第2の電極は画素電極であることを特徴とする半導体装置。

【請求項14】

請求項8乃至13のいずれか一において、

前記第2の電極の上方に液晶層を有することを特徴とする半導体装置。

【請求項15】

請求項1乃至14のいずれか一において、

前記半導体装置は、反射型の電気光学装置であることを特徴とする半導体装置。

【請求項16】

10

20

30

40

50

請求項 1 乃至 1 4 のいずれか一において、

前記半導体装置は、投影型の電気光学装置であることを特徴とする半導体装置。

【請求項 1 7】

請求項 1 乃至 1 4 のいずれか一において、

前記半導体装置は、透過型の電気光学装置であることを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は薄膜トランジスタで構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

10

【0 0 0 2】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0 0 0 3】

なお、本明細書中において素子基板とは、半導体特性を利用した素子が設けられた基板全般を指す。素子としては、例えば、薄膜トランジスタ、MOSトランジスタ、ダイオードがある。

【0 0 0 4】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に液晶表示装置のスイッチング素子として開発が急がれている。

20

【0 0 0 5】

液晶表示装置において、高品位な画像を得るために、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子として TFT を用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【0 0 0 6】

また、アクティブマトリクス型液晶表示装置の表示性能の面から画素には大きな保持容量を持たせるとともに、高開口率化が求められている。各画素が高い開口率を持つことにより光利用効率が向上し、表示装置の省電力化および小型化が達成できる。

30

【0 0 0 7】

近年、画素サイズの微細化が進み、より高精細な画像が求められている。画素サイズの微細化は1つの画素に占める TFT 及び配線の形成面積が大きくなり画素開口率を低減させている。

【0 0 0 8】

そこで、規定の画素サイズの中で各画素の高開口率を得るために、画素の回路構成に必要な回路要素を効率よくレイアウトすることが不可欠である。

【0 0 0 9】

40

さらに、低コスト化の流れの中で開口率の高い画素を少ないマスク数で実現することが求められている。

【0 0 1 0】

また、アクティブマトリクス型液晶表示装置において、信頼性という観点において、長期使用しても、液晶の配向が変化せず、一定の表示を行うことが求められている。

【0 0 1 1】

【発明が解決しようとする課題】

上記技術を達成しようとして種々研究を行った結果、以下の構造の液晶表示装置を実現した。

【0 0 1 2】

50

まず、少ないマスク数で画素開口率の高い液晶表示装置を実現するために、図16及び図17の上面図に示す画素構造を作製した。図17は図16の部分拡大図である。図16の上面図を鎖線A-A'で切断した断面を図9に示す。図16及び図17の上面図を鎖線C-C'で切断した断面を図2に示す。

【0013】

図16及び図17の構成において、第1の電極485は第1の半導体膜484とゲート絶縁膜を介して交差してゲート電極としての機能を有する。また、第1の電極485及び第2の半導体膜493を容量電極とし、ゲート絶縁膜を誘電体膜として保持容量を形成する。つまり、第1の電極はゲート電極及び容量電極としての機能を兼ねている。そして、ゲート配線481は第1の電極485と開口部(コンタクトホール)で接続されている。

10

【0014】

また、第2の電極492は第2の半導体膜493とコンタクトホールを介して接続している。かつ、第2の電極492は画素電極491と接する領域を有する。第2の電極492により、第2の半導体膜493は画素電極491と同電位になる。

【0015】

よって、保持容量を構成する電極は、ゲート配線とコンタクトホールを介して接続する第1の電極はゲート電位を、第2の電極492とコンタクトホールを介して接続する第2の半導体膜は画素電極491の電位を有する。

【0016】

図16及び図17の構成は第1の電極(ゲート電極、兼容量電極)485、ゲート配線481、ソース配線483、画素電極491といった、TFT素子の配線、電極を3枚のフォトマスクで形成し、同時にこの3枚のフォトマスクで保持容量をも形成していることが特徴である。また、ソース配線483上に絶縁膜(図示せず)を介して画素電極491を重ねることができるので開口率を高くすることができる。図16において、 $43\mu\text{m} \times 126\mu\text{m}$ のVGAの画素で54%もの開口率を達成している。

20

【0017】

しかしながら、上記の液晶表示装置においては、第1の電極485上方の液晶の配向が駆動電源を切った後も残るという現象が観察されて、長期信頼性という面で不安を残した。以下に、この現象を実験結果に基づいて説明する。

【0018】

30

図16及び図17の画素部を有する透過型の液晶表示装置の駆動電源を入れる前と、ビデオ電圧を $\pm 1\text{V}$ 印加しているときと、駆動電源を切った後の液晶表示装置の画素部の配向とを観察した結果を図20～図21に示す。図20は液晶配向の顕微鏡写真である。図21はゲート配線481付近の液晶配向を図示したものである。図17と同じ要素は図21において同じ数字で示す。

【0019】

透過型の液晶表示装置の液晶はポジ型の液晶であるメルク社製のZLI4792を用いている。配向膜は日産化学社製のSE7792を用いている。液晶の配向はTN方式である。配向の観察は光学顕微鏡において液晶表示装置を反射光と透過光が同時に入射するようしている。顕微鏡の光学系を調節して、透過光に対しても、反射光に対しても偏光板がクロスニコルの配置となるようにしている。液晶の配向変化が見やすいように、対向基板にはあえて遮光膜を設けなかった。

40

【0020】

駆動電源を入れる前(図20(A)、図21(A))は、第1の電極485上方の液晶配向において特異的な現象は見られなかった。

【0021】

次いで、ソース配線から画素TFTを介してビデオ電圧を画素電極に印加しているときの液晶の配向を調べた。

【0022】

ゲート反転駆動によりビデオ電圧を $\pm 1\text{V}$ 印可しているときの配向を、図20(B)、図

50

21(B)に示す。ビデオ電圧の値が液晶のしきい値以下そのため、画素電極491上方の液晶はスイッチングしない。ゲート配線481及び第1の電極485上方の液晶は+8V若しくは-8Vのゲート電圧が印加されるため、液晶が電界に対し応答し、液晶の長軸が基板面に対し垂直に配向している。液晶が電界により応答し、垂直に配向するためクロスニコルの偏光板下で黒く見える領域601がある。液晶の配向は、画素電極、ゲート配線、第1の電極、対向電極の電位に応じたものであり、何ら特異な配向を示したわけではない。

【0023】

しかしながら、駆動電源を切った後に液晶の配向に特異な現象がみられた。

【0024】

駆動電源を切った後の液晶の配向を図20(C)、図21(C)に示す。第1の電極485上方の液晶の配向が固定されて残っていた。特に、数回の試験において、保持容量上方の液晶が駆動電源を切っても、配向が固定されて残っている傾向があった。この領域を602で示す。液晶の配向領域602は駆動電源を切ったのち、画素電極491上方の液晶配向と同様の状態にまで緩和するのに10分~15分の時間がかかった。

【0025】

次に、85℃の高温で液晶の信頼性の試験を行った。所定の画像を長時間表示した後に、駆動電源を切って液晶の配向を調べた。

【0026】

ここで、液晶の信頼性試験を行った結果を示す。信頼性試験が100時間経過した後の室温での配向写真を図18~図19に示す。図18は配向写真を示す。図19は画素部における液晶の配向を図示したものである。図19において、図17と同じ要素は同じ数字で示す。観察は室温で行っている。

【0027】

信頼性試験が100時間経過した後に駆動電源を切っても、第1の電極485上方の液晶の配向が固定されていた(図18(A)、図19(A))。液晶の配向が固定された領域を603で示す。

【0028】

また、ゲート反転駆動によりビデオ電圧を±1V印可しているときの配向を、図18(B)、図19(B)に示す。ゲート配線481及び第1の電極485は-8Vのゲート電圧が印加されるため、上方の液晶が電界に対し応答し、液晶の長軸が基板面に対し垂直に配向している。液晶が電界により応答し、垂直に配向するためクロスニコルの偏光板下で黒く見える領域604がある。

【0029】

次に、駆動電源を切った後の液晶の配向を図18(C)、図19(C)に示す。ビデオ電圧を±1V印可しているときに、第1の電極485上方に見られた液晶の配向のうち一部が固定されていた。駆動電源を切ったのちも残る液晶の配向領域を605で示す。

【0030】

このように、高温で信頼性試験をした後も、第1の電極上方、言い換えれば保持容量の上方で液晶の配向が駆動電源を切っても固定されて残るという現象が見られた。

【0031】

駆動電源を切った後に、第1の電極485上方の液晶の配向が元の状態に緩和する時間は信頼性試験が経過するにつれて長くなった。1000時間の信頼性試験を終えた後では、液晶が画面全体に渡り、均一な配向となるまでの時間が1時間を越えた。信頼性試験が1000時間を経過しても、液晶の配向が固定された領域が出る位置は、変わらず、第1の電極上方であった。

【0032】

このように、高温での信頼性試験において、駆動電源を切った後の液晶の緩和時間が長くなる傾向があった。この様な結果があると、特に、投影型の液晶表示装置で、駆動電源を切ったのちの液晶の配向緩和時間が長くなる可能性がでてくる。

10

20

30

40

50

【 0 0 3 3 】

駆動電源を切った後に特異な配向が残る現象は、不安定要素として除去する必要がある。このような不安定要素があると液晶表示装置の長期信頼性を確保できるか難しくなるからである。

【 0 0 3 4 】

製品化をする上では、このような不安定な配向は対向基板に遮光膜を設けて隠す必要がある。しかしながら、対向基板に遮光膜を設けると対向基板と素子基板とのアライメントずれにより開口率が低下し、表示品位の低下をもたらすおそれがある。

【 0 0 3 5 】

かつ、反射型の液晶表示装置のときは、外光を利用して表示を行い、液晶表示装置の電源を切った後も表示光は目に入るため、液晶の配向の緩和に時間がかかると、使用者の目に液晶の緩和過程による明暗の変化がそのまま認識される。反射型の液晶表示装置は明るさを稼ぐために対向基板に遮光膜を設けないことが多いため、なおさら、駆動電源を切った後の配向の緩和過程が透過型の液晶表示装置に比べ認識されやすい。10

【 0 0 3 6 】

そこで、本発明は駆動電源を切った後に液晶の配向が固定されて残る不安定な要素を除去し、表示品位を向上し及び長期信頼性を確保する液晶表示装置を提供することを課題とする。

【 0 0 3 7 】**【課題を解決するための手段】**

上述した従来技術の課題を解決するための手段を、以下に詳細に説明する。20

【 0 0 3 8 】

まず、発明者らは第1の電極、及び、第1の電極を一方の電極として形成した保持容量の上方の液晶の配向が駆動電源を切った後に残る原因を考えた。原因として、駆動電源を切った後も第1の電極に電荷が残り、この第1の電極に残った電荷によってできる電界に沿って液晶が配向していると考えた。

【 0 0 3 9 】

第1の電極に電荷が残る理由は、第1の電極とゲート配線481が、コンタクトホールを介して接続していることから、接触抵抗が高く、構造的な要因から第1の電極上の電荷が放電されにくかったためと考えた。30

【 0 0 4 0 】

本発明は、駆動電源を切った後に、第1の電極上に残留した電荷によりできる電界を第2の電極により遮蔽する。これにより、電極上に残留した電荷によりできる電界により、液晶の配向が変化し、その配向が固定されて残る現象を低減する。

【 0 0 4 1 】

本発明は、駆動電源を切った後に液晶の配向を固定させて残さないため、素子構造を工夫した。本発明の、画素部の上面図を図4及び図5に示す。画素部において、本発明の特徴を示す断面図を図1に示す。図1及び図4及び図5において、図16及び図17と同じ要素は同じ数字で示している。図1において、鎖線B-B'は、図4及び図5の上面図を鎖線B-B'で切断したものである。40

【 0 0 4 2 】

本発明では、図4のように、第1の電極485の上方に、第2の電極492を重ねていることが特徴である。すると、駆動電源を切った後に固定されて残る液晶の配向が実用に問題のない範囲にまで低減することがわかった。このとき、第1の電極485の面積の70%が第2の電極492と重なるようにした。

【 0 0 4 3 】

また、第2の電極492は、保持容量の面積の90%と重なるようにした。

【 0 0 4 4 】

図3に保持容量505となる領域を示す。保持容量は、コンタクトホール805を介してゲート配線481に接する第1の電極485と、コンタクトホール804を介して第2の50

電極 492 に接する第2の半導体膜 493 とを電極として、ゲート絶縁膜を誘電体膜として形成される。

【0045】

まず、本発明を適用したときの、駆動電源を切った後の液晶の配向を説明する。本発明の透過型の液晶表示装置の駆動前の画素部の液晶の配向と、ビデオ電圧を $\pm 1\text{V}$ 印加しているときの液晶の配向と、駆動電源を切った後の液晶の配向とを図12～図13に示す。

【0046】

図12は顕微鏡の写真、図13はこの顕微鏡の写真を説明する上面図である。

【0047】

図12(A)と図13(A)は、駆動電源を入れる前の液晶の配向を、偏光顕微鏡を通して確認したものである。液晶は画素部の全体に渡り、一様なツイスト配向をしている。

10

【0048】

図12(B)と図13(B)は、透過型の液晶表示装置にビデオ電圧を $\pm 1\text{V}$ 印加しているときの液晶の配向を、偏光顕微鏡を通して確認したものである。第1の電極485上方に、第2の電極492を重ねている。このため、第1の電極485によりできる電界は第2の電極により遮蔽されている。

【0049】

第2の電極492は画素電極491と同電位であり、液晶のしきい値以下の電圧が印加されているため、第2の電極上方の液晶はスイッチングしない。

20

【0050】

ゲート配線481上方は、 -8V 若しくは $+8\text{V}$ の電圧が印加されているため、液晶が電界に対し、応答している。この領域を606で示す。

【0051】

そして、駆動電源を切った。図12(C)と図13(C)は、駆動電源を切った後の液晶の配向を示す。第1の電極485上方の液晶の配向は通常の配向に戻っていた。

【0052】

図12(C)の写真的左寄りにある画素で、接続電極480上に黒く見えるのは、感光性材料をパターニングして形成された柱状スペーサであり、液晶の配向が乱れているわけではない。

【0053】

30

次に、図示してはいないが、ビデオ電圧を $\pm 5\text{V}$ の振幅で印加して、駆動電源を切った。それでも、第1の電極上方の液晶は通常の配向に戻っており、特異な配向はなかった。

【0054】

また、 85° の高温において液晶表示装置の100時間の信頼性試験を行った後の液晶の配向を図10及び図11に示す。100時間駆動して駆動電源を切った直後(図10(A)、図11(A))と、ビデオ電圧を $\pm 1\text{V}$ に設定して数分駆動して(図10(B)、図11(B))駆動電源を切った後(図10(C)、図11(C))とも、液晶の配向が固定された領域は見られなかった。つまり、図11(A)及び図11(C)に示すように、第1の電極485上方の液晶の配向に特に異常は無い。図11(B)において、駆動時にゲート配線の電圧により液晶がスイッチングしている領域を606で示す。

40

【0055】

図示してはいないが、 $\pm 5\text{V}$ の振幅のビデオ電圧を印加した後に駆動電源を切っても、液晶の配向は速やかに、通常の状態に戻った。

【0056】

駆動電源を切った後の、第1の電極485上方の液晶の配向を、図10(C)と、図18(C)において比較すると本発明の有用性が良くわかる。つまり、本発明により、図18(C)において見られた、第1の電極485上方の液晶の配向が固定された領域がほとんどなくなり、駆動電源を切っても液晶の配向が速やかに、元に戻った。

【0057】

図18(C)及び図19(C)において、駆動電源を切った後に配向が固定されて残る領

50

域が実用に問題のない範囲にまで低減した。本発明では、第1の電極485の面積の70%が第2の電極492と重なっている。もちろん、第1の電極485の面積と重なる第2の電極492の面積を増やすほど、液晶の配向が固定されて残る領域が少なくなる。

【0058】

同時に、保持容量の面積の90%が第2の電極492と重なっている。もちろん、保持容量の面積と重なる第2の電極492の面積を増やすほど、液晶の配向が固定されて残る領域が少なくなる。

【0059】

上述の現象の原理を、図1及び図2を用いて説明する。

【0060】

図2は、本発明との比較のために用いる図である。図2の素子構造の断面図は図16及び図17の上面図を鎖線C-C'で切断したものである。

10

【0061】

図2において、液晶表示装置の対向基板は、基板701と、基板701に形成された透明電極をパターニングしてできる対向電極702よりなる。対向基板とアクティブマトリクス基板には配向膜703が形成されている。配向膜のラビング方向705及び706は直交するものとする。液晶はツイスト角が90°のツイスト配向をしている。

【0062】

液晶表示装置をビデオ電圧を±5Vにしてゲートライン反転で駆動しているときの液晶の配向を図2(A)に示す。ドレイン電極482及び画素電極491と対向電極702の間には-5Vの電圧差があり、ゲート配線481は-8Vの電圧がかかっており、上方の液晶分子は基板面に対し垂直に配向している。第1の電極485上方は、第1の層間絶縁膜472及び第2の層間絶縁膜473による電圧損失は若干あるものの、液晶にしきい値電圧以上の電圧がかかり、液晶が電界により応答している。第2の電極492上方は第2の電極492に接する画素電極の電位である+5Vがかかっている。

20

【0063】

駆動電源を切った後の液晶の配向を図2(B)に示す。第1の電極485に電荷が残留し、複数の電極と第1の電極485の間にできる電界にしたがって液晶分子707が配向する。つまり、第1の電極485の上方に液晶分子707の配向が固定されたまま残る。

【0064】

30

保持容量505は第1の電極を用いて形成されるため、言い換えれば保持容量の上方に、液晶分子707の配向が固定されたまま残る。

【0065】

画素電極491、ドレイン電極、ゲート配線481上方の液晶分子707は通常の配向に戻る。

【0066】

駆動電源を切った後に、図2(B)のように液晶の配向が固定されて残るのは、第1の電極485とゲート配線481が、コンタクトホールを介して接続していることから、接触抵抗等が高く、構造的な要因から第1の電極上の電荷が放電されにくかったためと考えられる。

40

【0067】

本発明の、画素部における特徴を示す断面を図1に示す。図1の断面図は、図4及び図5の画素部を有するアクティブマトリクス基板を用いて、透過型の液晶表示装置を作製したものである。図4及び図5のアクティブマトリクス基板を鎖線B-B'で切断した断面を示している。

【0068】

図1において、液晶表示装置の対向基板は、基板701と基板701に形成された透明電極をパターニングしてできる対向電極702よりなる。対向基板とアクティブマトリクス基板には配向膜703が形成されている。配向膜のラビング方向705及び706は直交する。基板間には液晶が注入されている。

50

【0069】

液晶表示装置をビデオ電圧を $\pm 5\text{ V}$ にしてゲートライン反転で駆動しているときの液晶の配向を図1(A)に示す。ドレイン電極482及び画素電極491は -5 V の電位を有する。隣接する画素の画素電極と接する第2の電極492は $+5\text{ V}$ の電位を有する。ゲート配線481は -8 V の電位を有する。液晶分子707が基板面に対し垂直に配向するのに十分な電圧がかかっている。

【0070】

駆動電源を切った後の液晶の配向を図1(B)に示す。第1の電極485上に残留した電荷があっても、第2の電極492によりこの電荷による電界が遮蔽される。このため、第1の電極485上方の液晶の配向は電圧が 0 V の時に示す、ツイスト配向をしている。

10

【0071】

液晶分子の配向を図1(B)と図2(B)において比較すると、本発明の効果が良く分かる。本発明を適用した、図1(B)の構成は、駆動電源を切った後に第1の電極485に電荷が残留してできる電界を第2の電極492が遮蔽し、液晶層に電界が漏洩するのを防止する効果がある。これにより、駆動電源を切ったのちに、液晶の配向が固定されて残らず、もとの配向に戻る。

【0072】

本発明により、配向が固定されて残るような不安定な要素を低減することができた。

【0073】

本発明は、液晶表示装置に代表される電気光学装置に適用可能である。電界を印加することにより、表示を行う半導体装置に広く適用可能である。

20

【0074】

【発明の実施の形態】

本発明の実施形態について、図1、図5を用いて以下に説明する。図5はアクティブマトリクス基板の画素部の上面図を示す。図1は図5の画素部の上面図をB-B'で切断した断面を示す。

【0075】

アクティブマトリクス基板は、行方向に配置されたゲート配線481と、列方向に配置されたソース配線483と、ゲート配線とソース配線の交差部近傍の画素TFTを有する画素部と、nチャネル型TFTやpチャネル型TFTを有する駆動回路とを含む。なお、ゲート配線とはゲート配線481がゲート電極485と電気的に接続したものと示す。

30

【0076】

図5のように、画素部においては、第1の半導体膜484と第2の半導体膜493が形成されている。第1の半導体膜484は実用に際しTFT素子の活性層として機能する。第2の半導体膜493は後述する保持容量505の容量電極として機能する。

【0077】

ゲート絶縁膜(図示しない)を形成後、ゲート絶縁膜に接するように、第1の電極485、ソース配線483を形成する。

【0078】

絶縁膜として、第1の層間絶縁膜と第2の層間絶縁膜(図示しない)を形成する。第1の層間絶縁膜は酸化珪素、酸化窒化珪素のような無機膜を用いる。第1の層間絶縁膜の膜厚は $10\text{ nm} \sim 400\text{ nm}$ とする。第2の層間絶縁膜はアクリル樹脂膜、ポリイミド樹脂膜、ベンゾシクロブテン(BCB)膜のような有機樹脂膜を用いる。第2の層間絶縁膜の膜厚は $0.8 \sim 1.6\text{ }\mu\text{m}$ とする。第1の層間絶縁膜と第2の層間絶縁膜の二層を合わせた膜厚は $2.0\text{ }\mu\text{m}$ 以下と薄い。第1の層間絶縁膜と第2の層間絶縁膜の比誘電率は $3.0 \sim 4.0$ である。

40

【0079】

次に、第1の層間絶縁膜と第2の層間絶縁膜をパターニングして、コンタクトホール801～805を形成する。

【0080】

50

次に、導電体膜を形成後、パターニングによりゲート配線 481、接続電極 480、第2の電極 492、ドレイン電極 482 を形成する。

【0081】

コンタクトホール 801 と 802 により、第1の半導体膜 484 とソース配線 483 が接続電極 480 を介して電気的に接続する。

【0082】

コンタクトホール 803 により、第1の半導体膜 484 とドレイン電極 482 が電気的に接続する。

【0083】

コンタクトホール 804 により、第2の半導体膜 493 と第2の電極 492 が電気的に接続する。 10

【0084】

コンタクトホール 805 により第1の電極 485 とゲート配線 481 が電気的に接続する。 。

【0085】

次に、透明電極をパターニングして、画素電極 491 をドレイン電極 482、第2の電極 492 に重なるように形成する。

【0086】

保持容量については、画素毎に設けられた第2の半導体膜 493 と第1の電極 485 を電極とする。ゲート絶縁膜（図示せず）を保持容量の誘電体膜として機能する。第2の半導体膜 493 は画素電極 491 と同電位になる。第1の電極 485 はゲート配線と同電位になる。 20

【0087】

ここで、第2の電極 492 が第1の電極 485 の面積の 70% 以上と重なるようにする。または、第2の電極の代りに、画素電極 491 又は画素電極及び第2の電極が、第1の電極 485 の面積の 70% 以上と重なるようにしても良い。つまり、導電性を有する半導体膜が第1の電極の面積の 70% 以上と重なるようにする。

【0088】

また第1の層間絶縁膜及び第2の層間絶縁膜が積層された絶縁膜上に第2の電極 492 が保持容量の面積の少なくとも 90% 以上と重なるようにすると良い。 30

【0089】

本実施形態では、透過型の液晶表示装置を示したが、ドレイン電極を反射率の高いアルミニウム等で形成し、画素電極の機能を持たせて、反射型の液晶表示装置とすることも可能である。

【0090】

本実施形態のように、第1の層間絶縁膜と第2の層間絶縁膜の積層である絶縁膜の膜厚が 2.0 μm 以下と薄いときは、残留した電荷によりできる電界が液晶に分圧されてかかり、駆動電源を切った後も液晶の配向が固定されて残りやすい。

【0091】

しかしながら、本実施の形態によれば、駆動電源を切った後に第1の電極、および第1の電極から形成される保持容量の上方の液晶の配向は速やかにもとに戻る。 40

【0092】

これは、駆動電源を切った後に電極に残留した電荷による電界を導電体膜（第2の電極）で遮蔽し、液晶層に電界が漏洩するのを防ぐことができるからである。

【0093】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0094】

【実施例】

[実施例 1]

本発明の実施例を図7～9を用いて説明する。ここでは、画素部の画素TFTおよび保持容量と、表示領域の周辺に設けられる駆動回路のTFTを同時に作製する方法について工程に従って詳細に説明する。

【0095】

本実施例では、画素部のスイッチング素子である画素TFTと、画素部の周辺に設けられる駆動回路（信号線駆動回路、走査線駆動回路等）のTFTを同一基板上に作製する方法について工程に従って説明する。但し、説明を簡単にするために、駆動回路部にはその基本構成回路であるCMOS回路を、画素部の画素TFTにはnチャネル型TFTとを、ある経路に沿った断面により図示することにする。

【0096】

まず、図7(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板400上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜401を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜401aを10～200nm(好ましくは50～100nm)形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜401bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。本実施例では下地膜401を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0097】

島状半導体膜402～406は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体膜402～406の厚さは25～80nm(好ましくは30～60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0098】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm²(代表的には200～300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm²(代表的には350～500mJ/cm²)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80～98%として行う。

【0099】

次いで、島状半導体膜402～406を覆うゲート絶縁膜407を形成する。ゲート絶縁膜407はプラズマCVD法またはスピッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さの酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Ortho Silicate)とO₂とを混合し、反応圧力40Pa、基板温度300～400とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0100】

そして、ゲート絶縁膜407上にゲート電極を形成するための第1の導電膜408と第2

10

20

30

40

50

の導電膜409とを形成する。本実施例では、第1の導電膜408をTaNで50～100nmの厚さに形成し、第2の導電膜409をWで100～300nmの厚さに形成する。

【0101】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンゲステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μcmを実現することができる。

【0102】

なお、本実施例では、第1の導電膜408をTaN、第2の導電膜409をWとしたが、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせとしては、第1の導電膜をタンタル(Ta)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をCuとする組み合わせなどがある。

【0103】

次に、レジストによるマスク410～415を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を行い、エッチング用ガスを混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。エッチングガスを適宜選択することによりW膜及びTaN膜とも同程度にエッチングされる。

【0104】

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー部の角度が15～45°のテーパー形状となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層417～422(第1の導電層417a～422aと第2の導電層417b～422b)を形成する。416はゲート絶縁膜であり、第1の形状の導電層417～422で覆われない領域は20～50nm程度エッチングされ薄くなつた領域が形成される。

【0105】

そして、第1のドーピング処理を行い、n型を付与する不純物元素を添加する。(図7(B))ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ atoms/cm²とし、加速電圧を60～100keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層417～420がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域423～426が形成される。第1の不純物領域423～426には $1 \times 10^{20} \sim 1 \times 10^{21}$ atomic/cm³の濃度範囲でn型を付与する不純物元素を添加する。

10

20

30

40

50

【 0 1 0 6 】

次に、図7(C)に示すように第2のエッティング処理を行う。ICPエッティング法を用い、反応性ガスをチャンバーに導入して、コイル型の電極に所定のRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には低めのRF(13.56MHz)電力を投入し、第1のエッティング処理に比べ低い自己バイアス電圧を印加する。W膜を異方性エッティングして第2の形状の導電層427～432を得る。

【 0 1 0 7 】

さらに、図7(C)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げる高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120keVとし、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量で行い、図7(B)で島状半導体膜に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層427～430を不純物元素に対するマスクとして用い、第1の導電層427a～430aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第1の導電層427a～430aと重なる第2の不純物領域433～437を形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{18}$ atomic/cm³の濃度となるようとする。

【 0 1 0 8 】

図8(A)のように、ゲート絶縁膜416をエッティングすることで同時に第1の導電層であるTaNがエッティングされて後退するので第3の形状の導電層438～443(第1の導電層438a～443aと第2の導電層438b～443b)を形成する。444はゲート絶縁膜であり第3の形状の導電層438～443で覆われない領域はさらに20～50nm程度エッティングされ薄くなれた領域が形成される。

【 0 1 0 9 】

図8(A)において、第1の導電層438a～441aと重なる第3の不純物領域445～449と、第3の不純物領域の外側にある第4の不純物領域450～454が形成される。これにより第3の不純物領域及び第4の不純物領域におけるn型を付与する不純物元素の濃度は第2の不純物領域におけるn型を付与する不純物元素の濃度とほぼ等しくなる。

【 0 1 1 0 】

そして、図8(B)に示すように、pチャネル型TFTを形成する島状半導体膜403、406に一導電型とは逆の導電型の第4の不純物領域458～461を形成する。第3の形状の導電層439、441を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体膜402、404、405はレジストマスク455～457で全面を被覆しておく。不純物領域458～461にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法により、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm³となるようする。

【 0 1 1 1 】

以上の工程により、それぞれの島状半導体膜に不純物領域が形成される。島状半導体膜と重なる導電層438～441がTFTのゲート電極として機能する。また、442はソース配線、443は駆動回路内の配線として機能する。なお、本発明の第1の電極485はゲート電極を形成する導電層441のことをいう。

【 0 1 1 2 】

こうして導電型の制御を目的として図8(C)に示すように、それぞれの島状半導体膜に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700、代表的には500～600で行うものであり、本実施例では500で4時間の熱処理を行う。ただし、438～443に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シ

10

20

20

30

40

50

リコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0113】

さらに、3～100%の水素を含む雰囲気中で、300～450で1～12時間の熱処理を行い、島状半導体膜を水素化する工程を行う。この工程は熱的に励起された水素により半導体膜のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0114】

そして、図9のように、第1の層間絶縁膜472を酸化窒化シリコン膜で100～200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜473としてアクリル樹脂膜又はポリイミド樹脂膜を1.8μmの厚さで形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

10

【0115】

次に、導電性の金属膜をスパッタ法や真空蒸着法で形成する。これは、Ti膜を50～150nmの厚さで形成し、島状半導体膜のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム(A1)を300～400nmの厚さで形成し、さらにTi膜または窒化チタン(TiN)膜を100～200nmの厚さで形成して3層構造とした。

【0116】

そして、駆動回路部において島状半導体膜のソース領域とコンタクトを形成するソース配線474～476、ドレイン領域とコンタクトを形成するドレイン配線477～479を形成する。

20

【0117】

また、画素部においては、接続電極480、ゲート配線481、ドレイン電極482、第2の電極492を形成する。本実施例においては、第1の電極485の面積の70%が第2の電極と重なるようにした。

【0118】

接続電極480は、ソース配線483と第1の半導体膜484と電気的に接続する。図示してはいないが、ゲート配線481は第1の電極485とコンタクトホールにより電気的に接続する。ドレイン電極482は第1の半導体膜484のドレイン領域と電気的に接続する。第2の電極492は第2の半導体膜493と電気的に接続し、第2の半導体膜493を保持容量505の電極として機能させる。

30

【0119】

その後、透明導電膜を全面に形成し、フォトマスクを用いたパターニング処理およびエッチング処理により画素電極491を形成する。画素電極491は、第2の層間絶縁膜473上に形成され、画素TFTのドレイン電極482、第2の電極492と重なる部分を設け、接続構造を形成している。

【0120】

透明導電膜の材料は、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($In_2O_3-SnO_2$; ITO)などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金(In_2O_3-ZnO)を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOに対して熱安定性にも優れているので、ドレイン電極482の端面で接触するA1との腐蝕反応を防止できる。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛($ZnO:Ga$)などを用いることができる。

40

【0121】

このようにして、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。

【0122】

50

以上のようにして、nチャネル型TFT501、pチャネル型TFT502、nチャネル型TFT503を有する駆動回路部と、画素TFT504、保持容量505とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0123】

駆動回路部のnチャネル型TFT501はチャネル形成領域462、ゲート電極を形成する導電層438と重なる第3の不純物領域445(GOLD領域)、ゲート電極の外側に形成される第4の不純物領域450(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域423を有している。pチャネル型TFT502にはチャネル形成領域463、ゲート電極を形成する導電層439と重なる第5の不純物領域446、ソース領域またはドレイン領域として機能する第6の不純物領域451を有している。nチャネル型TFT503にはチャネル形成領域464、ゲート電極を形成する導電層440と重なる第3の不純物領域447(GOLD領域)、ゲート電極の外側に形成される第4の不純物領域452(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域425を有している。

10

【0124】

画素部の画素TFT504にはチャネル形成領域465、第1の電極485と重なる第3の不純物領域448(GOLD領域)、ゲート電極の外側に形成される第4の不純物領域453(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域426を有している。また、保持容量505の一方の電極として機能する半導体膜493にはp型を付与する不純物元素が添加されている。第1の電極485とその間の絶縁層(ゲート絶縁膜と同じ層)とで保持容量を形成している。

20

【0125】

図9の鎖線A A'、鎖線D D'で切断した断面は、図5の上面図を鎖線A A'、鎖線D D'で切断した断面に対応する。

【0126】

第2の電極492を第1の電極485の面積の70%と広い面積で重ねることで、本実施例のアクティブマトリクス基板を用いて透過型の液晶表示装置を作製したときに、駆動電源を切った後に配向が固定されて残る不安定な要因を低減することができた。

30

【0127】

[実施例2]

実施例1で作製したアクティブマトリクス基板の作製方法を反射型の液晶表示装置に適用することができる。

【0128】

まず、実施例1の図7～図8にしたがって工程を進め、図8(C)の構造を得る。

【0129】

そして、図15のように、第1の層間絶縁膜472を酸化窒化シリコン膜で100～200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜473としてアクリル樹脂膜又はポリイミド膜を1.8μmの厚さで形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

40

【0130】

次に、導電性の金属膜をスパッタ法や真空蒸着法で形成する。これは、Ti膜を50～150nmの厚さで形成し、島状半導体膜のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム(A1)を300～400nmの厚さで形成し、さらにTi膜または窒化チタン(TiN)膜を100～200nmの厚さで形成して3層構造とした。

【0131】

そして、駆動回路部において島状半導体膜のソース領域とコンタクトを形成するソース配線474～476、ドレイン領域とコンタクトを形成するドレイン配線477～479を形成する。

50

【 0 1 3 2 】

また、画素部においては、接続電極 4 8 0、ゲート配線 4 8 1、ドレイン電極 4 8 2 を形成する。本実施例においては、ドレイン電極 4 8 2 が反射型液晶表示装置の画素電極としての機能を有している。ドレイン電極 4 8 2 が第 1 の電極 4 8 5 の面積の 70 % と重なる。

【 0 1 3 3 】

保持容量については、画素毎に設けられた第 2 の半導体膜 4 9 3 と第 1 の電極 4 8 5 を電極とする。ゲート絶縁膜 (4 4 4) は保持容量の誘電体膜として機能する。第 2 の半導体膜 4 9 3 は画素電極 4 9 1 と同電位になる。第 1 の電極 4 8 5 はゲート配線と同電位になる。

10

【 0 1 3 4 】

接続電極 4 8 0 は、ソース配線 4 8 3 と第 1 の半導体膜 4 8 4 と電気的に接続する。図示してはいないが、ゲート配線 4 8 1 は第 1 の電極 4 8 5 とコンタクトホールにより電気的に接続する。ドレイン電極 4 8 2 は第 1 の半導体膜 4 8 4 のドレイン領域と電気的に接続する。かつ、ドレイン電極 4 8 2 は第 2 の半導体膜 4 9 3 と電気的に接続し、第 2 の半導体膜 4 9 3 を保持容量 5 0 5 の電極として機能させる。

【 0 1 3 5 】

このようにして、反射型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。

【 0 1 3 6 】

以上のようにして、n チャネル型 TFT 5 0 1、p チャネル型 TFT 5 0 2、n チャネル型 TFT 5 0 3 を有する駆動回路部と、画素 TFT 5 0 4、保持容量 5 0 5 とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

20

【 0 1 3 7 】

駆動回路部の n チャネル型 TFT 5 0 1 はチャネル形成領域 4 6 2、ゲート電極を形成する導電層 4 3 8 と重なる第 3 の不純物領域 4 4 5 (G O L D 領域)、ゲート電極の外側に形成される第 4 の不純物領域 4 5 0 (L D D 領域) とソース領域またはドレイン領域として機能する第 1 の不純物領域 4 2 3 を有している。p チャネル型 TFT 5 0 2 にはチャネル形成領域 4 6 3、ゲート電極を形成する導電層 4 3 9 と重なる第 5 の不純物領域 4 4 6 、ソース領域またはドレイン領域として機能する第 6 の不純物領域 4 5 1 を有している。n チャネル型 TFT 5 0 3 にはチャネル形成領域 4 6 4、ゲート電極を形成する導電層 4 4 0 と重なる第 3 の不純物領域 4 4 7 (G O L D 領域)、ゲート電極の外側に形成される第 4 の不純物領域 4 5 2 (L D D 領域) とソース領域またはドレイン領域として機能する第 1 の不純物領域 4 2 5 を有している。

30

【 0 1 3 8 】

画素部の画素 TFT 5 0 4 にはチャネル形成領域 4 6 5、ゲート電極を形成する導電層 (第 1 の電極) 4 8 5 と重なる第 3 の不純物領域 4 4 8 (G O L D 領域)、ゲート電極の外側に形成される第 4 の不純物領域 4 5 3 (L D D 領域) とソース領域またはドレイン領域として機能する第 1 の不純物領域 4 2 6 を有している。また、保持容量 5 0 5 の一方の電極として機能する半導体膜 4 9 3 には p 型を付与する不純物元素が添加されている。第 1 の電極 4 8 5 とその間の絶縁層 (ゲート絶縁膜と同じ層) とで保持容量を形成している。

40

【 0 1 3 9 】

図 1 4 の上面図の鎖線 E-E'、鎖線 F-F' で切断した断面は、図 1 5 の断面図の鎖線 E-E'、鎖線 F-F' に対応する。

【 0 1 4 0 】

本実施例のアクティブマトリクス基板を実施例 1 の方法にしたがって、反射型の液晶表示装置にすることができる。このとき、第 2 の電極を第 1 の電極 4 8 5 の面積の 70 % に重ねることで、電極上に残留した電荷による電界を遮蔽し、液晶層に電界が漏洩することを防ぐことが出来る。

50

【0141】**[実施例3]**

本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図6を用いる。

【0142】

まず、実施例1に従い、図9の状態のアクティブマトリクス基板を得た後、図9のアクティブマトリクス基板上に配向膜512を形成しラビング処理を行う。なお、本実施例では配向膜512を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

10

【0143】

次いで、対向基板508を用意する。この対向基板には、着色層、遮光層が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層を設けた。このカラーフィルタと遮光層とを覆う平坦化膜を設けた。次いで、平坦化膜上に透明導電膜からなる対向電極510を画素部に形成し、対向基板の全面に配向膜511を形成し、ラビング処理を施した。

【0144】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材513で貼り合わせる。シール材513にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料514を注入し、封止剤(図示せず)によって完全に封止する。液晶材料514には公知の液晶材料を用いれば良い。このようにして図6に示すアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼りつけた。

20

【0145】

以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。

【0146】**[実施例4]**

上記各実施例1乃至3のいずれか一を実施して形成されたTFTは様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を適用できる。

30

【0147】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パソコンコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図22、図23及び図24に示す。

【0148】

図22(A)はパソコンコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2003に適用することができる。

40

【0149】

図22(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

【0150】

図22(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用できる。

50

【0151】

図22(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302に適用することができる。

【0152】

図22(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

10

【0153】

図22(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本発明を表示部2502に適用することができる。

【0154】

図23(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808に適用することができる。

20

【0155】

図23(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808に適用することができる。

20

【0156】

なお、図23(C)は、図23(A)及び図23(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図23(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

30

【0157】

また、図23(D)は、図23(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図23(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0158】

ただし、図23に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置での適用例は図示していない。

40

【0159】

図24(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本発明を表示部2904に適用することができる。

【0160】

図24(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

【0161】

50

図24(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0162】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~3のどのような組み合わせからなる構成を用いても実現することができる。

【0163】

【発明の効果】

以上のように、本発明を用いれば、第1の電極上に残留した電荷によりできる電界を第2の電極により遮蔽することにより、電極上に残留した電荷によりできる電界により、液晶の配向が変化し、駆動電源を切った後もその配向が固定されて残る現象を低減させることができる。これにより、長期信頼性が高く、表示品位の良好な表示装置を実現することができる。

【図面の簡単な説明】

- 【図1】 本発明の原理を説明する図。
- 【図2】 本発明の原理を説明するための比較の図。
- 【図3】 本発明の画素部上面図を示す図。
- 【図4】 本発明の画素部上面図を示す図。
- 【図5】 本発明の画素部上面図を示す図。
- 【図6】 液晶表示装置を示す断面図。
- 【図7】 薄膜トランジスタの作製工程断面図を示す図。
- 【図8】 薄膜トランジスタの作製工程断面図を示す図。
- 【図9】 薄膜トランジスタの作製工程断面図を示す図。
- 【図10】 本発明の液晶表示装置を高温信頼性試験にかけた後の液晶の配向を示す写真。
。
- 【図11】 本発明の液晶表示装置を高温信頼性試験にかけた後の液晶の配向を示す上面図。
- 【図12】 本発明の液晶表示装置の液晶の配向を示す写真。
- 【図13】 本発明の液晶表示装置の液晶の配向を示す上面図。
- 【図14】 本発明の画素部上面図を示す図。
- 【図15】 本発明の画素部断面図を示す図。
- 【図16】 画素部上面図を示す図。
- 【図17】 画素部上面図を示す図。
- 【図18】 液晶表示装置を高温信頼性試験にかけた後の液晶の配向を示す写真。
- 【図19】 液晶表示装置を高温信頼性試験にかけた後の液晶の配向を示す上面図。
- 【図20】 液晶表示装置の液晶の配向を示す写真。
- 【図21】 液晶表示装置の液晶の配向を示す上面図。
- 【図22】 電子機器の一例を示す図。
- 【図23】 電子機器の一例を示す図。
- 【図24】 電子機器の一例を示す図。

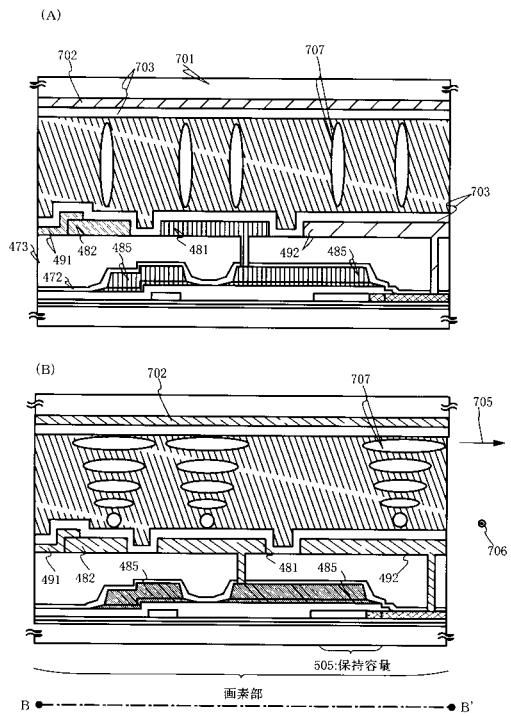
10

20

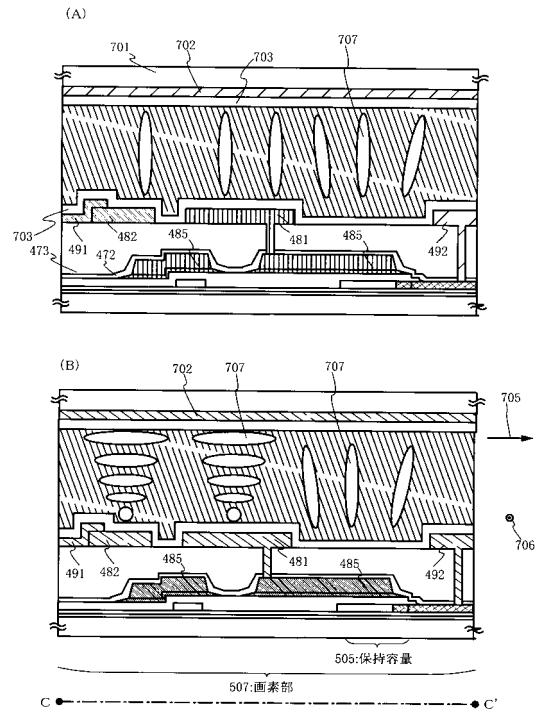
30

40

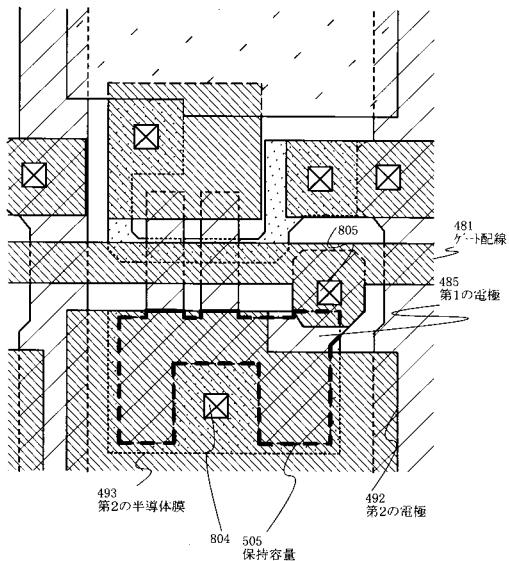
【図1】



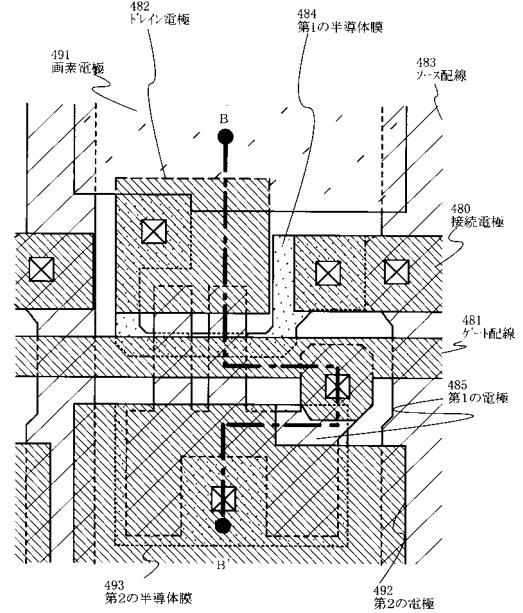
【図2】



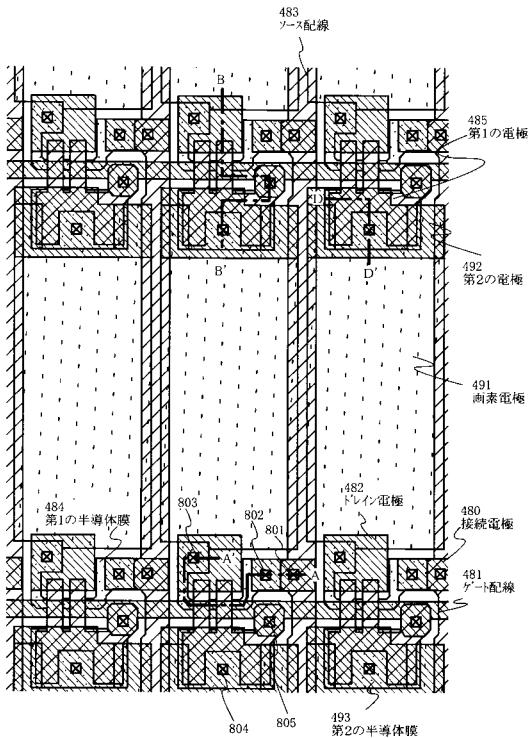
【図3】



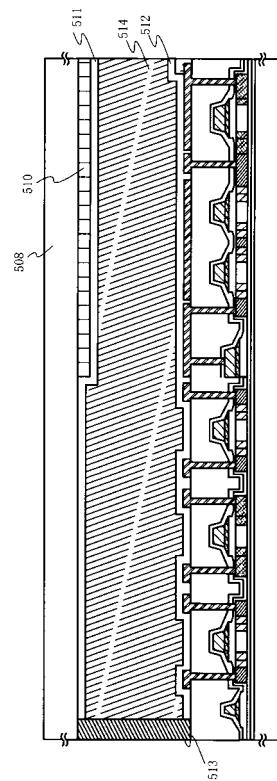
【図4】



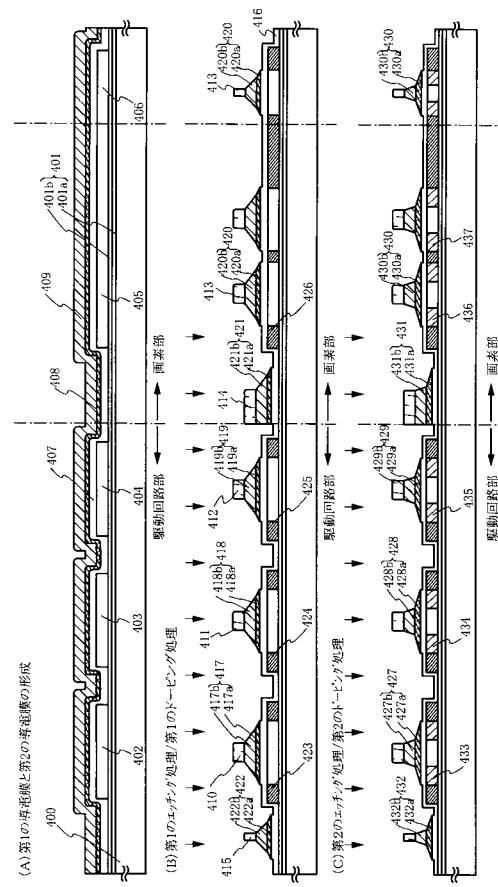
【図5】



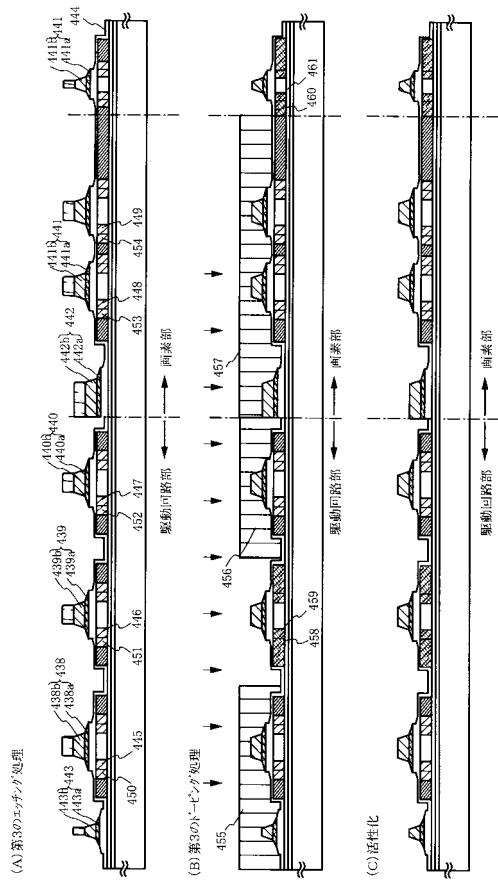
【図6】



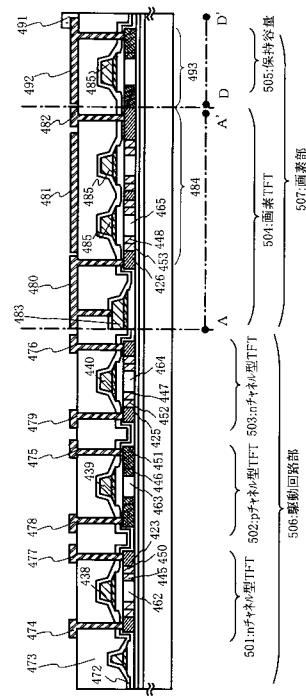
【図7】



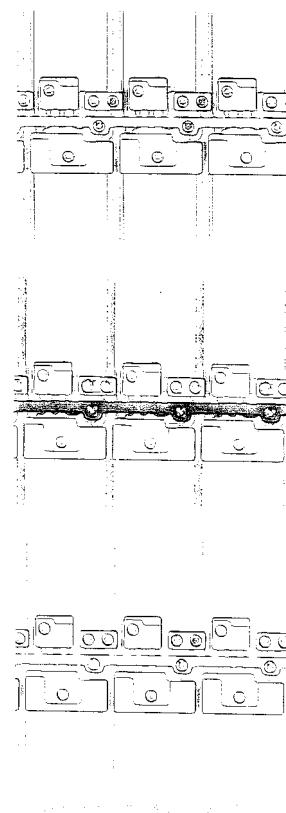
【図8】



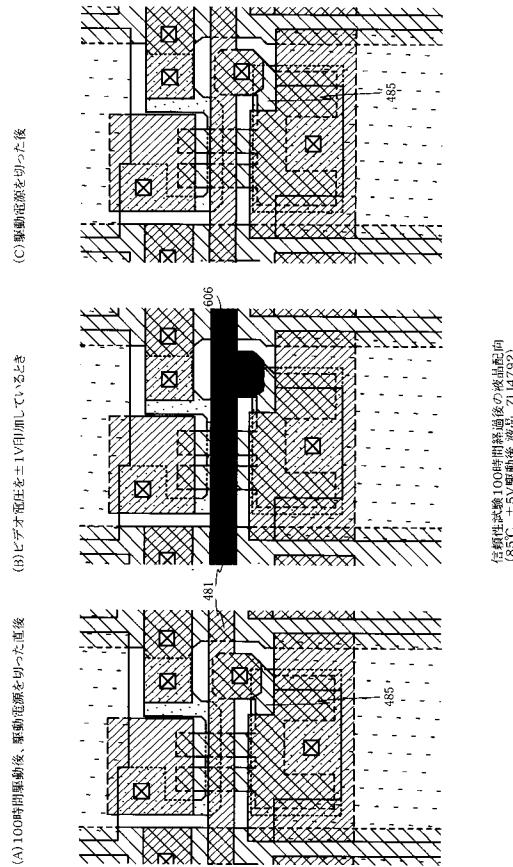
【図9】



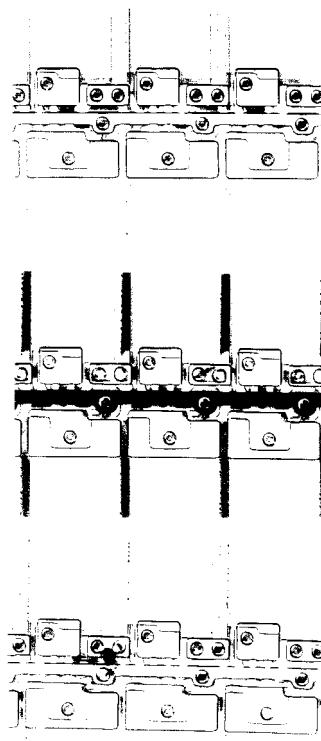
【図10】



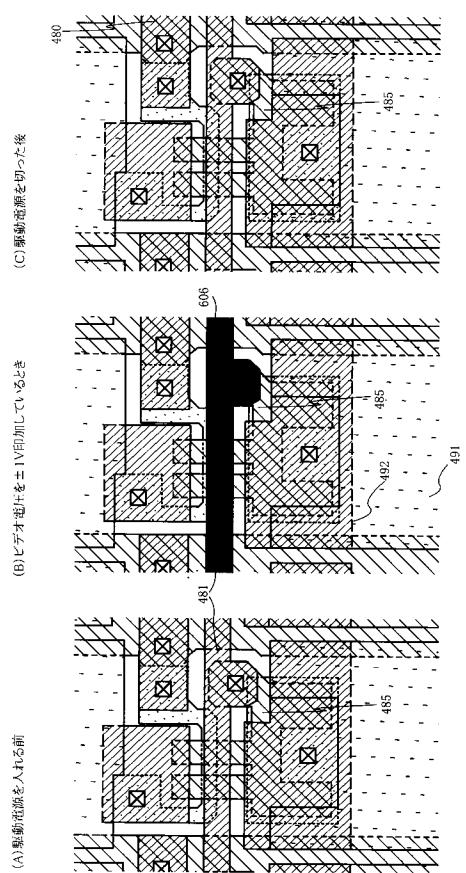
【図11】



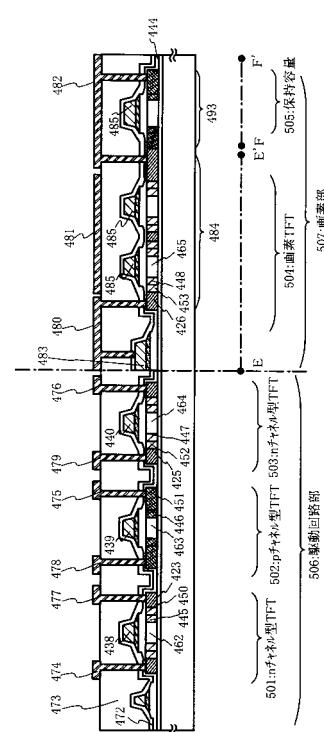
【図12】



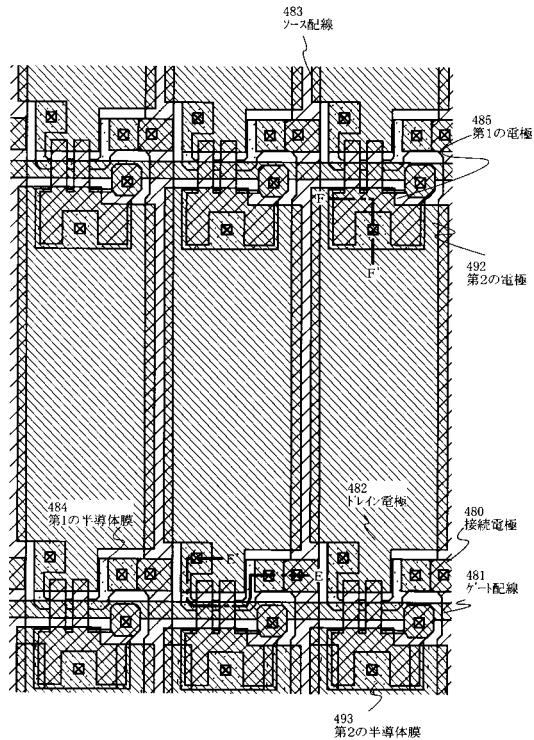
【図13】



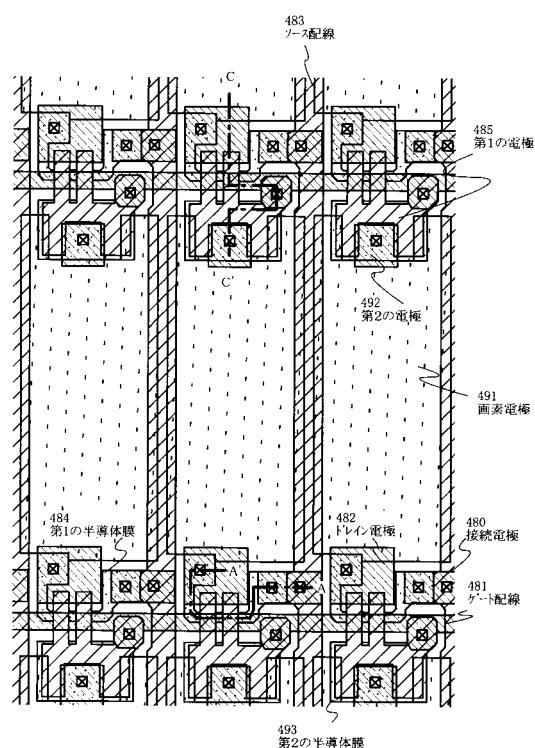
【図 1 5】



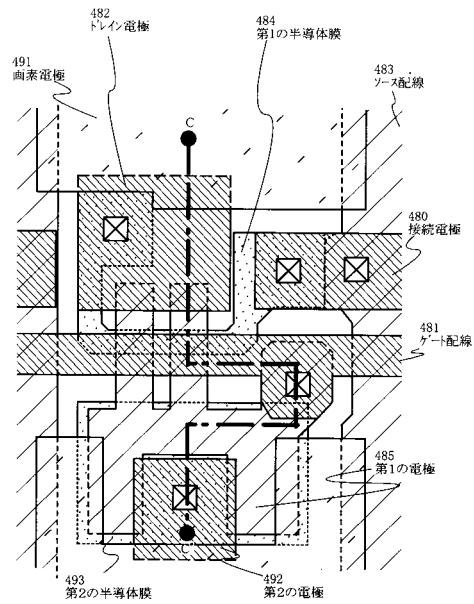
【図14】



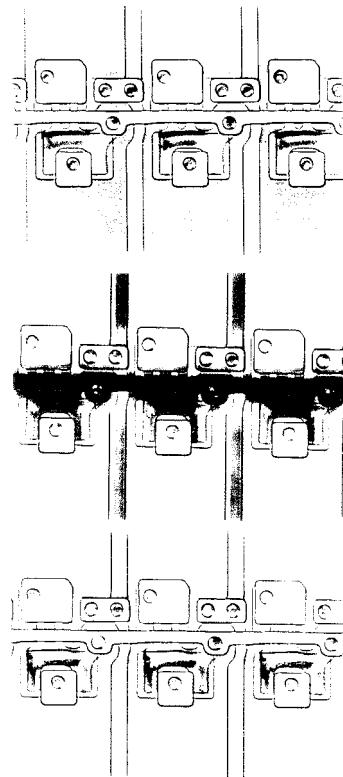
【図16】



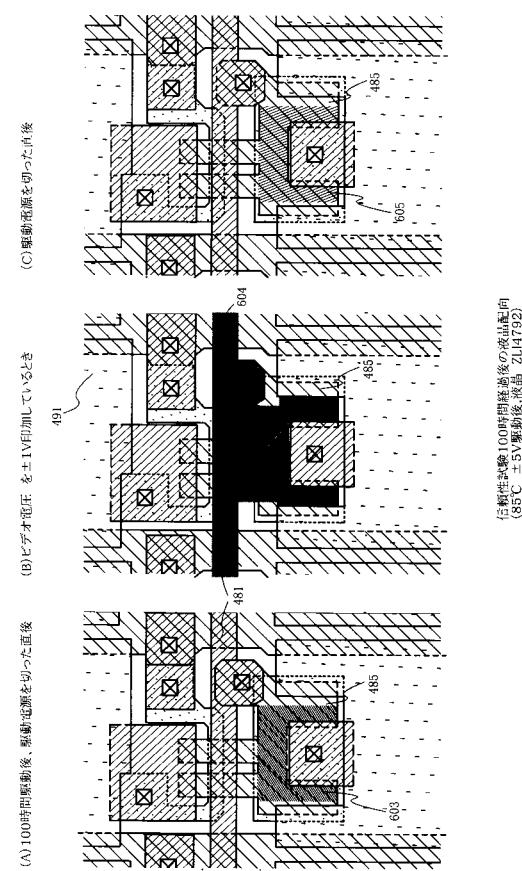
【図17】



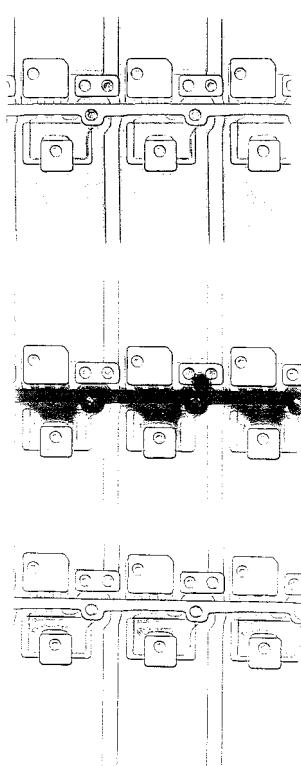
【図18】



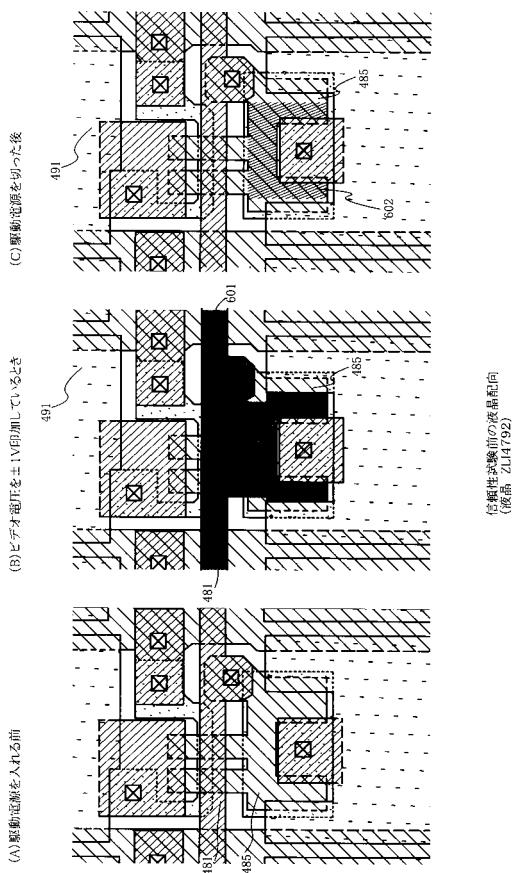
【図19】



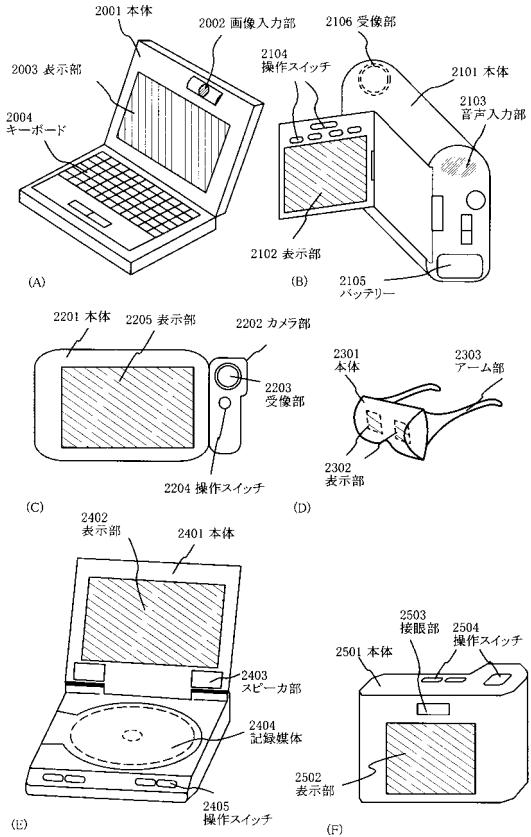
【図20】



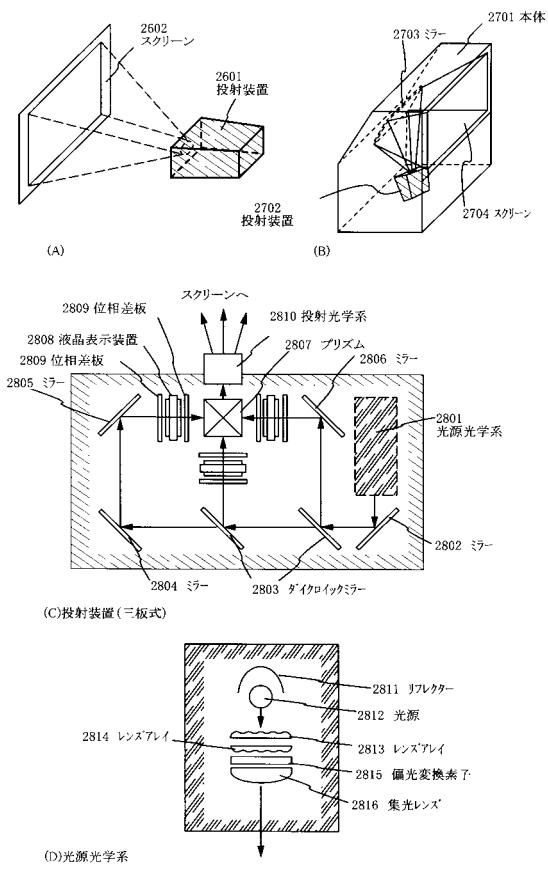
【図21】



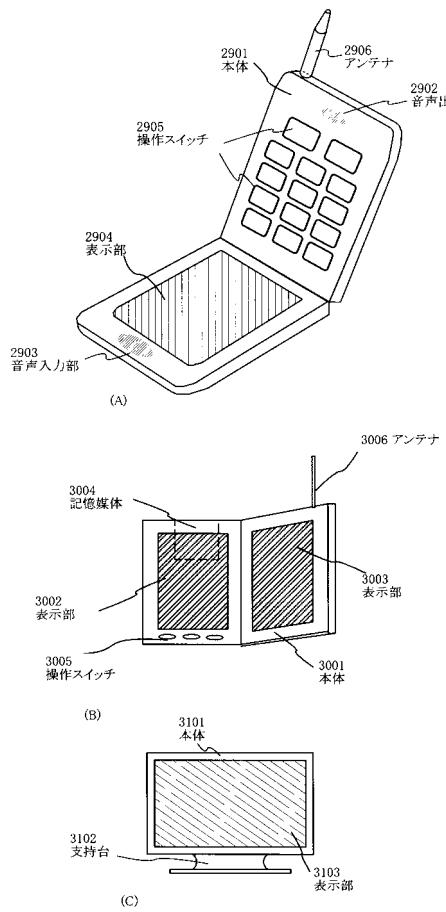
【図22】



【図23】



【図24】



フロントページの続き

(56)参考文献 特開平07-028089(JP,A)
特開平05-027249(JP,A)
特開平10-062819(JP,A)
特開平10-153799(JP,A)
特開平11-103066(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

H01L 21/336

H01L 29/786