

19) RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

11) N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 933 236

21) N° d'enregistrement national : 08 03700

51) Int Cl⁸ : H 01 L 21/70 (2006.01)

12)

DEMANDE DE BREVET D'INVENTION

A1

22) Date de dépôt : 30.06.08.

30) Priorité :

43) Date de mise à la disposition du public de la demande : 01.01.10 Bulletin 09/53.

56) Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60) Références à d'autres documents nationaux apparentés :

71) Demandeur(s) : S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES Société anonyme — FR.

72) Inventeur(s) : NGUYEN BICH YEN.

73) Titulaire(s) : S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES Société anonyme.

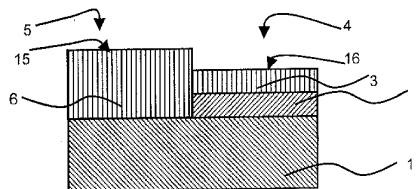
74) Mandataire(s) : SOITEC.

54) SUBSTRAT COMPRENANT DIFFERENTS TYPES DE SURFACE, ET PROCEDE DE FABRICATION ASSOCIE.

57) Cette invention concerne un substrat comprenant un support (1) présentant une densité de défauts cristallins ayant une taille supérieure à 10 nm de plus de $10^3/\text{cm}^3$.

Une couche isolante (2) est disposée sur une première région (4) d'une face avant du support (1), et une couche superficielle (3) sur la couche isolante (2). Une couche supplémentaire (6) est disposée au moins sur une deuxième région (5) de la face avant du support (1), la couche supplémentaire (6) comportant une surface exposée (15) au-dessus de la deuxième région (5). La couche supplémentaire (6) a une épaisseur suffisante pour enterrer les défauts cristallins du support (1). Le substrat peut comprendre une couche épitaxiale disposée au moins sur la première région (4) de la face avant du support (1), entre le support (1) et la couche isolante (2).

L'invention concerne également un procédé comprenant la formation d'une couche de masquage sur la première région (4) de la couche superficielle (3) et le retrait de la couche superficielle (3) et de la couche isolante (2) dans la deuxième région (5) non recouverte par la couche de masquage. La couche supplémentaire (6) est élaborée dans la deuxième région (5), puis planarisée.



FR 2 933 236 - A1



SUBSTRAT COMPRENANT DIFFERENTS TYPES DE SURFACE, ET PROCEDE DE FABRICATION ASSOCIE

Contexte de l'invention

5

La présente invention concerne un substrat comprenant une couche isolante disposée sur une première région d'une face avant d'un support, une couche superficielle positionnée sur la couche isolante et une couche supplémentaire disposée au moins sur une deuxième région de la face avant du support, la couche

10 supplémentaire comportant une surface exposée au-dessus de la deuxième région.

Etat de la technique

Les dispositifs microélectroniques sont typiquement fabriqués sur la base de

15 substrats semi-conducteurs massifs de substrats SOI (silicium sur isolant). Il a également été proposé d'utiliser des substrats composites comprenant des zones massives (« bulk » en anglais) et des zones SOI, c.-à-d. des substrats à motifs tels que mentionnés dans le document US6955971. La fabrication de tels substrats à motifs est généralement difficile, car elle nécessite la formation de zones locales

20 constituées d'un oxyde enterré et proches de zones massives :

- dans le cas d'un procédé de collage de tranches, de telles zones locales d'oxyde pourraient être formées sur la tranche supérieure ou la tranche de base, et engendrer des problèmes dits de « bombage » (« dishing » en anglais);
- 25 - dans le cas d'un procédé de type SIMOX (séparation par implantation d'oxygène), de telles zones locales d'oxyde doivent être formées dans la tranche initiale, mais l'expansion d'oxydes de silicium aux dépens du silicium donne naissance à des contraintes, etc.

30 Résumé de l'invention

Le but de l'invention est de remédier aux défauts susmentionnés de l'état de la technique, et plus particulièrement de proposer un procédé de fabrication de

substrats à motifs présentant une qualité cristalline satisfaisante.

En outre, l'invention permet d'obtenir des zones massives et des zones SOI dans différents matériaux semi-conducteurs et dans une orientation cristalline différente.

5

Selon l'invention, ce but est atteint par le fait que le substrat comprend :

- un support présentant une densité de défauts cristallins ayant une taille supérieure à 10 nm de plus de $10^3/\text{cm}^3$ ou de préférence plus de $10^5/\text{cm}^3$,
- une couche isolante disposée sur une première région d'une face avant du support,

10

- une couche superficielle positionnée sur la couche isolante, et
- une couche supplémentaire disposée au moins sur une deuxième région de la face avant du support, la couche supplémentaire comportant une surface exposée au-dessus de la deuxième région,

15

dans lequel la couche supplémentaire a une épaisseur suffisante pour enterrer les défauts cristallins du support.

De préférence, le substrat comprend une couche épitaxiale disposée au moins sur la première région de la face avant du support, entre le support et la couche isolante.

20

Un autre but de l'invention est de fournir un procédé de fabrication d'une structure semi-conductrice, comprenant les étapes suivantes :

- obtenir un substrat comprenant un support, une couche isolante continue disposée sur une face avant du support et une couche superficielle positionnée sur la couche isolante,

25

- former une couche de masquage sur une première région de la couche superficielle et retirer la couche superficielle et la couche isolante dans une deuxième région non recouverte par la couche de masquage,

- élaborer une couche supplémentaire dans la deuxième région,

30

- planariser la couche supplémentaire.

Brève description des dessins

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la

description qui va maintenant être donnée par renvoi aux dessins annexés qui représentent, dans un but illustratif, mais non limitatif, plusieurs modes de réalisation possibles, et dans lesquels :

- 5 les figures 1 à 4 illustrent quatre étapes d'un mode de réalisation particulier du procédé selon l'invention ;
- les figures 5 et 6 illustrent deux étapes d'un autre mode de réalisation particulier du procédé selon l'invention ;
- les figures 7 à 9 illustrent des modes de réalisation préférés du procédé et de la structure selon l'invention ;
- 10 les figures 10 à 12 illustrent trois étapes de formation de dispositifs électroniques par un premier mode de réalisation particulier du procédé selon l'invention ;
- les figures 13 et 14 illustrent deux étapes de formation de dispositifs électroniques par un deuxième mode de réalisation particulier du procédé selon l'invention ;
- la figure 15 illustre un troisième mode de réalisation particulier pour la formation
- 15 de dispositifs électroniques par le procédé selon l'invention.

Description de modes de réalisation particuliers

- La figure 1 représente un substrat comprenant un support 1, une couche isolante
- 20 continue 2 disposée sur une face avant du support 1 et une couche superficielle 3 positionnée sur la couche isolante 2, de manière à former, par ex., un substrat SOI (silicium sur isolant). Comme le montre la figure 2, une couche de masquage 7 est formée sur une première région 4 de la couche superficielle 3. Après retrait de la
- 25 couche superficielle 3 et de la couche isolante 2 dans une deuxième région 5 non recouverte par la couche de masquage 7, une couche supplémentaire 6 est élaborée dans la deuxième région 5, de préférence par épitaxie. La couche supplémentaire 6 est ensuite planarisée, par ex. jusqu'au niveau supérieur de la couche de masquage
- 7, comme l'indique la flèche 8 sur la figure 3. La planarisation est de préférence
- 30 réalisée par polissage, par ex. par polissage mécano-chimique (CMP). Enfin, la couche de masquage 7 peut être éliminée de manière à obtenir le substrat représenté sur la figure 4.

La couche isolante 2 peut posséder une épaisseur inférieure à 140 nm, comprise entre 2 nm et 25 nm, ou inférieure à 25 nm. La couche superficielle 3 peut posséder

une épaisseur inférieure à 100 nm, de préférence comprise entre 5 nm et 50 nm, par ex. entre 12 nm et 20 nm pour des transistors SOI planaires à appauvrissement complet, ou entre 20 nm et 50 nm pour des transistors verticaux à grilles multiples.

- 5 La couche supplémentaire 6 peut présenter une orientation cristalline différente d'une orientation cristalline de la couche superficielle 3 ; de plus, la couche supplémentaire 6 et la couche superficielle 3 peuvent être constituées de matériaux différents.
- 10 Le support 1 et la couche superficielle 3 peuvent être réalisés dans des matériaux semi-conducteurs différents ou dans des matériaux semi-conducteurs avec une orientation cristalline différente. Des dispositifs électroniques peuvent ainsi être formés dans différents matériaux. Les matériaux semi-conducteurs préférables pour le support 1 et la couche superficielle 3 sont par exemple le silicium, le germanium,
- 15 le silicium-germanium, ou des matériaux semi-conducteurs de type III-V comme l'InP, le GaN ou le GaAs. Par exemple, le germanium pourrait être choisi pour des transistors PMOS, et des matériaux semi-conducteurs de type III-V pour des transistors NMOS. Le silicium est de préférence utilisé pour des circuits d'entrée-sortie ou des circuits analogiques. En outre, ces matériaux pourraient se trouver
- 20 dans un état contraint.

Le substrat représenté sur la figure 4 comprend ainsi le support 1, la couche isolante 2 disposée sur la première région 4 de la face avant du support 1 et la couche superficielle 3 positionnée sur la couche isolante 2. La couche supplémentaire 6 est

25 disposée au moins sur la deuxième région 5 de la face avant du support 1, et la couche supplémentaire 6 comporte une surface exposée 15 au-dessus de la deuxième région 5. La couche supplémentaire 6 a de préférence une épaisseur suffisante pour enterrer les défauts cristallins présents dans le support 1, notamment

30 dans le cas où le support 1 présente une densité de défauts cristallins ayant une taille supérieure à 10 nm de plus de $10^3/\text{cm}^3$. Par « enterrer », on entend que l'épaisseur est suffisante pour éviter la répercussion des défauts à la surface supérieure de la couche qui enterre.

Par exemple, la couche supplémentaire 6 a une épaisseur de 0,1 μm ou plus. On

peut utiliser de préférence une densité supérieure à $10^5/\text{cm}^3$, qui est meilleur marché, puisque la couche supplémentaire garantit que la qualité cristalline au niveau de la surface exposée 15 de la couche supplémentaire sera meilleure que la qualité cristalline au niveau de la face avant du substrat. La surface exposée 15 de la

5 couche supplémentaire 6 après planarisation n'est pas nécessairement coplanaire avec une surface exposée 16 de la couche superficielle 3 après élimination de la couche de masquage 7.

L'épaisseur de la couche supplémentaire 6 après planarisation est de préférence

10 supérieure à l'épaisseur combinée de la couche superficielle 3, de la couche isolante 2 et de la couche de masquage 7. La planarisation de la couche supplémentaire 6 peut alors être arrêtée au niveau supérieur de la couche de masquage 7.

La couche de masquage 7 est par exemple composée d'un oxyde avec une

15 épaisseur comprise entre 20 nm et 100 nm, de préférence avec une épaisseur de 50 nm.

Dans un mode de réalisation particulier représenté sur la figure 5, la couche de masquage 7 comprend une couche supérieure 7a et une couche inférieure 7b. La

20 couche supérieure 7a est de préférence éliminée avant planarisation de la couche supplémentaire 6, comme le montre la figure 6. La planarisation de la couche supplémentaire 6 peut alors être arrêtée au niveau supérieur de la couche inférieure 7b restante de la couche de masquage 7 (voir la figure 6).

La couche supérieure 7a de la couche de masquage 7 est par exemple composée

25 d'un nitrure, et la couche inférieure 7b par exemple d'un oxyde. Par exemple, la couche de nitrure supérieure 7a a une épaisseur comprise entre 10 nm et 100 nm, et la couche inférieure 7b a une épaisseur comprise entre 5 nm et 20 nm. Lorsqu'une seule couche de masquage à base d'oxyde est utilisée, celle-ci doit être plus

30 épaisse, par exemple comprise entre 20 nm et 50nm.

Selon le mode de réalisation particulier représenté sur la figure 7, un espaceur isolant 9 est formé afin de sceller latéralement la couche superficielle 3 et la couche isolante 2. Une fois l'espaceur 9 formé, la couche supplémentaire 6 peut être

élaborée.

Comme le montre la figure 8, le substrat peut comprendre au départ une couche épitaxiale 10 disposée au moins sur la première région de la face avant du support, entre le support 1 et la couche isolante continue 2. Dans ce cas, la couche supplémentaire 6 peut être élaborée sur la couche épitaxiale 10. Comme la couche épitaxiale enterrée, au moins partiellement, les défauts présents à la surface de la face avant du support 1, l'épaisseur de la couche élémentaire 6 nécessaire pour enterrer les défauts peut être inférieure à celle du cas où aucune couche épitaxiale 10 n'est ajoutée. La couche épitaxiale 10 a de préférence une épaisseur supérieure à 0,1 μm .

La couche épitaxiale 10 peut présenter une densité de défauts cristallins ayant une taille supérieure à 10 nm de moins de $10^3/\text{cm}^3$. En particulier, la couche épitaxiale 10 peut être utilisée pour enterrer les défauts de la partie inférieure du support 1, qui peut présenter une densité de défauts cristallins ayant une taille supérieure à 10 nm de plus de $10^3/\text{cm}^3$ ou même plus de $10^5/\text{cm}^3$.

Selon un mode de réalisation préféré de l'invention, le procédé comprend la formation simultanée de dispositifs électroniques 11 dans la couche supplémentaire 6 et dans la couche superficielle 3 de manière à obtenir la structure représentée sur la figure 9.

L'étape consistant à former simultanément des dispositifs électroniques 11 peut comprendre l'irradiation (comme l'illustrent les flèches 17 sur la figure 10) de portions sélectionnées de la surface exposée 15 de la couche supplémentaire 6 et de la surface exposée 16 de la couche superficielle 3 au moyen d'un appareil de formation d'image 12.

Considérons la figure 10, où les surfaces exposées 15 et 16 présentent un décalage en hauteur 13 qui de préférence est inférieur à la profondeur de foyer d'une exposition lithographique le long d'un axe Z, perpendiculaire au substrat, de l'appareil de formation d'image 12, correspondant à une résolution prédéterminée. La profondeur de foyer dépend de l'appareil de formation d'image employé et de la

résolution requise par le procédé appliqué.

Le décalage en hauteur 13 est de préférence inférieur à 50 nm, ou au moins inférieur à 100 nm, ou inférieur à la profondeur de foyer de l'outil de lithographie sélectionné, tout en tenant compte de la précision nécessaire pour former le plus petit motif, qui est généralement liée à la longueur de grille. En effet, si une précision élevée est nécessaire pour de très petites structures, la profondeur de foyer est alors limitée, et le décalage en hauteur 13 doit ainsi être plus petit que dans les cas de précision inférieure où un décalage en hauteur 13 de moins de 100 nm pourrait s'avérer suffisant afin de respecter la condition d'un décalage en hauteur 13 inférieur à la profondeur de foyer. Il est alors avantageux d'exécuter simultanément toutes les étapes de lithographie pour former les dispositifs électroniques dans la surface exposée 15 de la couche supplémentaire 6 et dans la surface exposée 16 de la couche superficielle 3.

15

La lithographie (illustrée par les flèches 17 sur la figure 10) peut être réalisée simultanément pour les deux surfaces exposées 15 et 16, notamment quand le décalage en hauteur 13 est inférieur à la profondeur de foyer, comme mentionné ci-dessus.

20

De plus, les étapes de gravure (illustrées par les flèches 20 sur la figure 11) et les étapes d'implantation (illustrées par les flèches 14 sur la figure 12) peuvent être exécutées simultanément pour les deux surfaces exposées 15 et 16.

25

Dans un autre mode de réalisation représenté sur les figures 13 et 14, une étape lithographique distincte est exécutée sur la surface exposée 15 (figure 13), et respectivement sur la surface exposée 16, les étapes de gravure (20) et d'implantation (14) pouvant toutefois toujours être exécutées simultanément pour les deux surfaces exposées 15 et 16.

30

Notamment dans le cas où lesdites surfaces exposées sont décalées d'une hauteur supérieure à la profondeur de foyer d'une exposition lithographique le long d'un axe Z, perpendiculaire au substrat, de l'appareil de formation d'image, correspondant à une résolution prédéterminée, il est intéressant d'exécuter une étape lithographique

distincte pour chaque surface exposée, alors que les étapes de gravure et d'implantation sont exécutées simultanément pour les deux surfaces exposées.

Le substrat peut comprendre une couche isolante supplémentaire disposée sur une
5 région sélectionnée supplémentaire de la couche superficielle 3, et une couche superficielle semi-conductrice supplémentaire positionnée sur la couche isolante supplémentaire (non représentées sur les figures). Les dispositifs électroniques sont alors formés simultanément dans (ou sur) trois niveaux. Quand la différence de hauteur entre les trois niveaux est inférieure à la profondeur de foyer du procédé
10 utilisé, les étapes de lithographie, de gravure et d'implantation sont de préférence exécutées simultanément. Même si la profondeur de foyer est inférieure à la différence de hauteur, les étapes peuvent être simultanées, par exemple quand la résolution nécessaire dans un niveau supérieur (ou dans un niveau inférieur) n'est pas aussi élevée que dans les autres niveaux. Un substrat avec une couche isolante
15 supplémentaire et une couche superficielle semi-conductrice supplémentaire est de préférence fabriqué par la technologie Smart Cut™. Les quatre couches suivantes sont alors retirées dans la deuxième région 5 du substrat : la couche isolante supplémentaire, la couche superficielle semi-conductrice supplémentaire, la couche superficielle 3 et la couche isolante 2. Dans les régions restantes, seules la couche
20 isolante supplémentaire et la couche superficielle semi-conductrice supplémentaire sont retirées, excepté dans la région sélectionnée supplémentaire où les dispositifs électroniques sont formés dans la couche superficielle supplémentaire.

Dans un mode de réalisation particulier de l'invention illustré sur la figure 15,
25 différents types de dispositifs électroniques peuvent être formés, d'une part dans la couche supplémentaire 6, d'autre part dans la couche superficielle 3 (et éventuellement dans la couche superficielle supplémentaire). Par exemple, de petits dispositifs électroniques 11a peuvent être formés dans la couche superficielle 3 (et éventuellement dans la couche superficielle supplémentaire), et de gros dispositifs
30 électroniques 11b peuvent être formés dans la couche supplémentaire 6, ou inversement. Dans ce cas, la résolution nécessaire pour un type de dispositifs pourrait être supérieure à celle nécessaire pour l'autre type de dispositifs. Par exemple, les dispositifs de mémoire sont typiquement plus petits que les dispositifs logiques. Dans un tel cas, le foyer de lithographie est de préférence ajusté au niveau

où les dispositifs les plus petits sont formés avec la précision la plus élevée, par ex. au niveau de la couche superficielle 3 dans l'exemple ci-dessus représenté sur la figure 13. Même si l'autre niveau, par ex. la surface exposée 15 de la couche supplémentaire 6, se situe au-delà de la profondeur de foyer 18a correspondant à la

5 précision la plus élevée, une seule étape simultanée de lithographie peut être utilisée pour plusieurs niveaux, car la résolution sur le niveau au-delà de la profondeur de foyer est suffisante pour les dispositifs plus volumineux formés à cet endroit.

10 Cette approche n'est pas limitée aux empilements particuliers des couches 1, 2, 3, mais peut également être mise en œuvre avec tout autre substrat comportant plusieurs niveaux différents, et dans lequel des dispositifs électroniques doivent être formés. C'est par exemple le cas d'un substrat massif comportant au moins deux niveaux de surface différents.

15 En d'autres termes, une première profondeur de foyer 18a peut être associée au premier niveau avec une précision élevée, par ex. la couche superficielle 3, et une deuxième profondeur de foyer 18b peut être associée au deuxième niveau avec une précision inférieure, par ex. la surface exposée 15 de la couche supplémentaire 6. Ainsi, si l'on considère deux profondeurs de foyer 18a et 18b distinctes, la

20 lithographie sur la surface exposée 15 de la couche supplémentaire 6 ne se situe en fait pas au-delà de la profondeur de foyer, car la profondeur de foyer 18b associée à la surface exposée 15 de la couche supplémentaire 6 (et à des dispositifs plus volumineux) est plus grande que la profondeur de foyer 18a.

Revendications

1. Substrat comprenant
 - un support (1) présentant une densité de défauts cristallins ayant une taille supérieure à 10 nm de plus de $10^3/\text{cm}^3$ ou de préférence plus de $10^5/\text{cm}^3$,
 - une couche isolante (2) disposée sur une première région (4) d'une face avant du support (1),
 - une couche superficielle (3) positionnée sur la couche isolante (2), et
 - une couche supplémentaire (6) disposée au moins sur une deuxième région (5) de la face avant du support (1), la couche supplémentaire (6) comportant une surface exposée (15) au-dessus de la deuxième région (5), dans lequel la couche supplémentaire (6) a une épaisseur suffisante pour enterrer les défauts cristallins du support (1).
2. Substrat selon la revendication 1, dans lequel la couche supplémentaire (6) a une épaisseur supérieure à $0,1 \mu\text{m}$.
3. Substrat selon l'une des revendications 1 et 2, dans lequel le substrat comprend une couche épitaxiale (10) disposée au moins sur la première région de la face avant du support (1), entre le support (1) et la couche isolante (2).
4. Substrat selon la revendication 3, dans lequel la couche épitaxiale (10) a une épaisseur supérieure à $0,1 \mu\text{m}$.
5. Substrat selon l'une quelconque des revendications 1 à 4, dans lequel la surface exposée (15) de la couche supplémentaire (6) n'est pas coplanaire avec une surface exposée (16) de la couche superficielle (3).
6. Substrat selon la revendication 5, dans lequel la différence de hauteur (13) entre la surface exposée (15) de la couche supplémentaire (6) et la surface exposée (16) de la couche superficielle (3) est inférieure à 50 nm.
7. Substrat selon l'une quelconque des revendications 1 à 6, dans lequel la couche supplémentaire (6) présente une orientation cristalline différente d'une

orientation cristalline de la couche superficielle (3).

- 5
8. Substrat selon l'une quelconque des revendications 1 à 7, dans lequel la couche supplémentaire (6) et la couche superficielle (3) sont constituées de matériaux différents.
- 10
9. Procédé de fabrication d'une structure semi-conductrice, comprenant les étapes suivantes :
- obtenir un substrat comprenant un support (1), une couche isolante continue (2) disposée sur une face avant du support (1) et une couche superficielle (3) positionnée sur la couche isolante (2),
 - former une couche de masquage (7, 7a, 7b) sur une première région (4) de la couche superficielle (3) et retirer la couche superficielle (3) et la couche isolante (2) dans une deuxième région (5) non recouverte par la couche de masquage (7, 7a, 7b),
 - élaborer une couche supplémentaire (6) dans la deuxième région (5),
 - planariser la couche supplémentaire (6).
- 15
10. Procédé selon la revendication 9, dans lequel l'épaisseur de la couche supplémentaire (6) est supérieure à l'épaisseur combinée de la couche superficielle (3), de la couche isolante (2) et de la couche de masquage (7, 7a, 7b).
- 20
11. Procédé selon la revendication 10, dans lequel la planarisation de la couche supplémentaire (6) est arrêtée au niveau supérieur de la couche de masquage (7, 7a, 7b).
- 25
12. Procédé selon l'une quelconque des revendications 9 à 11, dans lequel la couche de masquage (7) est composée d'un oxyde avec une épaisseur comprise entre 10 nm et 100 nm, de préférence de 50 nm.
- 30
13. Procédé selon l'une quelconque des revendications 9 à 11, dans lequel une couche supérieure (7a) de la couche de masquage (7) est éliminée avant planarisation, et la planarisation de la couche supplémentaire (6) est arrêtée au niveau supérieur d'une couche inférieure (7b) restante de la couche de

masquage (7).

- 5 14. Procédé selon la revendication 13, dans lequel la couche supérieure (7a) de la couche de masquage (7) est composée d'un nitrure, et la couche inférieure (7b) est composée d'un oxyde.
- 10 15. Procédé selon l'une quelconque des revendications 9 à 14 comprenant, avant l'élaboration de la couche supplémentaire (6), la formation d'un espaceur isolant (9) pour sceller latéralement la couche superficielle (3) et la couche isolante (2).
- 15 16. Procédé selon l'une quelconque des revendications 9 à 15, dans lequel le support (1) comprend des défauts cristallins et la couche supplémentaire (6) a une épaisseur suffisante pour enterrer les défauts cristallins présents dans le support (1).
- 20 17. Procédé selon l'une quelconque des revendications 9 à 16, comprenant la formation simultanée de dispositifs électroniques (11) dans la couche supplémentaire (6) et dans la couche superficielle (3).
- 25 18. Procédé selon l'une quelconque des revendications 9 à 17, dans lequel une surface exposée (15) de la deuxième région (5) et une surface exposée (16) de la couche superficielle (3) sont décalées d'une hauteur (13) inférieure à la profondeur de foyer d'une exposition lithographique le long d'un axe (Z), perpendiculaire au substrat, d'un appareil de formation d'image (12), correspondant à une résolution prédéterminée, les étapes de lithographie (17), de gravure (13) et d'implantation (14) étant exécutées simultanément pour les deux surfaces exposées (15, 16).
- 30 19. Procédé selon l'une quelconque des revendications 9 à 17, dans lequel une étape lithographique distincte est respectivement exécutée pour une surface exposée (15) de la deuxième région (5) et une surface exposée (16) de la couche superficielle (3), les étapes de gravure (13) et d'implantation (14) étant exécutées simultanément pour les deux surfaces exposées (15, 16).

1/5

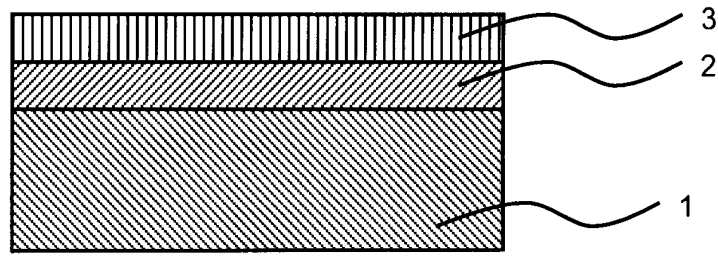


Figure 1

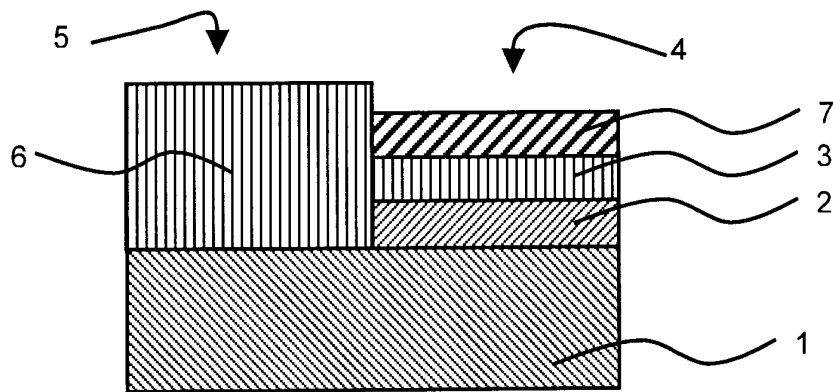


Figure 2

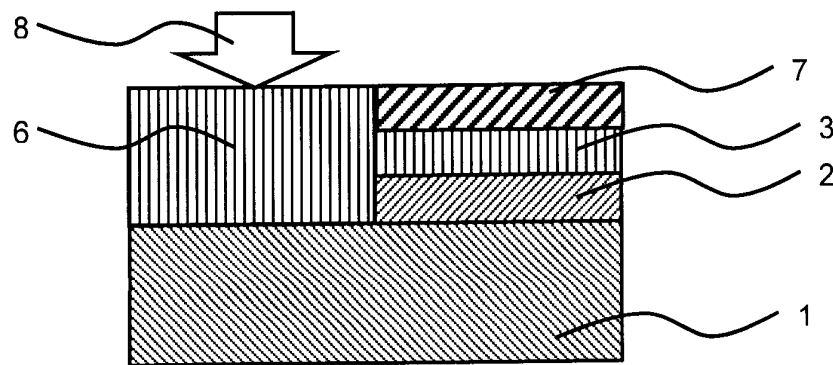


Figure 3

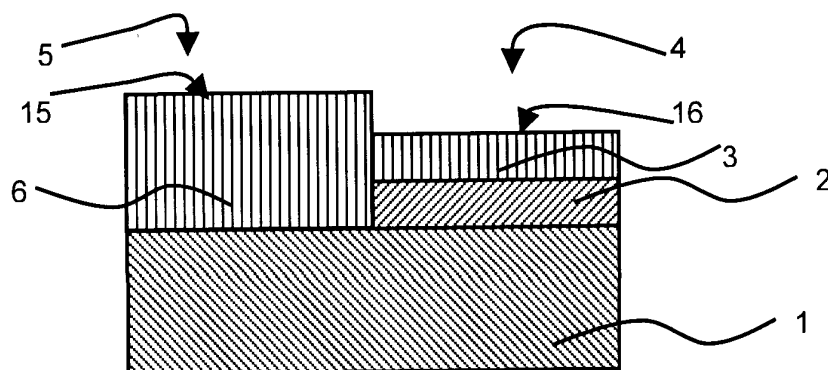


Figure 4

2/5

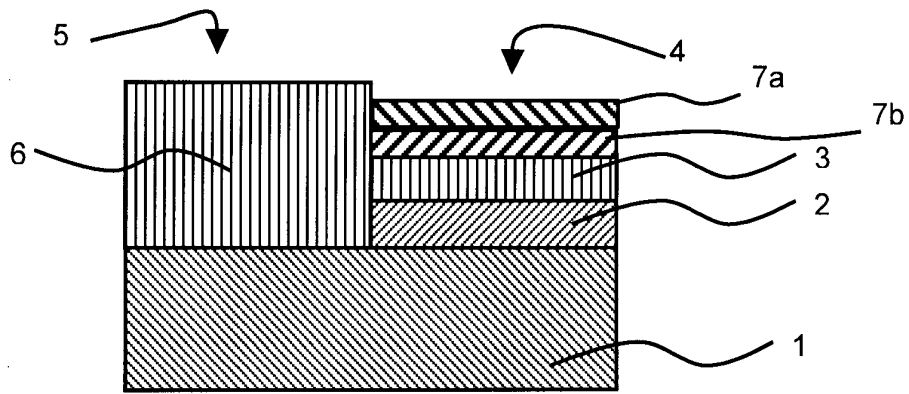


Figure 5

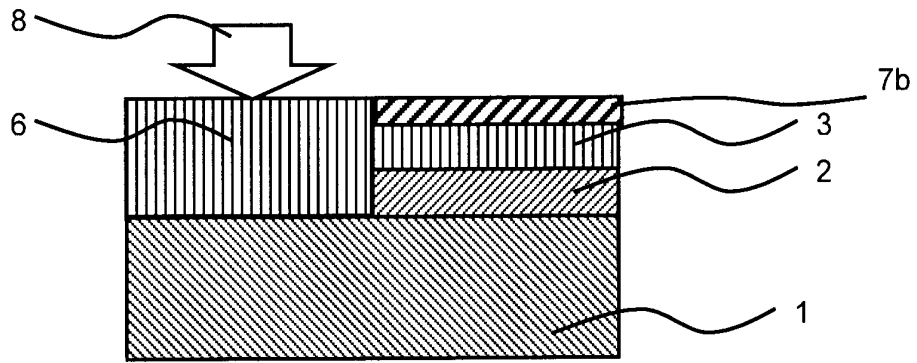


Figure 6

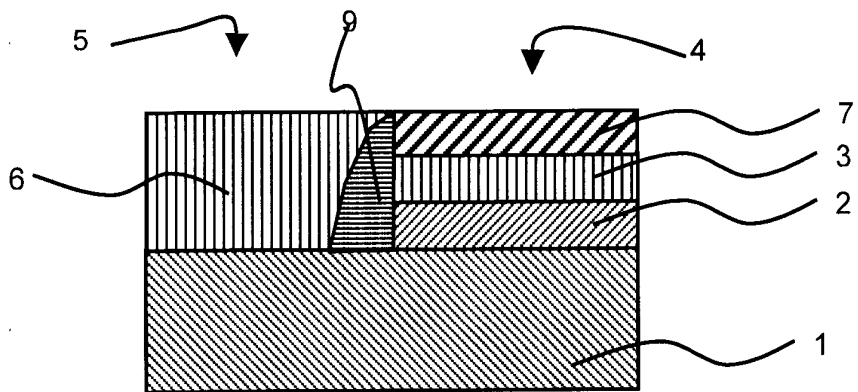


Figure 7

3/5

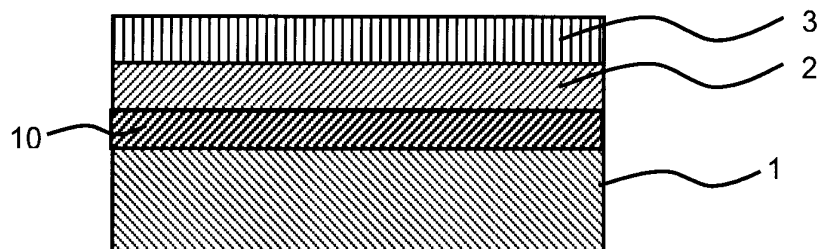


Figure 8

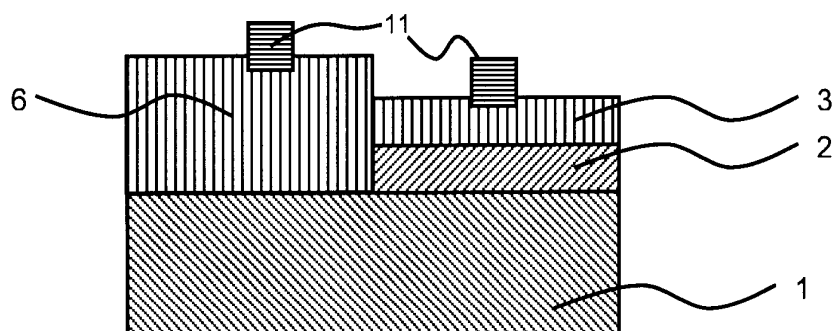


Figure 9

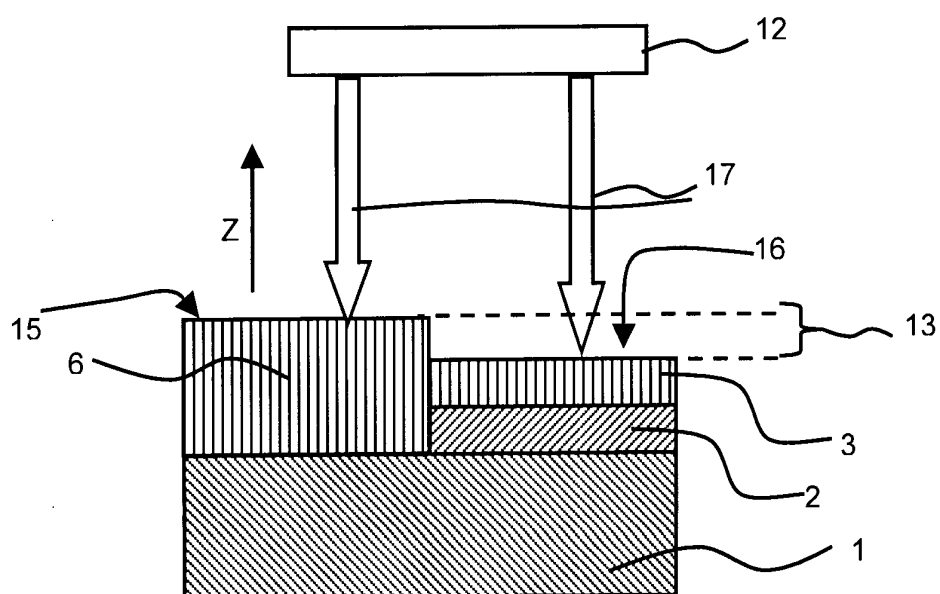


Figure 10

4/5

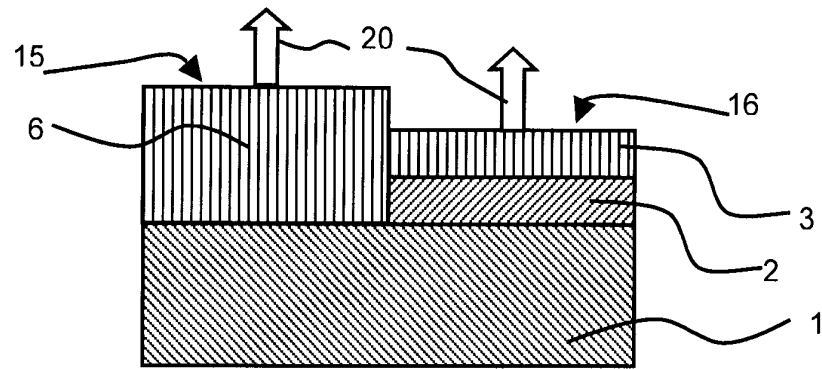


Figure 11

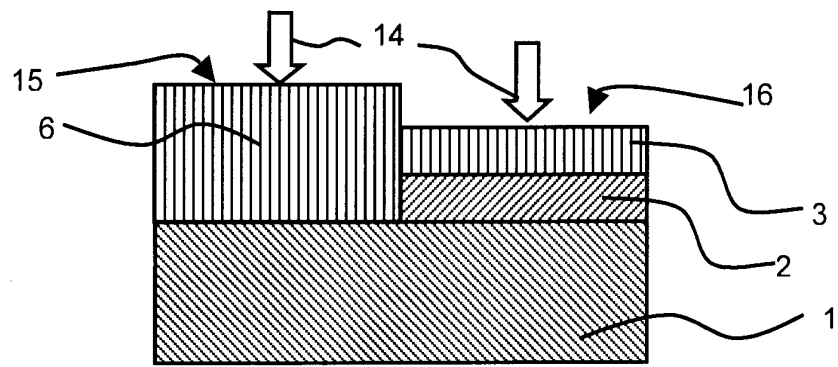


Figure 12

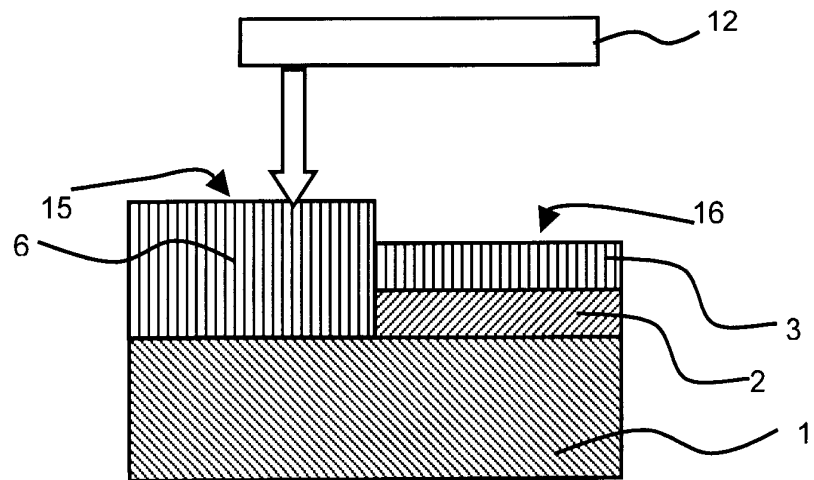


Figure 13

5/5

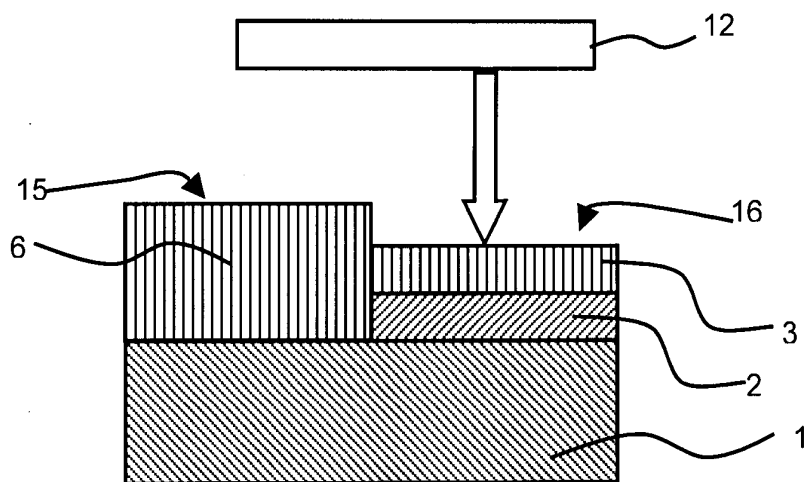


Figure 14

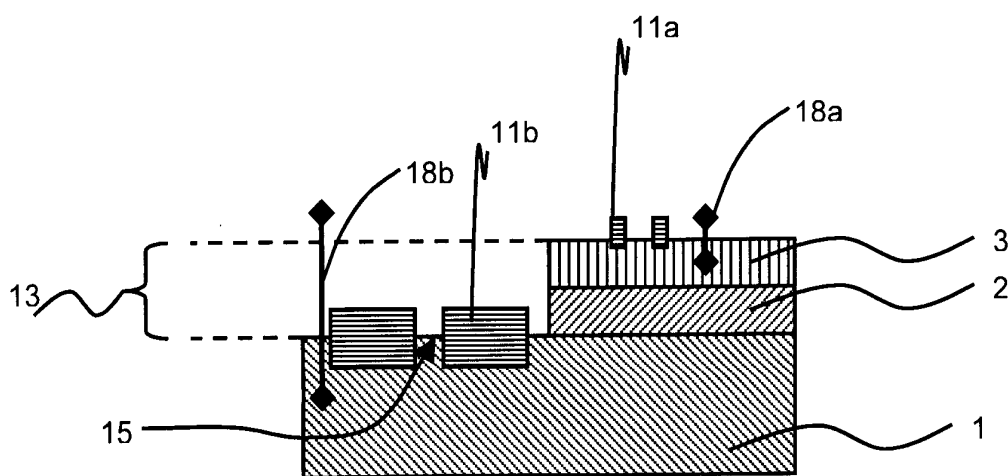


Figure 15



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 709339
FR 0803700

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2008/105925 A1 (PAE SANGWOO [US] ET AL) 8 mai 2008 (2008-05-08) * alinéa [0021] - alinéa [0036]; figures 4-13 * * alinéa [0040] - alinéa [0047]; figures 14-17 *	9-11,16, 17	H01L21/70
Y		1-8,10, 12-16, 18,19	
X	----- US 2003/057487 A1 (YAMADA TAKASHI [JP] ET AL) 27 mars 2003 (2003-03-27) * alinéa [0003] - alinéa [0006] * * alinéa [0052] - alinéa [0056]; figure 2 * * alinéa [0060] - alinéa [0064]; figures 3A-3D * * alinéa [0067] - alinéa [0070]; figures 3E-3G *	9,11, 15-17	
Y		1-8,10, 12-14, 18,19	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
X	----- YANG M ET AL: "High Performance CMOS Fabricated on Hybrid Substrate With Different Crystal Orientations" INTERNATIONAL ELECTRON DEVICES MEETING 2003. IEDM. TECHNICAL DIGEST. WASHINGTON, DC, DEC 8 - 10, 2003; [INTERNATIONAL ELECTRON DEVICES MEETING], NEW YORK, NY : IEEE, US, 8 décembre 2003 (2003-12-08), pages 453-456, XP010684050 ISBN: 978-0-7803-7872-8 * page 453; figures 2,5 *	9-11, 15-17	G03F H01L
Y		1-4,7,8, 12-14, 18,19	
	----- -/--		
Date d'achèvement de la recherche		Examineur	
11 mai 2009		Klopfenstein, P	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

EPO FORM 1503 12.99 (P04C14) 2



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 709339
FR 0803700

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2008/124847 A1 (SUDO GAKU [JP]) 29 mai 2008 (2008-05-29) * alinéa [0009] - alinéa [0015]; figures 1-6 * * alinéa [0019]; figures 13,14 *	9-11,15, 17	
Y		7,12,15, 16,18,19	
A		1,2,8	
X	----- NAGANO H ET AL: "SOI/bulk hybrid wafer fabrication process using selective epitaxial growth (SEG) technique for high-end SoC applications" JAPANESE JOURNAL OF APPLIED PHYSICS, JAPAN SOCIETY OF APPLIED PHYSICS, TOKYO,JP, vol. 42, no. 4B, 1 avril 2003 (2003-04-01), pages 1882-1886, XP009097417 ISSN: 0021-4922 * page 1882, alinéa 2 - page 1882, alinéa 2; figure 1 *	9,15-17	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
Y		1-4,7,8, 18,19	
A		14	
A	----- US 2003/039439 A1 (DELIWALA SHRENİK [US]) 27 février 2003 (2003-02-27) * alinéa [0009] * * alinéa [0358] * * alinéa [0388] - alinéa [0389] * * alinéa [0393] * * alinéa [0406] * * alinéa [0408] - alinéa [0409]; revendication 1 * ----- -/--	1,5,6,9, 17-19	
Date d'achèvement de la recherche		Examineur	
11 mai 2009		Klopfenstein, P	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

EPO FORM 1503 12.99 (P04C14) 2



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**
établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 709339
FR 0803700

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	JP 08 124827 A (NIPPON ELECTRIC CO) 17 mai 1996 (1996-05-17) * abrégé * * alinéa [0003] - alinéa [0008]; figures 7,9 * * alinéa [0023] - alinéa [0026]; figures 1,4 * -----	1,5,6,9, 17-19	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
Date d'achèvement de la recherche		Examineur	
11 mai 2009		Klopfenstein, P	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

EPO FORM 1503 12.99 (P04C14) 2

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0803700 FA 709339**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 11-05-2009

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2008105925 A1	08-05-2008	AUCUN	
US 2003057487 A1	27-03-2003	CN 1411066 A JP 2003100900 A KR 20030027749 A TW 261911 B	16-04-2003 04-04-2003 07-04-2003 11-09-2006
US 2008124847 A1	29-05-2008	JP 2008042207 A	21-02-2008
US 2003039439 A1	27-02-2003	US 2003054639 A1 US 2003013304 A1 US 2003036265 A1 US 2003118306 A1 US 2003036266 A1 US 2003040134 A1 US 2003040175 A1 US 2004258348 A1	20-03-2003 16-01-2003 20-02-2003 26-06-2003 20-02-2003 27-02-2003 27-02-2003 23-12-2004
JP 8124827 A	17-05-1996	JP 2647022 B2	27-08-1997