

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月19日(19.09.2024)



(10) 国際公開番号

WO 2024/190064 A1

(51) 国際特許分類:
H04N 25/70 (2023.01) G01S 7/4863 (2020.01)
G01J 1/42 (2006.01) H01L 27/146 (2006.01)
G01J 1/44 (2006.01)
(21) 国際出願番号: PCT/JP2024/001077
(22) 国際出願日: 2024年1月17日(17.01.2024)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2023-038276 2023年3月13日(13.03.2023) JP
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

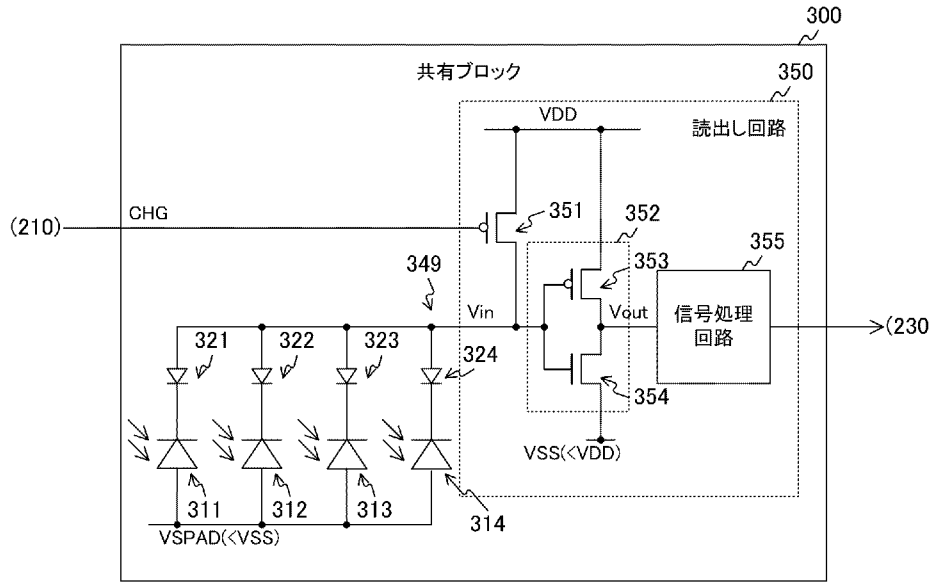
(72) 発明者: 佃 恭 範 (TSUKUDA, Yasunori);
〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu);
〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: LIGHT DETECTION DEVICE AND DISTANCE MEASURING SYSTEM

(54) 発明の名称: 光検出装置、および、測距システム



300 Shared block
350 Readout circuit
355 Signal processing circuit

(57) Abstract: This light detection device in which a plurality of pixels share a circuit achieves reduction in power consumption. In the present invention, a readout circuit generates a pulse signal in response to the voltage drop of the prescribed shared node. A first separation diode is inserted between the shared node and one terminal of the anode and cathode of a first photodiode. A terminal, of the first separation diode, that has the same polarity as that of one terminal of the first photodiode is connected to the one terminal. A second separation diode is inserted between the shared node

[続葉有]

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

and one terminal of the anode and cathode of a second photodiode. A terminal, of the second separation diode, that has the same polarity as that of one terminal of the second photodiode is connected to the one terminal.

(57) 要約: 複数の画素が回路を共有する光検出装置において、消費電力を低減する。読出し回路は、所定の共有ノードの電圧降下に応じてパルス信号を生成する。第1のフォトダイオードのアノードおよびカソードのうち一方の端子と共有ノードとの間に第1の分離ダイオードが挿入される。第1のフォトダイオードの一方の端子と極性が同一の第1の分離ダイオードの端子がその一方の端子に接続される。第2のフォトダイオードのアノードおよびカソードのうち一方の端子と共有ノードとの間に第2の分離ダイオードが挿入される。第2のフォトダイオードの一方の端子と極性が同一の第2の分離ダイオードの端子がその一方の端子に接続される。

明 細 書

発明の名称：光検出装置、および、測距システム

技術分野

[0001] 本技術は、光検出装置に関する。詳しくは、光子を検出する光検出装置、および、測距システムに関する。

背景技術

[0002] 従来より、測距や撮像を行う装置において、光子を検出するために、SPAD (Single-Photon Avalanche Diode) が利用されている。dTof (direct Time of Flight) 方式でSPADを利用する場合、アバランシェ増倍開始のタイミングを測定するためにSPADの近傍に読出し回路を配置する必要があり、その読出し回路の面積によりSPADの面積が律速される。その一方で、dTof方式では、RGB (Red Green Blue) を検知するセンサーと比較して大きな画素サイズが要求される。これらの事情によりdTof方式では高解像度化が困難である。そこで、リチャージトランジスタおよびアンプを含む1つの読出し回路を複数のSPADで共有する光検出装置が提案されている（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0003] 特許文献1：特開2022-089606号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、読出し回路を複数のSPADで共有することにより、高解像度化を図っている。しかしながら、共有構造の複数のSPADのいずれかが光を受光してカソード電圧が降下した場合、受光していないSPADから共有ノードへ電流が流れ、そのカソード電圧も低下してしまうことがある。この受光していないSPADのカソード電圧の低下により、リチャージが完了するまでの期間が長くなり、その分、消費電力が増大するおそれがある。

ある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、複数の画素が回路を共有する光検出装置において、消費電力を低減することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、第1のフォトダイオードと、第2のフォトダイオードと、所定の共有ノードの電圧降下に応じてパルス信号を生成する読出し回路と、上記第1のフォトダイオードのアノードおよびカソードのうち一方の端子と上記共有ノードとの間に挿入され、上記一方の端子と極性が同一の端子が上記一方の端子に接続された第1の分離ダイオードと、上記第2のフォトダイオードのアノードおよびカソードのうち一方の端子と上記共有ノードとの間に挿入され、上記一方の端子と極性が同一の端子が上記一方の端子に接続された第2の分離ダイオードとを具備する光検出装置である。これにより、消費電力が低減するという作用をもたらす。

[0007] また、この第1の側面において、上記第1および第2のフォトダイオードは所定の画素基板内の受光層に配置され、上記読出し回路は、第1の回路基板に配置されてもよい。これにより、画素の微細化が容易になるという作用をもたらす。

[0008] また、この第1の側面において、第2の回路基板に配置された信号処理部をさらに具備してもよい。これにより、画素の微細化が容易になるという作用をもたらす。

[0009] また、この第1の側面において、上記第1および第2の分離ダイオードは、上記第1の回路基板に配置されてもよい。これにより、画素の微細化が容易になるという作用をもたらす。

[0010] また、この第1の側面において、上記第1および第2の分離ダイオードは上記画素基板内の配線層に配置されてもよい。これにより、画素の微細化が容易になるという作用をもたらす。

- [0011] また、この第1の側面において、上記第1の分離ダイオードと上記共有ノードとの間の経路を開閉する第1の選択トランジスタと、上記第2の分離ダイオードと上記共有ノードとの間の経路を開閉する第2の選択トランジスタとをさらに具備してもよい。これにより、空間解像度が向上するという作用をもたらす。
- [0012] また、この第1の側面において、第1のフォトダイオードのカソード電圧を固定する第1のクリップ回路と、上記第2のフォトダイオードのカソード電圧を固定する第2のクリップ回路とをさらに具備してもよい。これにより、非選択の画素のカソード電圧の低下が抑制されるという作用をもたらす。
- [0013] また、この第1の側面において、上記第1のクリップ回路は第1のクリップダイオードを備え、上記第2のクリップ回路は第2のクリップダイオードを備えてもよい。これにより、非選択の画素のカソード電圧の低下が抑制されるという作用をもたらす。
- [0014] また、この第1の側面において、上記第1および第2のクリップダイオードは上記画素基板内の配線層に配置されてもよい。これにより、画素の微細化が容易になるという作用をもたらす。
- [0015] また、この第1の側面において、上記第1および第2のクリップダイオードは上記受光層に配置されてもよい。これにより、画素の微細化が容易になるという作用をもたらす。
- [0016] また、この第1の側面において、上記第1および第2のクリップダイオードは上記第1の回路基板に配置されてもよい。これにより、画素の微細化が容易になるという作用をもたらす。
- [0017] また、この第1の側面において、上記第1のクリップ回路は第1のクリップトランジスタを備え、上記第2のクリップ回路は第2のクリップトランジスタを備えてもよい。これにより、非選択の画素のカソード電圧の低下が抑制されるという作用をもたらす。
- [0018] また、この第1の側面において、上記第1および第2のクリップトランジスタのそれぞれは、ダイオード接続されてもよい。これにより、非選択の画

素のカソード電圧の低下が抑制されるという作用をもたらす。

[0019] また、この第1の側面において、上記第1のクリップトランジスタは、第1の制御信号に従って上記第1のフォトダイオードのカソード電圧を固定し、上記第1のクリップトランジスタは、第2の制御信号に従って上記第2のフォトダイオードのカソード電圧を固定してもよい。これにより、非選択の画素のカソード電圧の低下が抑制されるという作用をもたらす。

[0020] また、この第1の側面において、上記第1および第2のクリップトランジスタは上記受光層に配置されてもよい。これにより、画素の微細化が容易になるという作用をもたらす。

[0021] また、この第1の側面において、上記第1および第2のクリップトランジスタは上記回路基板に配置されてもよい。これにより、画素の微細化が容易になるという作用をもたらす。

[0022] また、この第1の側面において、上記第1のフォトダイオードのカソードと上記第1の分離ダイオードのカソードとが接続され、上記第1のフォトダイオードのカソードと上記第1の分離ダイオードのカソードとが接続されてもよい。これにより、フォトダイオードの順方向の電流が抑制されるという作用をもたらす。

[0023] また、この第1の側面において、上記第1のフォトダイオードのアノードと上記第1の分離ダイオードのアノードとが接続され、上記第1のフォトダイオードのアノードと上記第1の分離ダイオードのアノードとが接続されてもよい。これにより、フォトダイオードの順方向の電流が抑制されるという作用をもたらす。

[0024] また、本技術の第2の側面は、照射光を照射する光源と、上記照射光に対する反射光を受光する第1のフォトダイオードと、上記照射光に対する反射光を受光する第2のフォトダイオードと、所定の共有ノードの電圧降下に応じてパルス信号を生成する読出し回路と、上記第1のフォトダイオードのアノードおよびカソードのうち一方の端子と上記共有ノードとの間に挿入され、上記一方の端子と極性が同一の端子が上記一方の端子に接続された第1の

分離ダイオードと、上記第2のフォトダイオードのアノードおよびカソードのうち一方の端子と上記共有ノードとの間に挿入され、上記一方の端子と極性が同一の端子が上記一方の端子に接続された第2の分離ダイオードとを具備する測距システムである。これにより、測距システムの消費電力が低減するという作用をもたらす。

図面の簡単な説明

[0025] [図1]本技術の第1の実施の形態における測距システムの一構成例を示すブロック図である。

[図2]本技術の第1の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図3]本技術の第1の実施の形態における共有ブロックの一構成例を示す回路図である。

[図4]本技術の第1の実施の形態における信号処理部の一構成例を示すブロック図である。

[図5]比較例における共有ブロックの一構成例を示す回路図である。

[図6]比較例における共有ブロック内の電流の方向を説明するための図である。

[図7]第1の実施の形態における共有ブロック内の電流の方向を説明するための図である。

[図8]比較例における固体撮像素子の動作の一例を示すタイミングチャートである。

[図9]本技術の第1の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図10]本技術の第1の実施の形態におけるアノード、カソードの接続先を変更した共有ブロックの回路図である。

[図11]本技術の第1の実施の形態の第1の変形例における固体撮像素子の積層構造の一例を示す図である。

[図12]本技術の第1の実施の形態の第1の変形例における固体撮像素子の積

層構造の別の例を示す図である。

[図13]本技術の第1の実施の形態の第2の変形例における固体撮像素子の積層構造の一例を示す図である。

[図14]本技術の第1の実施の形態の第2の変形例における固体撮像素子の積層構造の別の例を示す図である。

[図15]本技術の第1の実施の形態の第2の変形例における固体撮像素子の断面図の一例である。

[図16]本技術の第1の実施の形態の第2の変形例における固体撮像素子の断面図の別の例である。

[図17]本技術の第2の実施の形態における共有ブロックの一構成例を示す回路図である。

[図18]本技術の第2の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

[図19]本技術の第3の実施の形態における共有ブロックの一構成例を示す回路図である。

[図20]本技術の第3の実施の形態の変形例における共有ブロックの一構成例を示す回路図である。

[図21]本技術の第3の実施の形態の変形例における固体撮像素子の断面図の一例である。

[図22]本技術の第3の実施の形態の変形例におけるクリップダイオードを受光側に配置した場合の固体撮像素子の断面図の一例である。

[図23]本技術の第3の実施の形態の変形例におけるクリップダイオードを回路基板に配置した場合の固体撮像素子の断面図の一例である。

[図24]本技術の第4の実施の形態における共有ブロックの一構成例を示す回路図である。

[図25]本技術の第4の実施の形態の変形例における固体撮像素子の断面図の一例である。

[図26]本技術の第4の実施の形態の変形例における固体撮像素子の断面図の

別の例である。

[図27]本技術の第5の実施の形態における共有ブロックの一構成例を示す回路図である。

[図28]車両制御システムの概略的な構成例を示すブロック図である。

[図29]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0026] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（分離ダイオードを挿入した例）
2. 第2の実施の形態（分離ダイオードを挿入し、選択トランジスタを追加した例）
3. 第3の実施の形態（分離ダイオードを挿入し、クリップダイオードを追加した例）
4. 第4の実施の形態（分離ダイオードを挿入し、クリップトランジスタを追加した例）
5. 第5の実施の形態（分離ダイオードを挿入し、クリップトランジスタを追加して個別に制御する例）
6. 移動体への応用例

[0027] <1. 第1の実施の形態>

[測距システムの構成例]

図1は、本技術の第1の実施の形態における測距システム100の一構成例を示すブロック図である。この測距システム100は、物体までの距離を測定するものであり、発光源110、タイミング生成部120および固体撮像素子200を備える。測距システム100は、スマートフォン、パーソナルコンピュータや車載機器などに搭載され、距離を測定するために用いられる。

[0028] タイミング生成部120は、発光源110および固体撮像素子200を同期して動作させるためのタイミング信号を生成するものである。このタイミ

ング生成部120は、タイミング信号として、所定周波数（100メガヘルツ乃至10ギガヘルツなど）のクロック信号CLK_pを生成し、固体撮像素子200に信号線129を介して供給する。また、タイミング生成部120は、クロック信号CLK_pと同期して生成されたクロック信号CLK_dを発光源110に信号線128を介して供給する。クロック信号CLK_dの周波数は、クロック信号CLK_pの $1/P$ （Pは、整数）である。

[0029] 発光源110は、タイミング生成部120からのクロック信号CLK_dに同期して間欠光を照射光として供給するものである。例えば、照射光として近赤外光などが用いられる。

[0030] 固体撮像素子200は、照射光に対する反射光を受光し、クロック信号CLK_dの示す発光タイミングから反射光を受光したタイミングまでの往復時間を測定するものである。この固体撮像素子200は、物体までの距離を往復時間から算出し、その距離を示す距離データを生成して出力する。なお、固体撮像素子200は、特許請求の範囲に記載の光検出装置の一例である。

[0031] なお、固体撮像素子200を測距システム100に設けているが、この構成に限定されない。固体撮像素子200を撮像装置などに設けて、画像データの撮像に用いることもできる。

[0032] [固体撮像素子の構成例]

図2は、本技術の第1の実施の形態における固体撮像素子200の一構成例を示すブロック図である。この固体撮像素子200は、制御回路210、画素アレイ部220および信号処理部230を備える。固体撮像素子200内の回路や素子は、例えば、単一の半導体基板に配置される。

[0033] 画素アレイ部220には、L行×M列の共有ブロック300が配列される。ここで、Lは、1以上の整数であり、Mは2以上の整数である。共有ブロック300のそれぞれには、一部の回路を共有するN（Nは、2以上の整数）個の画素が配列される。例えば、画素301、302、303および304の4画素が2行×2列で共有ブロック300に配列される。

[0034] 制御回路210は、タイミング生成部120からのクロック信号CLK_p

に基づいて画素アレイ部 220 内の画素のそれぞれを制御するものである。

[0035] 信号処理部 230 は、画素からの信号とクロック信号 CLK_p とに基づいて画素ごとに往復時間を測定し、距離を算出するものである。この信号処理部 230 は、距離を示す距離データを測距点に対応する画素群ごとに生成し、それらを外部に出力する。なお、信号処理部 230 は、画素アレイ部 220 内に配置されても構わないし、画素アレイ部 220 の外に配置されても構わない。

[0036] [共有ブロックの構成例]

図 3 は、本技術の第 1 の実施の形態における共有ブロック 300 の一構成例を示す回路図である。この共有ブロック 300 は、SPAD 311、312、313 および 314 と、分離ダイオード 321、322、323 および 324 と、読出し回路 350 とを備える。

[0037] SPAD 311 乃至 314 は、入射光に対する光電変換により電荷（電子など）を生成し、アバランシェ増倍してカソードから出力するものである。これらの SPAD のそれぞれのアノードとカソードとの間には、アバランシェ降伏するときの降伏電圧よりも絶対値が大きな逆バイアスが印加されている。また、SPAD 311 乃至 314 のそれぞれのアノードには、逆バイアス電圧 V_{SPAD} が印加される。

[0038] なお、SPAD 311 は、特許請求の範囲に記載の第 1 のフォトダイオードの一例であり、SPAD 312 は、特許請求の範囲に記載の第 2 のフォトダイオードの一例である。

[0039] 分離ダイオード 321 は、SPAD 311 のカソードと共有ノード 349 との間に挿入されるダイオードである。この分離ダイオード 321 のカソードは、SPAD 311 のカソードと接続される。分離ダイオード 322 は、SPAD 312 のカソードと共有ノード 349 との間に挿入されるダイオードである。この分離ダイオード 322 のカソードは、SPAD 312 のカソードと接続される。

[0040] 分離ダイオード 323 は、SPAD 313 のカソードと共有ノード 349

との間に挿入されるダイオードである。この分離ダイオード323のカソードは、SPAD313のカソードと接続される。分離ダイオード324は、SPAD314のカソードと共有ノード349との間に挿入されるダイオードである。この分離ダイオード324のカソードは、SPAD314のカソードと接続される。

[0041] なお、分離ダイオード321は、特許請求の範囲に記載の第1の分離ダイオードの一例であり、分離ダイオード322は、特許請求の範囲に記載の第2の分離ダイオードの一例である。

[0042] 読出し回路350は、共有ノード349の電圧降下に応じてパルス信号を生成するものである。この読出し回路350は、リチャージトランジスタ351、アンプ352および信号処理回路355を備える。

[0043] リチャージトランジスタ351は、制御回路210からの制御信号CHGに従って、SPAD311から314のそれぞれに充電電流を供給するものである。このリチャージトランジスタ351は、電源電圧VDDと共有ノードとの間に挿入される。また、リチャージトランジスタ351として、例えば、pMOS (p-channel Metal Oxide Semiconductor) トランジスタが用いられる。

[0044] アンプ352は、共有ノードの電圧 V_{in} を増幅するものである。このアンプ352として、例えば、pMOSトランジスタ353およびnMOS (n-channel MOS) トランジスタ354からなるインバータが用いられる。これらのトランジスタは、電源電圧VDDと基準電圧VSSとの間に直列に挿入される。また、アンプ352は、 V_{in} を反転増幅した電圧 V_{out} を信号処理回路355に供給する。

[0045] 基準電圧VSSには、電源電圧VDDより低い値が設定される。また、逆バイアス電圧VSPADには、基準電圧VSSより低い値が設定される。

[0046] 信号処理回路355は、電圧 V_{out} の信号の波形を調整して、パルス信号を生成するものである。この信号処理回路355は、パルス信号を信号処理部230に供給する。

[0047] [信号処理部の構成例]

図4は、本技術の第1の実施の形態における信号処理部230の一構成例を示すブロック図である。この信号処理部230は、共有ブロック300の列ごと、または、所定数の共有ブロック300毎にTDC (Time-to-Digital Converter) 231および距離計算部232を備える。

[0048] TDC 231は、クロック信号CLK_pの示す発光タイミングから、対応する列からのパルス信号の立上り（すなわち、受光タイミング）までの時間を計測するものである。このTDC 231は、測定した時間を示すデジタル信号を距離計算部232に供給する。

[0049] 距離計算部232は、TDCの結果毎にヒストグラムを蓄積するものである。この距離計算部232は、クロック信号CLK_pよりも低い周波数の周期ごとに、その周期内でTDC 231により計測されたヒストグラムを出力する。なお、距離計算部232は、次の式を用いて距離Dを算出し、その距離Dを示す距離データを出力することもある。

$$D = (c \times dt_0) / 2$$

上式において、cは光速であり、単位は、メートル毎秒（m/s）である。また、距離Dの単位は、例えば、メートル（m）であり、往復時間dt₀の単位は、例えば、秒（s）である。

[0050] なお、画素アレイ部220内に信号処理部230を配置することもできる。この場合には、所定数の共有ブロック300ごとに、その下部にTDC 231が配置される。

[0051] ここで、分離ダイオード321から324の代わりに、クウェンチ抵抗を挿入した構成を比較例として想定する。

[0052] [共有ブロックの構成例]

図5は、比較例における共有ブロック300の一構成例を示す回路図である。この比較例の共有ブロック300においては、SPAD 311から314のそれぞれのカソードと、共有ノード349との間に、クウェンチ抵抗が挿入される。

- [0053] 図6は、比較例における共有ブロック内の電流の方向を説明するための図である。同図におけるaおよびbでは、説明の便宜上、SPAD313および314と、対応する2つのクウェンチ抵抗とを省略している。
- [0054] 同図におけるaは、アバランシェ増倍の開始（言い換えれば、発火）からクウェンチまでの間の電流の方向の一例を示す。同図におけるaにおいて、SPAD312に光子が入射し、その一方でSPAD311には光子が入射していないものとする。このとき、SPAD312は発火し、そのカソードからアノードへの逆バイアス方向に電流が流れ、クウェンチ抵抗によりSPAD312のカソード電圧が降下する。そして、逆バイアスがブレークダウン電圧に達すると、SPAD312のアバランシェ増倍が停止（言い換えれば、クウェンチ）する。
- [0055] 一方、光子が入射しないSPAD311のカソード電圧は、当初は降下しておらず、初期状態のVDDのままである。このため、SPAD311のカソードと、SPAD312のカソードとの間の電位差により、SPAD311から共有ノード349へ順方向に電流が流れてしまう。この電流により、SPAD312の発火に引きずられて、発火していないSPAD311のカソード電圧も降下してしまう。同図におけるaの白抜きの矢印は、電流の方向を示す。
- [0056] 同図におけるbは、クウェンチ直後からリチャージ完了までの間の電流の方向を示す。カソード電圧の降下に応じてパルス信号が立ち上がり、その立ち上がりに応じて制御回路210（不図示）は、制御信号CHGをハイレベルからローレベルに遷移させる。これにより、リチャージトランジスタ351がオン状態に移行して、VDDからSPAD311および312への充電電流の供給、すなわちリチャージが開始される。同図におけるbの白抜きの矢印は、電流の方向を示す。リチャージによりSPAD311および312のそれぞれのカソード電圧は上昇し、元のVDDに達した時点でリチャージが完了する。
- [0057] 上述したように、比較例ではSPAD312の発火に引きずられて、発火

していないSPAD311のカソード電圧も低下し、そのカソードから、充電された電荷が放電してしまう。このため、SPAD311のカソード電圧が低下しない場合と比較して、クウェンチからリチャージ完了までのリチャージ時間が長くなり、その分だけ消費電力が増大してしまう。

[0058] 図7は、第1の実施の形態における共有ブロック300内の電流の方向を説明するための図である。同図におけるaおよびbでは、説明の便宜上、SPAD313および314と、分離ダイオード323および324とを省略している。

[0059] 同図におけるaは、発火からクウェンチまでの間の電流の方向の一例を示す。SPAD312が発火すると、比較例と同様に逆バイアス方向に電流が流れる。一方、SPAD312のカソードと、共有ノード349との間の分離ダイオード322の整流作用により、SPAD311から共有ノード349への順方向の電流が抑制される。このため、発火していないSPAD311のカソードの電圧低下が抑制される。

[0060] 同図におけるbは、クウェンチ直後からリチャージ完了までの間の電流の方向を示す。第1の実施の形態においても比較例と同様にVDDからSPAD311および312への充電電流が供給される。

[0061] 第1の実施の形態では、発火していないSPAD311のカソードの電圧低下が抑制されるため、そのようなSPADのカソード電圧が低下してしまう比較例よりもリチャージ時間が短くなり、消費電力が低減する。

[0062] また、同図に例示するように、発火したSPADに流れる電流、および、充電電流は、分離ダイオード321等の順方向であるため、妨げられない。一方で、発火していないSPADから流れる電流は逆方向であるため、分離ダイオード321等により遮断される。

[0063] [固体撮像素子の動作例]

図8は、比較例における固体撮像素子200の動作の一例を示すタイミングチャートである。同図においてVca1は、SPAD311のカソード電圧を示し、Vca2は、SPAD312のカソード電圧を示す。Vinは、

共有ノード349（言い換えれば、アンプ352の入力ノード）の電圧を示し、 V_{out} は、アンプ352の出力ノードの電圧を示す。以降においても同様である。

[0064] タイミングT1において、SPAD311に光子が入射し、その時点でSPAD312には入射していないものとする。このとき、SPAD311のアバランシェ増倍により、カソード電圧 V_{ca1} が降下し、タイミングT3でクウェンチする。また、比較例では、上述したように発火したSPAD311に引きずられて、発火していないSPAD312のカソード電圧 V_{ca2} も降下してしまう。

[0065] また、共有ノード349の電圧 V_{in} も同様に降下し、その降下に応じてタイミングT2でアンプ352の出力する電圧 V_{out} が立ち上がる。

[0066] そして、リチャージによりカソード電圧 V_{ca1} および V_{ca2} が上昇し、タイミングT5でリチャージが完了する。また、電圧 V_{in} も同様に上昇し、その上昇に応じてタイミングT4で電圧 V_{out} が立ち下がる。

[0067] 次に、タイミングT6において、SPAD312に光子が入射し、その時点でSPAD311には入射していないものとする。このとき、SPAD312のアバランシェ増倍により、カソード電圧 V_{ca2} が降下し、タイミングT8でクウェンチする。また、発火したSPAD312に引きずられて、発火していないSPAD311のカソード電圧 V_{ca1} も降下してしまう。

[0068] また、電圧 V_{in} も同様に降下し、その降下に応じてタイミングT7で電圧 V_{out} が立ち上がる。

[0069] そして、リチャージによりカソード電圧 V_{ca1} および V_{ca2} が上昇し、タイミングT10でリチャージが完了する。また、電圧 V_{in} も同様に上昇し、その上昇に応じてタイミングT9で電圧 V_{out} が立ち下がる。

[0070] 図9は、本技術の第1の実施の形態における固体撮像素子200の動作の一例を示すタイミングチャートである。

[0071] タイミングT1において、SPAD311に光子が入射し、その時点でSPAD312には入射していないものとする。このとき、SPAD311の

アバランシェ増倍により、カソード電圧 V_{ca1} が降下し、タイミング T_3 でクウェンチする。一方、第1の実施の形態では、分離ダイオード322により、発火していないSPAD312のカソード電圧 V_{ca2} の降下が抑制される。

[0072] また、カソード電圧 V_{ca1} の降下に伴って共有ノード349の電圧 V_{in} が降下し、その降下に応じてタイミング T_2 で電圧 V_{out} が立ち上がる。

[0073] そして、リチャージによりカソード電圧 V_{ca1} が上昇し、タイミング T_5' でリチャージが完了する。また、電圧 V_{in} も同様に上昇し、その上昇に応じてタイミング T_4' で電圧 V_{out} が立ち下がる。

[0074] 次に、タイミング T_6 において、SPAD312に光子が入射し、その時点でSPAD311には入射していないものとする。このとき、SPAD312のアバランシェ増倍により、カソード電圧 V_{ca2} が降下し、タイミング T_8 でクウェンチする。一方、第1の実施の形態では、分離ダイオード321により、発火していないSPAD311のカソード電圧 V_{ca1} の降下が抑制される。

[0075] また、カソード電圧 V_{ca2} の降下に伴って共有ノード349の電圧 V_{in} が降下し、その降下に応じてタイミング T_7 で電圧 V_{out} が立ち上がる。

[0076] そして、リチャージによりカソード電圧 V_{ca2} が上昇し、タイミング T_{10}' でリチャージが完了する。また、電圧 V_{in} も同様に上昇し、その上昇に応じてタイミング T_9' で電圧 V_{out} が立ち下がる。

[0077] 同図に例示したように、第1の実施の形態では、分離ダイオード321等により画素が分離され、発火していないSPADのカソード電圧の降下が抑制されるため、比較例よりもリチャージ時間が短くなる。同図においては、タイミング T_3 から T_5' までのリチャージ時間と、タイミング T_8 から T_{10}' のリチャージ時間とが図8に例示した比較例よりも短くなる。これにより、比較例と比較して消費電力を低減することができる。

[0078] なお、図10に例示するように、SPADのアノード、カソードの接続先を逆にすることもできる。同図においては、SPAD311から314のそれぞれのアノードと共有ノード349との間に、分離ダイオード321から324が挿入され、SPAD311等のアノードと、分離ダイオード321等のアノードとが接続される。また、nMOSトランジスタ354は、VDD側に接続され、リチャージトランジスタ351およびpMOSトランジスタ353は、VSS側に接続される。

[0079] このように、本技術の第1の実施の形態によれば、SPAD311等のカソードに分離ダイオード321等のカソードを接続したため、発火していないSPADのカソード電圧の降下を抑制することができる。これにより、消費電力を低減することができる。

[0080] [第1の変形例]

上述の第1の実施の形態では、固体撮像素子200の回路や素子を単一の半導体基板に配置していたが、この構成では画素の微細化が困難になるおそれがある。この第1の実施の形態の第1の変形例における固体撮像素子200は、積層した2枚の基板に回路や素子を配置する点において第1の実施の形態と異なる。

[0081] 図11は、本技術の第1の実施の形態の第1の変形例における固体撮像素子200の積層構造の一例を示す図である。この第1の実施の形態の第1の変形例における固体撮像素子200は、積層された画素基板201および回路基板202を備える。以下、回路基板202から画素基板201への方向を「上」の方向とする。また、画素基板201および回路基板202は、Cu-Cu接続やAuマイクロバンプにより電氣的に接続される。

[0082] 画素基板201は、SPAD311などの複数のSPADが配列された受光層205を含む。画素基板201において、受光層205の下側には、ポリシリコン層などの配線層206が形成される。配線層206は、ダイオード層207を含む。このダイオード層207に、分離ダイオード321などの複数の分離ダイオードが配置される。

[0083] また、回路基板 202 には、読出し回路 350、TDC 231 や、ヒストグラムを生成する距離計算部 232 などの後段回路 208 が配置される。ダイオード層 207 は、例えば、貫通ビア 361 により、後段回路 208 と電氣的に接続される。なお、固体撮像素子 200 を撮像に用いる場合には、後段回路 208 内に、光子を計数するカウンタなどが配置される。

[0084] 同図に例示するように、積層した 2 枚の基板に回路や素子を分散して配置することにより、画素の微細化が容易になる。

[0085] なお、図 12 に例示するように、ダイオード層 207 を回路基板 202 に配置することもできる。

[0086] このように、本技術の第 1 の実施の形態の第 1 の変形例によれば、積層した画素基板 201 および回路基板 202 に回路や素子を配置したため、第 1 の実施の形態よりも画素の微細化が容易になる。

[0087] [第 2 の変形例]

上述の第 1 の実施の形態では、固体撮像素子 200 の回路や素子を単一の半導体基板に配置していたが、この構成では画素の微細化が困難になるおそれがある。この第 1 の実施の形態の第 2 の変形例における固体撮像素子 200 は、積層した 3 枚の基板に回路や素子を配置する点において第 1 の実施の形態と異なる。

[0088] 図 13 は、本技術の第 1 の実施の形態の第 2 の変形例における固体撮像素子 200 の積層構造の一例を示す図である。この第 1 の実施の形態の第 2 の変形例における固体撮像素子 200 は、積層された画素基板 201、回路基板 202 および回路基板 203 を備える。回路基板 203 は、回路基板 202 の下側に配置される。また、これらの 3 枚の基板は、Cu-Cu 接続や Au マイクロバンプにより電氣的に接続される。

[0089] なお、回路基板 202 は、特許請求の範囲に記載の第 1 の回路基板の一例であり、回路基板 203 は、特許請求の範囲に記載の第 2 の回路基板の一例である。

[0090] 画素基板 201 の受光層 205 には、SPAD 311 などの複数の SPA

Dが配列される。また、画素基板201の配線層206には、ダイオード層207が配置される。

[0091] 回路基板202には、読出し回路350のうち、アンプ352およびリチャージトランジスタ351が配置される。ダイオード層207は、貫通ビア361により、アンプ352およびリチャージトランジスタ351と接続される。回路基板203には、アンプ352およびリチャージトランジスタ351の後段のTDC231などの回路が後段回路208として配置される。

[0092] 同図に例示するように、積層した3枚の基板に回路や素子を分散して配置することにより、画素の微細化が容易になる。

[0093] なお、図14に例示するように、アンプ352およびリチャージトランジスタ351を、貫通ビア361により後段回路208と接続することもできる。

[0094] 図15は、本技術の第1の実施の形態の第2の変形例における固体撮像素子200の断面図の一例である。同図は、図13に例示した構造の断面図を示す。

[0095] 図15の太枠で囲った部分は、SPAD311を示す。このSPAD311のカソード311-2が配線層206内の分離ダイオード321のカソードと接続される。また、逆バイアス電圧 V_{SPAD} のノードは、回路基板202に設けられ、その逆バイアス電圧 V_{SPAD} にSPAD311のアノード311-1が接続される。

[0096] なお、図16に例示するように、分離ダイオード321などの複数の分離ダイオードを回路基板202に配置することもできる。

[0097] このように、本技術の第1の実施の形態の第2の変形例によれば、積層した画素基板201、回路基板202および回路基板203に回路や素子を配置したため、第1の実施の形態よりも画素の微細化が容易になる。

[0098] <2. 第2の実施の形態>

上述の第1の実施の形態では、ワイヤードORの接続により読出し回路350を共有する4画素のうち1つ以上が光子を受光した場合に、読出し回路

350がパルス信号を生成していたが、この構成では、空間解像度が不足することがある。この第2の実施の形態における固体撮像素子200は、共有ノード349と各SPADとの間の経路を個別に開閉する点において第1の実施の形態と異なる。

[0099] 図17は、本技術の第2の実施の形態における共有ブロック300の一構成例を示す回路図である。この第2の実施の形態における共有ブロック300は、選択トランジスタ331、332、333および334と、スイッチトランジスタ356とをさらに備える点において第1の実施の形態と異なる。これらのトランジスタとして、例えば、pMOSトランジスタが用いられる。

[0100] 選択トランジスタ331は、制御回路210からの選択信号SEL1に従って、分離ダイオード321と共有ノード349との間の経路を開閉するものである。選択トランジスタ332は、制御回路210からの選択信号SEL2に従って、分離ダイオード322と共有ノード349との間の経路を開閉するものである。選択トランジスタ333は、制御回路210からの選択信号SEL3に従って、分離ダイオード323と共有ノード349との間の経路を開閉するものである。選択トランジスタ334は、制御回路210からの選択信号SEL4に従って、分離ダイオード324と共有ノード349との間の経路を開閉するものである。

[0101] スイッチトランジスタ356は、制御回路210からの制御信号SWに従って、リチャージトランジスタ351と電源電圧VDDとの間の経路を開閉するものである。

[0102] 制御回路210は、選択トランジスタ331乃至334のそれぞれを制御信号SEL1乃至SEL4により個別にオンオフすることができる。共有ブロック300内の4画素のうち、対応する選択トランジスタがオン状態（言い換えれば、閉状態）の画素を、選択された画素、あるいは、有効な画素と称する。一方、対応する選択トランジスタがオフ状態（言い換えれば、開状態）の画素を、非選択の画素、あるいは、無効な画素と称する。

- [0103] 4画素の一部が選択された場合、その選択された（すなわち、有効な）画素のカソード電圧の降下に応じて読出し回路350がパルス信号を生成する。一方、非選択の（すなわち、無効な）画素のカソード電圧が降下しても、選択された画素のカソード電圧が降下しない限りは、パルス信号が生成されない。
- [0104] また、制御回路210は、スイッチトランジスタ356をオフ状態に制御することにより、共有ブロック300全体を無効にするとともに充電電流を遮断することができる。
- [0105] 図18は、本技術の第2の実施の形態における固体撮像素子200の動作の一例を示すタイミングチャートである。同図におけるaは、受光パワーおよび選択信号の変動を示す。同図におけるbは、有効な画素と無効な画素とを示す。
- [0106] 同図におけるaに例示するように、タイミングT11からT12までの期間内に制御回路210は、選択信号SEL1乃至SEL4のうち選択信号SEL1のみをローレベルにする。また、この期間内に発光源110（不図示）は、間欠光を照射光として照射し、SPAD311乃至314は、その照射光に対する反射光を受光する。
- [0107] また、同図におけるbに例示するように、タイミングT11からT12までの期間内に4画素のうち画素301のみが有効になる。
- [0108] 続いて、同図におけるaに例示するように、タイミングT13からT14までの期間内に制御回路210は、選択信号SEL2のみをローレベルにする。
- [0109] 同図におけるbに例示するように、タイミングT13からT14までの期間内に画素302のみが有効になる。
- [0110] 続いて、同図におけるaに例示するように、タイミングT15からT16までの期間内に制御回路210は、選択信号SEL3のみをローレベルにする。
- [0111] 同図におけるbに例示するように、タイミングT15からT16までの期

間内に画素303のみが有効になる。

[0112] 続いて、同図におけるaに例示するように、タイミングT17からT18までの期間内に制御回路210は、選択信号SEL4のみをローレベルにする。

[0113] 同図におけるbに例示するように、タイミングT17からT18までの期間内に画素304のみが有効になる。以降も同様に、画素301乃至304が1つずつ順に選択される。

[0114] なお、同図では、制御回路210は、4画素のうち1画素を有効にしているが、同時に2画素や3画素を有効にすることもできるし、4画素全体を有効にすることもできる。4画素の一部を有効にすることにより、4画素全体を有効にした場合と比較して、距離データの空間解像度を向上させることができる。

[0115] また、第2の実施の形態に、第1の実施の形態の第1、第2の変形例の積層構造を適用することができる。

[0116] このように、本技術の第2の実施の形態によれば、共有ノード349とSPAD311乃至314との間に選択トランジスタ331乃至334を挿入したため、一部の画素を有効にして空間解像度を向上させることができる。

[0117] <3. 第3の実施の形態>

上述の第2の実施の形態では、制御回路210が各画素を個別に有効にしていたが、4画素の一部を有効にした際に無効な画素に光子が入射して光電変換によりカソード電圧が低下することがある。この場合、その無効な画素のカソード電圧が下がり続け、読出し回路350内のリチャージトランジスタ351、アンプ352やスイッチトランジスタ356の耐圧を超えて素子が破壊されるおそれがある。この第3の実施の形態における固体撮像素子200は、クリップ回路により無効な画素のカソード電圧を固定する点において第2の実施の形態と異なる。

[0118] 図19は、本技術の第3の実施の形態における共有ブロック300の一構成例を示す回路図である。この第3の実施の形態における共有ブロック300

0は、クリップ回路341、342、343および344をさらに備える点において第2の実施の形態と異なる。

[0119] クリップ回路341は、SPAD311のカソード電圧を固定するものである。クリップ回路342は、SPAD312のカソード電圧を固定するものである。クリップ回路343は、SPAD313のカソード電圧を固定するものである。クリップ回路344は、SPAD314のカソード電圧を固定するものである。

[0120] クリップ回路341は、例えば、SPAD311のカソードにカソードが接続されたクリップダイオード341-1を備える。クリップ回路342は、例えば、SPAD312のカソードにカソードが接続されたクリップダイオード342-1を備える。クリップ回路343は、例えば、SPAD313のカソードにカソードが接続されたクリップダイオード343-1を備える。クリップ回路344は、例えば、SPAD314のカソードにカソードが接続されたクリップダイオード344-1を備える。

[0121] これらのクリップダイオード341-1から344-1のそれぞれのアノードには、クリップ電圧 V_{CLIP} が印加される。クリップ電圧 V_{CLIP} には、共有ブロック300内のトランジスタに、その耐圧を超える電圧が印加されない程度の電圧が設定される。例えば、逆バイアス電圧 V_{SPAD} より高く、電源電圧 V_{DD} より低い値が設定される。クリップ電圧 V_{CLIP} と基準電圧 V_{SS} との間の大小関係は任意である。

[0122] なお、クリップ回路341は、特許請求の範囲に記載の第1のクリップ回路の一例であり、クリップ回路342は、特許請求の範囲に記載の第2のクリップ回路の一例である。クリップダイオード341-1は、特許請求の範囲に記載の第1のクリップダイオードの一例であり、クリップダイオード342-1は、特許請求の範囲に記載の第2のクリップダイオードの一例である。

[0123] 選択トランジスタ331がオフ状態（言い換えれば、画素301が無効）であっても、クリップ回路341がSPAD311のカソード電圧をクリッ

プ電圧 V_{CLIP} に固定する。このため、光子が無効な画素に入射しても、その画素のカソード電圧の降下を抑制することができる。これにより、読出し回路 350 内のリチャージトランジスタ 351、アンプ 352 やスイッチトランジスタ 356 などの素子の破壊を防止し、素子の破壊による不良を抑制することができる。他の画素についても同様である。

[0124] このように、本技術の第 3 の実施の形態によれば、クリップダイオード 341-1 等が対応するカソード電圧を固定するため、素子の破壊を防止することができる。

[0125] [変形例]

上述の第 3 の実施の形態では、固体撮像素子 200 の回路や素子を単一の半導体基板に配置していたが、この構成では画素の微細化が困難になるおそれがある。この第 3 の実施の形態の変形例における固体撮像素子 200 は、積層した複数の基板に回路や素子を配置する点において第 3 の実施の形態と異なる。

[0126] 図 20 は、本技術の第 3 の実施の形態の変形例における共有ブロック 300 の一構成例を示す回路図である。この第 3 の実施の形態の変形例の固体撮像素子 200 は、例えば、積層された画素基板 201 および回路基板 202 を備える。

[0127] SPAD 311 乃至 314 と、分離ダイオード 321 乃至 324 と、クリップダイオード 341-1 乃至 344-1 とは、画素基板 201 に配置される。また、選択トランジスタ 331 乃至 334 と、読出し回路 350 以降の回路は回路基板 202 に配置される。

[0128] なお、積層された画素基板 201、回路基板 202 および回路基板 203 に回路や素子を配置することもできる。

[0129] その際、図 21 に例示するように、分離ダイオード 321 などの複数の分離ダイオードと、クリップダイオード 341-1 などの複数のクリップダイオードとを配線層 206 に配置することができる。この場合、SPAD のカソードに接続された n 型半導体を分離ダイオードおよびクリップダイオード

で共有し、それぞれのカソードとして用いることができる。

[0130] あるいは、図 22 に例示するように、分離ダイオード 321 などの複数の分離ダイオードを配線層 206 に配置し、クリップダイオード 341-1 などの複数のクリップダイオードを受光層 205 に配置することもできる。

[0131] もしくは、図 23 に例示するように、分離ダイオード 321 などの複数の分離ダイオードを配線層 206 に配置し、クリップダイオード 341-1 などの複数のクリップダイオードを回路基板 202 に配置することもできる。

[0132] また、上述の図 21 から図 23 のそれぞれにおいて、回路基板 203 を削減し、2 枚の基板に回路や素子を配置することもできる。また、図 21 から図 23 のそれぞれにおいて、アンプ 352 およびリチャージトランジスタ 351 は、例えば、回路基板 202 に配置される。

[0133] このように、本技術の第 3 の実施の形態の変形例によれば、積層した複数の基板に回路や素子を配置したため、画素の微細化が容易になる。

[0134] <4. 第 4 の実施の形態>

上述の第 3 の実施の形態では、クリップダイオードによりカソード電圧を固定していたが、クリップダイオードの代わりにトランジスタを用いることもできる。この第 4 の実施の形態における固体撮像素子 200 は、トランジスタによりカソード電圧を固定する点において第 3 の実施の形態と異なる。

[0135] 図 24 は、本技術の第 4 の実施の形態における共有ブロック 300 の一構成例を示す回路図である。この第 4 の実施の形態における共有ブロック 300 は、クリップ回路 341 乃至 344 のそれぞれが、クリップダイオードの代わりに、クリップトランジスタ 341-2 乃至 344-2 を備える点において第 3 の実施の形態と異なる。

[0136] クリップトランジスタ 341-2 のソースは、SPAD 311 のカソードに接続され、ドレインにはクリップ電圧 V_{CLIP} が印加される。また、クリップトランジスタ 341-2 のゲートおよびドレインが短絡される。すなわち、クリップトランジスタ 341-2 は、ダイオード接続される。クリップトランジスタ 342-2、343-2 および 344-2 についても同様に

ある。

[0137] このように、本技術の第4の実施の形態によれば、クリップトランジスタ341-2等が対応するカソード電圧を固定するため、素子の破壊を防止することができる。

[0138] [変形例]

上述の第4の実施の形態では、固体撮像素子200の回路や素子を単一の半導体基板に配置していたが、この構成では画素の微細化が困難になるおそれがある。この第4の実施の形態の変形例における固体撮像素子200は、積層した複数の基板に回路や素子を配置する点において第4の実施の形態と異なる。

[0139] 図25は、本技術の第4の実施の形態の変形例における固体撮像素子200の断面図の一例である。この第4の実施の形態の変形例の固体撮像素子200は、例えば、積層された画素基板201、回路基板202および回路基板203を備える。

[0140] 例えば、同図に例示するように、分離ダイオード321などの複数の分離ダイオードを配線層206に配置し、クリップトランジスタ341-2などの複数のクリップトランジスタを受光層205に配置することができる。

[0141] あるいは、図26に例示するように、分離ダイオード321などの複数の分離ダイオードを配線層206に配置し、クリップトランジスタ341-2などの複数のクリップトランジスタを回路基板202に配置することもできる。

[0142] なお、上述の図25および図26のそれぞれにおいて、回路基板203を削減し、2枚の基板に回路や素子を配置することもできる。

[0143] このように、本技術の第4の実施の形態の変形例によれば、積層した複数の基板に回路や素子を配置したため、画素の微細化が容易になる。

[0144] <5. 第5の実施の形態>

上述の第4の実施の形態では、クリップトランジスタ341-2等をダイオード接続していたが、これらのトランジスタを個別に制御することもでき

る。この第5の実施の形態における固体撮像素子200は、クリップトランジスタ341-2等のそれぞれのゲートに制御信号を供給する点において第4の実施の形態と異なる。

[0145] 図27は、本技術の第5の実施の形態における共有ブロック300の一構成例を示す回路図である。この第5の実施の形態における共有ブロック300は、クリップトランジスタ341-2乃至344-2のそれぞれのゲートに、制御回路210からの制御信号CLP1乃至CLP4が入力される点において第4の実施の形態と異なる。

[0146] 制御信号CLP1乃至CLP4のそれぞれには、クリップ電圧VCLIPと、対応するクリップトランジスタをオン状態にする所定のオン電圧とのいずれかが設定される。制御回路210は、選択トランジスタ331乃至334のいずれか1つ以上をオフ状態にした場合、オフ状態の選択トランジスタに対応するクリップトランジスタの制御信号をクリップ電圧VCLIPにする。オン状態の選択トランジスタに対応するクリップトランジスタの制御信号は、所定のオン電圧に制御される。これにより、オフ状態の選択トランジスタに対応するSPADのカソード電圧が固定され、選択トランジスタ331等のリーク電流による無効な画素のカソード電圧の上昇を抑制することができる。無効な画素のSPADが発火すると、電流はVSPAD側に流れるために消費電力が増大してしまうが、リーク電流による無効な画素のカソードの充電を防止することにより、消費電力の増大を抑制することができる。

[0147] なお、第5の実施の形態に、第4の実施の形態の変形例を適用することができる。

[0148] このように、本技術の第5の実施の形態によれば、制御回路210がクリップトランジスタ341-2等のそれぞれに制御信号を供給するため、無効な画素のカソード電圧を個別に固定することができる。

[0149] <5. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車

、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0150] 図28は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0151] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図28に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

[0152] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0153] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

- [0154] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。
- [0155] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。
- [0156] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。
- [0157] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。
- [0158] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０

30又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0159] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0160] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図28の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0161] 図29は、撮像部12031の設置位置の例を示す図である。

[0162] 図29では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0163] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像

を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0164] なお、図29には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0165] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0166] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0167] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2

輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0168] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0169] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、図2の固体撮像素子200は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、システムの消費電力を低減することができる。

[0170] なお、上述の実施の形態は本技術を具現化するための一例を示したもので

あり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0171] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0172] なお、本技術は以下のような構成もとることができる。

(1) 第1のフォトダイオードと、

第2のフォトダイオードと、

所定の共有ノードの電圧降下に応じてパルス信号を生成する読出し回路と

、

前記第1のフォトダイオードのアノードおよびカソードのうち一方の端子と前記共有ノードとの間に挿入され、前記一方の端子と極性が同一の端子が前記一方の端子に接続された第1の分離ダイオードと、

前記第2のフォトダイオードのアノードおよびカソードのうち一方の端子と前記共有ノードとの間に挿入され、前記一方の端子と極性が同一の端子が前記一方の端子に接続された第2の分離ダイオードとを具備する光検出装置。

(2) 前記第1および第2のフォトダイオードは所定の画素基板内の受光層に配置され、

前記読出し回路は、第1の回路基板に配置される前記(1)記載の光検出装置。

(3) 第2の回路基板に配置された信号処理部をさらに具備する前記(2)記載の光検出装置。

(4) 前記第1および第2の分離ダイオードは、前記第1の回路基板に配置される

前記（２）または（３）に記載の光検出装置。

（５）前記第１および第２の分離ダイオードは前記画素基板内の配線層に配置される

前記（２）または（３）に記載の光検出装置。

（６）前記第１の分離ダイオードと前記共有ノードとの間の経路を開閉する第１の選択トランジスタと、

前記第２の分離ダイオードと前記共有ノードとの間の経路を開閉する第２の選択トランジスタと

をさらに具備する前記（２）から（５）のいずれかに記載の光検出装置。

（７）前記第１のフォトダイオードのカソード電圧を固定する第１のクリップ回路と、

前記第２のフォトダイオードのカソード電圧を固定する第２のクリップ回路と

をさらに具備する前記（６）に記載の光検出装置。

（８）前記第１のクリップ回路は第１のクリップダイオードを備え、

前記第２のクリップ回路は第２のクリップダイオードを備える

前記（７）に記載の光検出装置。

（９）前記第１および第２のクリップダイオードは前記画素基板内の配線層に配置される

前記（８）に記載の光検出装置。

（１０）前記第１および第２のクリップダイオードは前記受光層に配置される

前記（８）に記載の光検出装置。

（１１）前記第１および第２のクリップダイオードは前記第１の回路基板に配置される

前記（８）に記載の光検出装置。

（１２）前記第１のクリップ回路は第１のクリップトランジスタを備え、

前記第２のクリップ回路は第２のクリップトランジスタを備える

前記（７）記載の光検出装置。

（１３）前記第１および第２のクリップトランジスタのそれぞれは、ダイオード接続される

前記（１２）記載の光検出装置。

（１４）前記第１のクリップトランジスタは、第１の制御信号に従って前記第１のフォトダイオードのカソード電圧を固定し、

前記第１のクリップトランジスタは、第２の制御信号に従って前記第２のフォトダイオードのカソード電圧を固定する

前記（１２）記載の光検出装置。

（１５）前記第１および第２のクリップトランジスタは前記受光層に配置される

前記（１２）から前記（１４）のいずれかに記載の光検出装置。

（１６）前記第１および第２のクリップトランジスタは前記回路基板に配置される

前記（１２）から前記（１４）のいずれかに記載の光検出装置。

（１７）前記第１のフォトダイオードのカソードと前記第１の分離ダイオードのカソードとが接続され、

前記第１のフォトダイオードのカソードと前記第１の分離ダイオードのカソードとが接続される

前記（１）から（１６）のいずれかに記載の光検出装置。

（１８）前記第１のフォトダイオードのアノードと前記第１の分離ダイオードのアノードとが接続され、

前記第１のフォトダイオードのアノードと前記第１の分離ダイオードのアノードとが接続される

前記（１）から（１６）のいずれかに記載の光検出装置。

（１９）照射光を照射する光源と、

前記照射光に対する反射光を受光する第１のフォトダイオードと、

前記照射光に対する反射光を受光する第２のフォトダイオードと、

所定の共有ノードの電圧降下に応じてパルス信号を生成する読出し回路と

、

前記第1のフォトダイオードのアノードおよびカソードのうち一方の端子と前記共有ノードとの間に挿入され、前記一方の端子と極性が同一の端子が前記一方の端子に接続された第1の分離ダイオードと、

前記第2のフォトダイオードのアノードおよびカソードのうち一方の端子と前記共有ノードとの間に挿入され、前記一方の端子と極性が同一の端子が前記一方の端子に接続された第2の分離ダイオードとを具備する測距システム。

符号の説明

- [0173] 1 0 0 測距システム
- 1 1 0 発光源
- 1 2 0 タイミング生成部
- 2 0 0 固体撮像素子
- 2 0 1 画素基板
- 2 0 2、2 0 3 回路基板
- 2 0 5 受光層
- 2 0 6 配線層
- 2 0 7 ダイオード層
- 2 0 8 後段回路
- 2 1 0 制御回路
- 2 2 0 画素アレイ部
- 2 3 0 信号処理部
- 2 3 1 T D C
- 2 3 2 距離計算部
- 3 0 0 共有ブロック
- 3 0 1～3 0 4 画素
- 3 1 1～3 1 4 S P A D

3 1 1 - 1 アノード

3 1 1 - 2 カソード

3 2 1 ~ 3 2 4 分離ダイオード

3 3 1 ~ 3 3 4 選択トランジスタ

3 4 1 ~ 3 4 4 クリップ回路

3 4 1 - 1、3 4 2 - 1、3 4 3 - 1、3 4 4 - 1 クリップダイオード

3 4 1 - 2、3 4 2 - 2、3 4 3 - 2、3 4 4 - 2 クリップトランジス

タ

3 5 0 読出し回路

3 5 1 リチャージトランジスタ

3 5 2 アンプ

3 5 3 pMOSトランジスタ

3 5 4 nMOSトランジスタ

3 5 5 信号処理回路

3 5 6 スイッチトランジスタ

3 6 1 貫通ビア

1 2 0 3 1 撮像部

請求の範囲

- [請求項1] 第1のフォトダイオードと、
第2のフォトダイオードと、
所定の共有ノードの電圧降下に応じてパルス信号を生成する読出し回路と、
前記第1のフォトダイオードのアノードおよびカソードのうち一方の端子と前記共有ノードとの間に挿入され、前記一方の端子と極性が同一の端子が前記一方の端子に接続された第1の分離ダイオードと、
前記第2のフォトダイオードのアノードおよびカソードのうち一方の端子と前記共有ノードとの間に挿入され、前記一方の端子と極性が同一の端子が前記一方の端子に接続された第2の分離ダイオードとを具備する光検出装置。
- [請求項2] 前記第1および第2のフォトダイオードは所定の画素基板内の受光層に配置され、
前記読出し回路は、第1の回路基板に配置される
請求項1記載の光検出装置。
- [請求項3] 第2の回路基板に配置された信号処理部をさらに具備する
請求項2記載の光検出装置。
- [請求項4] 前記第1および第2の分離ダイオードは、前記第1の回路基板に配置される
請求項2記載の光検出装置。
- [請求項5] 前記第1および第2の分離ダイオードは前記画素基板内の配線層に配置される
請求項2記載の光検出装置。
- [請求項6] 前記第1の分離ダイオードと前記共有ノードとの間の経路を開閉する第1の選択トランジスタと、
前記第2の分離ダイオードと前記共有ノードとの間の経路を開閉する第2の選択トランジスタと

をさらに具備する請求項 2 記載の光検出装置。

[請求項7] 前記第 1 のフォトダイオードのカソード電圧を固定する第 1 のクリップ回路と、

前記第 2 のフォトダイオードのカソード電圧を固定する第 2 のクリップ回路と

をさらに具備する請求項 6 記載の光検出装置。

[請求項8] 前記第 1 のクリップ回路は第 1 のクリップダイオードを備え、
前記第 2 のクリップ回路は第 2 のクリップダイオードを備える
請求項 7 記載の光検出装置。

[請求項9] 前記第 1 および第 2 のクリップダイオードは前記画素基板内の配線層に配置される
請求項 8 記載の光検出装置。

[請求項10] 前記第 1 および第 2 のクリップダイオードは前記受光層に配置される
請求項 8 記載の光検出装置。

[請求項11] 前記第 1 および第 2 のクリップダイオードは前記第 1 の回路基板に配置される
請求項 8 記載の光検出装置。

[請求項12] 前記第 1 のクリップ回路は第 1 のクリップトランジスタを備え、
前記第 2 のクリップ回路は第 2 のクリップトランジスタを備える
請求項 7 記載の光検出装置。

[請求項13] 前記第 1 および第 2 のクリップトランジスタのそれぞれは、ダイオード接続される
請求項 1 2 記載の光検出装置。

[請求項14] 前記第 1 のクリップトランジスタは、第 1 の制御信号に従って前記第 1 のフォトダイオードのカソード電圧を固定し、
前記第 1 のクリップトランジスタは、第 2 の制御信号に従って前記第 2 のフォトダイオードのカソード電圧を固定する請求項 1 2 記載の

光検出装置。

[請求項15] 前記第1および第2のクリップトランジスタは前記受光層に配置される

請求項12記載の光検出装置。

[請求項16] 前記第1および第2のクリップトランジスタは前記回路基板に配置される

請求項12記載の光検出装置。

[請求項17] 前記第1のフォトダイオードのカソードと前記第1の分離ダイオードのカソードとが接続され、

前記第1のフォトダイオードのカソードと前記第1の分離ダイオードのカソードとが接続される

請求項1記載の光検出装置。

[請求項18] 前記第1のフォトダイオードのアノードと前記第1の分離ダイオードのアノードとが接続され、

前記第1のフォトダイオードのアノードと前記第1の分離ダイオードのアノードとが接続される

請求項1記載の光検出装置。

[請求項19] 照射光を照射する光源と、

前記照射光に対する反射光を受光する第1のフォトダイオードと、

前記照射光に対する反射光を受光する第2のフォトダイオードと、

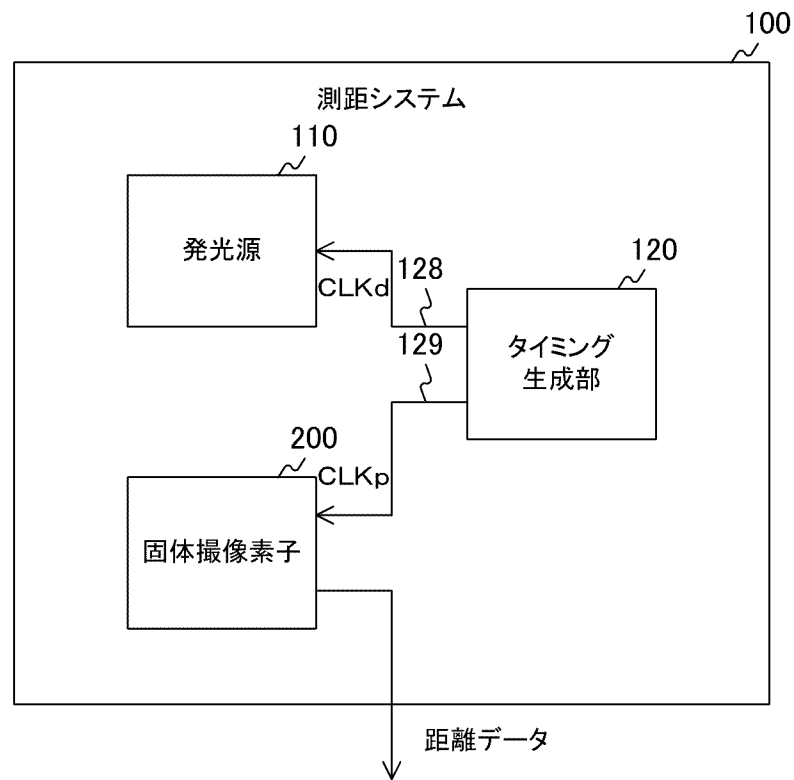
所定の共有ノードの電圧降下に応じてパルス信号を生成する読出し回路と、

前記第1のフォトダイオードのアノードおよびカソードのうち一方の端子と前記共有ノードとの間に挿入され、前記一方の端子と極性が同一の端子が前記一方の端子に接続された第1の分離ダイオードと、

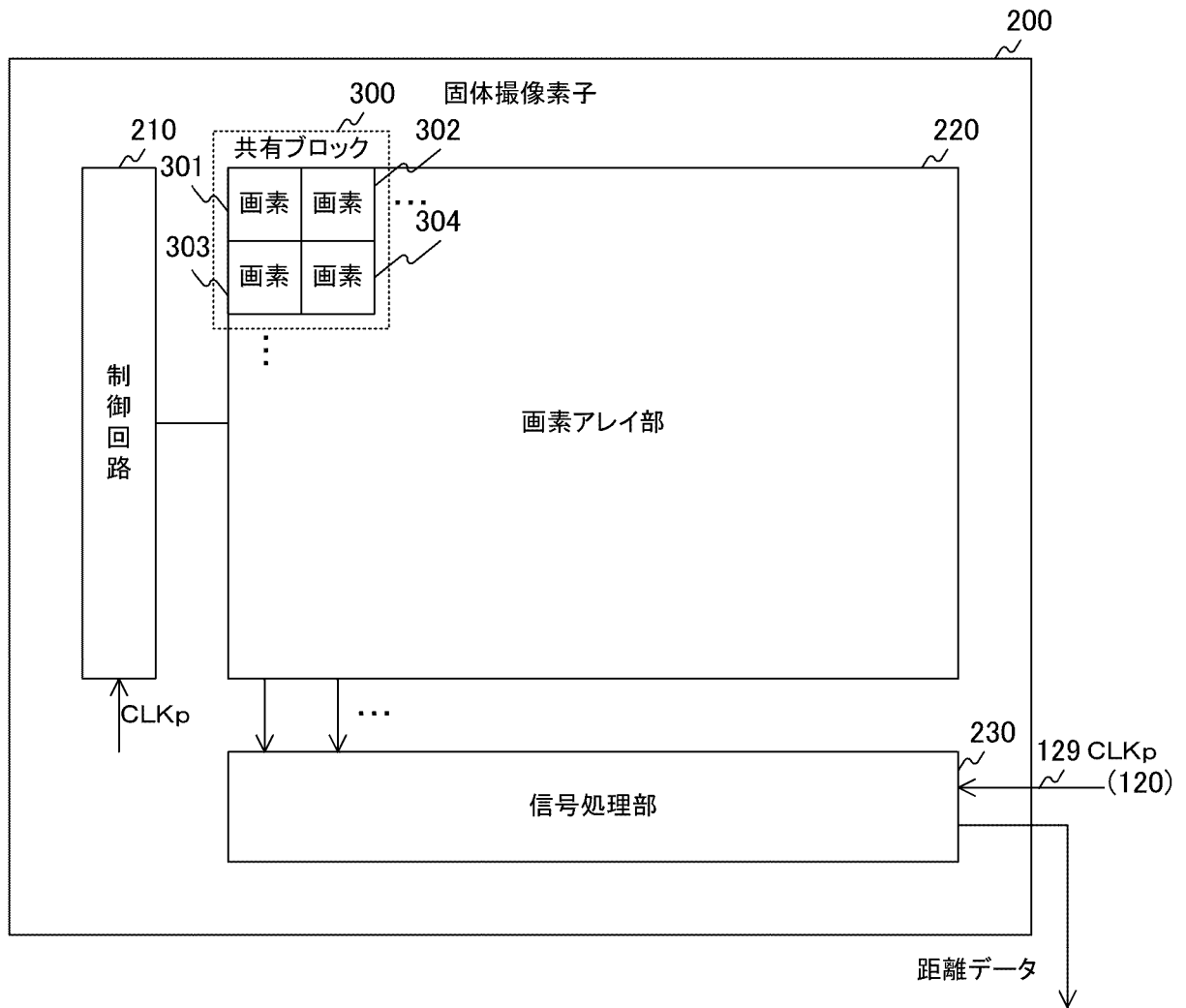
前記第2のフォトダイオードのアノードおよびカソードのうち一方の端子と前記共有ノードとの間に挿入され、前記一方の端子と極性が同一の端子が前記一方の端子に接続された第2の分離ダイオードと

を具備する測距システム。

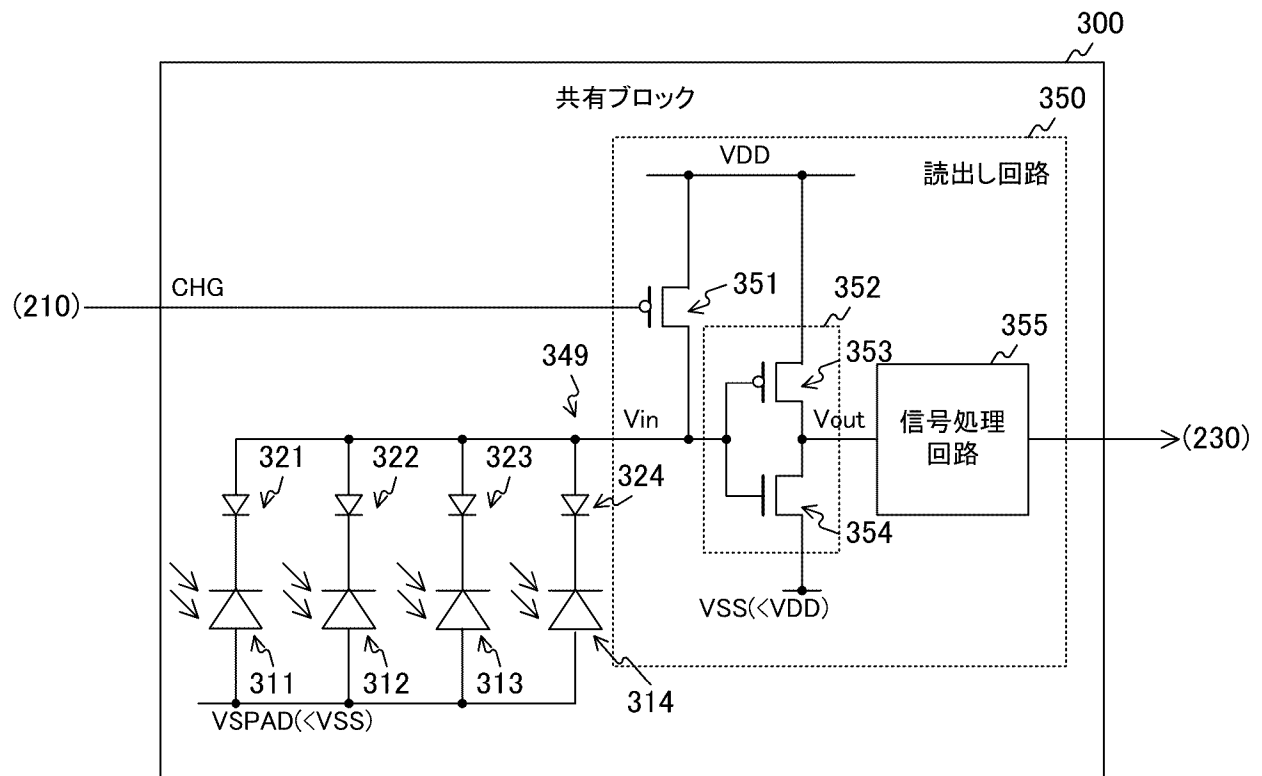
[図1]



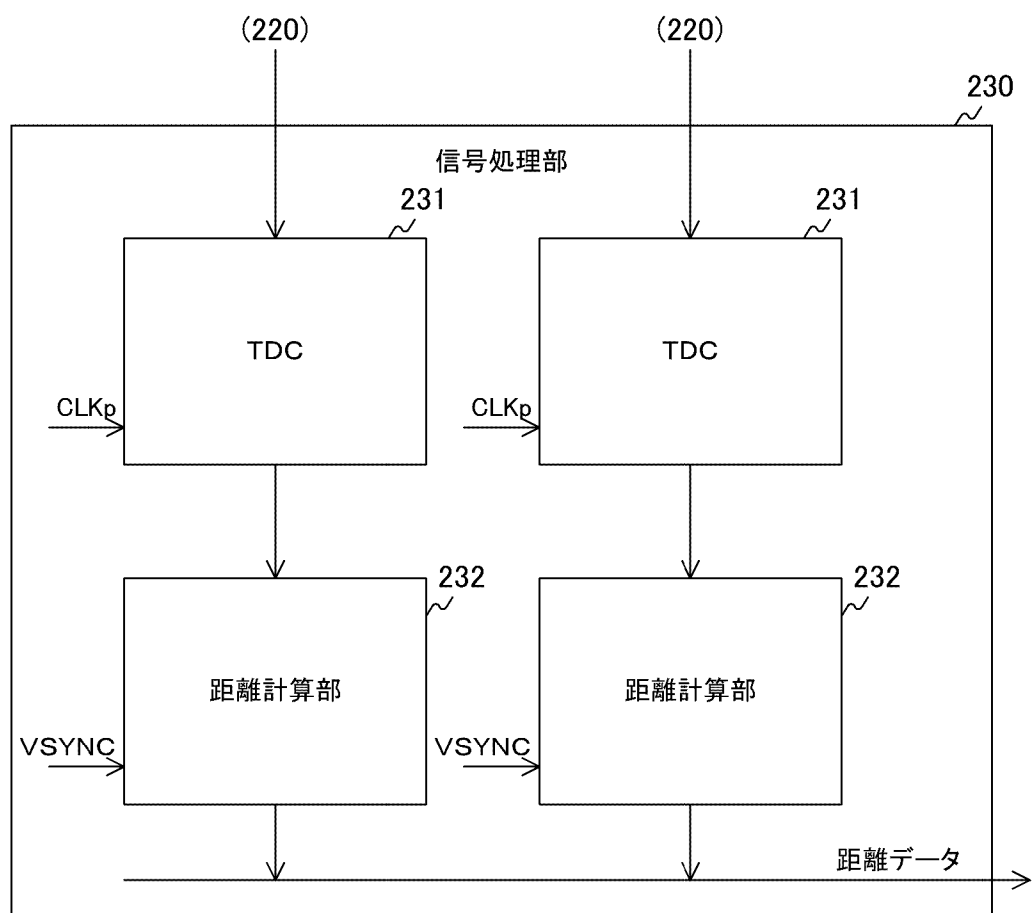
[図2]



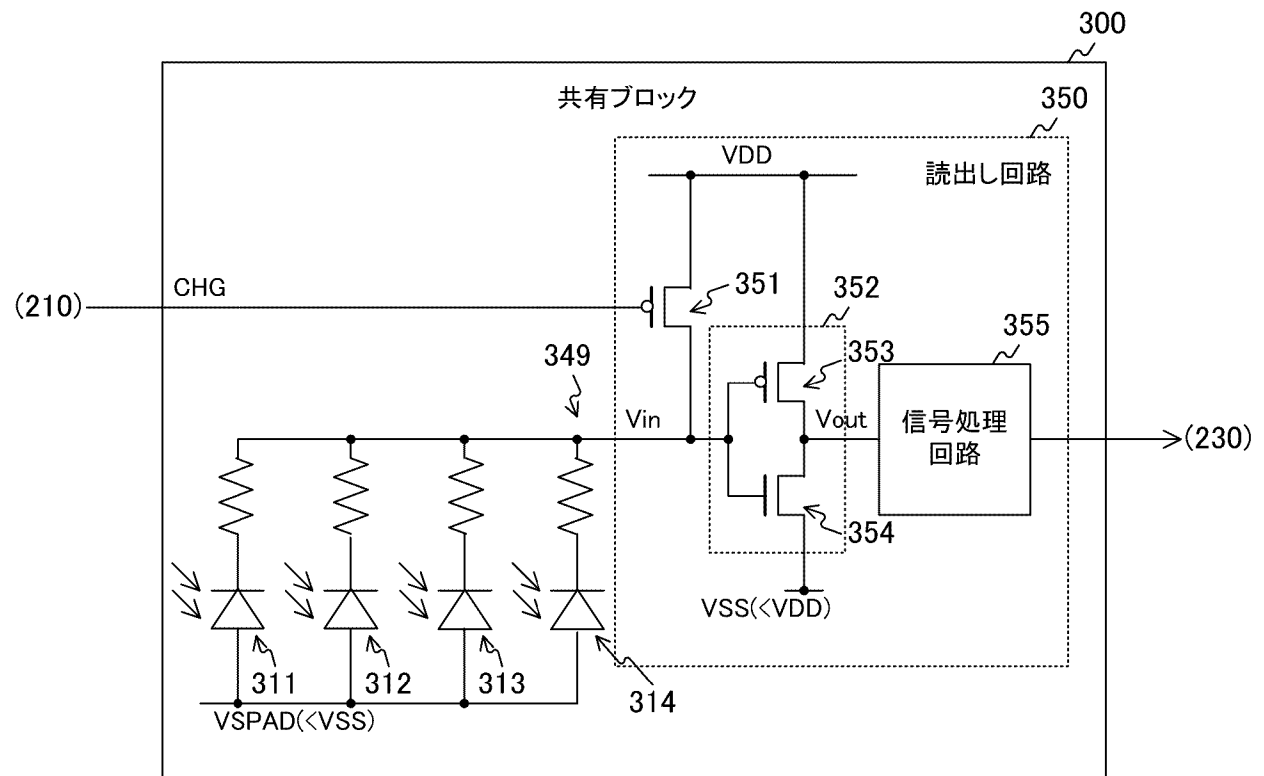
[図3]



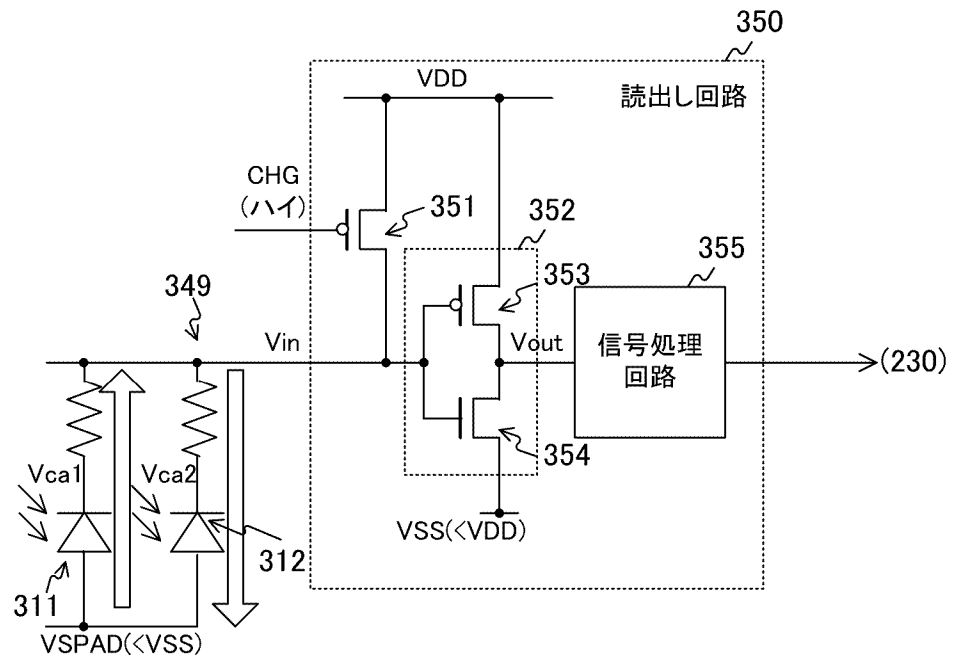
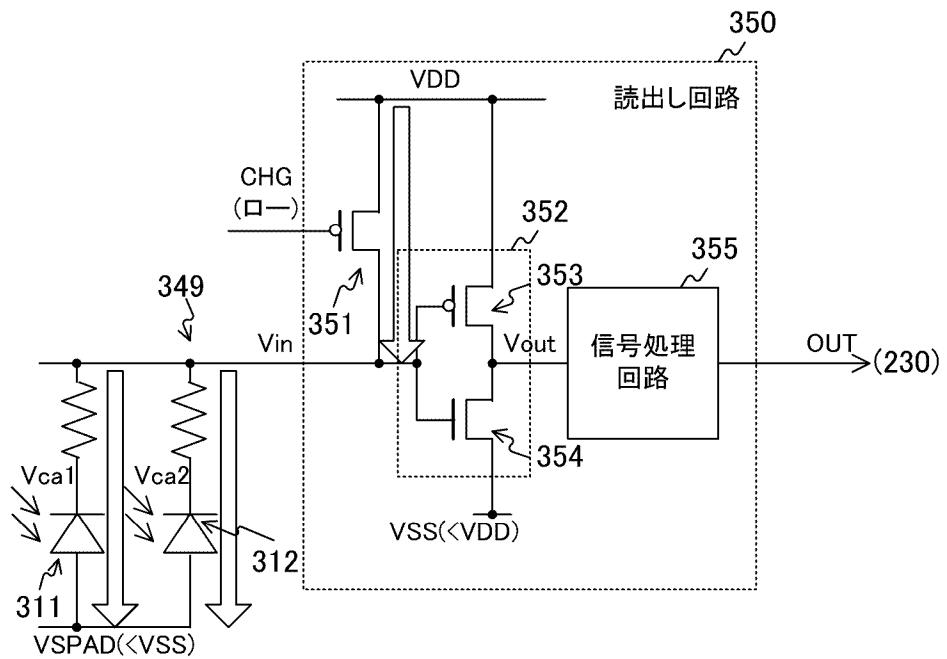
[図4]



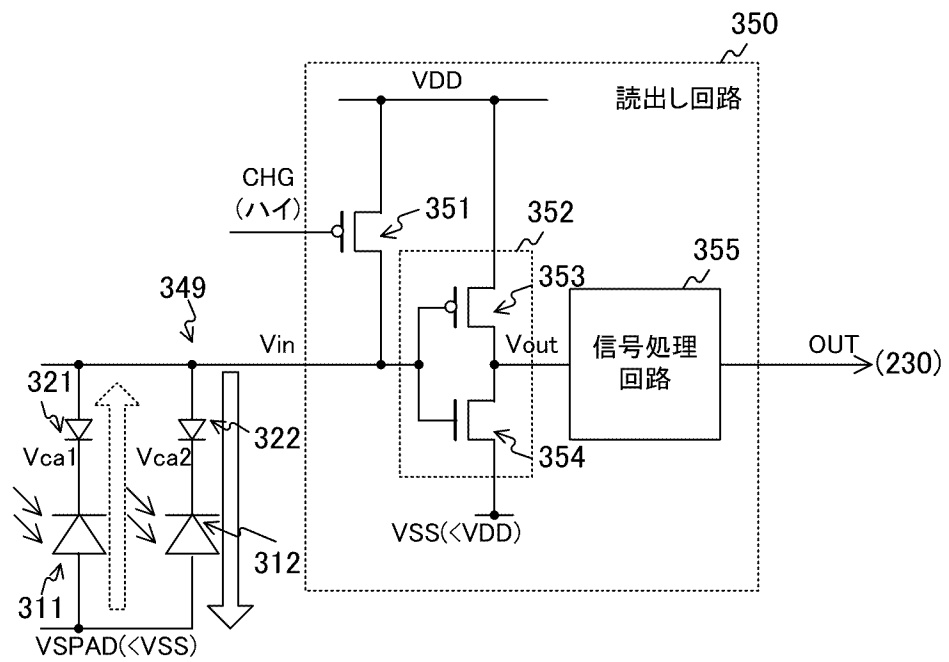
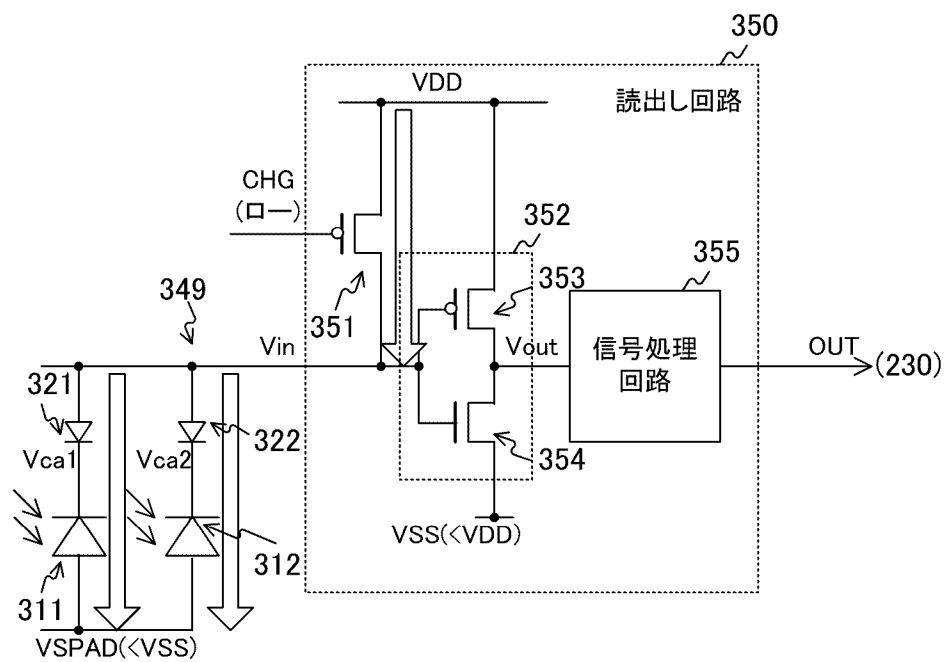
[図5]



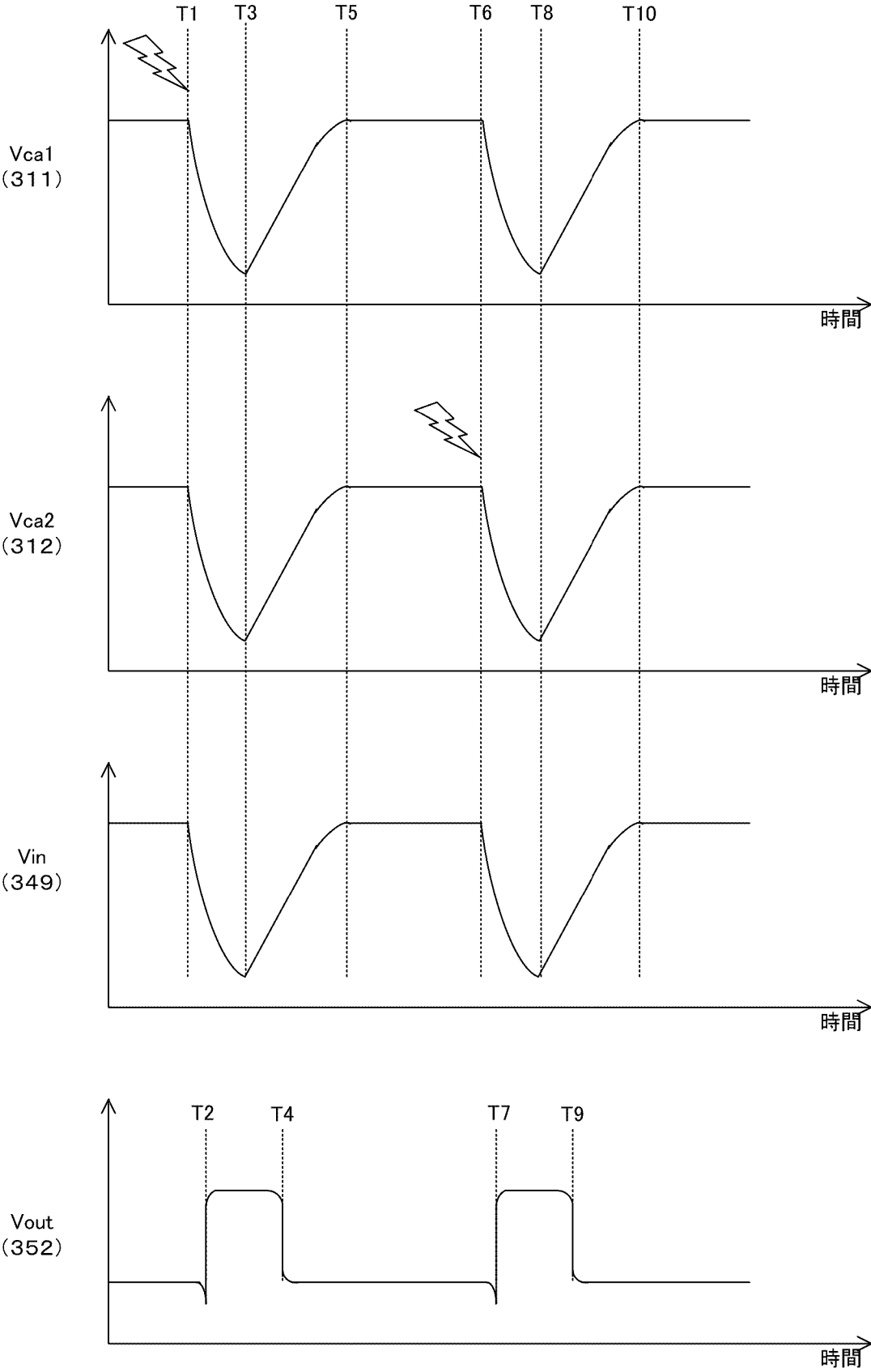
[図6]

ab

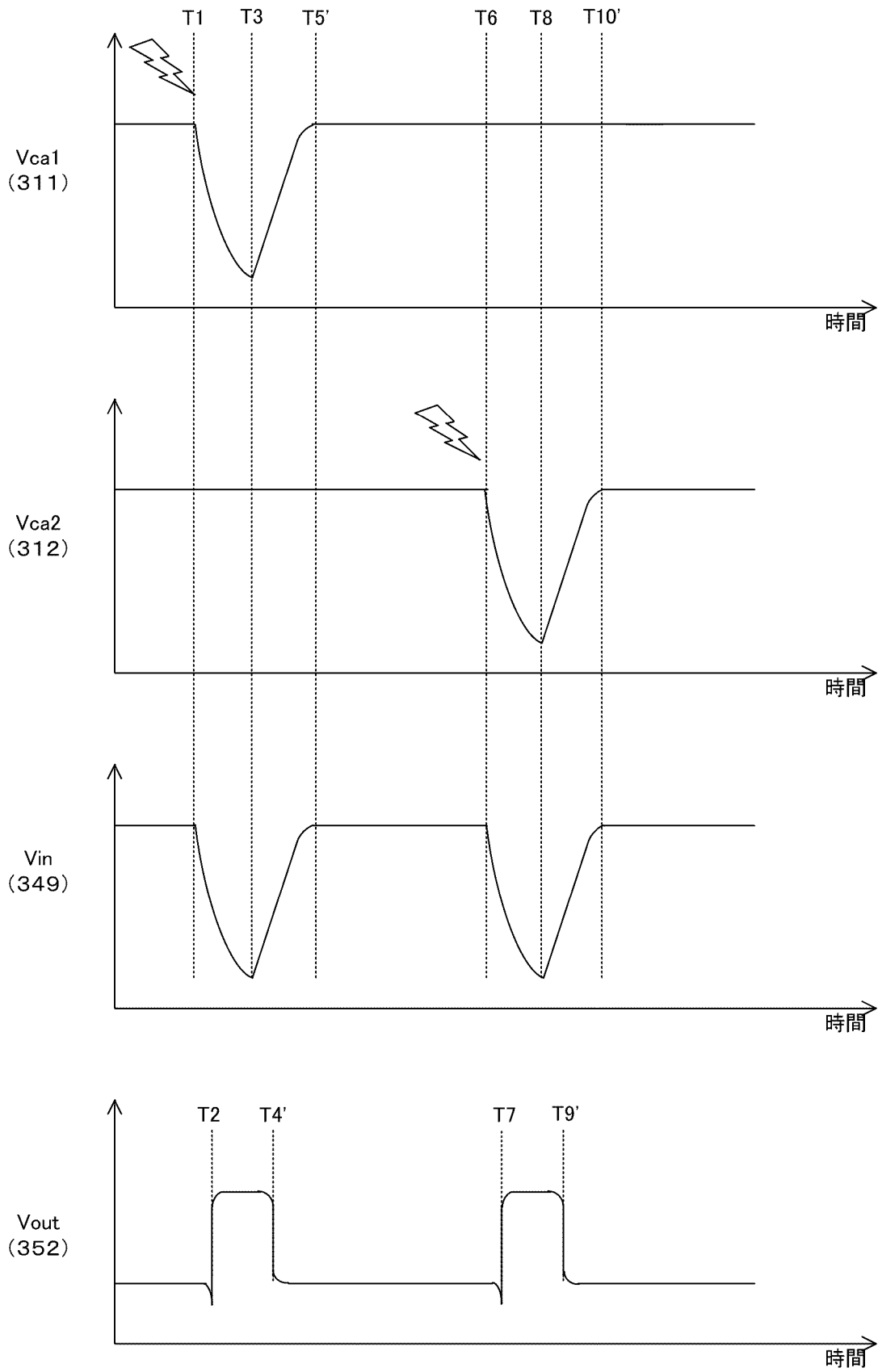
[図7]

ab

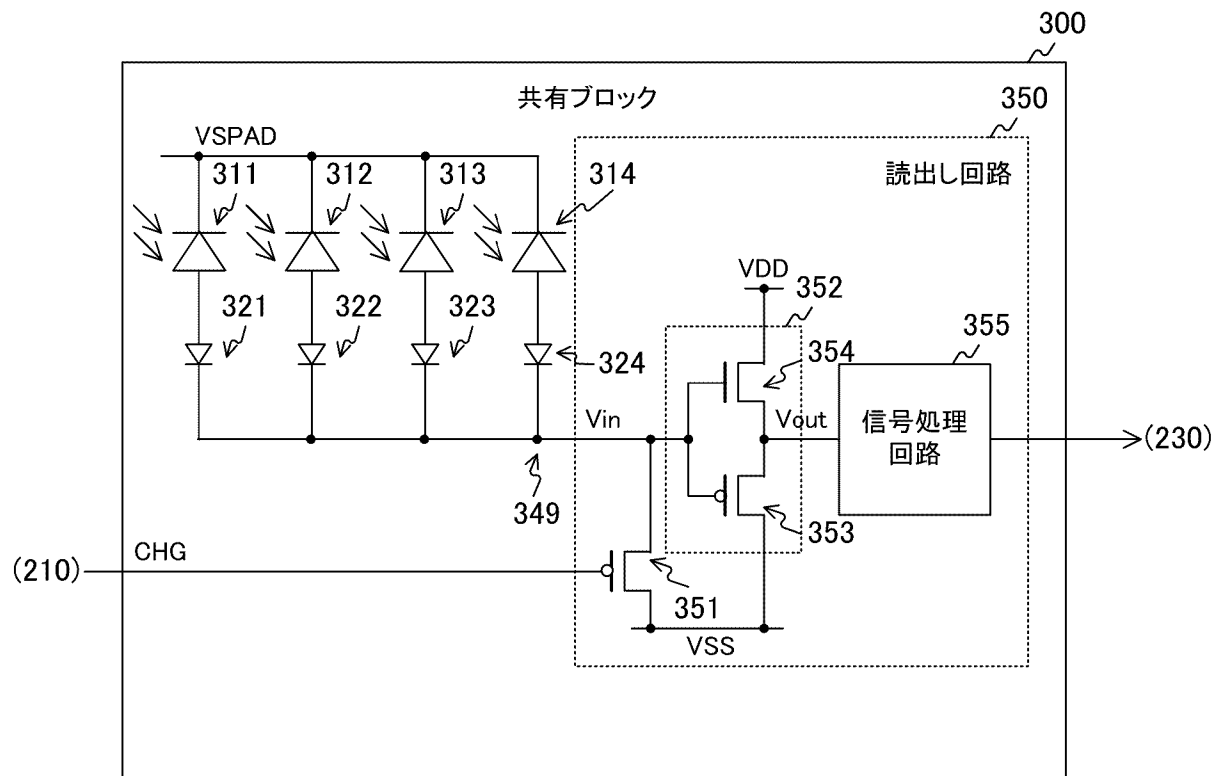
[図8]



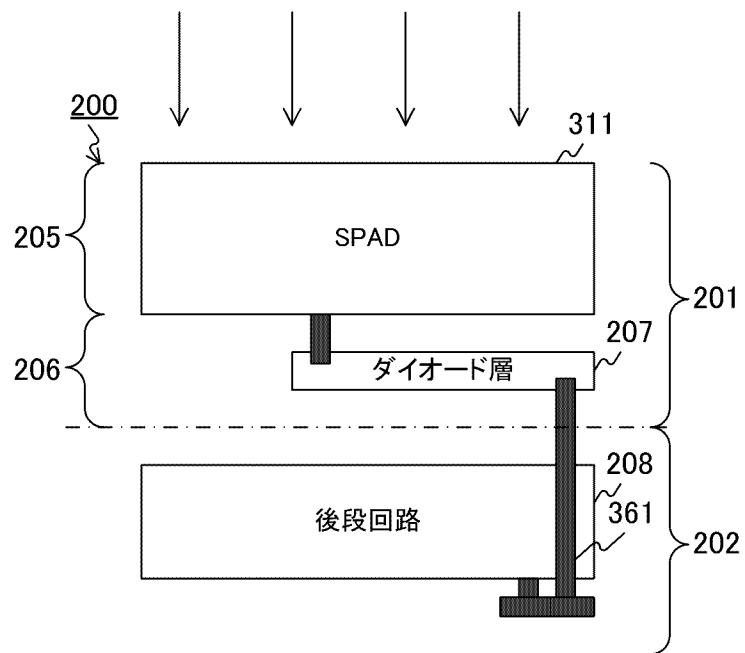
[図9]



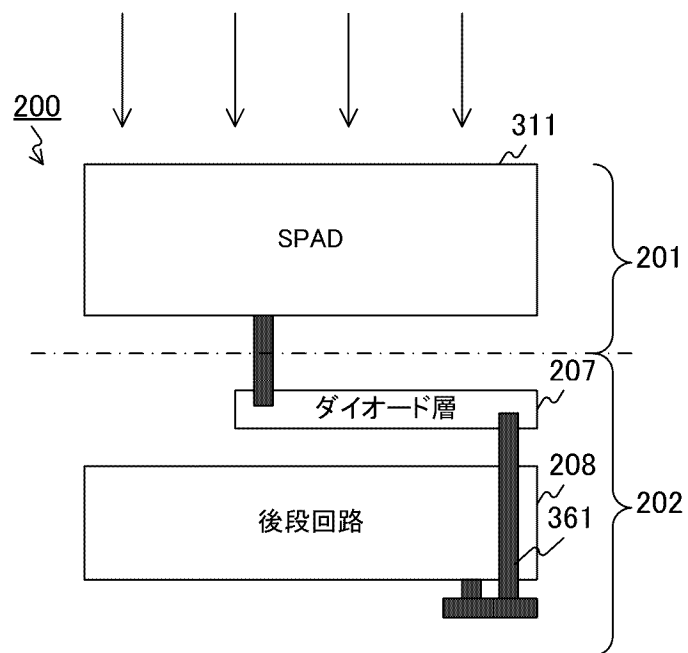
[図10]



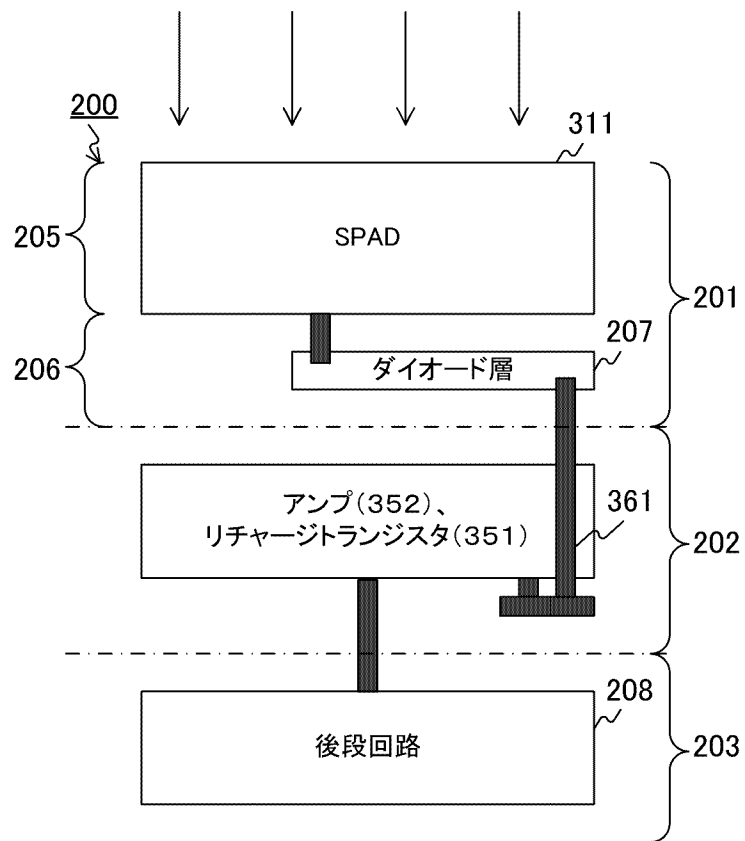
[図11]



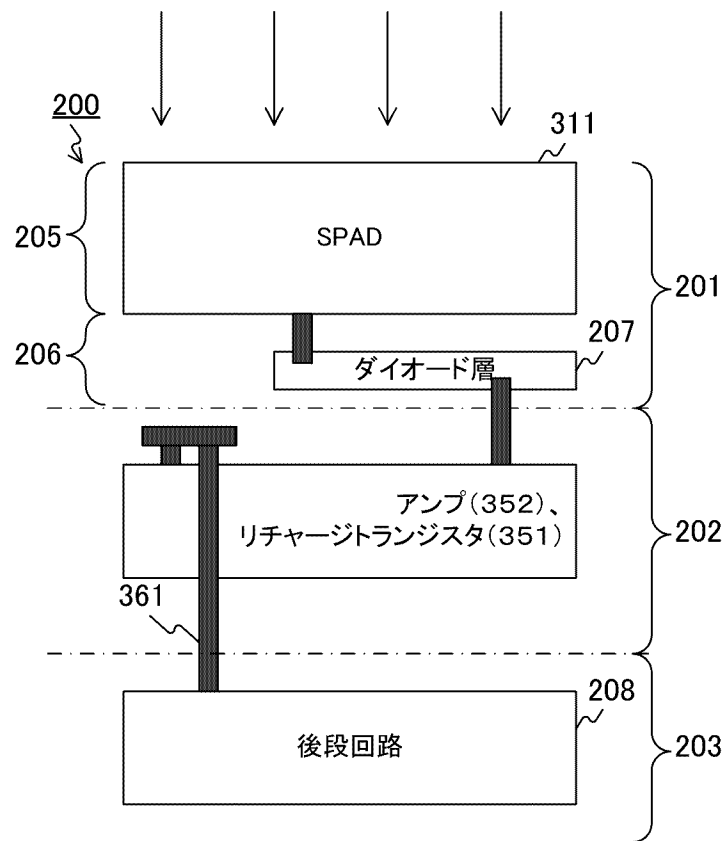
[図12]



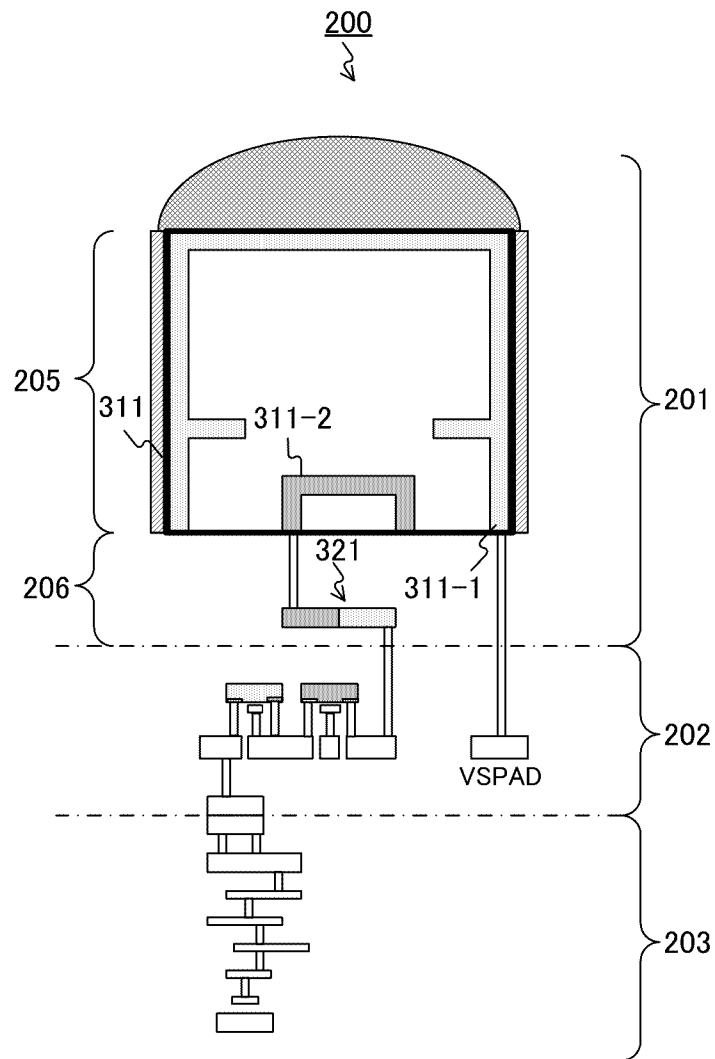
[図13]



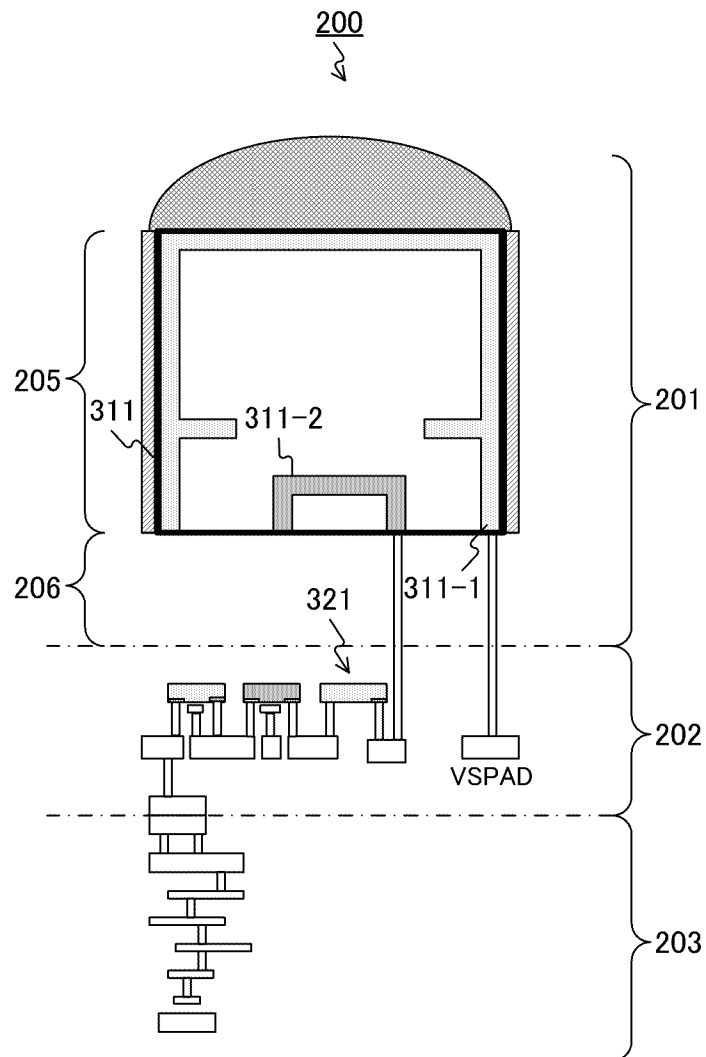
[図14]



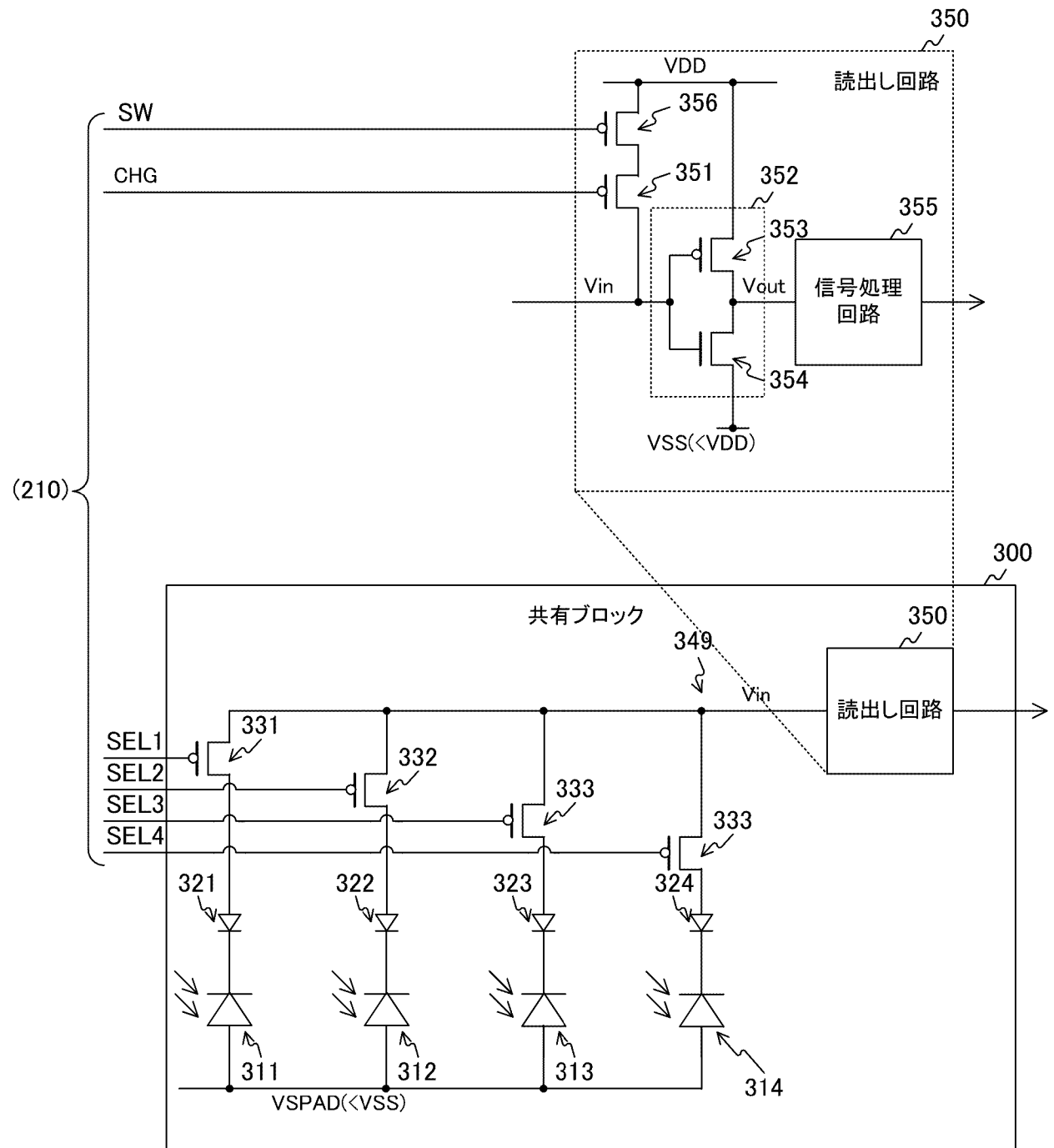
[図15]



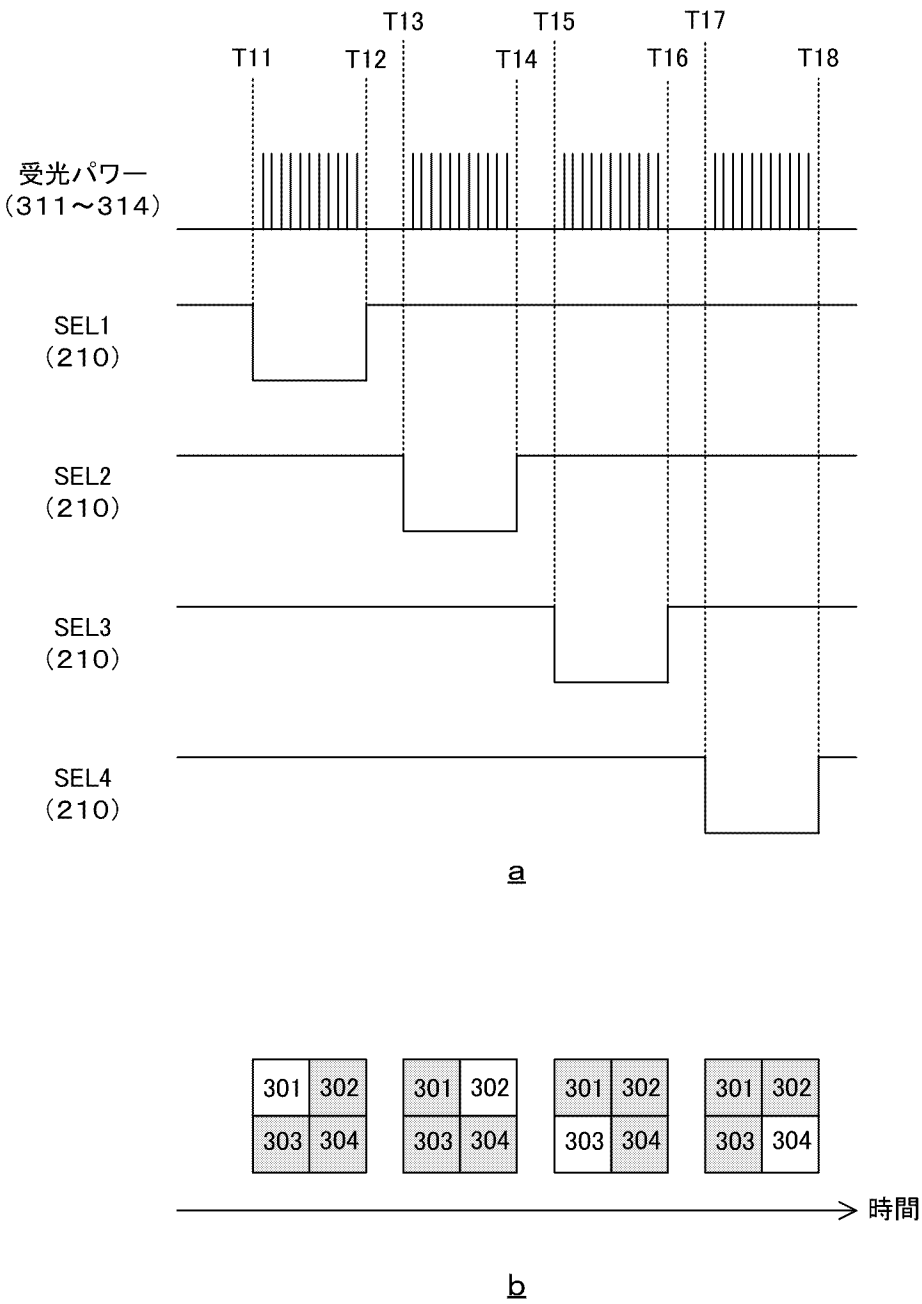
[図16]



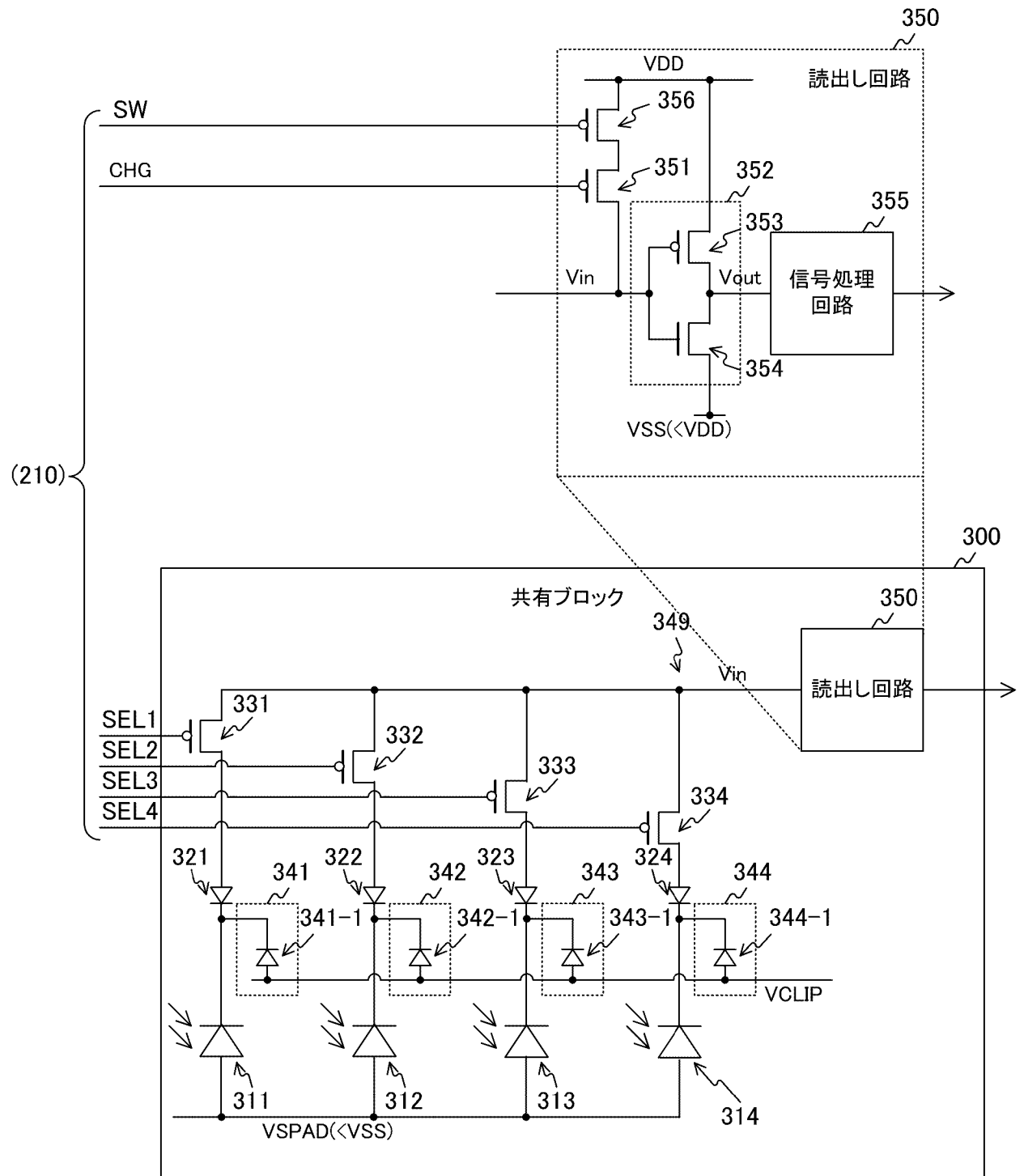
[図17]



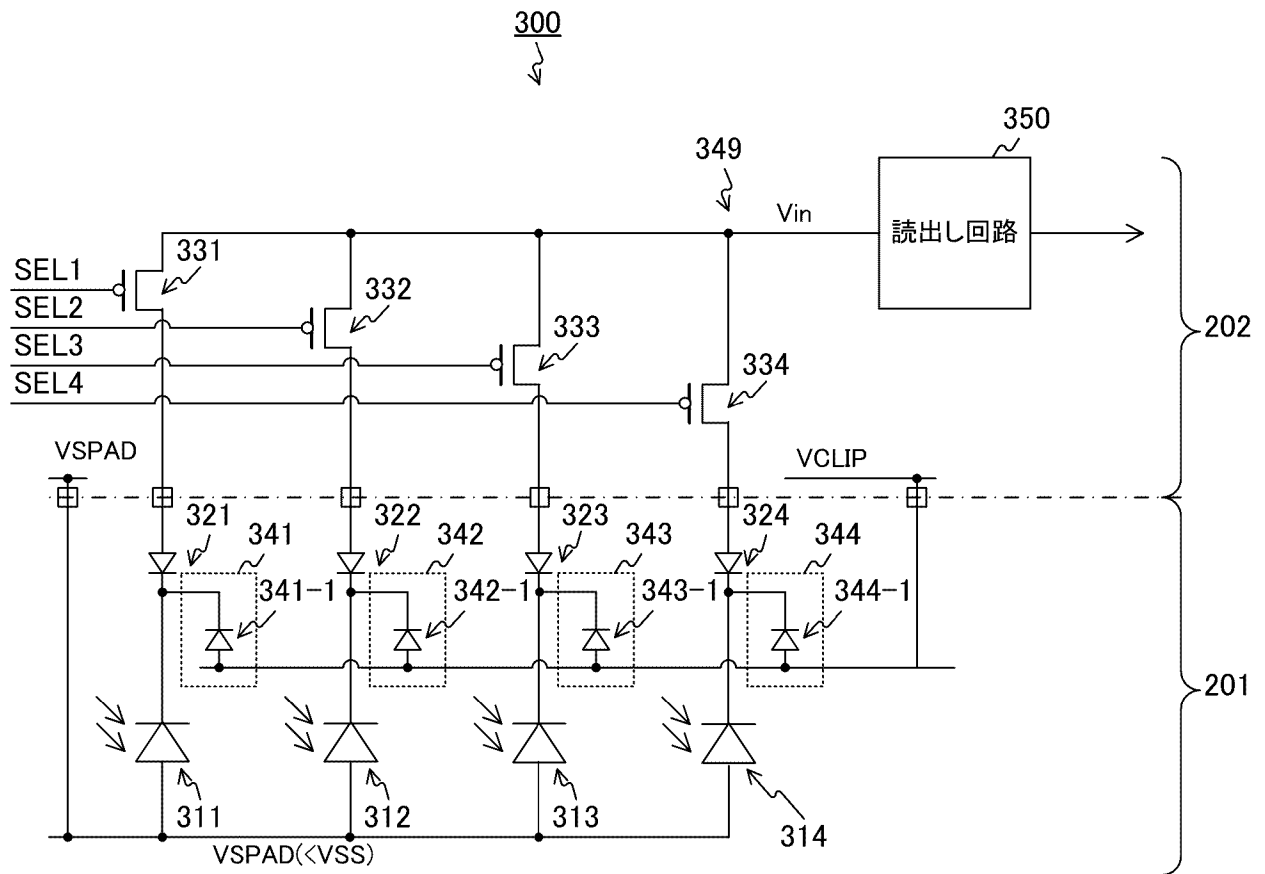
[図18]



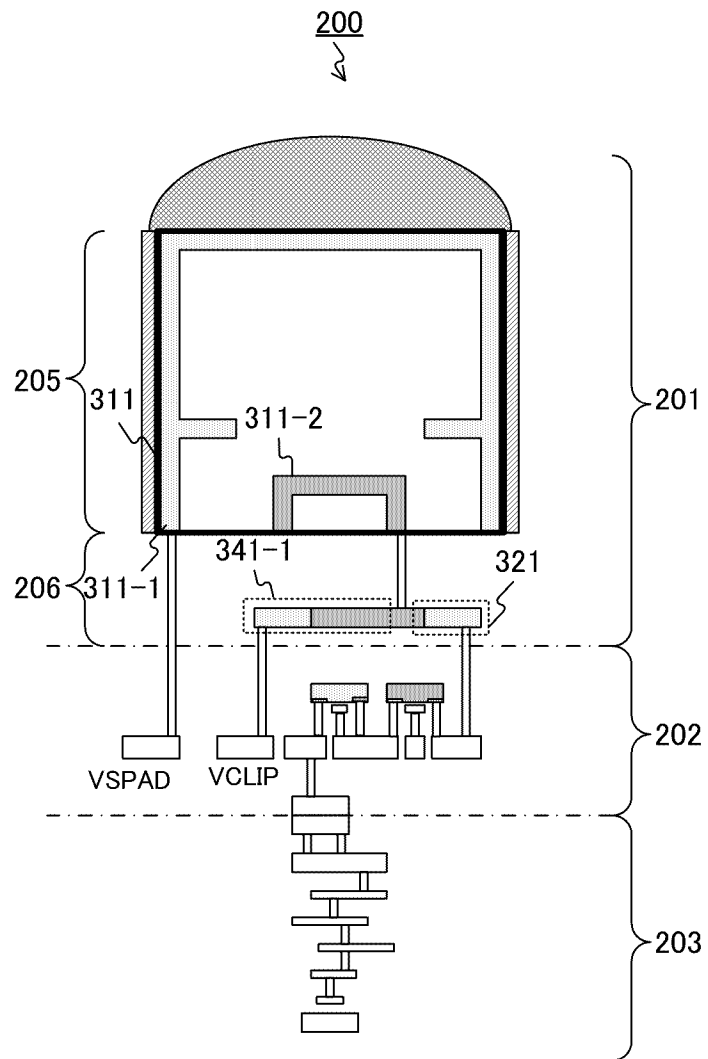
[図19]



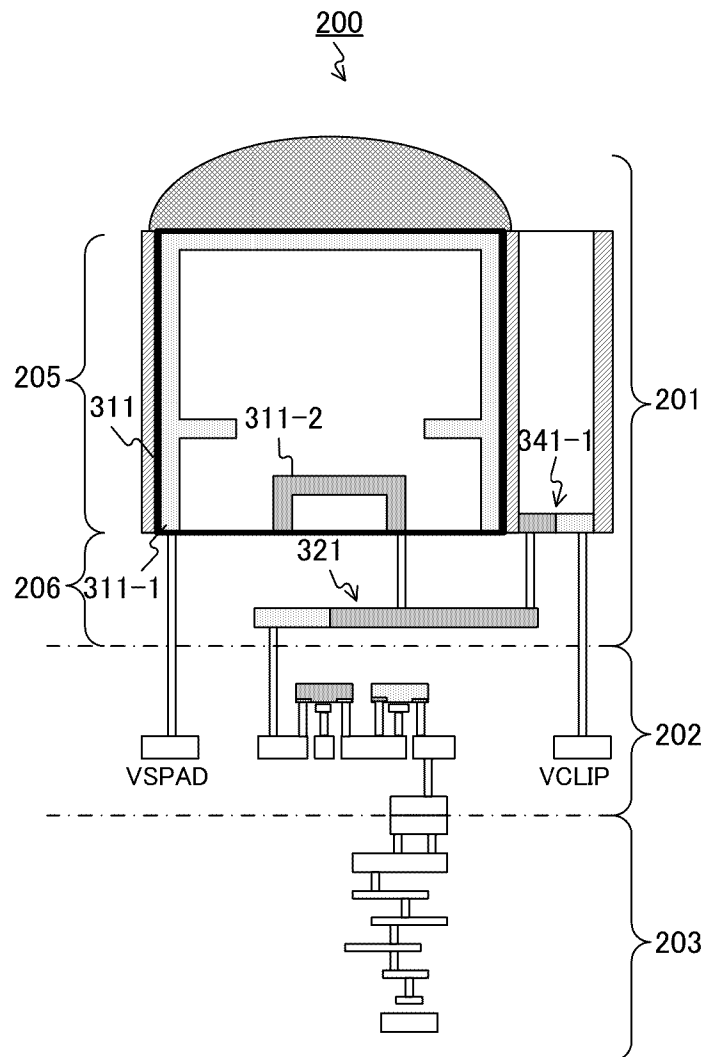
[図20]



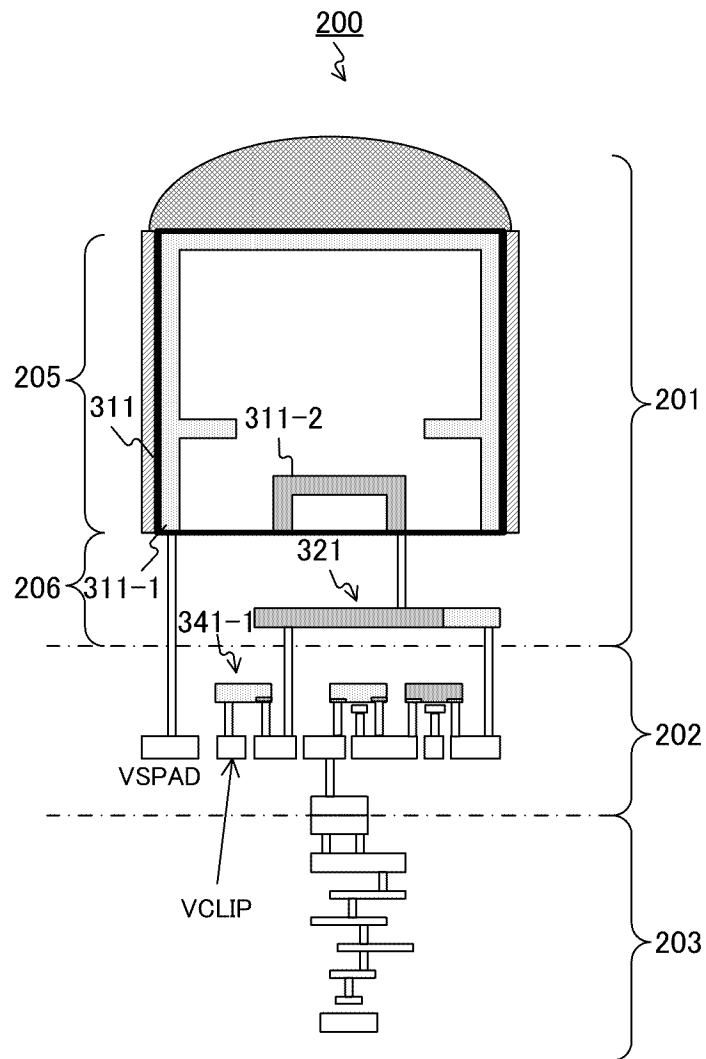
[図21]



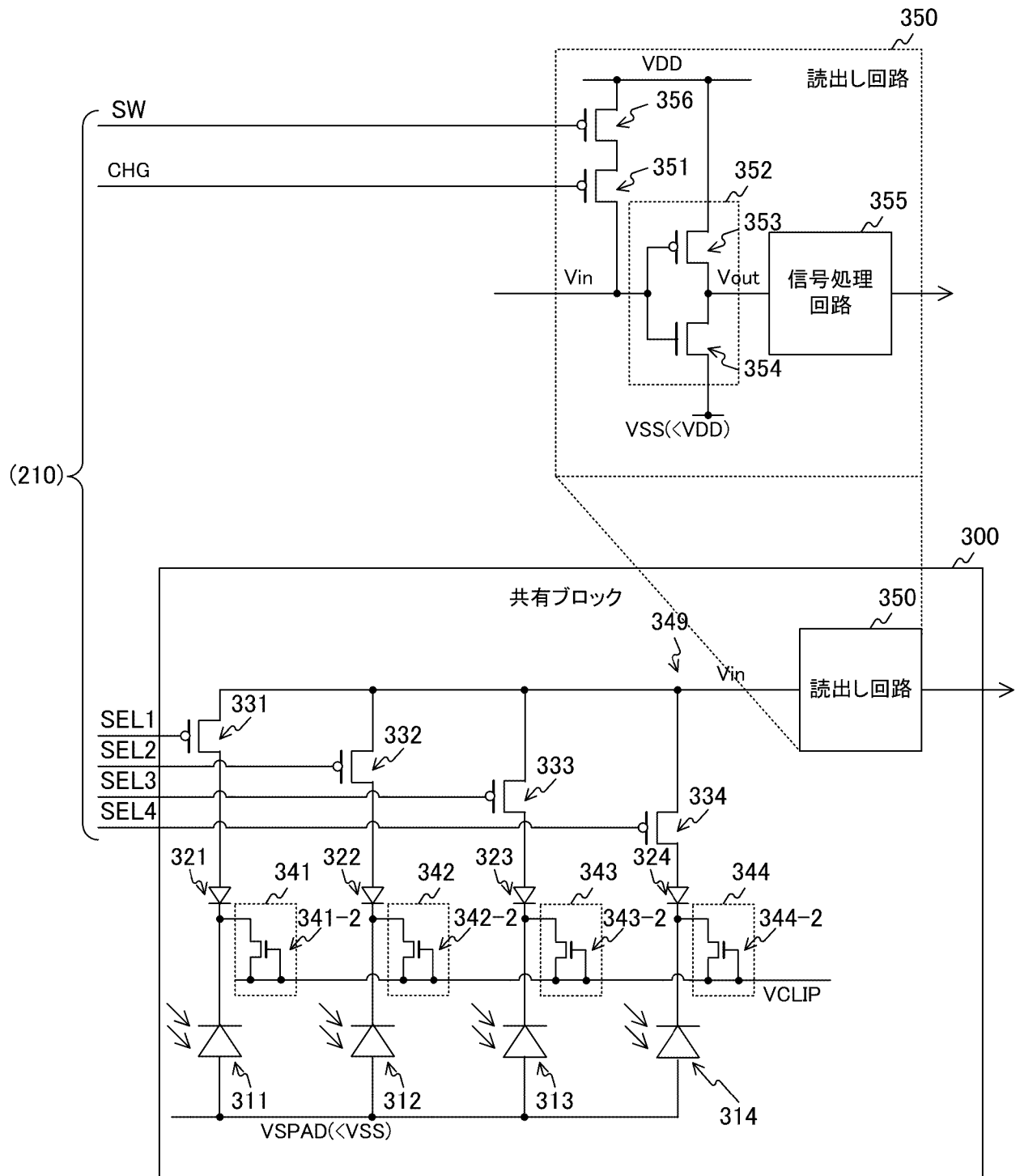
[図22]



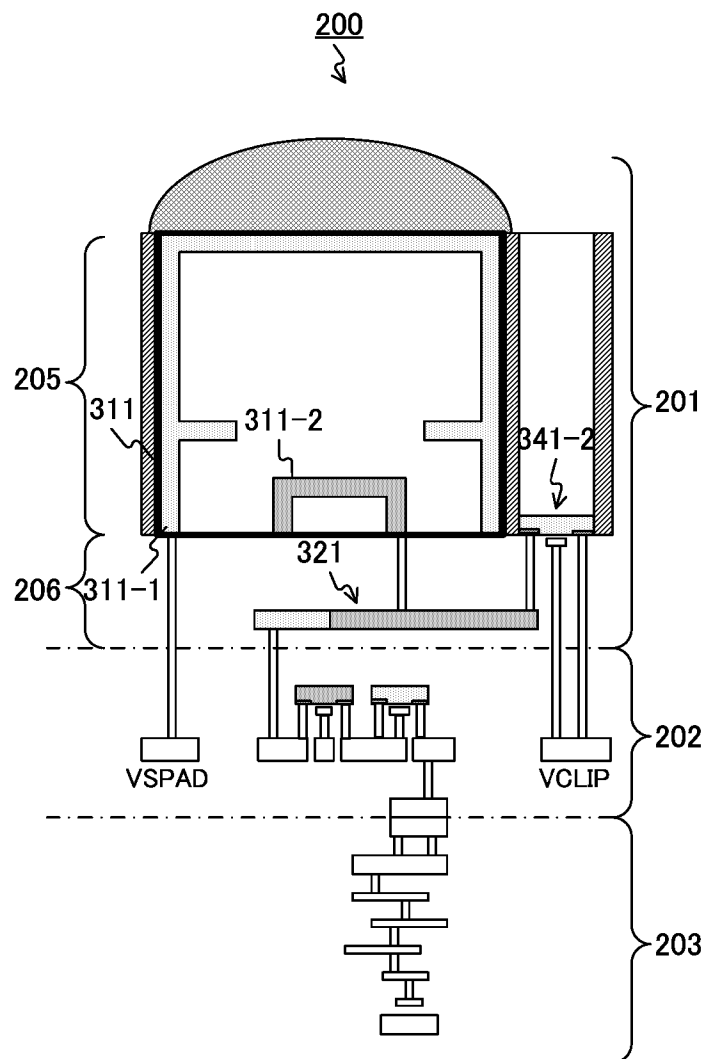
[図23]



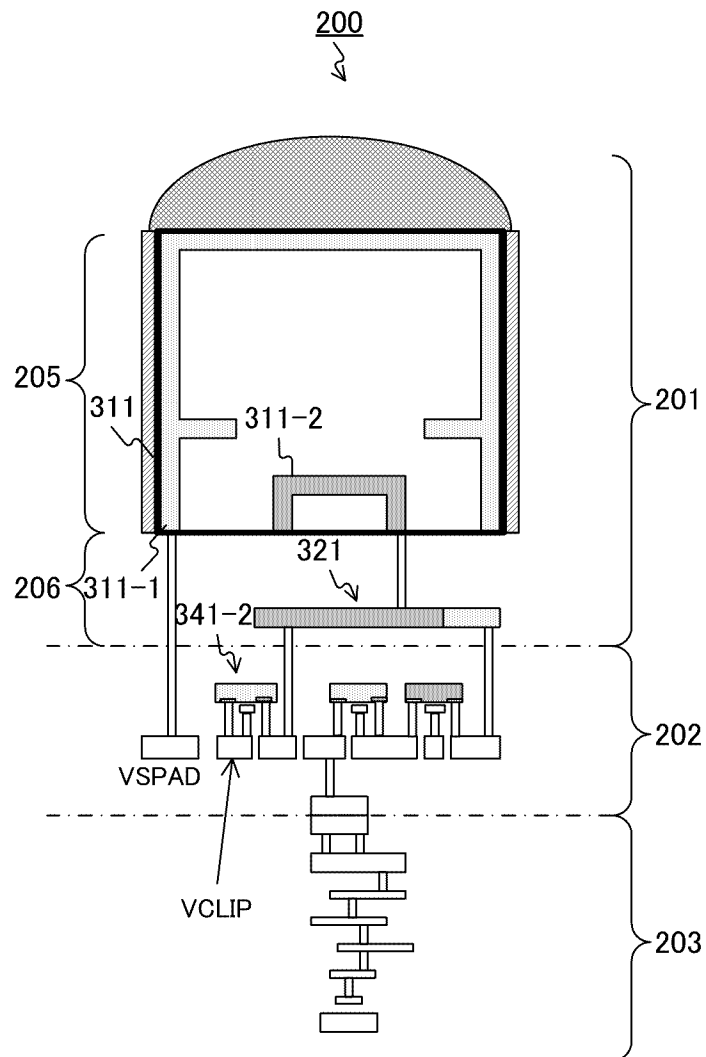
[図24]



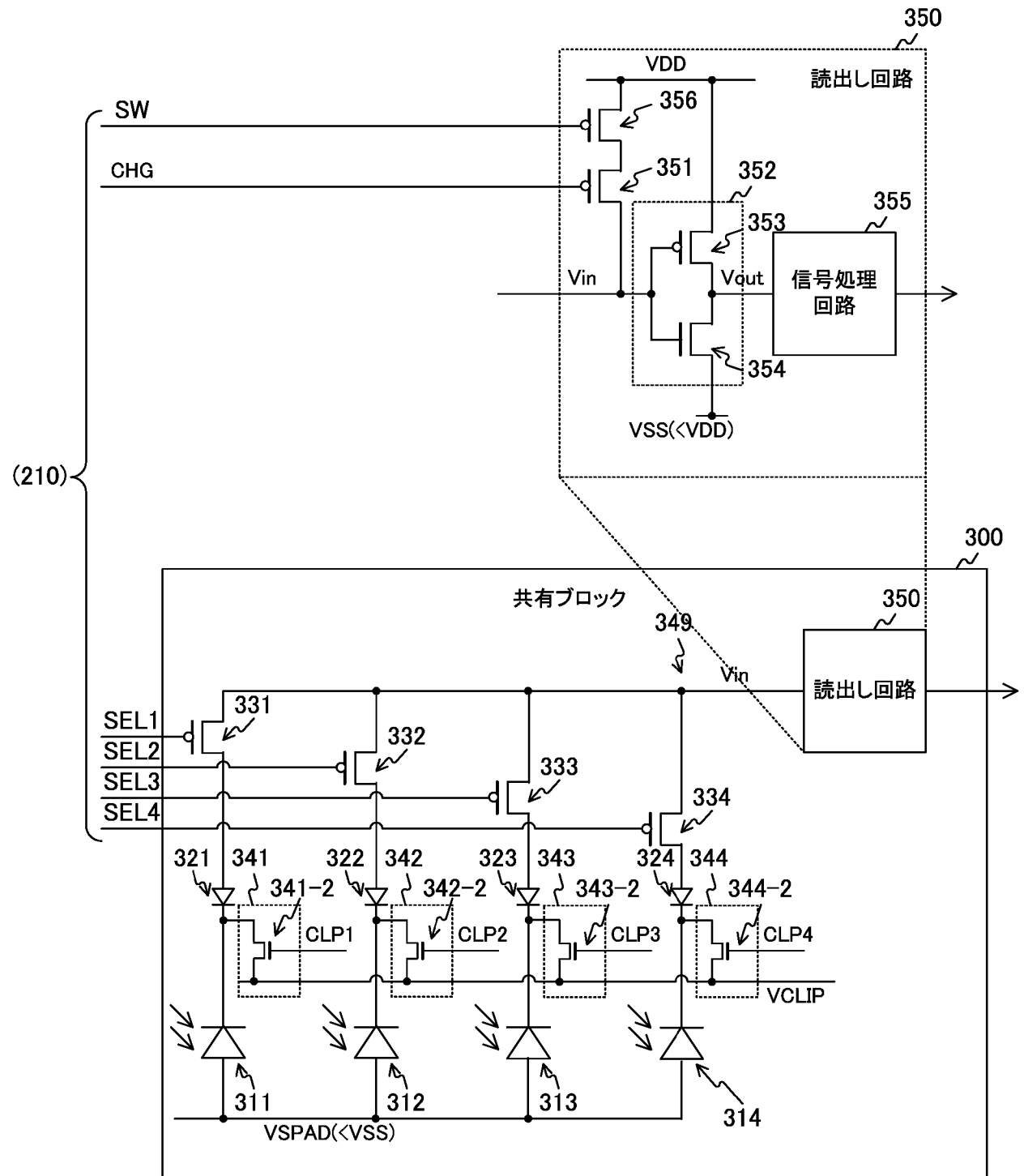
[図25]



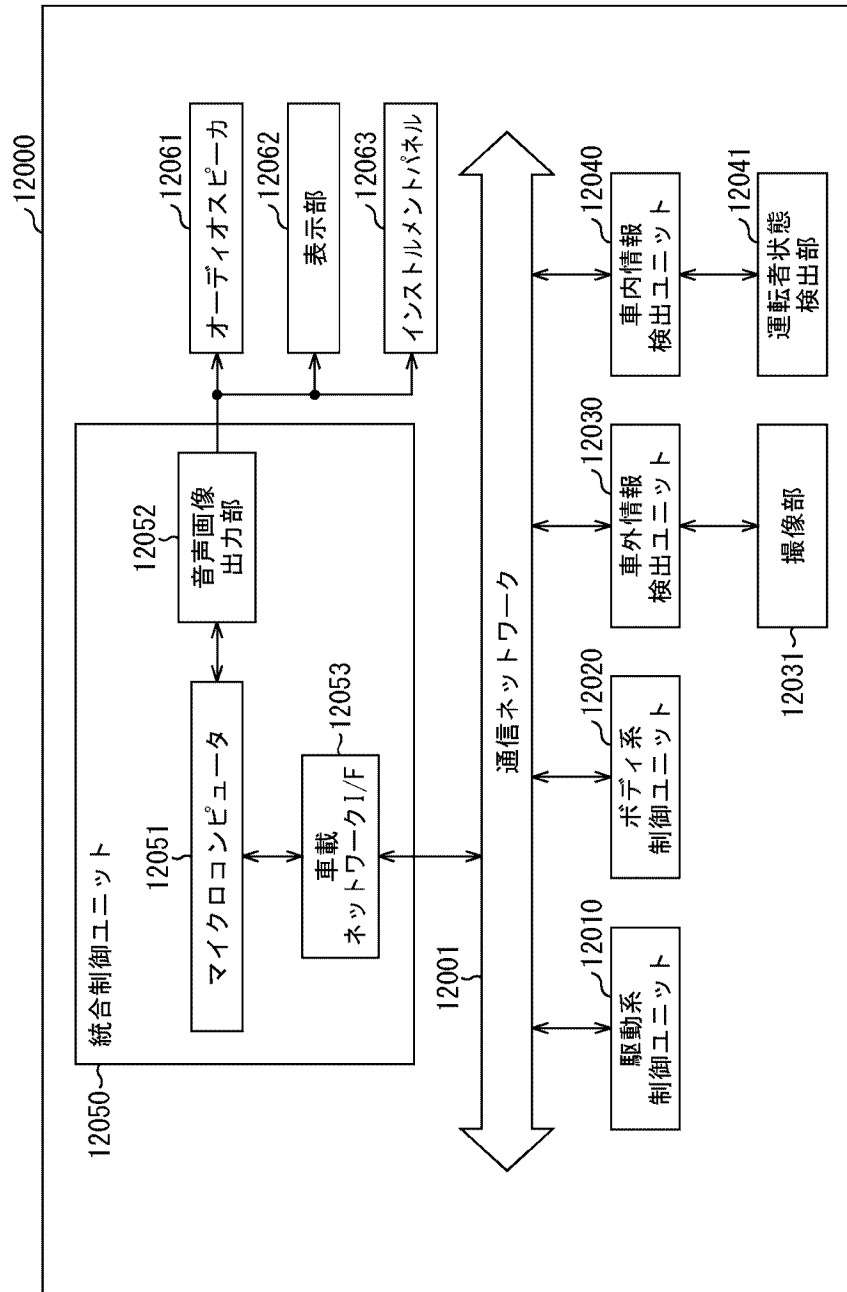
[図26]



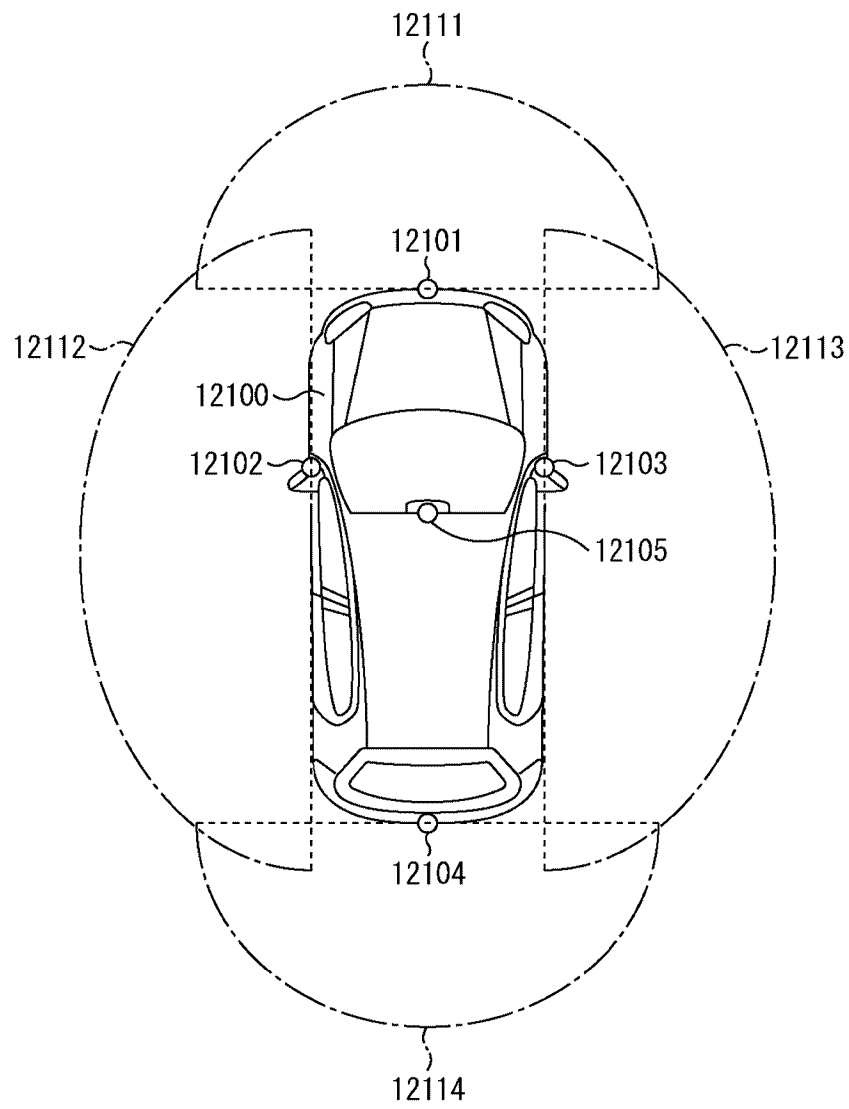
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/001077

A. CLASSIFICATION OF SUBJECT MATTER

H04N 25/70(2023.01)i; **G01J 1/42**(2006.01)i; **G01J 1/44**(2006.01)i; **G01S 7/4863**(2020.01)i; **H01L 27/146**(2006.01)i
FI: H04N25/70; G01J1/42 H; G01J1/44 P; G01S7/4863; H01L27/146 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/70; G01J1/42; G01J1/44; G01S7/4863; H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2022-54553 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 07 April 2022 (2022-04-07) paragraphs [0029], [0037]-[0043], [0108], [0114], [0128], [0132], fig. 3, 7, 15-16, 19	1-3, 5-7, 12, 15-19
A		4, 8-11, 13-14
Y	JP 61-203668 A (FUJITSU LIMITED) 09 September 1986 (1986-09-09) page 1, right column, lines 2-7, fig. 1	1-3, 5-7, 12, 15-19
Y	WO 2018/131638 A1 (FOUNDATION FOR THE PROMOTION OF ENGINEERING RESEARCH) 19 July 2018 (2018-07-19) paragraphs [0024], [0026]-[0027], fig. 2-4	1-3, 5-7, 12, 15-19
Y	JP 2021-114741 A (NIPPON HOSO KYOKAI) 05 August 2021 (2021-08-05) paragraph [0061], fig. 6	2-3, 5-7, 12, 15-16
Y	JP 2022-89606 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 16 June 2022 (2022-06-16) paragraph [0014], fig. 1	19

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 March 2024

Date of mailing of the international search report

09 April 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/001077

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2022-54553	A	07 April 2022	WO 2022/064867 A1 paragraphs [0029], [0037]- [0043], [0108], [0114], [0128], [0132], fig. 3, 7, 15-16, 19	
JP	61-203668	A	09 September 1986	(Family: none)	
WO	2018/131638	A1	19 July 2018	US 2019/0378880 A1 paragraphs [0039], [0041]- [0042], fig. 2-4	
				CN 110366780 A	
JP	2021-114741	A	05 August 2021	(Family: none)	
JP	2022-89606	A	16 June 2022	WO 2022/118552 A1 paragraph [0014], fig. 1	

A. 発明の属する分野の分類（国際特許分類（IPC））

H04N 25/70(2023.01)i; G01J 1/42(2006.01)i; G01J 1/44(2006.01)i; G01S 7/4863(2020.01)i;
H01L 27/146(2006.01)i
FI: H04N25/70; G01J1/42 H; G01J1/44 P; G01S7/4863; H01L27/146 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H04N25/70; G01J1/42; G01J1/44; G01S7/4863; H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2022-54553 A（ソニーセミコンダクタソリューションズ株式会社）07.04.2022 (2022-04-07) 段落[0029], [0037]-[0043], [0108], [0114], [0128], [0132], 図3, 7, 15-16, 19	1-3, 5-7, 12, 15-19 4, 8-11, 13-14
Y	JP 61-203668 A（富士通株式会社）09.09.1986（1986-09-09） 第1頁右欄第2行-第7行, 図1	1-3, 5-7, 12, 15-19
Y	WO 2018/131638 A1（一般財団法人 総合研究奨励会）19.07.2018（2018-07-19） 段落[0024], [0026]-[0027], 図2-4	1-3, 5-7, 12, 15-19
Y	JP 2021-114741 A（日本放送協会）05.08.2021（2021-08-05） 段落[0061], 図6	2-3, 5-7, 12, 15-16
Y	JP 2022-89606 A（ソニーセミコンダクタソリューションズ株式会社）16.06.2022 (2022-06-16) 段落[0014], 図1	19

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
27.03.2024

国際調査報告の発送日
09.04.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

花田 尚樹 5V 5889

電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/001077

引用文献			公表日	パテントファミリー文献	公表日
JP	2022-54553	A	07.04.2022	WO 2022/064867 A1 段落[0029], [0037]-[0043], [0108], [0114], [0128], [0132], 図3, 7, 15-16, 19	
JP	61-203668	A	09.09.1986	(ファミリーなし)	
WO	2018/131638	A1	19.07.2018	US 2019/0378880 A1 段落[0039], [0041]-[0042], 図2-4	
				CN 110366780 A	
JP	2021-114741	A	05.08.2021	(ファミリーなし)	
JP	2022-89606	A	16.06.2022	WO 2022/118552 A1 段落[0014], 図1	