

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3787385号  
(P3787385)

(45) 発行日 平成18年6月21日(2006.6.21)

(24) 登録日 平成18年3月31日(2006.3.31)

(51) Int.Cl.

G06F 9/48 (2006.01)

F I

G06F 9/46 314Z

請求項の数 4 (全 12 頁)

|              |                       |           |                      |
|--------------|-----------------------|-----------|----------------------|
| (21) 出願番号    | 特願平8-88994            | (73) 特許権者 | 504199127            |
| (22) 出願日     | 平成8年3月19日(1996.3.19)  |           | フリースケール セミコンダクター イン  |
| (65) 公開番号    | 特開平8-286930           |           | コーポレイテッド             |
| (43) 公開日     | 平成8年11月1日(1996.11.1)  |           | アメリカ合衆国テキサス州78729, オ |
| 審査請求日        | 平成15年2月18日(2003.2.18) |           | ースティン, ウェスト・パーマー・レーン |
| (31) 優先権主張番号 | 414466                |           | 7700                 |
| (32) 優先日     | 平成7年3月31日(1995.3.31)  | (74) 代理人  | 100083574            |
| (33) 優先権主張国  | 米国 (US)               |           | 弁理士 池内 義明            |
|              |                       | (74) 代理人  | 100116322            |
|              |                       |           | 弁理士 桑垣 衛             |
|              |                       | (72) 発明者  | ウィリアム・シー・モイヤー        |
|              |                       |           | アメリカ合衆国テキサス州ドリッピング・  |
|              |                       |           | スプリングス、ピア・ブランチ・ロード1  |
|              |                       |           | 005                  |

最終頁に続く

(54) 【発明の名称】 データ処理システムにおいて割込待ち時間を選択的に制御するための方法および装置

## (57) 【特許請求の範囲】

## 【請求項1】

データ処理システムを動作する方法であって：

第1の命令を解読する段階；

第1の命令の実行を開始する段階；

第1の命令の実行中に割込要求を受け入れる段階；

格納回路が第1値を格納している際に、データ処理システムに割込みをかけ、かつ第1命令と、本来は第1の命令の後に前記データ処理システム内で実行されるべき第2命令、との間の命令境界において割込要求を処理する段階；および前記収納回路が第2の値を格納している際に、前記データ処理システムに割込みをかけ、かつ前記第1の命令の実行が開始された後であるが前記第1の命令が完了しておらず、前記第1の命令と前記第2の命令との間の命令境界の前である場合は、前記データ処理システムを前記第1の命令の実行を開始する前の状態に戻して、前記割込み要求を処理する段階；

を具備することを特徴とするデータ処理システムを動作させる方法。

## 【請求項2】

データ・プロセッサであって：

割込要求を受け入れる割込回路；

割込制御値を格納する第1の格納回路；

第1の命令と第2の命令との間の命令境界を検出する命令境界検出回路；および

10

20

前記第 1 および第 2 の命令の実行を制御する制御回路であって、該制御回路は前記割込回路と、前記第 1 の格納回路と、前記命令境界検出回路とに結合された前記制御回路；  
 を具備し、前記割込制御値が第 1 の値を有しかつ前記割込回路が前記第 1 の命令の実行中に割込要求を受け入れた場合には、前記制御回路は前記第 1 の命令と前記第 2 の命令との間の前記命令境界において前記割込要求を処理し、かつ前記割込制御値が第 2 の値を有しかつ前記割込回路が前記第 1 の命令の実行中に前記割込要求を受け入れた場合には、前記制御回路は前記第 1 の命令の実行中に前記割込要求を処理し、前記割込要求が処理される場合に前記第 1 の命令がまだ完了していない場合には、前記データ処理システムを前記第 1 の命令の実行を開始する段階の前に前記データ処理システムが有していた状態に戻すことを特徴とするデータ・プロセッサ。

10

【請求項 3】

データ処理システムを動作させる方法であって、前記データ処理システムは第 1 の組の N 個の命令を有しかつ第 2 の組の K 個の命令を有し、前記 N および K は正の整数であり、前記方法は：

第 1 の命令の実行を開始する段階；

前記第 1 の命令の実行中に第 1 の割込要求を受け入れる段階；

前記第 1 の命令が前記第 1 の組の N 個の命令に属しかつ第 1 の制御レジスタ・フィールドが第 1 の値を有する場合に；

前記第 1 の命令の実行を完了する段階；

前記第 1 の割込要求を処理する段階；および

20

第 2 の命令の実行を開始する段階；

を実行する段階；

前記第 1 の命令が前記第 1 の組の N 個の命令に属し、前記第 1 の制御レジスタ・フィールドが第 2 の値を有し、前記第 1 の命令の実行が完了していない場合に；

前記第 1 の命令の実行を停止する段階；

前記データ処理システムを前記データ処理システムが前記第 1 の命令の実行が開始される前に有していた状態に戻す段階；

前記データ処理システムに割込みをかけかつ前記第 1 の割込要求を処理する段階；および前記第 1 の命令の実行を開始する前記段階を反復する段階；

を実行する段階；および

30

前記第 1 の命令が前記第 2 の組の K 個の命令に属する場合に；

前記第 1 の命令の実行を完了する段階；

前記第 1 の割込要求を処理する段階；および

前記第 2 の命令の実行を開始する段階；

を実行する段階；

を具備することを特徴とするデータ処理システムを動作させる方法。

【請求項 4】

データ処理システムを動作させる方法であって：

前記データ処理システム内で第 1 のコンピュータ命令の実行を開始する段階；前記第 1 のコンピュータ命令の実行中に割込みを受ける段階；

40

前記データ処理システム内で前記割込みを処理するために前記第 1 の命令が早く終了すべきであることを示す複数の制御ビットにアクセスする段階；

前記割込みを処理するために前記第 1 の命令の完了の前に前記第 1 の命令の実行を終了する段階；

前記割込みを処理する段階；

前記データ処理システムを前記データ処理システムが前記第 1 のコンピュータ命令の実行を開始する前記段階の前に有していた状態に戻す段階；および

前記割込みの処理の完了後に再び前記第 1 のコンピュータ命令の実行を開始する段階；

を具備することを特徴とするデータ処理システムを動作させる方法。

【発明の詳細な説明】

50

## 【 0 0 0 1 】

## 【産業上の利用分野】

本発明は、一般にデータ処理システムに関し、さらに詳しくは、データ処理システムにおいて割込待ち時間を選択的に制御するための方法および装置に関する。

## 【 0 0 0 2 】

## 【従来の技術および発明が解決しようとする課題】

割込は、データ処理システムにおいて、特に多くのリアルタイム制御用途において現在よく用いられる。たとえば、自動車のエンジンを制御するデータ処理システムは、アンチロック・ブレーキング・システムにより自動車が横すべりし始めたことが検出されると、アンチロック・ブレーキング・システムから割込要求を受信する。データ処理システムが割込に  
10 応答するためにかかる最大時間量を「最大割込待ち時間」と呼ぶ。多くのデータ処理システムにおいては、データ処理システムの通常の動作性能を低下させずに可能な限り最短の割込待ち時間を有することが望ましい。

## 【 0 0 0 3 】

多くのリアルタイム制御用途においては、最大割込待ち時間は非常に重要であり、ある用途のためにどのデータ処理システムを選定するかを決定することさえある。上記の例では、データ処理システムがアンチロック・ブレーキング・システムからの割込に対して充分迅速に  
20 応答することができなければ、割込待ち時間のより短い別のデータ処理システムが選定され使用されることになる。そのため、データ処理技術においては、データ処理システムの正常な動作性能を大幅に低下させることなく最大割込待ち時間を短縮することが非常に重要である。

## 【 0 0 0 4 】

## 【実施例】

データ処理システムにおいて割込待ち時間を最小限に抑えることは、多くのリアルタイム制御用途にとってきわめて重要である。データ処理システムは、1つ以上の命令（すなわち長命令）を有することが多く、この長命令は、他のより短い命令（すなわち短命令）を実行するために要する時間に比べて、完全に実行するにはかなりの量の時間が必要になる。  
30 待機中の割込要求に  
応答する前に、長命令の実行を完了する時間が必要とされるために、データ処理システムの割込待ち時間が長過ぎることになる。本発明は、長命令の実行を中断して、割込要求を処理して、割込待ち時間を短縮することを可能にする。

## 【 0 0 0 5 】

本発明の1つの実施例においては、データ処理システムは、各長命令の実行中のいくつかの時点で割込要求が待機していないかチェックする。長命令の実行が終了する前に割込要求が受け付けられると、データ処理システムは長命令の実行を停止して、データ処理システムが長命令の実行を開始する前の状態にデータ処理システムを戻す。その後で割込が処理される。割込の処理が完了すると、同じ長命令の実行が再び開始される。

## 【 0 0 0 6 】

「バス」という用語は、データ、アドレス、制御または状況など1つ以上の種々の情報を転送するために用いられる複数の信号または導体を指すために用いられる。「アサート」、  
40 「ネゲート」という用語は、それぞれ、信号、状況ビットまたは同様の装置を論理的に真の状態にする場合と、論理的に偽の状態にする場合に用いられる。論理的に真の状態が論理レベル1である場合は、論理的に偽の状態は論理レベル0である。また、論理的に真の状態が論理レベル0である場合は、論理的に偽の状態は論理レベル1である。

## 【 0 0 0 7 】

## 図面の説明

図1は、中央処理装置（CPU）回路構成12，メモリ回路構成14，タイマ回路構成16，シリアル回路構成18，その他の回路構成20およびシステム統合回路構成22を有するデータ処理システム10を示し、これらはすべてバス24を介して互いに双方向に結合される。

## 【 0 0 0 8 】

10

20

30

40

50

CPU12は、1つ以上の集積回路端子30を介してデータ処理システム10の外部に結合されることがある。メモリ14は、1つ以上の集積回路端子32を介してデータ処理システム10の外部に結合されることがある。タイマ16は、1つ以上の集積回路端子34を介してデータ処理システム10の外部に結合されることがある。シリアル回路構成18、1つ以上の集積回路端子36を介してデータ処理システム10の外部に結合されることがある。また、その他の回路構成20は、1つ以上の集積回路端子38を介してデータ処理システム10の外部に結合されることがある。システム統合回路構成22は、バス26を介してデータ処理システム10の外部と双方向に結合される。システム統合回路22は、割込回路構成28を具備する。割込回路構成28は、集積回路端子40を介してデータ処理システム10の外部に結合されることがある。

10

#### 【0009】

本発明のある実施例においては、データ処理システム10は、単独の集積回路上に形成されたデータ・プロセッサである。実施例によっては、データ処理システム10は単独のチップ・マイクロコントローラである。別の実施例では、データ処理システム10は、任意の種類の電気回路構成を用いて組み込むことができる。メモリ14は、どのような種類のメモリであってもよい。データ処理システム10の代替の実施例に含まれる回路構成のブロックは、もっと多いことも、少ないことも、あるいは異なる種類のものである場合もある。たとえば、データ処理システム10の代替の実施例は、メモリ14、タイマ16、シリアル18またはその他の回路構成20をもたない場合もある。本発明の実施例には、CPU12の一部として割込回路構成28を具備するものや、システム統合回路構成22を具備するもの、具備しないものがある。

20

#### 【0010】

集積回路端子30、32、34、36、38、40は、電気信号をデータ処理システム10との間にやり取りすることができる任意の種類の装置である。たとえば、集積回路端子30、32、34、36、38、40は、集積回路ピン、ハンダ・バンプ、ワイヤ導体などとすることができる。また、バス26は、集積回路端子を介して、データ処理システム10との間に電気信号を伝える。

#### 【0011】

図2は、本発明の1つの実施例による図1の割込回路構成28を示す。本発明の1つの実施例においては、割込回路構成28はレジスタ回路構成64を備え、これはバス24と双方向に結合されるので、レジスタ64にはCPU12(図1参照)によって読み取りおよび書き込みができる。割込回路構成28にはまた、割込制御回路構成60も含まれ、これは割込に関連するバス信号を受信および/または供給するためにバス24と結合される。割込回路構成28には、集積回路端子40を介してデータ処理システム10の外部から割込要求を受信する割込受信回路構成62も含まれる。

30

#### 【0012】

本発明の1つの実施例においては、割込受信回路構成62は、バス24と割込制御回路構成60とに結合され、着信割込要求に関する情報を提供する。本発明の代替の実施例においては、割込受信回路構成62は、バス24には結合されず、代わりに、割込受信回路構成62が割込要求を受信して、1つ以上の導体68を介して割込要求情報を割込制御回路構成60に送る。次に割込制御回路構成60は、バス24上の割込関連信号をアサートするか否か、さらに、いつアサートするかを決定する。レジスタ64は、導体66を介して、制御および/または状況情報を割込制御回路構成60に送る。

40

#### 【0013】

1つの実施例においては、レジスタ64は、いくつかのレジスタ・ビット・フィールド50、52、54、56、58を備え、これらはそれぞれ制御値を格納する格納回路を具備する。図2に示されるレジスタ64には、制御に用いられる5つのレジスタ・フィールド(50、52、54、56、58)が含まれるが、本発明の代替の実施例では、より多くの、またはより少ない、または異なるレジスタ・ビット・フィールドを用いることもある。さらに、図2に示される5つのレジスタ・ビット・フィールド50、52、54、56

50

、58は、制御のために用いられるが、レジスタ64の代替の実施例には状況に用いられるもの、あるいは状況と制御の両方に用いられるレジスタ・ビット・フィールドが含まれることもある。さらに、本発明の代替の実施例は、1つ以上の別々のレジスタ内にビット・フィールド50、52、54、56、58を配置することもある。また、本発明の異なる実施例では、図2に示されるレジスタ・ビット・フィールド50、52、54、56、58のそれぞれに関して、任意の数のビットを備えることもある。本発明のある実施例では、1つ以上のレジスタ・ビット・フィールドの制御機能を、より少数のレジスタ・ビット・フィールドに合成および符号化することもできる。

#### 【0014】

図2に示される本発明の実施例においては、レジスタ64は、割込制御（IC：interrupt control）レジスタ・ビット・フィールド50、割込可能命令（II：interruptible instruction）レジスタ・ビット・フィールド52、割込イネーブル・レジスタ・ビット・フィールド56、割込マスク（IM：interrupt mask）レジスタ・ビット・フィールド58およびその他の状況/制御ビット54を備える。

#### 【0015】

図3は、本発明の1つの実施例による図1の中央処理装置（CPU）12の一部分を示す。図3に示されるCPU12の部分には、制御回路構成70、1つ以上の命令ラッチ74および1つ以上のレジスタ76が含まれ、これらはそれぞれ導体80を介してバス24と双方向に結合される。命令ラッチ74は、導体86を介して命令解読回路構成72に結合される。命令解読回路構成72は、導体88を介して制御回路構成70に結合される。演算論理装置（ALU）78は、導体90を介して制御回路構成70と双方向に結合される。レジスタ76は、導体92を介して制御回路構成70と双方向に結合される。また、レジスタ76は、導体94を介してALU78と双方向に結合される。本発明のある実施例では、CPU12を1つ以上の集積回路端子30を介してデータ処理システム10の外部に結合することもある。

#### 【0016】

図4は、本発明の1つの実施例による図3の制御回路構成70の一部分を示す。制御回路構成70は、プログラム可能割込制御情報のための格納回路である回路102を備え、命令を実行するシーケンサである回路100を備え、命令境界検出回路である回路104を備える。シーケンサ100は、1つ以上の導体116を介してバス24と双方向に結合される。格納回路102は、1つ以上の導体114を介してバス24と双方向に結合される。格納回路102は、1つ以上の導体118を介してシーケンサ100と双方向に結合される。命令境界検出回路104は、1つ以上の導体120を介してシーケンサ100と双方向に結合される。命令境界検出回路104とシーケンサ100は、両方とも1つ以上の導体88を介して命令解読回路構成72に結合される。

#### 【0017】

命令境界検出回路104は、1つ以上の導体106を介してレジスタ76からの情報を受信するよう結合され、シーケンサ100は、1つ以上の導体108を介してレジスタ76と双方向に結合される。導体92（図3参照）は導体106、108（図4参照）を含む。命令境界検出回路104は、1つ以上の導体110を介してALU78から情報を受信するよう結合され、シーケンサ100は、1つ以上の導体112を介してALU78と双方向に結合される。導体90（図3参照）は、導体110、112（図4参照）を含む。

#### 【0018】

シーケンサ100は、種々の回路構成、たとえば状態装置、ランダム論理、プログラム可能論理アレイなどの回路構成を用いて実現することができる。シーケンサ100は、レジスタ76およびALU78に制御信号を提供して、命令ラッチ74により受信された命令を実行する機能を果たす。データ処理システム10によっては、命令ラッチ74が1つしかないものや、データ処理システム10がパイプライン化されたり、複数の命令ラッチ74を有するものがある。データ処理システム10がパイプライン化されている場合は、第1命令の実行は次の命令の解読と重複することがある。

10

20

30

40

50

## 【0019】

図5および図6は、本発明の1つの実施例によりデータ処理システム内で割込待ち時間を選択的に制御する方法を流れ図に示す。図5および図6を参照して、偏平な楕円200～201は、流れ図の始点と終点を表す。円205～208は、流れ図内の特定の点を表す。円210～213は、流れ図の中の特定点への移行を表す。ダイヤモンド215～220は、流れ図中の意志決定点を表す。矩形225～235は、データ処理システム内で割込待ち時間を選択的に制御するために実行されるステップを表す。

## 【0020】

## 好適な実施例の動作

本発明の動作を以下に説明する。データ処理システム内で割込待ち時間を最小限に抑えることは、多くのリアルタイム制御用途できわめて重要なことである。データ処理システムは、1つ以上の命令(すなわち長命令)を有することが多く、これらは他のより短い命令(すなわち短命令)と比べて完全に実行するには、かなりの量の時間を必要とする。待機中の割込要求に応答する前に、長命令の実行を終了する時間が必要とされるために、データ処理システムの割込待ち時間が長過ぎることになる。本発明は、長命令の実行を中断して、割込要求を処理して割込待ち時間を短縮することを可能にする。

## 【0021】

1つの実施例においては、本発明は割込制御レジスタ・ビット・フィールド50(図2参照)を用いて、ある命令の実行が完了する前にその命令の実行を割込要求により中断するか否かを決定する。本発明のある実施例では、第1組の命令が実行途中で中断され、第2組の命令は常に実行を完了する場合がある。どの命令が第1組の命令に属するかは、たとえば図2のレジスタ・ビット・フィールド52によってユーザによるプログラミングが可能であるか、あるいは固定される。データ処理システム(10)によっては、最も長い実行時間を有する命令を第1組の命令、すなわち割込可能な命令の一部と定義して、割込待ち時間を短縮すると便利である。

## 【0022】

本発明の1つの実施例においては、データ処理システムは、各長命令の実行中のいくつかの時点で割込要求が待機中であるか否かをチェックする。長命令の実行が完了する前に割込要求が受け付けられると、データ処理システムは長命令の実行を停止して、データ処理システムを長命令の実行を開始する前の状態に戻す。それから割込が処理される。割込の処理が終了すると、同じ長命令の実行が再び開始される。

## 【0023】

図3と図5のステップ225とを参照して、命令ラッチ74はバス24を介して第1命令を受信する。第1命令は、データ処理システム10が実行可能な任意の命令とすることができる。第1命令は、一次プログラム内のものでも、サブルーチン内のものでも、割込処理ルーチン内のものでも、他の任意の同様のコンピュータ・プログラム内のものでもよい。バス24は、内部からデータ処理システム10に対して(たとえば図1のメモリ14から)命令を送ることも、あるいは、バス26およびシステム統合回路構成22を介して外部からデータ処理システム10に送ることもできる。

## 【0024】

図3と図5のステップ226とを参照して、命令ラッチ74が第1命令を命令解読回路構成72に送る。命令解読回路構成72は、第1命令を解読し、その結果の信号を制御回路構成70に、導体88を介して送る。次に、制御回路構成70は、制御信号をレジスタ76およびALU78に送ることによって第1命令の実行を開始し、第1命令の演算を実行する。たとえば、第1命令は、加算命令または乗算命令であり、制御回路構成70は適切な信号をレジスタ76およびALU78に送り、必要な演算を行う。

## 【0025】

図2を参照して、割込受信回路構成62は、集積回路端子40を監視して、データ処理システム10の外部の装置(図示せず)が割込を要求しているか否かを判断することができる。また、割込受信回路構成62は、バス24を監視して、データ処理システム10内部

10

20

30

40

50

のいずれかの回路構成（たとえば図１の１６，１８または２０）が割込を要求しているか否かを判断することもある。

【００２６】

次に、割込受信回路構成６２は、割込要求が行われたか否かに関する情報を割込制御回路構成６０に送る。図５の決定ダイヤ形２１５を参照して、割込制御回路構成は、レジスタ６４から導体６６を介して割込イネーブル制御ビット５６を受信し、割込がイネーブルであるか否かを判断する。ステップ２２８を参照して、割込がイネーブルでない場合は、ＣＰＵ１２（図３参照）は、割込要求を受信せず、第１命令の実行が割込なしに通常の方法で終了する。ステップ２３５を参照して、命令の実行が、次の命令の取り出し、受信、解読および実行と続行される。

10

【００２７】

図５の決定ダイヤ形２１６を参照して、割込がイネーブルの場合は、割込制御回路構成６０は、割込受信回路構成６２からの入力信号６８をチェックして、割込要求が受信されて待機中であるか否かを判断する。割込要求が受信されていない場合は、ＣＰＵ１２（図３参照）は割込要求を受信せず、第１命令の実行は割込なしに通常の方法で終了する（図５のステップ２２８，図６のステップ２３５参照）。

【００２８】

図５の決定ダイヤ形２１７を参照して、割込が受信されて待機中の場合は、割込制御回路構成６０は、レジスタ６４から導体６６を介して割込マスク制御ビット５８を受信し、受信された割込がマスクされているか否かを判断する。割込のマスキングは、データ処理技術では周知のものである。たとえば受信された割込が、割込マスク制御ビット５８により決定された閾値優先度より低い優先レベルを持つために割込がマスクされている場合、ＣＰＵ１２（図３参照）は割込要求を受信せず、第１命令の実行が割込なしに通常の方法で終了する（図５のステップ２２８，図６のステップ２３５参照）。しかし、図５のステップ２２９を参照して、たとえば受信された割込要求が、割込マスク制御ビット５８によって決定された閾値優先度より高い優先レベルを持つために、受信された割込要求がマスクされていない場合は、この割込要求が受け付けられ、ＣＰＵ１２（図３参照）は、割込制御回路構成６０からバス２４を介して割込要求を受信する。

20

【００２９】

図６の決定ダイヤ形２１８を参照して、割込要求が受け付けられると、割込回路構成２８は、ＣＰＵ１２内の制御回路構成７０（図３参照）に対して、バス２４および導体８０を介して割込要求を送る。また、本発明の１つの実施例においては、割込回路構成２８は、割込制御ビット５０および割込可能命令制御ビット５２をも、レジスタ６４から、バス２４および導体８０を介して、ＣＰＵ１２内の制御回路構成７０（図３参照）に送る。本発明の代替の実施例においては、割込制御ビット５０および割込可能命令制御ビット５２は、システム統合回路構成２２内のレジスタ６４ではなく、格納回路１０２（図４参照）またはＣＰＵ１２内のレジスタ７６（図３参照）に位置することがある。

30

【００３０】

決定ダイヤ形２１８を参照して、制御回路構成７０は、第１命令が割込可能命令であるか否かを判定する。本発明の１つの実施例においては、Ｎ個の割込可能命令の組に含まれる１つ以上の命令が、制御回路構成７０内の回路構成によってあらかじめ決定され固定される。たとえば、本発明の１つの実施例においては、Ｎ個の割込可能命令の組は、乗算命令、複数データのメモリからのロード命令および複数データのメモリへの格納命令を含む。

40

【００３１】

本発明のある実施例においては、Ｎ個の割込可能命令の組には、実行するために最大数のＡＬＵサイクルを必要とするもの、あるいは最大全体時間を必要とするものが含まれることもある。本発明のある実施例においては、すべての命令が割込可能であるので、どの命令が割込可能であるかを特定するために割込可能命令制御ビット５２（図２参照）が必要でない場合もある。本発明の他の実施例においては、第１組のＮ個の命令が割込可能であり、第２組のＫ個の命令が割込可能でないこともある。本発明のさらに別の実施例におい

50

ては、割込可能命令制御ビット52を、割込可能でない第2組のK個の命令を特定するために用いることもある。割込可能命令制御ビット52をこのように用いて、どの命令が割込可能であり、どの命令が割込可能でないかに関する情報を制御回路構成70に送る命令選択値を格納することもできる。

#### 【0032】

再び決定ダイヤ形218を参照して、制御回路構成70は、第1命令が割込可能命令であるか否かを判断する。第1命令が割込可能命令でない場合は、第1命令の実行は割り込みなしに通常の方法で終了する(図6のステップ230参照)。次に、割込要求は第1命令と次の命令との間の命令境界において処理される(図6のステップ234参照)。そして最後に、通常の命令実行が、次の命令の取り出し、受信、解読および実行と続行される(図6のステップ235参照)。

10

#### 【0033】

決定ダイヤ形219を参照して、第1命令が割込可能命令である場合、制御回路構成70は、割込制御ビット50の値を決定する。本発明の1つの実施例においては、割込制御ビット50が第1値(たとえばバイナリ0)を有する場合、第1命令の実行は割り込みなしに通常の方法で終了する(図6のステップ230参照)。次に割込要求は第1命令と次の命令との間の命令境界で処理される(図6のステップ234参照)。そして最後に、通常の命令実行が、次の命令の取り出し、受信、解読および実行と続行される(図6のステップ235参照)。

#### 【0034】

20

図4の命令境界検出回路104を用いて、レジスタ76と、ALU78と、シーケンサ100の状態とを監視して、第1命令と第2命令との間の命令境界にいつ到達したかを判定することができることに注目されたい。本発明の代替の実施例においては、命令境界検出回路104の機能をシーケンサ100の機能と組み合わせて1つの回路を形成することもできることに注目されたい。

#### 【0035】

決定ダイヤ形219をさらに参照して、割込制御ビット50が第2値(たとえばバイナリ1)を有する場合、制御回路構成70は、第1命令の実行が終了したか否かをチェックする(図6の決定ダイヤ形220参照)。本発明の1つの実施例においては、命令境界検出回路104(図4参照)は、第1命令の実行が終了したか否かを判定する。第1命令の実行が終了した場合は、割込要求が第1命令と次の命令との間の命令境界で処理され(図6のステップ234参照)、通常の命令実行が、次の命令の取り出し、受信、解読および実行と続行される(図6のステップ235参照)。

30

#### 【0036】

しかし、第1命令の実行が終了していない場合は(図6のステップ231参照)、第1命令の実行は第1命令と次の命令との間の命令境界の前で停止される。そのため、割込処理は、第1命令が実行を完了させる間に遅延されることはなく、割込待ち時間が短縮される。本発明の1つの実施例においては、第1命令の結果の一部は放棄されて、データ処理システム10は第1命令の実行が開始される前と同じ状態に戻る(図6のステップ232参照)。割込要求は、第1命令と次の命令との間の命令境界の前に処理される(図6のステップ233参照)。割込要求の処理が完了すると、データ処理システム10は第1命令を再度解読して、再度実行する(図6の円212参照)。これは第1命令の実行がまだ終了していないからである。

40

#### 【0037】

一定の異常な状況下(たとえばシステムの電力が低すぎて継続できない場合)では、ステップ233で呼び出される割込サービス・ルーチンが、ソフトウェアの流れを根本的に中断して、割り込まれた命令(すなわち第1命令)に戻らないことがある。しかし、多くの割込サービス・ルーチンは、最終的には割り込まれた命令に戻る(すなわち円205)。

#### 【0038】

第1命令の結果の一部が放棄されると、最初からもう一度、第1命令の再解読および再実

50

行を始めなければならない(図5のステップ226参照)。しかし、第1命令の結果の一部がセーブされていれば、第1命令の実行は部分的な結果がセーブされた実行中の時点拾えばよい。たとえば、本発明のある実施例では、第1命令が命令ラッチ74(図3参照)内に依然として格納されているので、再び取り出さなくてもよい場合がある。第2の待機中の割込がない場合(決定ダイヤ形216参照)、第1命令の再実行が終了し(図5のステップ228参照)、通常の命令実行が、次の命令の取り出し、受信、解読および実行と続行される(図6のステップ235参照)。

【0039】

本発明は、特定の実施例に関して図示および説明されたが、当業者には更なる改良および改善が可能であろう。そのため、本発明は図示された特定の形態に限定されず、添付の請求項は、本発明の範囲から逸脱しないすべての改良を包含するものであることを理解頂きたい。

10

【図面の簡単な説明】

【図1】本発明の1つの実施例によるデータ処理システム10のブロック図である。

【図2】本発明の1つの実施例による図1の割込回路構成28のブロック図である。

【図3】本発明の1つの実施例による図1の中央処理装置(CPU)12の一部分のブロック図である。

【図4】本発明の1つの実施例による図3の制御回路構成70の一部分のブロック図である。

【図5】本発明の1つの実施例によりデータ処理システム内で割込待ち時間を選択的に制御する方法の流れ図である。

20

【図6】本発明の1つの実施例によりデータ処理システム内で割込待ち時間を選択的に制御する方法の流れ図である。

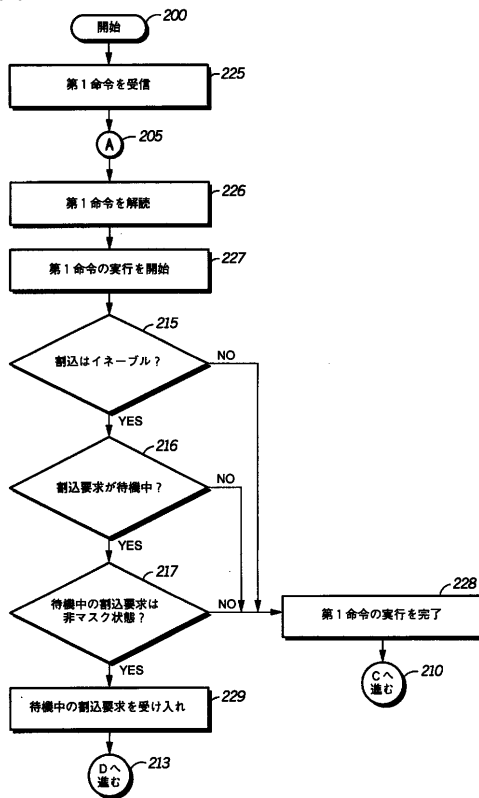
【符号の説明】

- 10 データ処理システム
- 12 中央処理装置(CPU)回路構成
- 14 メモリ回路構成
- 16 タイマ回路構成
- 18 シリアル回路構成
- 20 その他の回路構成
- 22 システム統合回路構成
- 24, 26 バス
- 28 割込回路構成
- 30, 32, 34, 36, 38, 40 集積回路端子

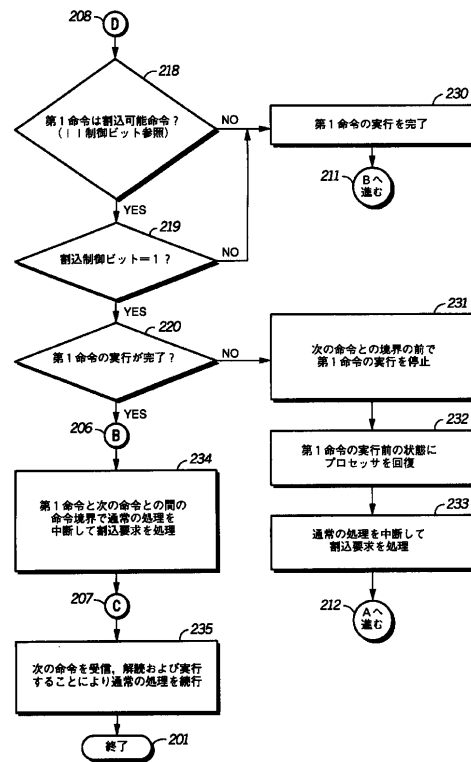
30



【図 5】



【図 6】



---

フロントページの続き

審査官 殿川 雅也

(56)参考文献 特開平06-131198(JP,A)  
特開平05-233320(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G06F 9/46 - 9/54