

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96147116

※ 申請日期：2007 年 12 月 10 日

※IPC 分類：

H01L 21/3065 (2006.01)

H01L 21/3213 (2006.01)

一、發明名稱：(中文/英文)

在雙嵌應用中以二步驟蝕刻底部抗反射塗層的方法

TWO STEP ETCHING OF A BOTTOM ANTI-REFLECTIVE COATING

LAYER IN DUAL DAMASCENE APPLICATION

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商·應用材料股份有限公司

APPLIED MATERIALS, INC.

代表人：(中文/英文)

鄭錦安

KWONG, RAYMOND K.

住居所或營業所地址：(中文/英文)

美國加州聖大克勞拉市波爾斯大道 3050 號

3050 Bowers Avenue, Santa Clara, CA 95054, U.S.A.

國籍：(中文/英文)

美國/USA

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 黃智林/HUANG ZHILIN

2. 李思義/LI SIYI

3. 戴爾卡迪諾喬拉多 A./DELGADINO, GERARDO A.

國籍：(中文/英文)

1. 美國/USA
2. 中華人民共和國/P.R.C.
3. 阿根廷/ARGENTINA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國；2006年12月8日；11/608,611

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

1. 美國/USA
2. 中華人民共和國/P.R.C.
3. 阿根廷/ARGENTINA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國；2006年12月8日；11/608,611

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

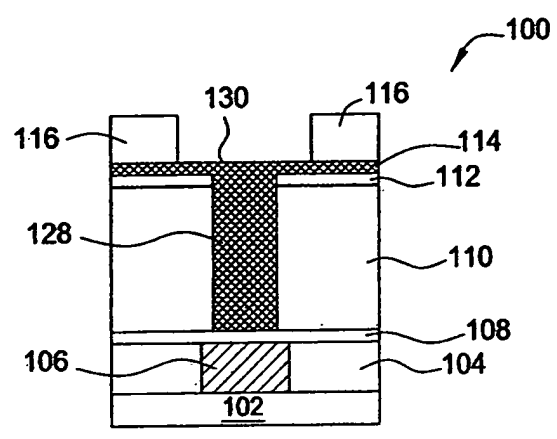
國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

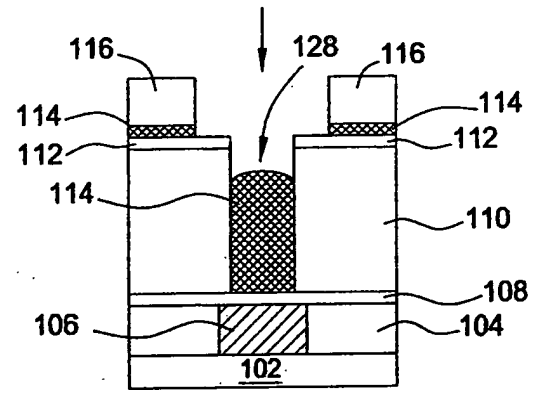
不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

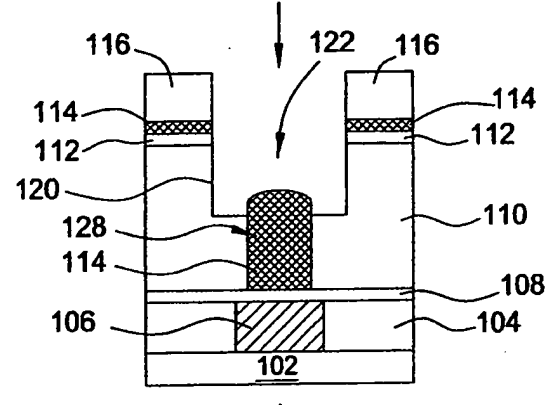
第1A圖
(先前技術)



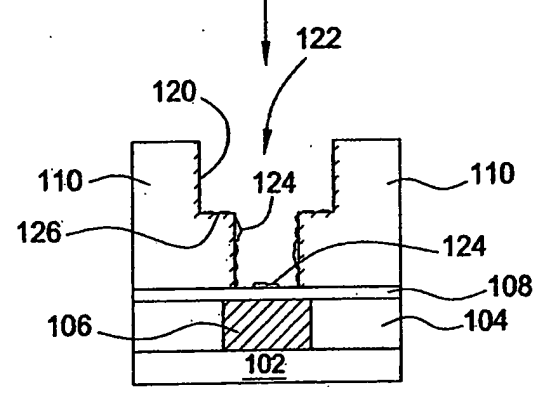
第1B圖
(先前技術)

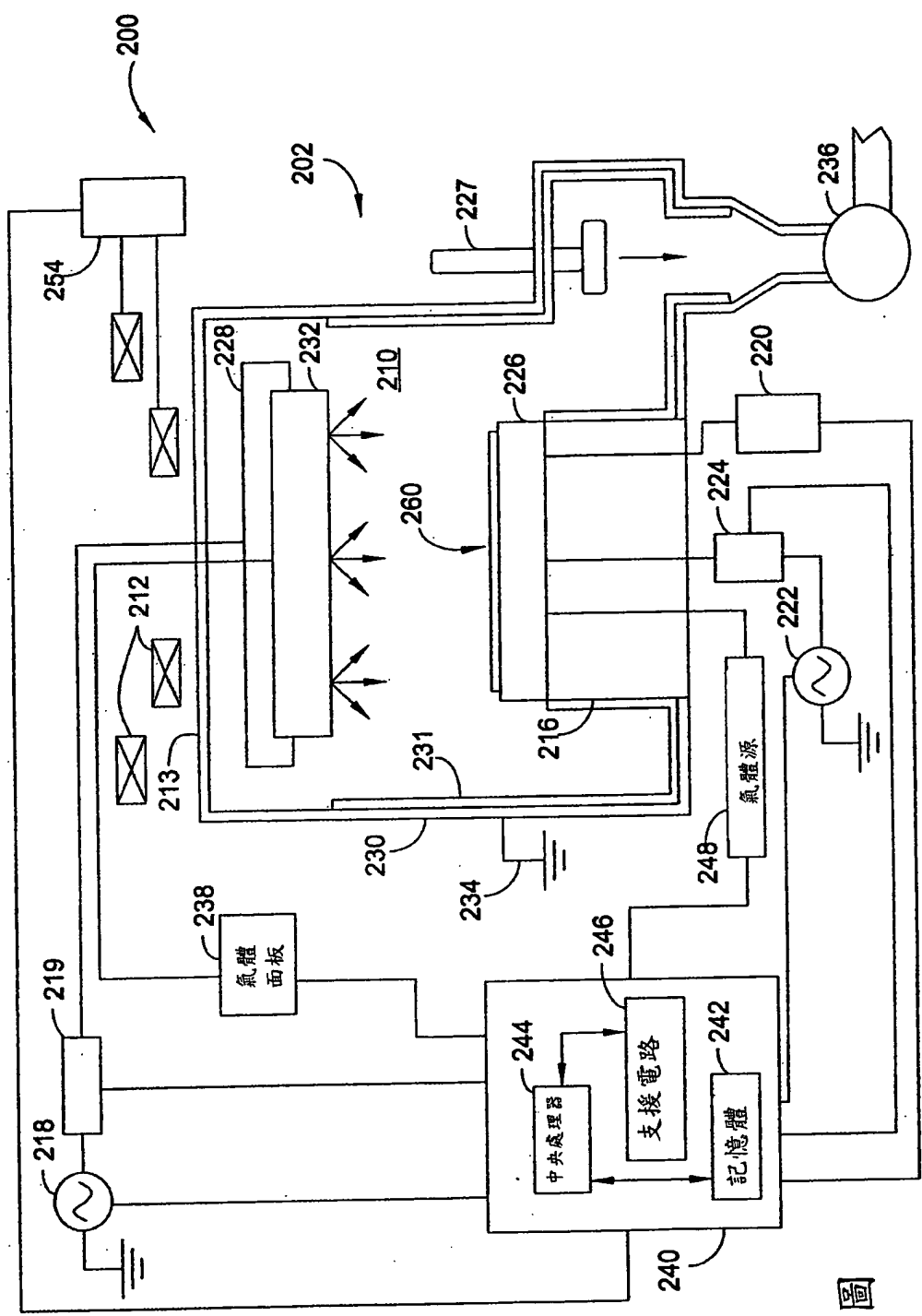


第1C圖
(先前技術)



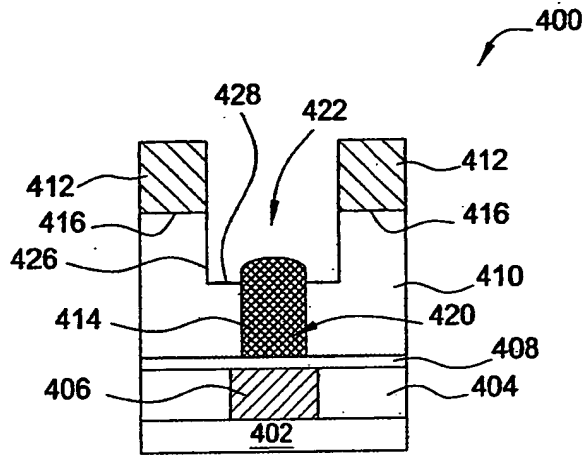
第1D圖
(先前技術)



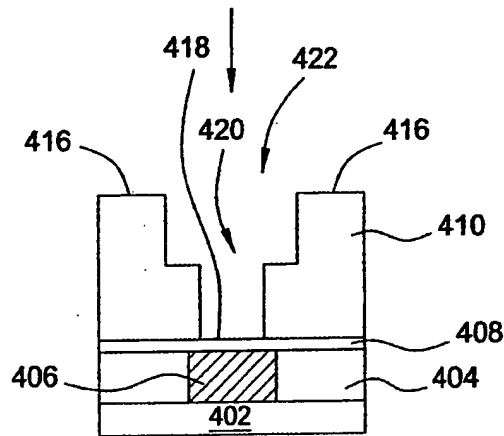


第2圖

第4A圖



第4B圖



九、發明說明：

【發明所屬之技術領域】

本發明一般涉及半導體製程技術，尤其涉及用於在雙鑲嵌蝕刻製程中，蝕刻底部抗反射塗層(bottom anti-reflective coating, BARC)的方法。

【先前技術】

積體電路已經發展成可在單一晶片上包括上百萬個零件(例如，電晶體、電容和電阻)的複雜裝置。晶片設計的發展不斷需要更快的電路和更大的電路密度。對更大電路密度的需求，迫使需減小積體電路零件的尺寸。

隨著積體電路零件尺寸的縮小(例如，次微米尺寸)，用於製備這種零件的材料影響其電性能。例如，具低電阻之金屬相互連接(例如，銅和鋁)，則提供了積體電路上的零件之間的導電路徑。

由於銅合適的電性，其特別利於用在相互連線結構中。通常使用鑲嵌製程製備銅相互連線系統，在鑲嵌製程中將溝槽和介層洞蝕刻到介電層中。並用銅填充溝槽和介層洞，隨後使用例如化學機械平坦化(chemical-mechanical planarization, CMP)製程使銅平坦化。

由絕緣材料將銅相互連線彼此電隔離。當相鄰金屬互連線之間的距離和/或絕緣材料的厚度具有次微米尺寸時，電容耦合可能會潛在地在這種互連線之間發生。相鄰金屬互連線之間的電容耦合可能導致干擾(cross talk)和/

或電阻－電容延遲 (resistance-capacitance (RC) delay)，進而使積體電路的整體性能變差。為了防止相鄰金屬互連線之間的電容耦合，需要低介電常數（低 k）的絕緣材料（例如，介電常數低於大約 4.0）。

第 1A-1D 圖描述了由「介層洞優先 (via-first)」加工順序形成的示範雙鑲嵌結構。首先參考第 1A 圖，將介電體絕緣層 110 和底側介電阻擋層 108 堆疊在另一個預先形成的互連線上，該互連線具有導電層 106，其係嵌入到設置在基板 102 上另一個介電體絕緣層 104 中。可將一任選拋光停止層或抗反射塗 (anti-reflective coating, ARC) 層 112 設置在介電體絕緣層 110 上。通常由具有低於 4.0 介電常數的介電材料（諸如 FSG、聚合物材料、含碳矽層 (SiOC) 及相似材料），形成介電體絕緣層 110。

在溝槽微影蝕刻之前，為了填充由介層洞蝕刻製程形成的介層洞 128 並覆蓋介電體絕緣層 110，旋轉施加底部抗反射塗 (bottom anti-reflective coating, BARC) 層 114。在底部抗反射塗層 114 上佈置光阻層 116 層，並圖案化光阻層 116，以定義出用於形成溝槽的開口 130。在蝕刻溝槽之前，執行底部抗反射蝕刻製程，以清除在被圖案化的光阻層 116 層所掩蓋之介層洞開口 128 上的部分底部抗反射塗層 114，如第 1B 圖所示。執行底部抗反射蝕刻製程，直到由光阻層 116 定義的任選拋光停止層 112 暴露為止，且填充介層洞 128 的底部抗反射塗層 114 則被蝕刻到一預定深度，如第 1B 圖所示。隨後，執行溝槽蝕刻製程，以蝕

刻暴露的拋光停止層 112 和由圖案化的光阻層 116 所定義的底側介電阻擋層 108，如第 1C 圖所示。溝槽蝕刻製程將介電體絕緣層 110 蝕刻到預定深度，並且在介電體絕緣層 110 中定義溝槽 122。在已經形成溝槽 122 之後，將填充介層洞 128 的殘餘底部抗反射塗層 114 和在介電體絕緣層 110 頂部表面上的光阻層 116，從基板 102 上去除，由此在基板 102 上形成雙鑲嵌結構，如第 1D 圖所示。

通常，在底部抗反射塗層 114 或光阻層 116 去除製程期間，執行含氧電漿蝕刻製程，以與在基板 102 上的殘餘底部抗反射塗層 114 和光阻層 116 反應，形成從處理室泵出的氧化碳聚合物。然而，在底部抗反射塗層 114 和光阻層 116 去除期間，含氧電漿可能轟擊在介電體絕緣層 110 中形成的溝槽 122 的暴露側壁 120 和表面 126 和 / 或介層洞 128。氧可能在介電體絕緣層 110 表面上形成 Si-O 鍵，其危害介電體絕緣層 110 的介電性能。例如，氧可能在低 k 介電體絕緣層 110 的側壁 120 或暴露表面 126 上積累，並滲入多孔的低 k 介電質中，進而導致薄膜處的碳損耗。碳損耗可能使低 k 材料的介電常數非預期增加，導致材料介電性能的「k 損(k-loss)」。其結果是，在底部抗反射和光阻蝕刻製程之後，可能增加干擾和 RC 延遲。

此外，底部抗反射的去除和 / 或光阻層去除製程還可能在介層洞 128 和 / 或溝槽 122 中，留下的污染物 124 (諸如殘餘底部抗反射、殘餘光阻層、雜質、有機或無機副產物)。介層洞 128 和 / 或溝槽 122 中存在的污染物 124，可能危害

互連線結構的整體集成性，致使元件可靠性和電性較差。

因此，需要一種用於在互連線結構中，去除底部抗反射的改進製程。

【發明內容】

本發明中提供了用於從特徵中去除底部抗反射塗層的方法。在一個實施例中，該方法包括在蝕刻室中提供具有填充了底部抗反射塗層的特徵的基板，為了蝕刻填充該特徵中的底部抗反射塗層的第一部分，將含有 NH_3 氣體的第一氣體混合物供應到室內，並且為了蝕刻該特徵中的底部抗反射塗層的剩餘部分，將含有 O_2 氣體的第二氣體混合物供應到蝕刻室內。

在另一個實施例中，用於從特徵中去除底部抗反射塗層的方法包括在蝕刻室中提供具有在介電絕緣層中形成的特徵並填充了底部抗反射塗層的基板，為了蝕刻填充該特徵中的底部抗反射塗層的一部分，將含有 NH_3 氣體的第一氣體混合物供應到室內，並且為了蝕刻特徵中的底部抗反射塗層的剩餘部分，將含有 O_2 氣體的第二氣體混合物供應到蝕刻室內。

在另一個實施例中，用於從特徵中去除底部抗反射塗層的方法包括在蝕刻室中提供具有在介電絕緣層中形成的特徵並填充了底部抗反射塗層的基板，其中介電絕緣層的介電常數小於 3.5，為了蝕刻填充該特徵中的底部抗反射塗層的一部分，將在大約 50 sccm 和大約 1000 sccm 之間

的含有 NH_3 氣體的第一氣體混合物供應到室內，並且為了蝕刻特徵中的底部抗反射塗層的剩餘部分，將在大約 50 sccm 和大約 500 sccm 之間的含有 O_2 氣體的第二氣體混合物供應到蝕刻室內。

【實施方式】

本發明的實施例包括在雙鑲嵌結構中，兩步蝕刻底部抗反射塗層的方法。該方法藉由在雙鑲嵌製造製程中，不同的底部抗反射塗層蝕刻步驟使用不同氣體混合物，以在保持高去除速率的同時，保持低 k 介電膜的品質。

這裏描述的蝕刻製程，可以在任何適宜的電漿蝕刻室內執行。該種蝕刻室之一是由加利佛尼亞聖克拉拉的應用材料公司提供的 ENABLER[®] 製程室。預期其他蝕刻反應器（包括由其他製造商提供的），可能適於從本發明受益。

第 2 圖描繪了適於執行本發明的一個或多個步驟之電漿蝕刻系統 202 的一實施例其示意橫截面視圖。電漿蝕刻系統 202 可包括具有導電室壁 230 和頂蓋 213 的製程室體 210。使用位於導電室壁 230 內和/或其周圍的含液導管（未示出），控制導電室壁 230 的溫度。導電室壁 230 連接到電接地 234。為了覆蓋導電室壁 230 的內表面，將襯墊 231 佈置在製程室體 210 內。襯墊 231 作為表面防護層，以防護製程室體 210 之室壁 230 的內表面。在一個實施例中，襯墊 231 可以由包括 Al_2O_3 、 AlN 、碳化矽、 Y_2O_3 及相似物的陶瓷材料製成。

製程室體 210 是通過節流閥門 227 連接到真空泵 236 的真空容器。將支撐基座 216 設置在製程室體 210 的底部，以便在處理期間，支撐放置在其上的基板 260。支撐基座 216 可能包括用於夾持基板 260 的靜電卡盤 226。DC 電源 220 用於控制供應給靜電卡盤 226 的電力。通過匹配網路 224，將支撐基座 216 連接到射頻 (radio frequency, RF) 偏置功率源 222。偏置功率源 222 一般能夠產生的 RF 信號，具有在大約 50 kHz 到大約 60 MHz 之間的可調頻率和在大約 0 到大約 5000 瓦之間的偏置功率。偏置功率源 222 可能提供諸如大約 13.56 MHz 和大約 2 MHz 的多頻信號。可選地，偏置功率源 222 可能是 DC 或脈衝 DC 源。

至少部分地通過調節支撐基座 216 的溫度，來控制基板 260 的溫度。在一個實施例中，支撐基座 216 包括一冷卻板 (未示出)，該冷卻板具有用於流通冷卻劑的通道。另外，由氣體源 248 的背部氣體 (諸如氦氣 (He))，適於提供到設置在基板背部和溝槽 (未示出) 之間的通道中，其中該溝槽在靜電卡盤 226 表面形成。背部氣體在基座 216 和基板 260 之間提供有效熱傳輸。為了在製程期間加熱基板 260，靜電卡盤 226 還可能包括設置在卡盤 226 中的電阻加熱器 (未示出)。在一個實施例中，將基板 260 保持在大約攝氏 10 到大約 500 度之間的溫度。

將噴頭 232 安裝到製程室體 210 的頂蓋 213，且面向基板 260 相對於基板基座 216 分隔設置。將氣體面板 238 不固定地連接到位於噴頭 232 和頂蓋 213 間所定義的充氣

增壓室（未示出）。噴頭 232 包括多個開孔，允許從氣體面板 238 提供給至充氣增壓室的氣體進入製程室體 210。可將噴頭 232 中的開孔設置在不同區域，以將不同氣體用不同體積流速釋放到室體 210 中。

通過阻抗變壓器 219（例如，四分之一波長匹配軸端）將噴頭 232 和/或臨近其放置的上電極 228 連接到 RF 電漿功率源 218。RF 功率源 218 一般能夠產生的 RF 信號具有在大約 50 kHz 到大約 160 MHz 之間的可調頻率和在大約 0 到大約 5000 瓦之間的源功率。RF 電漿功率源 218 可提供多頻信號（諸如大約 13.56 MHz 和大約 2 MHz）。

電漿蝕刻系統 202 還可包括放置在室壁 230 外部、靠近室頂蓋 213 的一個或多個線圈片段或磁體 212。由 DC 電源或低頻 AC 電源 254 控制提供給線圈片段 212 的電力。

在基板處理期間，使用氣體面板 238 和節流閥門 227 控制室體 210 內部的氣體壓力。在一個實施例中，將室體 210 內部的氣體壓力保持在大約 0.1 到大約 999 mTorr 之間。

為了便於控制本發明的製程，將包括中央處理器（CPU）244、記憶體 242 和支援電路 246 的控制器 240 連接到系統 202 的不同元件。記憶體 242 可以是位於系統 202 或 CPU 244 該處或遠端的任何電腦可讀介面，諸如隨機訪問記憶體（RAM）、唯讀記憶體（ROM）、軟碟、硬碟或以數位存儲的任何其他形式。為了以傳統方式支撐 CPU 244，將支援電路 246 連接到 CPU 244。這些電路包括高速

緩衝記憶體、電源、時鐘電路、輸入/輸出電路和子系統等。當由 CPU 244 執行時，存儲在記憶體 242 中的軟體程式或一系列程式指令，會使電漿蝕刻系統 202 執行本發明的蝕刻製程。

第 2 圖僅示出了可以用於實現本發明的不同類型電漿蝕刻室的一個示範配置。例如，可以使用不同連接機制將不同類型的源功率和偏置功率連接到電漿室中。使用源功率和偏置功率允許獨立控制電漿密度和基板相對於電漿的偏置電壓。在某些應用中，可能不需要源功率，並且僅由偏置功率維持電漿。可藉由使用電磁體，將磁場施加到真空室，以增強電漿密度，電磁體例如為由低頻（例如，0.1-0.5 Hz）AC 電流源或 DC 源驅動的磁體 212。在其他應用中，可在放置基板的室（例如，遠離電漿源）以外的不同室內產生電漿，並且隨後使用現有技術已知的技術將電漿導入到該室內。

第 3 圖描述了根據本發明的一個實施例，適於用於雙鑲嵌製造製程中，底部抗反射去除製程 300 的流程圖。第 4A-4B 圖為繪示出底部抗反射去除製程 300，其不同階段的連續示意橫截面視圖。可以將製程 300 作為指令存儲在記憶體 242 中，當由控制器 240 執行時，使製程 300 在室 202 中執行。

製程 300 以步驟 302 開始，提供具有適於製備雙鑲嵌結構之薄膜堆疊的基板。如第 4A 圖所示，該薄膜堆疊已被蝕刻，以於介層洞 420 上形成具有溝槽 422 的雙鑲嵌結

構 400。薄膜堆疊包括介電體絕緣層 410，其係設置於介電阻擋層 408 上，介電阻擋層 408 上係堆疊在底部介電絕緣層 404 上。在不具介電阻擋層 408 的實施例中，可以將介電體絕緣層 410 直接設置在底部介電絕緣層 404 上。底部介電絕緣層 404 設置在基板 402 上，並且至少具有嵌入其中的導電層 406(諸如銅線)。

在一個實施例中，介電體絕緣層 410 是具有介電常數小於 4.0(諸如小於 3.4)的介電材料。適當材料的示例包括碳摻雜氧化矽(SiOC)(諸如由應用材料公司提供的 BLACK DIAMOND[®]介電材料)，以及其他聚合物(諸如聚醯胺)。介電阻擋層 408 係從介電常數大約為 5.5 或更小的材料中選擇。在一個實施例中，介電阻擋層 408 是含碳矽層(SiC)、氮摻雜含碳矽層(SiCN)、或相似物。例如，介電阻擋層 408 可能是由應用材料公司提供的 BLOK[®]介電材料。

在介電絕緣層 410 中形成的溝槽 422 通過已圖案化的光阻層 412。填充於介層洞 420 中的底部抗反射塗層 414，則暴露在溝槽 422 的底部。在一個實施例中，光阻層 412 可為用於圖案化積體電路的傳統碳基、有機或聚合物材料。底部抗反射塗層 414 可能從介層洞 420 延伸到溝槽 422 的底部表面 428 之外的高度，進而稍微地突出到介層洞 420 之外。底部抗反射塗層 414 可包括諸如通常具有含氮和含碳元素的聚醯胺和多硫化物的有機材料，或諸如氮化矽、氮氧化矽、碳化矽等等的無機材料。在第 4A 圖所示的實施例中，底部抗反射塗層 414 是旋轉設置在基板 402 上的

有機材料。在另一個示範實施例中，可能以任何適當方式將底部抗反射塗層 414 塗覆、沉積或填充在介層洞中。

經圖案化的光阻層 412 將預定圖案和/或特徵，轉移到介電絕緣層 410 中。在預定圖案和/或特徵形成過程期間，可能消耗或縮減已圖案化的光阻層 412，在介電絕緣層 410 的上表面 416 上留下光阻層 412 的一部分。替代地，可將已圖案化的光阻層 412 完全去除，進而暴露介電絕緣層 410 的上表面 416。在第 4A 圖所示的實施例中，在將用以形成溝槽 422 的預定圖案和/或特徵轉移到介電絕緣層 410 中之後，光阻層 412 的一部分會殘留在雙鑲嵌結構 400 上。在不具光阻層 412 的實施例中，可執行兩步蝕刻製程，以去除殘餘在介層洞 420 中的底部抗反射塗層 414。

在步驟 304，藉由在蝕刻室 202 中供應第一氣體混合物，來執行第一蝕刻步驟，以開始蝕刻用於填充介層洞 420 且經由溝槽 422 所暴露之底部抗反射塗層 414 的一部分。如果經圖案化後光阻層 412 的一部分仍殘餘在基板表面，則第一底部抗反射蝕刻步驟亦可蝕刻經圖案化的光阻層 412。

在一個實施例中，供應到蝕刻室 202 中的第一氣體混合物含有氨氣 (NH_3)。第一氣體混合物用於去除可能來自先前蝕刻製程和/或在基板表面存在的有機聚合物和光阻外殼。第一氣體混合物中的氮元素藉由形成被泵出蝕刻系統 202 的揮發性碳氮化合物，以清潔有機剩餘物，而不損害基板表面。第一氣體混合物還可使介電絕緣層 410 的側

壁 426 或暴露表面 428 鈍化，由此防止底部低 k 介電基板的 k 值偏移和介電常數增加。第一氣體混合物還可清除和徹底沖洗來自先前蝕刻製程，殘餘在蝕刻室 202 中的殘餘氣體(諸如含氟氣體)，進而防止缺陷的產生，或防止可能進一步攻擊介電絕緣層表面之與殘餘氟物質的化學反應。

在一個實施例中，藉由從含有 NH_3 氣體的第一氣體混合物形成電漿，先蝕刻底部抗反射塗層 414 和/或圖案化光阻層 412。底部抗反射塗層 414 和/或圖案化光阻層 412 的蝕刻，可在如第 2 圖所示蝕刻室 202 或其他適宜反應器中進行。

當將第一氣體混合物供應到蝕刻系統 202 中時，在步驟 304 調整幾個製程參數。在一個實施例中，將蝕刻反應器中的氣體混合物壓力調整到大約 5 mTorr 到大約 300 mTorr 之間，基板溫度保持在大約攝氏 -10 度和大約攝氏 55 度之間。以在大約 150 瓦到大約 2000 瓦之間的功率施加 RF 源功率。以在大約 50 sccm 和大約 1000 sccm 之間(諸如大約 100 sccm 和大約 800 sccm)的流速流通 NH_3 氣體。可能以在大約 50 sccm 到大約 1000 sccm 之間的流速，在第一氣體混合物中流通和供應惰性氣體(諸如 N_2 、Ar、He 氣體)。

在一個實施例中，可通過預定時間週期的終止，來結束第一蝕刻步驟。例如，通過在大約 20 秒到大約 200 秒之間處理，結束第一蝕刻步驟。在另一個實施例中，可能通過其他適當方法，例如通過監控光發射或通過其他指示

器，終止第一底部抗反射蝕刻步驟。

在步驟 306，執行第二蝕刻步驟，以蝕刻和去除用於填充介層洞 402 之底部抗反射塗層 414 的殘餘部分。第二步驟 306 亦去除殘餘在介電絕緣層 410 上表面 416 上任何經圖案化的光阻層 412。使用供應到蝕刻室 202 的第二氣體混合物，執行第二蝕刻步驟。在一個實施例中，第二氣體混合物包括 O₂ 氣體。含有 O₂ 氣體的第二氣體混合物與來自第一蝕刻步驟 304 的殘餘物和副產物形成揮發性聚合物，並且與基板 402 上的殘餘底部抗反射 414 和光阻層 412 反應，進而將殘餘物、副產物、殘餘底部抗反射 414 和光阻層 412 有效地從基板 402 移出蝕刻系統 202。第二氣體混合物中的氧元素提供高蝕刻速率和聚合物去除速率，這不僅有利於促進殘餘物和污染物的去除，而且清除在第一蝕刻製程清潔中不能完全去除的殘餘物和副產物。

在一個實施例中，通過從含有 O₂ 氣體的第二氣體混合物形成電漿，以蝕刻底部抗反射塗層 414 和 / 或光阻層 412。底部抗反射塗層和 / 或光阻層 412 的蝕刻，可在諸如第 2 圖所示蝕刻室 202 或其他適當反應器中進行。

當將第二氣體混合物供應到蝕刻系統 202 中時，在步驟 306 調整幾個製程參數。在一個實施例中，將蝕刻反應器中的氣體混合物壓力調整在大約 5 mTorr 到大約 50 mTorr 之間，將基板溫度保持在大約攝氏 -10 度和大約攝氏 55 度之間。可以約 150 瓦到大約 2000 瓦之間的功率，施加 RF 源功率。以約 50 sccm 至約 500 sccm 之間的流速，

流通 O₂ 氣體。蝕刻時間可介於在大約 20 秒至大約 200 秒之間(諸如大約 10 秒到大約 60 秒之間)。

通過預定時間週期的終止，來結束第二蝕刻步驟 306。例如，通過在大約 10 秒到大約 60 秒之間處理，結束第二底部抗反射蝕刻步驟。在一個實施例中，第二蝕刻步驟 306 還可能設成基本上與上述的第一蝕刻步驟 304 相等的製程時間。替代地，第一蝕刻步驟 304 和第二蝕刻步驟 306 的製程時間可能設成具有約 1:1 到約 4:1 之間的時間週期比。在另一個實施例中，藉由監控光發射，或藉由表示已經將底部抗反射塗層 414 和/或光阻層 412 從基板 402 或介電絕緣層 410 的上表面 416 完全去除，且介層洞 420 的底部表面 418 已經暴露的其他指示(如第 4B 圖所示)，終止第二蝕刻步驟 306。

由於在步驟 304 中，介電絕緣層 410 的側壁和表面已被鈍化，且提供因暴露於第一氣體混合物而形成之聚合物的保護，第二氣體混合物 306 主要蝕刻殘餘物、副產物和設置在基板上的殘餘底部抗反射塗層 414 和/或光阻層 412，而不危害或蝕刻基板上的的底部結構(諸如介電絕緣層 410)。而且，由於在第二蝕刻步驟 306 提供的第二氣體混合物主要與底部抗反射塗層 414 和/或光阻層 412 反應，第二蝕刻步驟 306 有利於並且有效地從基板去除有機和/或無機材料。

步驟 304 和步驟 306 所述的兩步蝕刻製程，可在基板上重複地且連續地執行，如第 3 圖所示的迴圈 308。替代

地，可以相反次序執行如步驟 304 和步驟 306 所述的兩步蝕刻製程。例如，可先執行如步驟 306 所述的蝕刻步驟，然後執行如步驟 304 所述的蝕刻步驟。

如第 4 圖所示的雙鑲嵌結構 400 僅示出了可用於執行如本發明所述的兩步蝕刻製程的示範實施例。其他具有底部抗反射塗層設置於其上的結構，如單一鑲嵌結構、僅有介層洞的結構、溝槽優先結構和相似結構，也可能用於執行如上所述的兩步蝕刻製程。該方法還可能用於蝕刻在其他基板中的底部抗反射塗層。

因此，本發明提供了以高去除速率和清除效率蝕刻底部抗反射塗層的兩步蝕刻方法。該方法利於從雙鑲嵌結構中的溝槽和/或介層洞去除底部抗反射塗層、光阻層和相關殘餘物和副產物，而不危害設置在基板上的底部介電材料。該兩步蝕刻製程還提供良好的側壁和/或表面保護。雖然上文說明本發明的實施例，但可在不偏離其基本範圍的情況下，設計本發明其他和更進一步的實施例，本發明的範圍由申請專利範圍確定。

【圖式簡單說明】

為了獲得並詳細理解本發明的上述特徵，下面將參照附圖中示出的實施例，對本發明的以上簡要敘述進行更具體的描述。

第 1A-1D 圖是示範雙鑲嵌製造製程的一系列剖視

圖；

第 2 圖是根據本發明一個實施例，所使用之電漿蝕刻室的示意橫截面圖；

第 3 圖是繪示用於在雙鑲嵌結構中，蝕刻底部抗反射塗層和/或光致抗蝕層的兩步蝕刻方法之一實施例的製程流程圖；

第 4A-4B 圖是根據本發明一個實施例的雙鑲嵌製造製程的一系列剖視圖。

為了便於理解，僅可能的使用相同參考數字表示附圖中共用的相同元件。一個實施例的元件和特徵易於合併到其他實施例中，而不需要進一步描述。

然而，需要指出的是，附圖僅描述了本發明的示範實施例，由於本發明可能允許其他等效實施例，不能認為附圖限制了本發明的範圍。

【主要元件符號說明】

102 基板	104 介電體絕緣層
106 導電層	108 阻擋層
110 介電體絕緣層	112 抗反射塗層
114 底部抗反射塗層	116 光阻層
120 側壁	122 溝槽
124 污染物	126 表面
128 介層洞	130 開口
202 電漿蝕刻系統	210 製程室體

- 212 磁體
- 216 支撐基座
- 220 電源
- 224 匹配網路
- 227 節流閥門
- 230 室壁
- 232 噴頭
- 238 氣體面板
- 242 記憶體
- 248 氣體源
- 260 基板
- 302 步驟
- 306 步驟
- 400 雙鑲嵌結構
- 404 底部介電絕緣層
- 408 介電阻擋層
- 412 光阻層
- 416 上表面
- 420 介層洞
- 426 側壁
- 428 表面
- 213 頂蓋
- 218 RF 電漿功率源
- 222 偏置功率源
- 226 靜電卡盤
- 228 上電極
- 231 襯墊
- 234 電接地
- 240 控制器
- 246 支援電路
- 254 AC 電源
- 300 製程
- 304 步驟
- 308 步驟
- 402 基板
- 406 導電層
- 410 介電絕緣層
- 414 底部抗反射塗層
- 418 底部表面
- 422 溝槽

100年8月22日修正本

五、中文發明摘要：

本發明中提供了用於從特徵中去除底部抗反射塗層的方法。在一個實施例中，該方法包括在蝕刻室中提供具有填充了底部抗反射塗層的特徵的基板，為了蝕刻填充在特徵中的底部抗反射塗層的第一部分，將包含 NH_3 氣體的第一氣體混合物供應到室中並且為了蝕刻特徵中的底部抗反射塗層的殘餘部分，將包含 O_2 氣體的第一氣體混合物供應到蝕刻室中。

六、英文發明摘要：

Methods for removing a BARC layer from a feature are provided in the present invention. In one embodiment, the method includes providing a substrate having a feature filled with a BARC layer in an etching chamber, supplying a first gas mixture comprising NH_3 gas into the chamber to etch a first portion of the BARC layer filling in the feature, and supplying a second gas mixture comprising O_2 gas into the etching chamber to etch the remaining portion of the BARC layer disposed in the feature.

十、申請專利範圍：

1. 一種用於從一特徵中去除一底部抗反射塗層的方法，該特徵係形成於一雙鑲嵌結構中，而該方法包括：

在一蝕刻室中提供一基板，該基板具有一以一底部抗反射塗層填充的特徵，其中該特徵包括一溝槽，該溝槽係連接至一界定於一介電體絕緣層中的介層洞，其中該底部抗反射塗層係一填充於該介層洞中的有機材料；

將一包含 NH_3 氣體的第一氣體混合物供應至該蝕刻室中，以蝕刻填充在該特徵中該底部抗反射塗層之一第一部分，同時提供該介電體絕緣層的側壁保護；以及

將一包含 O_2 氣體的第二氣體混合物供應至該蝕刻室中，以蝕刻設置在該特徵中該底部抗反射塗層的殘餘部分，其中一在該第一氣體混合物存在下用於蝕刻該底部抗反射塗層部分的製程時間相對於一用於蝕刻該底部抗反射塗層殘餘部分的製程時間的比例係在約 1：1 與約 4：1 之間。

2. 如申請專利範圍第 1 項所述的方法，其中供應該第一氣體混合物的步驟還包括：

以 50 sccm 至 1000 sccm 之間的流速，將 NH_3 流入到該蝕刻室中。

3. 如申請專利範圍第 1 項所述的方法，其中供應該第一氣體混合物的步驟還包括：

將製程壓力保持在大約 5 mTorr 到大約 300 mTorr 之間。

4. 如申請專利範圍第 1 項所述的方法，其中供應該第一氣體混合物的步驟還包括：

將基板溫度控制在大約攝氏 -10 度到大約攝氏 55 度之間。

5. 如申請專利範圍第 1 項所述的方法，其中供應該第一氣體混合物的步驟還包括：

施加約 150 瓦到約 2000 瓦之間的電漿功率。

6. 如申請專利範圍第 1 項所述的方法，其中供應該第一氣體混合物的步驟還包括：

以約 20 秒至約 200 秒之間的製程時間，蝕刻填充在該特徵中該底部抗反射塗層的該第一部分。

7. 如申請專利範圍第 1 項所述的方法，其中供應該第二氣體混合物的步驟還包括：

以 50 sccm 至 500 sccm 之間的流速，將 O₂ 氣體流入到該蝕刻室中。

8. 如申請專利範圍第 1 項所述的方法，其中供應該第二氣體混合物的步驟還包括：

將製程壓力保持在大約 5 mTorr 到大約 50 mTorr 之間。

9. 如申請專利範圍第 1 項所述的方法，其中供應該第二氣體混合物的步驟還包括：

將基板溫度控制在大約攝氏 -10 度到大約攝氏 55 度之間。

10. 如申請專利範圍第 1 項所述的方法，其中供應該第二氣體混合物的步驟還包括：

施加約 150 瓦到約 2000 瓦之間的電漿功率。

11. 如申請專利範圍第 1 項所述的方法，其中供應該第二氣體混合物的步驟還包括：

以大約 10 秒至大約 60 秒之間的製程時間，蝕刻填充在該特徵中該底部抗反射塗層的殘餘部分。

12. 如申請專利範圍第 1 項所述的方法，其中該鑲嵌結構包括一介電常數小於 3.5 的介電絕緣層。

13. 如申請專利範圍第 1 項所述的方法，其中該鑲嵌結構包括一含有碳摻雜氧化矽的介電絕緣層。

14. 如申請專利範圍第 1 項所述的方法，其中該提供

步驟還包括：

提供之該基板具有一光阻層設置在該基板之一上表面上。

15. 如申請專利範圍第 14 項所述的方法，其中供應到該蝕刻室中之該第一氣體混合物和該第二氣體混合物，在蝕刻該底部抗反射塗層的同時，蝕刻該光阻層。

16. 一種用於從一特徵中去除一底部抗反射塗層的方法，包括：

在一蝕刻室中提供一基板，該基板具有一形成在一雙鑲嵌結構中的介層洞，其中該介層洞係形成於一介電絕緣層中且在一溝槽下，且該介層洞由一底部抗反射塗層所填充，該底部抗反射塗層包括有機材料；

將一包含 NH_3 氣體的第一氣體混合物供應至該蝕刻室中，以蝕刻填充在該介層洞中該底部抗反射塗層的一部分，同時提供該介電絕緣層的側壁保護；以及

將一包含 O_2 氣體的第二氣體混合物供應至該蝕刻室中，以蝕刻該介層洞中該底部抗反射塗層的殘餘部分，其中一在該第一氣體混合物存在下用於蝕刻該底部抗反射塗層部分的製程時間相對於一用於蝕刻該底部抗反射塗層殘餘部分的製程時間的比例係在約 1：1 與約 4：1 之間。

17. 如申請專利範圍第 16 項所述的方法，其中供應

該第一氣體混合物的步驟還包括：

以約 50 sccm 至 1000 sccm 之間的流速，流入 NH_3 。

18. 如申請專利範圍第 16 項所述的方法，其中供應該第二氣體混合物的步驟還包括：

以約 50 sccm 至 500 sccm 之間的流速，流入 O_2 氣體。

19. 如申請專利範圍第 16 項所述的方法，其中該介電絕緣層具有一介電常數小於 3.5。

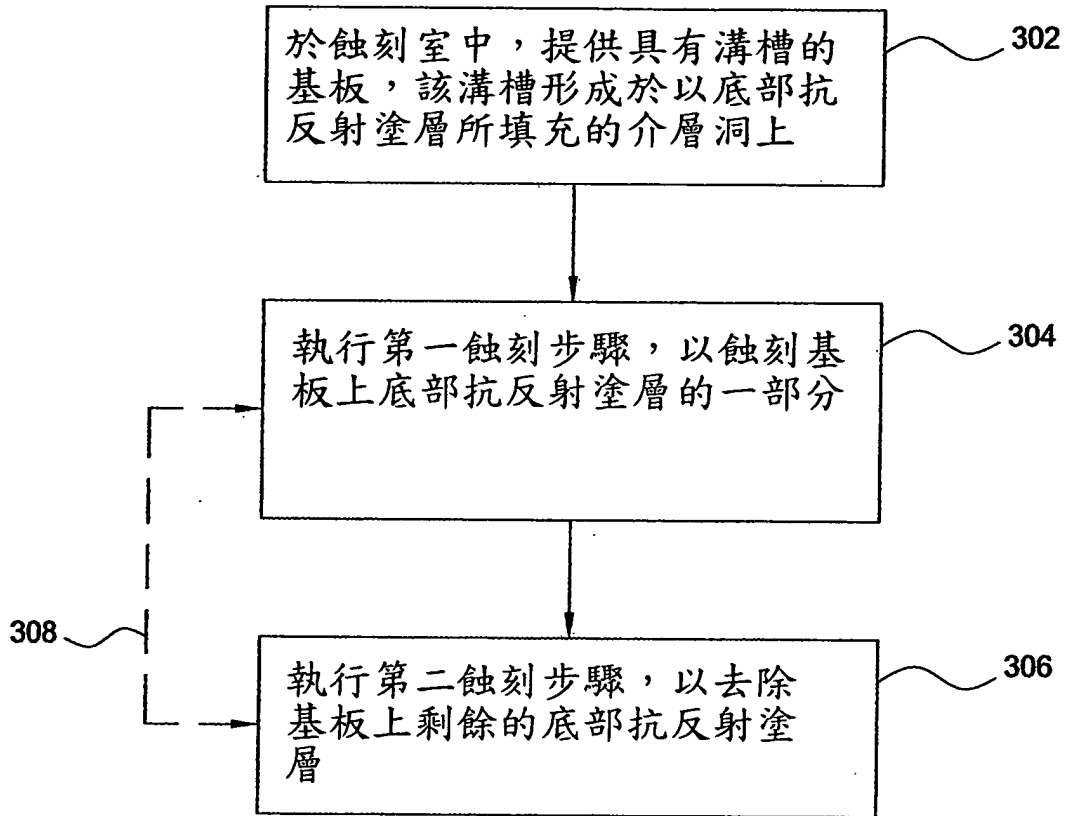
20. 一種用於從一特徵中去除一底部抗反射塗層的方法，包括：

在一蝕刻室中提供一基板，該基板具有一介層洞，該介層洞形成在一雙鑲嵌結構中的一介電絕緣層中，且該介層洞由一底部抗反射塗層所填充，其中該介電絕緣層具有一介電常數小於 3.5，該底部抗反射塗層包括一有機材料；

以約 50 sccm 至 1000 sccm 之間的流速，將一包含 NH_3 氣體的第一氣體混合物供應到該蝕刻室中，以蝕刻填充在該介層洞中該底部抗反射塗層的一部分，同時提供該介電絕緣層的側壁保護；以及

以約 50 sccm 至 500 sccm 之間的流速，將一包含 O_2 氣體的第二氣體混合物供應到該蝕刻室中，以蝕刻該介層洞中該底部抗反射塗層的殘餘部分，其中一在該第一氣體混合物存在下用於蝕刻該底部抗反射塗層部分的製程時間

相對於一用於蝕刻該底部抗反射塗層殘餘部分的製程時間的比例係在約 1 : 1 與約 4 : 1 之間。



第3圖

七、指定代表圖：

(一)、本案指定代表圖為：第(3)圖。

(二)、本代表圖之元件代表符號簡單說明：

300 製程

302 步驟

304 步驟

306 步驟

308 步驟

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無