



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H03K 19/0175 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월30일 10-0723519 2007년05월23일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0001668 2006년01월06일 2006년01월06일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 임경식
 경기 성남시 분당구 야탑동 479 202호

 김한구
 경기 성남시 분당구 구미동 까치마을롯데아파트 410-1001

 고재혁
 경기 수원시 권선구 탑동 우방아파트 104-106

 손일헌
 서울 송파구 문정동 올림픽훼밀리아파트 303-305

 김석진
 서울 노원구 하계1동 한신동성아파트 6-205

(74) 대리인 리엔목특허법인

(56) 선행기술조사문헌 KR1020010040277 A KR1020010030106 A	KR100249392 B1 US6667867 B2
---	--------------------------------

심사관 : 강윤석

전체 청구항 수 : 총 6 항

(54) MOS 트랜지스터를 이용한 전압 클램핑 회로 및 이를구비하는 반도체 칩

(57) 요약

반도체 칩의 내부회로의 특정 노드를 안정적으로 클램핑(clamping)하는 MOS 트랜지스터를 이용한 클램핑 회로 및 이를 구비하는 반도체 칩이 개시된다. 상기 반도체 칩은, 하나 이상의 입출력 패드와, 상기 입출력 패드와 연결되고, 래치구조를 형성하는 적어도 하나의 PMOS 트랜지스터 및 상기 PMOS 트랜지스터에 연결되는 적어도 하나의 NMOS 트랜지스터를 포함하며, 제1 노드의 전압을 전압신호로서 외부로 출력하는 레벨 쉬프터 및 상기 입출력 패드 및 상기 레벨 쉬프터에 연결되며, 정전기 방전 현상에 동기하여 제어전압을 저장하는 용량성 소자를 구비하고, 상기 레벨 쉬프터에 포함되는 MOS

트랜지스터들 중 어느 하나는, 일 전극이 상기 제1 노드에 연결되고 타 전극이 접지단과 연결되는 제1 MOS 트랜지스터이며, 상기 용량성 소자는, 정전기 방전 현상에 동기하여 상기 제어전압을 상기 제1 MOS 트랜지스터의 게이트로 인가하여, 상기 제1 노드를 클램핑하는 것을 특징으로 한다.

대표도

도 2

특허청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

하나 이상의 입출력 패드;

상기 입출력 패드와 연결되고, 래치구조를 형성하는 적어도 하나의 PMOS 트랜지스터 및 상기 PMOS 트랜지스터에 연결되는 적어도 하나의 NMOS 트랜지스터를 포함하며, 제1 노드의 전압을 전압신호로서 외부로 출력하는 레벨 쉬프터; 및

상기 입출력 패드 및 상기 레벨 쉬프터에 연결되며, 정전기 방전 현상에 동기하여 제어전압을 저장하는 용량성 소자를 구비하고,

상기 레벨 쉬프터에 포함되는 MOS 트랜지스터들 중 어느 하나는, 일 전극이 상기 제1 노드에 연결되고 타 전극이 접지단과 연결되는 제1 MOS 트랜지스터이며,

상기 용량성 소자는, 정전기 방전 현상에 동기하여 상기 제어전압을 상기 제1 MOS 트랜지스터의 게이트로 인가하여, 상기 제1 노드를 클램핑하는 것을 특징으로 하는 반도체 칩.

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

제 7항에 있어서,

상기 레벨 쉬프터는, 래치구조를 형성하는 한 쌍의 PMOS 트랜지스터 및 상기 한 쌍의 PMOS 트랜지스터 각각에 연결되는 한 쌍의 NMOS 트랜지스터를 포함하며,

상기 제1 MOS 트랜지스터는, 상기 한 쌍의 NMOS 트랜지스터 중 일 전극이 상기 제1 노드와 연결되며 타 전극이 접지단과 연결되는 NMOS 트랜지스터인 것을 특징으로 하는 반도체 칩.

청구항 12.

삭제

청구항 13.

제 7항에 있어서,

상기 제1 MOS 트랜지스터의 게이트 전극과 상기 용량성 소자가 연결되는 제2 노드와 접지단 사이에 전압강하회로가 연결되는 것을 특징으로 하는 반도체 칩.

청구항 14.

제 7항에 있어서, 상기 제1 MOS 트랜지스터는,

상기 용량성 소자가 상기 입출력 패드와 상기 제1 MOS 트랜지스터의 게이트 전극 사이에 연결되는 GCNMOS(Gate Coupled NMOS)인 것을 특징으로 하는 반도체 칩.

청구항 15.

제 7항에 있어서,

상기 용량성 소자는 커패시터인 것을 특징으로 하는 반도체 칩.

청구항 16.

기록 및 소거가 가능한 메모리를 제어하기 위한 하나 이상의 게이트 전압을 발생하는 반도체 칩에 있어서,

제1 패드를 통해 제어신호를 입력받으며, 제1 게이트 전압을 상기 메모리로 제공하기 위한 제1 스위치부;

제2 패드를 통해 제어신호를 입력받으며, 스위칭 동작에 기반하여 전압신호를 출력하는 제2 스위치부;

상기 제2 스위치부 및 상기 메모리에 연결되며, 적어도 하나의 PMOS 트랜지스터 및 NMOS 트랜지스터를 포함하고, 상기 제2 스위치부로부터 제공된 상기 전압신호에 기반하여 제1 노드의 전압을 제2 게이트 전압으로서 상기 메모리로 제공하는 레벨 쉬프터; 및

상기 제2 패드 및 상기 레벨 쉬프터에 연결되며, 정전기 방전 현상에 동기하여 제어전압을 저장하는 용량성 소자를 구비하고,

상기 레벨 쉬프터에 포함되는 MOS 트랜지스터들 중 어느 하나의 MOS 트랜지스터는, 일 전극이 상기 제1 노드에 연결되고 타 전극이 접지단과 연결되며,

상기 용량성 소자는, 정전기 방전 현상에 동기하여 상기 제어전압을 상기 어느 하나의 MOS 트랜지스터의 게이트로 인가하여, 상기 제1 노드를 클램핑하는 것을 특징으로 하는 반도체 칩.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 클램핑 회로 및 반도체 칩에 관한 것으로서, 더 자세하게는 반도체 칩의 내부회로에 구비되는 MOS 트랜지스터를 이용하여, 정전기 방전으로부터 상기 내부회로의 특정 노드를 안정한 전압레벨로 클램핑(clamping)을 수행하는 전압 클램핑 회로 및 반도체 칩에 관한 것이다.

일반적으로 반도체 칩이 집적화됨에 따라, 패드를 통하여 미세한 배선에 정전기에 의한 전류가 입력되어 칩이 오동작하거나 손상을 입게 되는 문제가 발생할 수 있다. 정전기 방전(ESD, Electro-Static Discharge)으로부터 칩 내부의 메인 회로를 보호하기 위해 반도체 칩은 일반적으로 ESD 보호회로를 구비한다. 상기 ESD 보호회로는 반도체 칩의 패드 근처에 삽입되며 상기 패드와 칩의 메인 회로 사이에 배치된다. 이에 따라 정전기에 의한 전류가 패드를 통해 입력되는 경우, 상기 ESD 보호회로는 입력된 정전기에 의한 전류를 적절한 경로를 통해 방전시킴으로써, 반도체 칩의 메인 회로의 손상을 방지한다.

한편, ESD 등의 정전기에 의하여 반도체 칩의 내부 회로의 특정 노드(node)의 전압이 큰 폭으로 변동되는 것을 방지하기 위해, 상기 노드의 전압을 클램핑(clamping)할 수 있는 소자가 사용된다. 상기 클램핑 소자로는 MOS, SCR 등 스냅백(snapback) 동작을 할 수 있는 소자가 사용된다.

상기 반도체 칩 내부에 구비되는 회로의 특정 노드에서 정전기로 인한 전압 변동이 발생하는 경우 상기 회로에 오동작이 발생할 수 있으며, 특히 게이트 산화막의 두께가 얇아지게 됨에 따라 상기 전압 변동으로 인하여 게이트 산화막이 손상되는 문제가 발생하게 된다.

반도체 칩 내에 구비되는 구체적인 회로를 통하여 상술한 바를 설명하면 다음과 같다.

도 1은 반도체 칩 내에 구비되는 종래의 레벨 쉬프터를 나타내는 회로도이다. 도시된 바와 같이 상기 레벨 쉬프터는, 입력되는 신호의 전압 레벨을 변동하여 외부로 출력하며, 한 쌍의 PMOS 트랜지스터(P1,P2), 한 쌍의 NMOS 트랜지스터(N1,N2) 및 인버터(I1)를 구비할 수 있다.

PMOS 트랜지스터 P1 및 P2는 래치 구조를 가지며 서로 연결된다. PMOS 트랜지스터 P1의 게이트는 P2의 드레인 단자와 연결되며, PMOS 트랜지스터 P2의 게이트는 P1의 드레인 단자와 연결된다. 또한, 상기 PMOS 트랜지스터 P1 및 P2의 소스 단자는 승압전압(V_p)에 연결된다.

풀-다운(pull-down) 스위칭을 위한 NMOS 트랜지스터 N1은 게이트 단자가 입력신호(V_{in})와 연결되며, NMOS 트랜지스터 N2는 게이트 단자가 상기 입력신호(V_{in})를 반전시킨 신호와 연결된다. 또한, 상기 NMOS 트랜지스터 N1 및 N2의 드레인 단자는 각각 상기 PMOS 트랜지스터 P1 및 P2와 연결되며, 소스 단자는 접지전압(GND)와 연결된다. 상기 레벨 쉬프터의 동작을 설명하면 다음과 같다.

상기 입력신호(Vin)가 로우 레벨에서 하이 레벨로 천이하면, NMOS 트랜지스터 N1는 턴온되고, N2는 턴 오프된다. 이에 따라 노드 a의 전압은 로우 레벨로 되고, 상기 노드 a의 전압이 PMOS 트랜지스터 P2의 게이트로 인가되어 PMOS 트랜지스터 P2가 턴온된다. 또한, 노드 b는 하이 레벨로 되며, 상기 노드 b의 전압이 PMOS 트랜지스터 P1의 게이트로 인가되어 PMOS 트랜지스터 P1가 턴 오프된다. 또한, 노드 b의 하이 레벨 전압 Vp가 출력신호 Vout로서 외부 회로에 제공된다.

한편, 상기 입력신호(Vin)가 하이 레벨에서 로우 레벨로 천이하면, NMOS 트랜지스터 N2는 턴온되고, N1는 턴 오프된다. 이에 따라 노드 b의 전압은 로우 레벨로 되고, 상기 노드 b의 전압이 PMOS 트랜지스터 P1의 게이트로 인가되어 PMOS 트랜지스터 P1가 턴온된다. 또한, 노드 a는 하이 레벨로 되며, 상기 노드 a의 전압이 PMOS 트랜지스터 P2의 게이트로 인가되어 PMOS 트랜지스터 P2가 턴 오프된다. 또한, 노드 b의 로우 레벨 전압 GND가 출력신호 Vout로서 외부 회로에 제공된다.

상술한 바와 같이 상기 레벨 쉬프터의 출력신호(Vout)로서 외부 회로로 제공되는 노드 b의 전압은, 하이 레벨 전압(Vp) 또는 로우 레벨 전압(GND)으로서 안정적으로 제공되어야 한다. 또한, 반도체 칩은 도 1의 경우에서 상기 노드 b의 전압을 안정화하기 위한 별도의 회로를 구비하여야 한다.

그러나, 별도의 클램핑 회로를 구현하는 경우 반도체 칩의 전체적인 사이즈가 증가하게 되며, 또한 고전압의 정전기 방전으로부터 클램핑 동작을 수행하기 위한 클램핑 회로는 디자인 룰(design rule)이 일반적으로 크게 구현되므로, 반도체 칩 사이즈 축소면에서 불리한 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 반도체 칩의 내부회로에 구비되는 MOS 트랜지스터를 이용하여 특정 노드의 전압레벨의 클램핑 동작을 수행할 수 있는 전압 클램핑 회로 및 이를 구비하는 반도체 칩을 제공하는 것을 목적으로 한다.

발명의 구성

본 발명의 일실시예에 따른 반도체 칩은, 하나 이상의 입출력 패드와, 상기 입출력 패드와 연결되고, 래치구조를 형성하는 적어도 하나의 PMOS 트랜지스터 및 상기 PMOS 트랜지스터에 연결되는 적어도 하나의 NMOS 트랜지스터를 포함하며, 제1 노드의 전압을 전압신호로서 외부로 출력하는 레벨 쉬프터 및 상기 입출력 패드 및 상기 레벨 쉬프터에 연결되며, 정전기 방전 현상에 동기하여 제어전압을 저장하는 용량성 소자를 구비하고, 상기 레벨 쉬프터에 포함되는 MOS 트랜지스터들 중 어느 하나는, 일 전극이 상기 제1 노드에 연결되고 타 전극이 접지단과 연결되는 제1 MOS 트랜지스터이며, 상기 용량성 소자는, 정전기 방전 현상에 동기하여 상기 제어전압을 상기 제1 MOS 트랜지스터의 게이트로 인가하여, 상기 제1 노드를 클램핑하는 것을 특징으로 한다.

또한 본 발명의 다른 실시예에 따른 반도체 칩은, 기록 및 소거가 가능한 메모리를 제어하기 위한 하나 이상의 게이트 전압을 발생하며, 제1 패드를 통해 제어신호를 입력받으며, 제1 게이트 전압을 상기 메모리로 제공하기 위한 제1 스위치부와, 제2 패드를 통해 제어신호를 입력받으며, 스위칭 동작에 기반하여 전압신호를 출력하는 제2 스위치부와, 상기 제2 스위치부 및 상기 메모리에 연결되며, 적어도 하나의 PMOS 트랜지스터 및 NMOS 트랜지스터를 포함하고, 상기 제2 스위치부로부터 제공된 상기 전압신호에 기반하여 제1 노드의 전압을 제2 게이트 전압으로서 상기 메모리로 제공하는 레벨 쉬프터 및 상기 제2 패드 및 상기 레벨 쉬프터에 연결되며, 정전기 방전 현상에 동기하여 제어전압을 저장하는 용량성 소자를 구비하고, 상기 레벨 쉬프터에 포함되는 MOS 트랜지스터들 중 어느 하나의 MOS 트랜지스터는, 일 전극이 상기 제1 노드에 연결되고 타 전극이 접지단과 연결되며, 상기 용량성 소자는, 정전기 방전 현상에 동기하여 상기 제어전압을 상기 어느 하나의 MOS 트랜지스터의 게이트로 인가하여, 상기 제1 노드를 클램핑하는 것을 특징으로 한다.

삭제

삭제

삭제

삭제

삭제

삭제

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 2는 본 발명의 일실시에 따른 클램핑 회로를 나타내는 회로도이다. 상기 클램핑 회로는 정전기 방전 현상시 반도체 칩의 내부 회로(10)의 제1 노드(e)를 클램핑하여, 상기 제1 노드(e)의 전압이 정전기 방전 현상에 의하여 과도히 상승하여 외부로 출력되는 것을 억제한다. 도시된 바와 같이 상기 클램핑 회로는 MOS 트랜지스터(N11)와 용량성 소자(C)를 구비하며, 일례로서 상기 용량성 소자(C)는 커패시터로 이루어진다.

상기 내부회로(10)는 입출력 패드(PAD)를 통해 신호를 송수신하며, 상기 MOS 트랜지스터(N11)는 반도체 칩의 내부회로(10)에 구비되는 트랜지스터 소자이다. 상기 MOS 트랜지스터(N11)는 일 전극이 클램핑이 요구되는 상기 제1 노드(e)와 연결되며, 타 전극은 소정의 전압(Vss)에 연결된다. 바람직하게는 상기 타 전극은 접지단에 연결된다.

상기 용량성 소자(C)는 입출력 패드(PAD)와 MOS 트랜지스터(N11) 사이에 연결되며, 특히 입출력 패드(PAD)와 MOS 트랜지스터(N11)의 게이트 전극 사이에 연결되는 것이 바람직하다.

상기 내부회로(10)는 제1 노드(e)를 통해 외부로 전압신호(Vout)를 출력하는데, 정전기 방전 현상시 포지티브(positive) 극성을 갖는 전하가 제1 노드(e)로 주입되어, 상기 제1 노드(e)의 전압이 급격히 상승될 수 있다. 이 경우 상기 제1 노드(e)로부터 전압신호를 입력받는 소정의 외부회로는, 동작전압 범위를 초과하는 고전압을 입력받게 되어 오동작이 발생하거나, 상기 고전압으로 인해 게이트 산화막이 손상될 수 있다. 본 발명의 일실시에 따른 클램핑 회로는, 정전기 방전 발생시 상기 제1 노드(e)의 전압의 과도한 상승을 방지하며, 특히 정전기 방전 발생시 상기 내부회로(10)에 구비되는 MOS 트랜지스터(N11)를 턴 온 시킨다. 이에 따라 MOS 트랜지스터(N11)가 풀-다운 트랜지스터로 동작함으로써, 상기 MOS 트랜지스터(N11)의 일전극과 연결된 제1 노드(e)의 전압을 강하시킨다.

더 자세한 동작에 따르면, MOS 트랜지스터(N11)는 정전기 방전 현상에 동기하여 턴 온 됨으로써 제1 노드(e)의 전압을 풀-다운 시키며, 상기 용량성 소자(C)는 MOS 트랜지스터(N11)를 턴 온 시키기 위한 제어전압을 저장한다. 즉, 상기 용량성 소자(C)는 입출력 패드(PAD)와 MOS 트랜지스터(N11)의 게이트 전극 사이에 연결되며, 입출력 패드(PAD)로부터 입력된 포지티브 전하는 노드 d를 통해 상기 용량성 소자(C) 및 전압 강하회로(20)를 거쳐 접지단으로 전달된다. 상기 전압 강하회로(20)는, MOS 트랜지스터(N11)의 게이트 전극과 용량성 소자(C)가 연결되는 제2 노드(f)와 접지단(Vss) 사이에 연결되는 일반적인 회로로서, 일례로 소정의 저항성분을 구비하여 전류가 흐를시 소정의 전압을 강하하는 회로가 적용될 수 있다.

입출력 패드(PAD)를 통해 전달되는 포지티브 전하는 전압 강하회로(20)를 거쳐 접지단(Vss)으로 전달되므로, 상기 제2 노드(f)에는 전압 강하회로(20)에서 강하된 전압에 해당하는 전압값이 인가된다. 또한, MOS 트랜지스터(N11)의 게이트 전극과 일 전극(제1 노드 e와 연결되는 전극) 사이에 용량성 소자(C)가 연결되므로, 상기 용량성 소자(C)는 MOS 트랜지스터(N11)를 턴 온 시킬수 있는 정도의 전압만을 저장하면 된다. 따라서 상기 용량성 소자(C)의 커패시턴스 값을 작은 값으로 설정할 수 있다.

즉, 도 2에서와 같이 동작함에 따라, 정전기 방전 현상 발생시 포지티브 전하 유입과 동기하여 용량성 소자(C)에 MOS 트랜지스터(N11)를 턴 온 시키는 제어전압이 저장되므로, 정전기 방전 발생동안 MOS 트랜지스터(N11)의 턴 온을 유지할 수 있다. 또한, 상기 용량성 소자(C)를 작은 사이즈로 구현할 수 있으며, MOS 트랜지스터(N11)의 게이트 전극으로 인가되는 전압을 일정 수준 이하로 낮출 수 있어 게이트 산화막의 손상을 방지할 수 있다.

또한, 상기 제어전압에 의해 MOS 트랜지스터(N11)가 턴 온되며, 상기 MOS 트랜지스터(N11)가 풀-다운 트랜지스터로 동작함에 따라 정전기 방전 발생시 상기 제1 노드(e)의 전압을 안정적으로 클램핑할 수 있다. 특히, 상기 MOS 트랜지스터(N11)를 반도체 칩의 내부회로에 구비되는 NMOS 트랜지스터를 이용함으로써, 제1 노드(e)를 클램핑하기 위한 별도의 회로소자를 필요로 하지 않는다.

도 3은 도 2의 내부회로가 레벨 쉬프터인 경우에서의 레벨 쉬프터 및 클램핑 회로(100)를 나타내는 회로도이다. 도시된 바와 같이 도 2의 내부회로의 일례로서 레벨 쉬프터(10)가 적용되며, 상기 레벨 쉬프터(10)는 한 쌍의 PMOS 트랜지스터(P11,P12), 한 쌍의 NMOS 트랜지스터(N11,N12) 및 인버터(I11)를 구비할 수 있다. 상기와 같이 구성되는 레벨 쉬프터(10)의 동작은 도 1에 설명되었던 레벨 쉬프터와 유사하게 동작하므로 자세한 설명은 생략한다.

도시된 바와 같이 노드 g와 PMOS 트랜지스터(P12)가 연결되며, 제1 노드(e)와 PMOS 트랜지스터(P11)가 연결되어, 상기 한 쌍의 PMOS 트랜지스터(P11,P12)는 래치 구조를 형성한다. 또한 상기 노드 e는 레벨 쉬프터(10)의 출력단과 연결되어, 제1 노드(e)의 전압이 출력신호(Vout)로서 출력된다.

상기 한 쌍의 NMOS 트랜지스터(N11,N12)중 하나의 NMOS 트랜지스터(N11)는, 일 전극이 상기 레벨 쉬프터(10)의 출력단과 연결되며 타 전극이 접지단(Vss)과 연결된다. 또한, NMOS 트랜지스터(N11)와 입출력 패드(PAD) 사이에는 용량성 소자(C), 특히 커패시터가 연결된다. 바람직하게는 상기 용량성 소자(C)는 NMOS 트랜지스터(N11)의 게이트 전극과 입출력 패드(PAD) 사이에 연결된다. 또한 바람직하게는, 상기 NMOS 트랜지스터(N11)와 용량성 소자(C)의 제2 노드(f)와 접지단(Vss) 사이에는 전압 강하회로(20)를 더 구비하도록 한다. 상기 전압 강하회로(20)는 전류가 흐를시 소정의 전압을 강하하는 저항회로가 적용될 수 있다.

입력신호 Vin 가 인가됨에 따라 레벨 쉬프트 동작에 따른 소정의 전압레벨을 갖는 전압신호가 출력신호(Vout)로서 출력되어야 한다. 그러나, 승압전압(Vp)이 입력되는 입출력 패드(PAD)를 통해 정전기 방전에 따른 전하가 노드 d를 통해 입력될 수 있다. 이 경우 유입된 전하에 의하여 제1 노드(e)의 전압이 급격히 상승할 수 있는데, 본 발명의 일실시예에 따른 클램핑 회로는, 상기 NMOS 트랜지스터(N11)를 풀-다운 트랜지스터로 동작함으로써, 상기 MOS 트랜지스터(N11)의 일전극과 연결된 제1 노드(e)의 전압을 강하시킨다.

즉, 노드 d를 통해 전달된 정전기 방전에 따른 전하가 용량성 소자(C) 및 전압 강하회로(20)를 거쳐 접지단(Vss)으로 전달되며, 이에 따라 상기 제2 노드(f)에는 전압 강하회로(20)에서 강하된 전압에 해당하는 전압값이 인가된다. 또한, 상기 용량성 소자(C)는 MOS 트랜지스터(N11)를 턴온 시키기 위한 제어전압을 저장한다. 이에 따라 정전기 방전 현상에 동기하여 용량성 소자(C)에 제어전압이 저장되며 MOS 트랜지스터(N11)가 턴온되어 상기 제1 노드(e)의 클램핑 동작을 수행한다.

앞서 언급한 바와 같이 상기 용량성 소자(C)는 MOS 트랜지스터(N11)가 턴온되기 위한 전압만을 저장하면 되므로 커패시턴스 값을 작은 값으로 설정할 수 있으며, 레벨 쉬프터(10)내의 MOS 트랜지스터(N11)가 자체적으로 클램핑 회로 역할을 하므로 칩 사이즈 감소에 효과적이다. 또한 정전기 방전 현상과 같이 전압 상승이 급격한 경우에 MOS 트랜지스터(N11)가 턴온되어 스위칭 동작을 하므로, 이외에서는 레벨 쉬프터(10)의 일반적인 동작을 수행한다.

도 4는 본 발명의 일실시예에 따른 반도체 칩을 나타내는 블록도이다. 도시된 바와 같이 상기 반도체 칩은 데이터 신호(DATA) 및 기록 인에이블 신호(W_EN)를 입력받아 NOR 연산을 하는 NOR 게이트와, 상기 NOR 게이트로부터 입력신호 Vin를 수신하여 출력신호 Vout를 출력하는 레벨 쉬프터/클램핑 회로(100)를 구비할 수 있다. 일례로서, 상기 레벨 쉬프터/클램핑 회로(100)는 상술하였던 도 3과 같은 회로가 적용될 수 있다.

특히 상기 도 4에서는 상기 반도체 칩의 일 예로서 기록/소거 가능한 메모리 장치, 특히 EEPROM(200)이 도시된다. 패드 1(PAD1) 및 패드 2(PAD2)를 통해 제어신호가 전달되며, 상기 제어신호는 각각 제1 스위치(111) 및 제2 스위치(112)를 통해 제어 게이트(CG) 및 레벨 쉬프터/클램핑 회로(100)로 전달된다.

상기 패드 2(PAD2)를 통해 정전기 방전 현상에 따른 전하가 유입되면, 도 3에서 상술하였던 동작과 유사하게 클램핑 동작이 수행되어, 상기 레벨 쉬프터/클램핑 회로(100)의 출력신호 Vout의 전압을 강하시켜 출력한다. 특히 상기 레벨 쉬프터/클램핑 회로(100)에서 클램핑 소자인 NMOS 트랜지스터가 풀-다운 동작을 하므로, 상기 출력신호 Vout는 접지전압으로 클램핑된다.

EEPROM(200)의 이레이즈 동작 및 독출 동작 등을 위해서는, 일반적으로 상기 EEPROM(200)의 제어 게이트(CG)에 소정의 전원전압이 인가되고, 이레이즈 게이트(EG)에 0V의 전압이 인가된다. 즉, 상기 이레이즈 동작 및 독출 동작시, 정전기 방전 현상에 의해 레벨 쉬프터/클램핑 회로(100)의 출력전압 Vout이 과도하게 증가하면, EEPROM(200)이 오동작하게 되어 데이터를 프로그래밍하는 문제가 발생하게 된다. 그러나, 상술한 바와 같이 레벨 쉬프터 내에 구비되는 MOS 트랜지스터를 이용하여 클램핑 회로를 구성하며, 상기 클램핑 회로에 의하여 레벨 쉬프터/클램핑 회로(100)의 출력전압 Vout를 안정적으로 클램핑하므로, 상기 EEPROM(200)의 오동작을 방지할 수 있다.

도 5a,b 는 본 발명의 일실시예에 따른 클램핑 회로의 동작 결과를 종래의 경우와 비교하여 나타낸 그래프이다. 도 5a,b에 도시된 그래프는 도 3에 도시된 노드 d, 노드 e 및 노드 f의 시간축에 따른 전압값의 변화를 나타낸다.

도 5a는 레벨 쉬프터에 용량성 소자를 구비하지 않은 경우, 정전기 방전 현상에 따른 노드 전압의 변화를 나타낸다. 도시된 바와 같이 패드를 통해 정전기 방전에 따른 전하가 유입되면 노드 d의 전압값은 급격히 증가한다. 또한 노드 f의 경우 일반적인 동작하에서 낮은 전압값을 가지므로 도 3의 NMOS 트랜지스터 N11은 턴 오프상태를 유지하며, 이에 따라 노드 e의 전압은 20V 이상의 값으로 증가하게 된다.

반면에, 도 5b는 레벨 쉬프터에 구비되는 MOS 트랜지스터의 게이트 전극에 용량성 소자를 연결한 경우, 정전기 방전 현상에 따른 노드 전압의 변화를 나타낸다. 도시된 바와 같이 정전기 방전에 따른 전하가 유입되어 노드 d의 전압값이 증가하게 된다. 또한 이와 동기하여 용량성 소자(C)에 소정의 제어전압이 저장되며, 이러한 제어전압은 일정 시간 이상 지속된다.

노드 f의 전압이 상기 MOS 트랜지스터의 게이트 전극으로 인가되어 MOS 트랜지스터가 턴온되며, 상기 MOS 트랜지스터의 풀-다운 동작에 의해 노드 e가 클램핑되어, 노드 e의 전압이 대략 0V로 강하된다. 이에 따라 레벨 쉬프터의 출력전압 Vout을 안정한 레벨로 클램핑하여 출력하므로 앞서 언급한 바와 같은 효과를 얻을 수 있다.

본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

발명의 효과

상기한 바와 같은 본 발명의 특징에 따르면, 반도체 칩의 내부회로에 구비되는 MOS 트랜지스터를 이용하여 클램핑 회로를 구현하므로, 별도의 소자를 필요로 하지 않아 칩 사이즈를 축소시킬 수 있으며 안정적으로 클램핑 동작을 수행할 수 있는 효과가 있다.

도면의 간단한 설명

도 1은 반도체 칩 내에 구비되는 종래의 레벨 쉬프터를 나타내는 회로도이다.

도 2는 본 발명의 일실시예에 따른 클램핑 회로를 나타내는 회로도이다.

도 3은 도 2의 내부회로가 레벨 쉬프터인 경우에서의 레벨 쉬프터 및 클램핑 회로를 나타내는 회로도이다.

도 4는 본 발명의 일실시예에 따른 반도체 칩을 나타내는 블록도이다.

도 5a,b 는 본 발명의 일실시예에 따른 클램핑 회로의 동작 결과를 종래의 경우와 비교하여 나타낸 그래프이다.

* 도면의 주요부분에 대한 부호의 설명 *

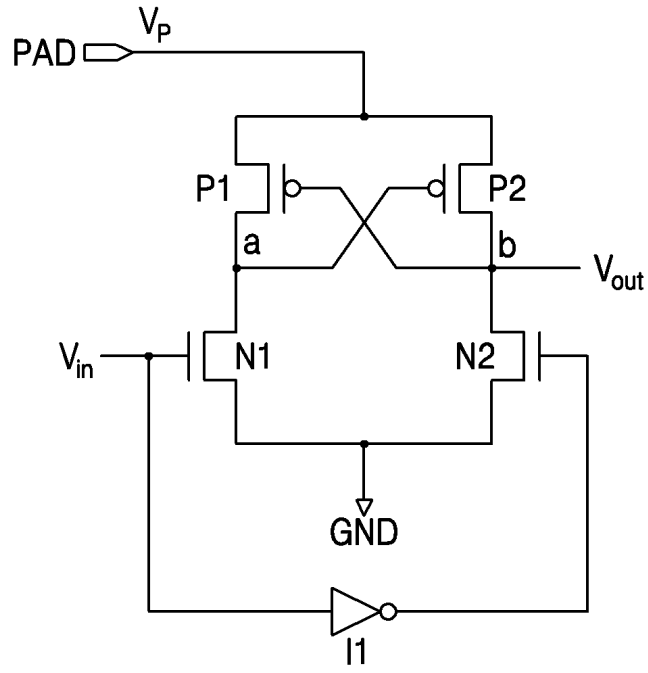
10: 내부 회로 20: 전압 강하회로

C: 용량성 소자 N11: MOS 트랜지스터

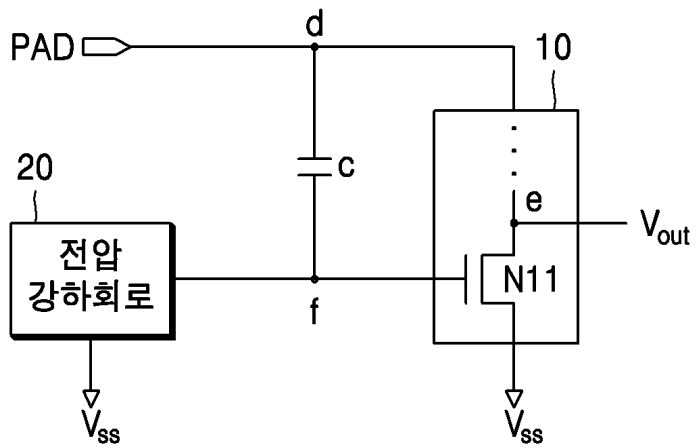
e: 제1 노드 f: 제2 노드

도면

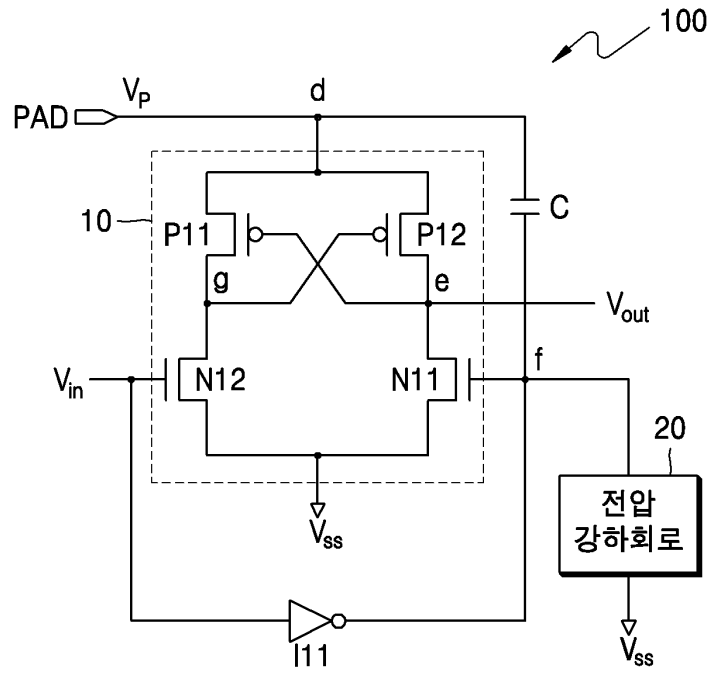
도면1



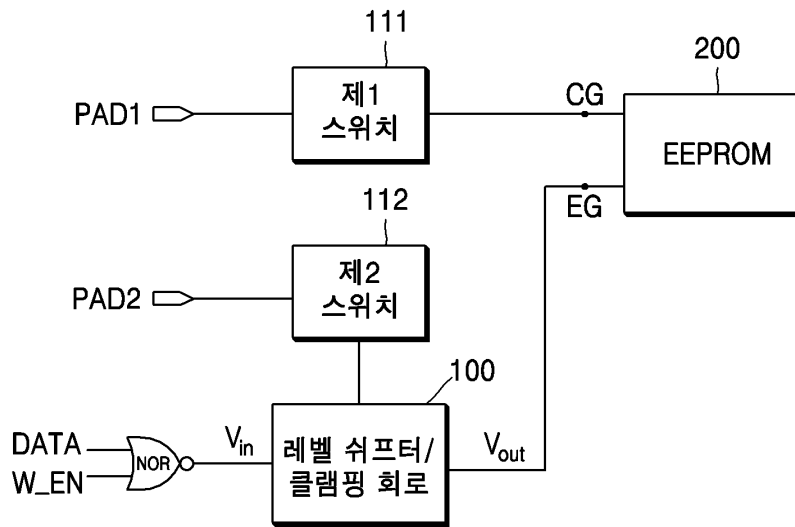
도면2



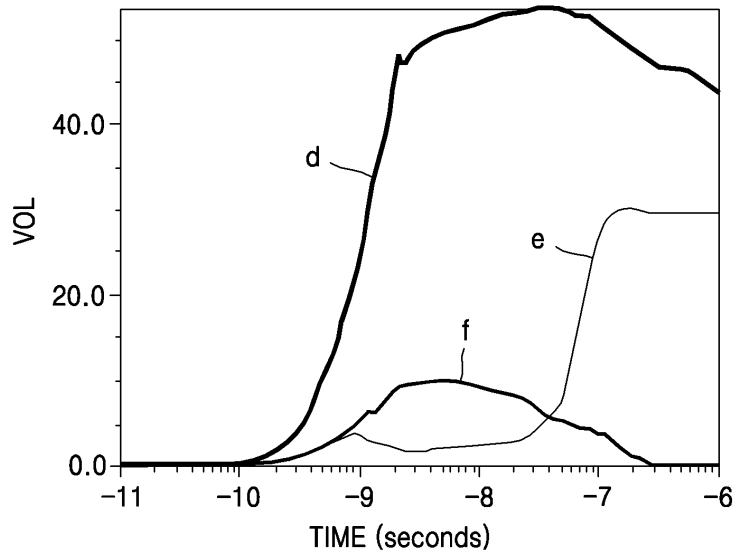
도면3



도면4



도면5a



도면5b

