



# (12) 发明专利申请

(10) 申请公布号 CN 118414711 A

(43) 申请公布日 2024. 07. 30

(21) 申请号 202280084122.6

(22) 申请日 2022.12.15

(30) 优先权数据

2021-207018 2021.12.21 JP

(85) PCT国际申请进入国家阶段日

2024.06.19

(86) PCT国际申请的申请数据

PCT/JP2022/046162 2022.12.15

(87) PCT国际申请的公布数据

W02023/120353 JA 2023.06.29

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 吉原克彦

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

专利代理师 金成哲 郑毅

(51) Int.Cl.

H01L 29/78 (2006.01)

H01L 21/60 (2006.01)

H01L 29/12 (2006.01)

H01L 29/739 (2006.01)

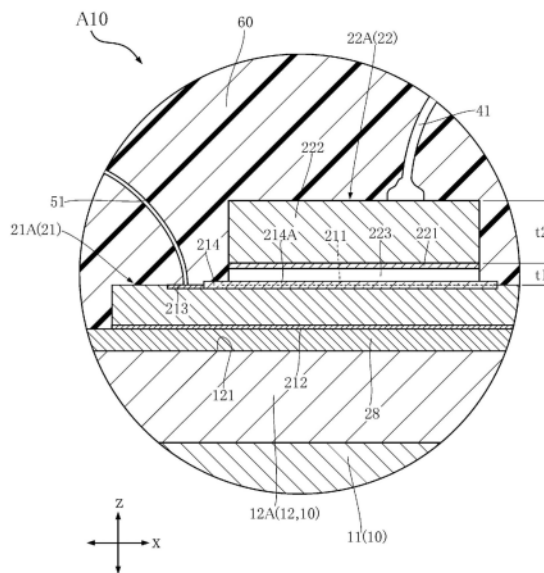
权利要求书2页 说明书14页 附图18页

(54) 发明名称

半导体装置

(57) 摘要

半导体装置具备支撑部件、半导体元件、缓冲层以及导通部件。所述半导体元件具有在第一方向上位于与所述支撑部件相对的一侧的相反侧的第一电极以及栅极电极。所述半导体元件与所述支撑部件接合。所述缓冲层与所述第一电极导电接合。所述导通部件与所述缓冲层导电接合。第一固相扩散结合层位于所述第一电极与所述缓冲层之间。所述半导体元件具有在所述第一方向上位于与所述栅极电极所在的一侧相同的一侧且与所述栅极电极相连的栅极指。所述栅极指包括比所述第一电极更向所述缓冲层突出的凸部。在所述缓冲层形成有在所述第一方向上从与所述半导体元件相对的一侧凹陷的凹部。所述凸部的至少一部分收纳于所述凹部。



1. 一种半导体装置,其特征在于,具备:  
支撑部件;  
半导体元件,其具有在第一方向上位于与所述支撑部件相对的一侧的相反侧的第一电极以及栅极电极,并且与所述支撑部件接合;  
缓冲层,其与所述第一电极导电接合;以及  
导通部件,其与所述缓冲层导电接合,  
第一固相扩散结合层位于所述第一电极与所述缓冲层之间,  
所述半导体元件具有栅极指,该栅极指在所述第一方向上位于与所述栅极电极所在的一侧相同的一侧,且与所述栅极电极相连,  
所述栅极指包括比所述第一电极更向所述缓冲层突出的凸部,  
在所述缓冲层形成有凹部,该凹部在所述第一方向上从与所述半导体元件相对的一侧凹陷,  
所述凸部的至少一部分收纳于所述凹部。
2. 根据权利要求1所述的半导体装置,其特征在于,  
所述缓冲层具有:第一层;以及第二层,其在所述第一方向上以所述第一层为基准位于与所述半导体元件相反的一侧,  
所述导通部件与所述第二层导电接合,  
所述第一层的维氏硬度小于所述第二层的维氏硬度。
3. 根据权利要求2所述的半导体装置,其特征在于,  
所述第一层的所述第一方向的尺寸小于所述第二层的所述第一方向的尺寸。
4. 根据权利要求2或3所述的半导体装置,其特征在于,  
所述第二层的组成包含与所述导通部件的组成相同的原材料。
5. 根据权利要求4所述的半导体装置,其特征在于,  
所述第二层以及所述导通部件各自的组成包含铜。
6. 根据权利要求4或5所述的半导体装置,其特征在于,  
所述导通部件为键合线。
7. 根据权利要求4至6中任一项所述的半导体装置,其特征在于,  
所述第一层的组成包含铝。
8. 根据权利要求2至7中任一项所述的半导体装置,其特征在于,  
还具备中间层,  
所述缓冲层具有第三层,该第三层以所述第一层为基准位于与所述第二层相反的一侧,  
所述中间层位于所述第一电极与所述第三层之间,  
所述第三层以及所述中间层各自的维氏硬度大于所述第一层的维氏硬度,并且小于所述第二层的维氏硬度。
9. 根据权利要求8所述的半导体装置,其特征在于,  
所述第一固相扩散结合层位于所述中间层与所述第三层之间。
10. 根据权利要求2至9中任一项所述的半导体装置,其特征在于,  
所述凸部与所述第一层相接,

所述第一层的维氏硬度小于所述凸部的维氏硬度。

11. 根据权利要求2至9中任一项所述的半导体装置,其特征在在于,所述凸部位于远离所述缓冲层的位置。

12. 根据权利要求11所述的半导体装置,其特征在在于,所述第一层的所述第一方向的尺寸大于所述凹部的所述第一方向的尺寸。

13. 根据权利要求11所述的半导体装置,其特征在在于,所述第一层的所述第一方向的尺寸小于所述凹部的所述第一方向的尺寸。

14. 根据权利要求12或13所述的半导体装置,其特征在在于,所述凹部具有中间面,该中间面在所述第一方向上与所述凸部相对,所述中间面朝向所述第一层的内侧凹陷。

15. 根据权利要求1至14中任一项所述的半导体装置,其特征在在于,所述支撑部件包括绝缘层、以及位于所述绝缘层与所述半导体元件之间的导电层,所述半导体元件具有第二电极,该第二电极在所述第一方向上与所述导电层相对,所述第二电极与所述导电层导电接合。

16. 根据权利要求15所述的半导体装置,其特征在在于,还具备接合层,该接合层位于所述导电层与所述半导体元件之间,所述接合层的维氏硬度小于所述导电层的维氏硬度,第二固相扩散结合层位于所述导电层与所述接合层之间,第三固相扩散结合层位于所述接合层与所述第二电极之间。

17. 根据权利要求15或16所述的半导体装置,其特征在在于,所述支撑部件包括散热层,该散热层在所述第一方向上以所述绝缘层为基准位于与所述导电层相反的一侧,

在所述第一方向上观察时,所述导电层以及所述散热层被所述绝缘层的周缘包围。

## 半导体装置

### 技术领域

[0001] 本公开涉及一种半导体装置。

### 背景技术

[0002] 以往,已知一种搭载了具有开关功能的半导体元件(MOSFET等)的半导体装置。该半导体装置主要用于电力转换。在专利文献1中公开了该半导体装置的一例。专利文献1所公开的半导体装置具备具有相当于源极电极的主面电极的半导体元件。主面电极具有第一部分以及相对于该第一部分形成为凸起状的多个第二部分。在多个第二部分别导电接合有铜导线(组成中包括铜的导线)。与金导线相比,铜导线对作为导电接合对象的半导体元件施加更大的冲击。在专利文献1所公开的半导体装置中,多个第二部分作为降低对半导体元件的冲击的缓和层发挥作用。

[0003] 其中,在如专利文献1所公开的半导体装置那样在具有开关功能的半导体元件的电极(如果半导体元件是MOSFET,则是源极电极)设置缓和层时,有通过固相扩散将缓和层与电极导电接合的对策。由此,能够降低电极与缓和层的边界处的热阻以及电阻。但是,在通过固相扩散将缓和层与电极导电接合时,根据半导体元件的构造,有时缓和层干扰栅极指。这是由于栅极指包括比半导体元件的电极更向缓和层突出的部分而引起的。在该情况下,伴随着固相扩散的压力作用于缓和层,因此从该缓和层经由栅极指向半导体元件传递更大的冲击,该半导体元件有可能发生龟裂。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:国际公开第2020/012958号

### 发明内容

[0007] 发明所要解决的课题

[0008] 本公开的一个课题在于提供一种与以往相比实施了改良的半导体装置。特别是本公开鉴于上述情况,其一个课题在于提供一种半导体装置,其在通过固相扩散将缓和层与具有栅极指的半导体元件的电极导电接合时,能够实现减少对该半导体元件的冲击。

[0009] 用于解决课题的方案

[0010] 根据本公开的一个方案提供的半导体装置具备支撑部件、半导体元件、缓冲层以及导通部件。所述半导体元件具有在第一方向上位于与所述支撑部件相对的一侧的相反侧的第一电极以及栅极电极,并且与所述支撑部件接合。所述缓冲层与所述第一电极导电接合。所述导通部件与所述缓冲层导电接合。第一固相扩散结合层位于所述第一电极与所述缓冲层之间。所述半导体元件具有在所述第一方向上位于与所述栅极电极所在的一侧相同的一侧且与所述栅极电极相连的栅极指。所述栅极指包括比所述第一电极更向所述缓冲层突出的凸部。在所述缓冲层形成有在所述第一方向上从与所述半导体元件相对的一侧凹陷的凹部。所述凸部的至少一部分收纳于所述凹部。

[0011] 发明效果

[0012] 根据上述结构,在半导体装置中,在通过固相扩散将缓和层与具有栅极指的半导体元件的电极导电接合时,能够实现减少对该半导体元件的冲击。

[0013] 本公开的其他特征以及优点通过基于附图在以下进行的详细的说明而变得更加明确。

### 附图说明

[0014] 图1是本公开的第一实施方式的半导体装置的俯视图。

[0015] 图2是与图1对应的俯视图,透过密封树脂而示出。

[0016] 图3是与图2对应的俯视图,透过第一端子而示出,且省略了多个第二导通部件的图示。

[0017] 图4是图1所示的半导体装置的仰视图。

[0018] 图5是图1所示的半导体装置的正视图。

[0019] 图6是图1所示的半导体装置的左侧视图。

[0020] 图7是沿着图2的VII-VII线的剖视图。

[0021] 图8是沿着图2的VIII-VIII线的剖视图。

[0022] 图9是沿着图2的IX-IX线的剖视图。

[0023] 图10是图2的局部放大图。

[0024] 图11是沿着图10的XI-XI线的剖视图。

[0025] 图12是沿着图10的XII-XII线的剖视图。

[0026] 图13是图12的局部放大图。

[0027] 图14是图11的局部放大图。

[0028] 图15是本公开的第二实施方式的半导体装置的局部放大剖视图。

[0029] 图16是图15所示的半导体装置的局部放大剖视图,剖面位置与图15的剖面位置不同。

[0030] 图17是本公开的第三实施方式的半导体装置的局部放大剖视图。

[0031] 图18是图17所示的半导体装置的局部放大剖视图,剖面位置与图17的剖面位置不同。

[0032] 图19是本公开的第四实施方式的半导体装置的局部放大剖视图。

[0033] 图20是图19的局部放大图。

### 具体实施方式

[0034] 基于附图对用于实施本公开的方式进行说明。

[0035] 第一实施方式:

[0036] 基于图1~图14,对本公开的第一实施方式的半导体装置A10进行说明。半导体装置A10具备支撑部件10、多个半导体元件21、多个缓冲层22、接合层28、第一端子31、第二端子32、第三端子33、多个第一导通部件41、多个第二导通部件42、第三导通部件43、第四导通部件44以及密封树脂60。

[0037] 半导体装置A10还具备第一栅极布线层141、第二栅极布线层142、第一检测布线层

151、第二检测布线层152、第一栅极端子341、第二栅极端子342、第一检测端子351以及第二检测端子352。其中,为了便于理解,图2透过密封树脂60。为了便于理解,图3相对于图2透过第一端子31,且省略多个第二导通部件42的图示。在图2以及图3中,用假想线(双点划线)表示透过的密封树脂60的外形。在图3中,用假想线表示透过的第一端子31的外形。在图2中,分别用单点划线表示VII-VII线以及VIII-VIII线。

[0038] 在半导体装置A10的说明中,为了方便,将后述的第一导电层12A的第一主面121的法线方向称为“第一方向z”。将与第一方向z正交的方向称为“第二方向x”。将与第一方向z以及第二方向x双方正交的方向称为“第三方向y”。

[0039] 半导体装置A10通过多个半导体元件21将施加于第一端子31以及第二端子32的直流的电源电压转换为交流电力。转换后的交流电力从第三端子33输入到马达等电力供给对象。半导体装置A10构成例如逆变器这样的电力转换电路的一部分。

[0040] 支撑部件10接合有多个半导体元件21,并且支撑第一栅极布线层141、第二栅极布线层142、第一检测布线层151、第二检测布线层152以及密封树脂60。如图7以及图8所示,支撑部件10包括绝缘层11、两个导电层12、及散热层13。

[0041] 如图7所示,绝缘层11支撑两个导电层12、第一栅极布线层141、第二栅极布线层142、第一检测布线层151、第二检测布线层152、散热层13以及密封树脂60。绝缘层11具有电绝缘性。绝缘层11例如由包括陶瓷的材料构成。该陶瓷优选热传导率更高的陶瓷。作为该陶瓷的一例,可举出氮化铝(AlN)。绝缘层11所使用的材料优选热传导率比较大的材料。如图3以及图4所示,在第一方向z上观察,绝缘层11具有周缘111。周缘111形成绝缘层11的外形。

[0042] 如图7以及图8所示,两个导电层12在第一方向z上位于绝缘层11与多个半导体元件21之间。两个导电层12与绝缘层11接合。在第一方向z上观察,两个导电层12被绝缘层11的周缘111包围。两个导电层12的组成包括铜(Cu)。即,各导电层12含有铜。两个导电层12包括在第二方向x上相互分离的第一导电层12A以及第二导电层12B。

[0043] 如图3所示,第一导电层12A的一部分被切成以第三方向y为长边的矩形状。第一导电层12A的被切除的部分在第二方向x上位于与第二导电层12B相对的一侧的相反侧。第一导电层12A具有第一主面121。第一主面121在第一方向z上朝向与绝缘层11相对的一侧的相反侧。

[0044] 如图3所示,第二导电层12B的一部分被切成以第三方向y为长边的矩形状。第二导电层12B的被切除的部分在第二方向x上位于与第一导电层12A相对的一侧的相反侧。第二导电层12B具有第二主面122。第二主面122在第一方向z上朝向与绝缘层11相对的一侧的相反侧。

[0045] 如图7~图9所示,散热层13在第一方向z上以绝缘层11为基准位于与两个导电层12相反的一侧。散热层13与绝缘层11接合。在第一方向z上观察,散热层13被绝缘层11的周缘111包围。散热层13的组成包含铜。在第一方向z上观察,散热层13的面积大于第一导电层12A的面积与第二导电层12B的面积之和。散热层13从密封树脂60向外部露出。

[0046] 如图7以及图8所示,两个导电层12以及散热层13各自的厚度比绝缘层11的厚度厚。

[0047] 如图2、图3、图7以及图8所示,多个半导体元件21与两个导电层12接合。在半导体装置A10中,多个半导体元件21包括四个第一元件21A以及四个第二元件21B。四个第一元件

21A与第一导电层12A的第一主面121接合。四个第二元件21B与第二导电层12B的第二主面122接合。多个半导体元件21是,例如,MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor,金属氧化物半导体场效应晶体管)。此外,多个半导体元件21也可以是IGBT(Insulated Gate Bipolar Transistor,绝缘栅双极晶体管)等开关元件。在半导体装置A10的说明中,多个半导体元件21以n沟道型且纵型结构的MOSFET为对象。多个半导体元件21包括化合物半导体基板。该化合物半导体基板的组成包括碳化硅(SiC)。如图10以及图11所示,多个半导体元件21分别具有第一电极211、第二电极212、栅极电极213以及栅极指214。

[0048] 如图10以及图11所示,第一电极211在第一方向z上位于与两个导电层12的任一个相对的一侧的相反侧。与由半导体元件21转换后的电力对应的电流流过第一电极211。即,第一电极211相当于半导体元件21的源极电极。

[0049] 如图11所示,第二电极212与两个导电层12中的任一个相对。与由半导体元件21转换之前的电力对应的电流流过第二电极212。即,第二电极212相当于半导体元件21的漏极电极。

[0050] 如图10以及图11所示,栅极电极213在第一方向z上位于与两个导电层12的任一个相对的一侧的相反侧。因此,栅极电极213在第一方向z上位于与第一电极211相同的一侧。对栅极电极213施加用于驱动半导体元件21的栅极电压。在第一方向z上观察,栅极电极213的面积小于第一电极211的面积。

[0051] 如图10以及图11所示,栅极指214在第一方向z上位于与栅极电极213所在的一侧相同的一侧。栅极指214与栅极电极213相连。在半导体装置A10中,栅极指214从栅极电极213向第二方向x延伸。通过栅极指214,第一电极211被分割为两个。栅极指214使栅极电极213与在半导体元件21的内部构成的多个沟槽栅(半导体元件21为沟槽栅型的MOSFET的情况)导通。栅极指214包括例如多晶硅以及覆盖该多晶硅的聚酰亚胺。由此,栅极指214相对于外部电绝缘。

[0052] 如图11以及图12所示,栅极指214包括凸部214A。凸部214A比第一电极211更向缓冲层22突出。

[0053] 如图7、图8以及图11所示,多个缓冲层22分别与多个半导体元件21的第一电极211导电接合。在半导体装置A10中,多个缓冲层22包括四个第一缓冲层22A以及四个第二缓冲层22B。四个第一缓冲层22A分别与四个第一元件21A的第一电极211导电接合。四个第二缓冲层22B分别与四个第二元件21B的第一电极211导电接合。如图11以及图12所示,多个缓冲层22分别具有第一层221以及第二层222。

[0054] 如图11以及图12所示,第一层221在第一方向z上与多个半导体元件21的任一个的第一电极211相对。第一层221的组成包括铝(Al)。第一层221例如通过利用溅射法对第二层222层叠金属薄膜而形成。

[0055] 如图11以及图12所示,第二层222在第一方向z上以第一电极211为基准位于与多个半导体元件21的任一个相反的一侧。第二层222的组成包括与多个第一导通部件41以及多个第二导通部件42的组成相同的原材料(要素)。在半导体装置A10中,第二层222的组成包含铜。因此,第一层221的维氏硬度小于第二层222的维氏硬度。并且,第一层221的第一方向z的尺寸 $t_1$ 小于第二层222的第一方向z的尺寸 $t_2$ 。

[0056] 第一层221通过固相扩散而与多个半导体元件21的任一个的第一电极211导电接合。因此,如图13所示,第一固相扩散结合层291位于多个半导体元件21的任一个的第一电极211以及与第一电极211导电接合的多个缓冲层22的任一个之间。半导体装置A10中,第一固相扩散结合层291位于第一电极211与第一层221之间。

[0057] 其中,固相扩散结合层(包括第一固相扩散结合层291、后述的第二固相扩散结合层292以及第三固相扩散结合层293)是指通过固相扩散将相互接触的两个金属层接合的结果,是位于该两个金属层的边界的金属结合层的概念。固相扩散结合层未必作为具有显著厚度的金属结合层而实际存在。固相扩散结合层有时能够将通过固相扩散进行接合时混入的杂质、空隙确认为沿着该两个金属层的边界残留的部位。

[0058] 如图11以及图12所示,在多个缓冲层22分别形成有凹部223。凹部223在第一方向z上从与多个半导体元件21中的任一个相对的一侧凹陷。栅极指214的凸部214A的至少一部分容纳于凹部223。

[0059] 如图12所示,在半导体装置A10中,栅极指214的凸部214A位于远离缓冲层22的位置。凸部214A的第一方向z的尺寸h1小于凹部223的第一方向z的尺寸h2。并且,在半导体装置A10中,第一层221的第一方向z的尺寸t1大于凹部223的第一方向z的尺寸h2。

[0060] 如图12所示,凹部223具有在第一方向z上与栅极指214的凸部214A相对的中间面223A。中间面223A朝向第一层221的内侧凹陷。此外,中间面223A也可以是与第一导电层12A的第一主面121以及第二导电层12B的第二主面122中的任一个平行的平面。凹部223例如能够通过激光照射而形成。

[0061] 如图11所示,接合层28位于两个导电层12中的任一个与多个半导体元件21中的任一个的第二电极212之间。接合层28的维氏硬度小于两个导电层12各自的维氏硬度。接合层28的组成包含铝。多个半导体元件21的第二电极212经由接合层28与两个导电层12的任一个导电接合。由此,四个第一元件21A的第二电极212与第一导电层12A导通。四个第二元件21B的第二电极212与第二导电层12B导通。

[0062] 多个半导体元件21各自的第二电极212通过固相扩散经由接合层28与两个导电层12中的任一个导电接合。因此,如图14所示,第二固相扩散结合层292位于两个导电层12中的任一个与接合层28之间。第三固相扩散结合层293位于接合层28与多个半导体元件21的任一个的第二电极212之间。在半导体装置A10的制造工序中,第二固相扩散结合层292以及第三固相扩散结合层293与上述第一固相扩散结合层291同时形成。

[0063] 如图2、图3以及图7所示,第一栅极布线层141与绝缘层11接合。第一栅极布线层141与四个第一元件21A的栅极电极213导通。在第一方向z上观察时,第一栅极布线层141位于第一导电层12A被切除的部分。第一栅极布线层141沿着第三方向y延伸。第一栅极布线层141的组成包含铜。

[0064] 如图3所示,多个第一导线51分别与四个第一元件21A中的任一个的栅极电极213以及第一栅极布线层141导电接合。由此,四个第一元件21A的栅极电极213与第一栅极布线层141导通。多个第一导线51的组成包含金(Au)。此外,多个第一导线51的组成可以是包含铜的情况、包含铝的情况。

[0065] 如图2以及图3所示,第一栅极端子341以支撑部件10为基准位于第三方向y的一侧。第一栅极端子341与第一栅极布线层141导通。第一栅极端子341是由包括铜或铜合金的

材料构成的金属引线。如图1以及图9所示,第一栅极端子341的一部分由密封树脂60覆盖。在第二方向x上观察,第一栅极端子341为L字状。如图5所示,第一栅极端子341包括在第一方向z上立起的部分。该部分从密封树脂60向外部露出。对第一栅极端子341施加用于四个第一元件21A进行驱动的栅极电压。

[0066] 如图2、图3以及图7所示,第二栅极布线层142与绝缘层11接合。第二栅极布线层142与四个第二元件21B的栅极电极213导通。在第一方向z上观察,第二栅极布线层142位于第二导电层12B被切除的部分。第二栅极布线层142沿着第三方向y延伸。第二栅极布线层142的组成包含铜。

[0067] 如图3所示,多个第三导线53分别与四个第二元件21B中的任一个的栅极电极213以及第二栅极布线层142导电接合。由此,四个第二元件21B的栅极电极213与第二栅极布线层142导通。多个第三导线53的组成包含金。此外,多个第三导线53的组成可以是包含铜的情况、包含铝的情况。

[0068] 如图2以及图3所示,第二栅极端子342在第三方向y上以支撑部件10为基准位于与第一栅极端子341相同的一侧。第二栅极端子342与第二栅极布线层142导通。第二栅极端子342是由包括铜或铜合金的材料构成的金属引线。如图1所示,第二栅极端子342的一部分由密封树脂60覆盖。在第二方向x上观察,第二栅极端子342为L字状。如图5所示,第二栅极端子342包括在第一方向z上立起的部分。该部分从密封树脂60向外部露出。对第二栅极端子342施加用于四个第二元件21B进行驱动的栅极电压。

[0069] 如图2以及图3所示,两个第五导线55分别与第一栅极端子341以及第二栅极端子342、第一栅极布线层141以及第二栅极布线层142导电接合。由此,第一栅极端子341与第一栅极布线层141导通。第二栅极端子342与第二栅极布线层142导通。两个第五导线55的组成包含金。此外,两个第五导线55的组成也可以是包含铜的情况、包含铝的情况。

[0070] 如图2、图3以及图7所示,第一检测布线层151与绝缘层11接合。第一检测布线层151与四个第一元件21A的第一电极211导通。在第一方向z上观察,第一检测布线层151位于第一导电层12A被切除的部分,且在第二方向x上位于第一栅极布线层141的旁边。第一检测布线层151沿着第三方向y延伸。第一检测布线层151的组成包含铜。

[0071] 如图3所示,多个第二导线52分别与四个第一元件21A的任一个的第一电极211以及第一检测布线层151导电接合。由此,四个第一元件21A的第一电极211与第一检测布线层151导通。多个第二导线52的组成包含金。此外,第二导线52的组成可以包含铜的情况、包含铝的情况。

[0072] 如图2以及图3所示,第一检测端子351在第三方向y上以支撑部件10为基准位于与第一栅极端子341相同的一侧,并且在第二方向x上位于第一栅极端子341的旁边。第一检测端子351与第一检测布线层151导通。第一检测端子351是由包括铜或铜合金的材料构成的金属引线。如图1所示,第一检测端子351的一部分由密封树脂60覆盖。在第二方向x上观察,第一检测端子351为L字状。如图5所示,第一检测端子351包括在第一方向z上立起的部分。该部分从密封树脂60向外部露出。对第一检测端子351施加与对四个第一元件21A的第一电极211分别施加的电压等电位的电压。

[0073] 如图2、图3以及图7所示,第二检测布线层152与绝缘层11接合。第二检测布线层152与四个第二元件21B的第一电极211导通。在第一方向z上观察,第二检测布线层152位于

第二导电层12B被切除的部分,且在第二方向x上位于第二栅极布线层142的旁边。第二检测布线层152沿着第三方向y延伸。第二检测布线层152的组成包含铜。

[0074] 如图3所示,多个第四导线54分别与四个第二元件21B的任一个的第一电极211以及第二检测布线层152导电接合。由此,四个第二元件21B的第一电极211与第一检测布线层151导通。多个第四导线54的组成包含金。此外,第四导线54的组成也可以是包含铜的情况、包含铝的情况。

[0075] 如图2以及图3所示,第二检测端子352在第三方向y上以支撑部件10为基准位于与第二栅极端子342相同的一侧,位于与第二栅极端子342相同的一侧,且在第二方向x上位于第二栅极端子342的旁边。第二检测端子352与第二检测布线层152导通。第二检测端子352是由包括铜或铜合金的材料构成的金属引线。如图1所示,第二检测端子352的一部分由密封树脂60覆盖。在第二方向x上观察,第二检测端子352为L字状。如图5所示,第二检测端子352包括在第一方向z上立起的部分。该部分从密封树脂60向外部露出。对第二检测端子352施加与对四个第二元件21B的第一电极211分别施加的电压等电位的电压。

[0076] 如图2以及图3所示,两个第六导线56分别与第一检测端子351以及第二检测端子352、第一检测布线层151以及第二检测布线层152导电接合。由此,第一检测端子351与第一检测布线层151导通。第二检测端子352与第二检测布线层152导通。两个第六导线56的组成包含金。此外,两个第六导线56的组成也可以是包含铜的情况、包含铝的情况。

[0077] 如图7以及图9所示,第一端子31在第一方向z上在第一导电层12A的第一主面121所朝向的一侧位于远离第一导电层12A的位置。第一端子31与四个第二元件21B的第一电极211导通。第一端子31是由包括铜或铜合金的材料构成的金属板。如图2所示,在第一方向z上观察,第一端子31与第一导电层12A重叠。

[0078] 如图1~图7(其中,图3除外。)所示,第一端子31具有端子部311以及基部312。在第一方向z上观察,端子部311位于远离支撑部件10的位置。端子部311以支撑部件10为基准位于第二方向x的一侧。端子部311的一部分由密封树脂60覆盖。在端子部311设置有沿第一方向z贯通的第一安装孔31A。第一安装孔31A从密封树脂60向外部露出。端子部311是被施加成为电力转换对象的直流的电源电压的N端子(负极)。

[0079] 如图1、图2、图4以及图7所示,基部312与端子部311相连。在第一方向z上观察,基部312与绝缘层11、第一导电层12A、第一栅极布线层141以及第一检测布线层151重叠。基部312在第二方向x上以四个第一元件21A为基准位于与第二导电层12B相反的一侧。在第一方向z上观察,基部312是以第三方向y为长边的矩形状。基部312由密封树脂60覆盖。

[0080] 如图1~图4所示,第二端子32在第三方向y上位于远离第一端子31的位置。第二端子32在第二方向x上以支撑部件10为基准位于与第一端子31的端子部311相同的一侧。第二端子32与第一导电层12A导通。第二端子32是由包括铜或铜合金的材料构成的金属板。第二端子32的一部分由密封树脂60覆盖。在第二端子32设置有沿第一方向z贯通的第二安装孔32A。第二安装孔32A从密封树脂60向外部露出。第二端子32是被施加成为电力转换对象的直流的电源电压的P端子(正极)。

[0081] 如图2、图3以及图8所示,第三导通部件43与第二端子32以及第一导电层12A的第一主面121接合。由此,第二端子32与第一导电层12A导通。并且,在半导体装置A10中,四个第一元件21A的第二电极212经由第一导电层12A以及第三导通部件43与第二端子32导通。

在半导体装置A10中,第三导通部件43为键合线。第三导通部件43的组成包含铜以及铝的任一者。此外,第三导通部件43也可以是金属夹。

[0082] 如图1~图3、图7以及图8所示,第三端子33在第二方向x上以支撑部件10为基准位于与第一端子31的端子部311以及第二端子32相反的一侧。第三端子33与第二导电层12B导通。第三端子33是由包括铜或铜合金的材料构成的金属板。第三端子33的一部分由密封树脂60覆盖。在第三端子33设置有沿第一方向z贯通的第三安装孔33A。第三安装孔33A从密封树脂60向外部露出。从第三端子33输出由多个半导体元件21转换后的交流电力。

[0083] 如图2、图3以及图8所示,第四导通部件44与第三端子33以及第二导电层12B的第二主面122接合。由此,第三端子33与第二导电层12B导通。并且,在半导体装置A10中,四个第二元件21B的第二电极212经由第二导电层12B以及第四导通部件44与第三端子33导通。在半导体装置A10中,第四导通部件44为键合线。第四导通部件44的组成包含铜以及铝的任一者。此外,第四导通部件44也可以是金属夹。

[0084] 如图3、图7以及图8所示,多个第一导通部件41分别与四个第一缓冲层22A中的任一个以及第二导电层12B的第二主面122导电接合。如图10以及图11所示,多个第一导通部件41分别与四个第一缓冲层22A中的任一个的第二层222导电接合。由此,四个第一元件21A的第一电极211与第二导电层12B导通。在第一方向z上观察,多个第一导通部件41分别沿着第二方向x延伸。在半导体装置A10中,多个第一导通部件41为键合线。多个第一导通部件41的组成包含铜。

[0085] 如图2以及图7所示,多个第二导通部件42分别与四个第二缓冲层22B的任一个以及第一端子31接合。在半导体装置A10中,多个第二导通部件42分别与第一端子31的基部312接合。并且,多个第二导通部件42分别与四个第二缓冲层22B的任一个的第二层222导电接合。由此,四个第二元件21B的第一电极211与第一端子31导通。在第一方向z上观察,多个第二导通部件42分别与第一导电层12A重叠。在半导体装置A10中,在第一方向z上观察,多个第二导通部件42分别沿着第二方向x延伸,并且与四个第一元件21A的任一个以及多个第一导通部件41的任一个重叠。在半导体装置A10中,多个第二导通部件42为键合线。多个第二导通部件42的组成包含铜。

[0086] 如图1以及图7~图9所示,密封树脂60覆盖绝缘层11、两个导电层12、第一栅极布线层141、第二栅极布线层142、第一检测布线层151、第二检测布线层152、多个半导体元件21、多个缓冲层22、多个第一导通部件41、多个第二导通部件42、第三导通部件43以及第四导通部件44。并且,密封树脂60覆盖散热层13、第一端子31、第二端子32、第三端子33、第一栅极端子341、第二栅极端子342、第一检测端子351以及第二检测端子352各自的一部分。密封树脂60具有电绝缘性。密封树脂60例如由包括黑色的环氧树脂的材料构成。

[0087] 如图5~图8所示,密封树脂60具有顶面61、底面62以及两个侧面63。顶面61在第一方向z上朝向与第一导电层12A的第一主面121相同的一侧。底面62在第一方向z上朝向顶面61的相反侧。散热层13从底面62向外部露出。散热层13的一部分从底面62向第一方向z突出。两个侧面63在第二方向x上位于相互分离的位置,且与顶面61以及底面62相连。第一端子31的端子部311以及第二端子32从两个侧面63中的一个侧面63向外部露出。第三端子33从两个侧面63中的另一个侧面63向外部露出。

[0088] 接着,对半导体装置A10的作用效果进行说明。

[0089] 半导体装置A10具备:半导体元件21,其具有第一电极211以及栅极指214,并且与支撑部件10接合;以及缓冲层22,其与第一电极211导电接合。第一固相扩散结合层291位于第一电极211与缓冲层22之间。栅极指214包括比第一电极211更向缓冲层22突出的凸部214A。在缓冲层22形成有在第一方向z上从与半导体元件21相对的一侧凹陷的凹部223。凸部214A的至少一部分收纳于凹部223。通过采用本结构,在通过固相扩散将缓冲层22与第一电极211导电接合时,缓和缓冲层22对栅极指214的干扰。由此,从缓冲层22经由栅极指214向半导体元件21传递的冲击降低。因此,根据半导体装置A10,能够在通过固相扩散将缓冲层22与具有栅极指214的半导体元件21的电极(第一电极211)导电接合时,实现对半导体元件21的冲击的降低。

[0090] 缓冲层22具有:第一层221;以及第二层222,其在第一方向z上以第一层221为基准位于与半导体元件21相反的一侧。第一层221的维氏硬度小于第二层222的维氏硬度。通过采用本结构,在通过固相扩散将缓冲层22与第一电极211导电接合时,在第一电极211以及第二层222分别产生的第一方向z的挠曲减少,因此第一固相扩散结合层291的结合状态变得牢固。

[0091] 第一层221的第一方向z的尺寸t1小于第二层222的第一方向z的尺寸t2。在该情况下,第一层221的组成包含铝,并且第二层222的组成包含铜。通过采用本结构,缓冲层22的第一方向z上的热阻降低,并且在与第一方向z正交的方向上传导的热增加。由此,能够实现缓冲层22的散热性的提高。

[0092] 在半导体装置A10中,栅极指214的凸部214A位于远离缓冲层22的位置。通过采用本结构,在通过固相扩散将缓冲层22与第一电极211导电接合时,缓冲层22不与栅极指214接触,因此能够更可靠地缓和缓冲层22对栅极指214的干扰。

[0093] 形成于缓冲层22的凹部223具有在第一方向z上与栅极指214的凸部214A相对的中面223A。中面223A朝向第一层221的内侧凹陷。通过采用本结构,在固定凹部223的第一方向z的尺寸h2的情况下,能够实现凹部223的体积的缩小。

[0094] 第一导通部件41以及第二导通部件42在组成中包含铜。通过采用本结构,能够使更大的电流分别流过第一导通部件41以及第二导通部件42。在该情况下,缓冲层22的第二层222的组成包含与第一导通部件41以及第二导通部件42的组成相同的铜,由此能够实现第一导通部件41以及第二导通部件42分别相对于第二层222的接合强度的提高。

[0095] 在第一方向z上观察,第一端子31与第一导电层12A重叠。通过采用本结构,在第一导电层12A以及第一端子31发生互感,因此能够降低在第一导电层12A以及第一端子31分别出现的寄生电感。因此,能够降低要对第一元件21A施加的浪涌电压,并且能够抑制第一导电层12A中的电力损失。

[0096] 在第一方向z上观察,第二导通部件42与第一元件21A重叠。这有助于半导体装置A10的第三方向y上的尺寸的缩小。并且,在第一方向z上观察,第二导通部件42与第一导通部件41重叠。通过采用本结构,在第一导通部件41以及第二导通部件42发生互感,因此能够降低在第一导通部件41以及第二导通部件42分别出现的寄生电感。因此,能够进一步抑制第一导通部件41中的电力损失。

[0097] 支撑部件10包括在第一方向z上以绝缘层11为基准位于与导电层12相反的一侧的散热层13。散热层13从密封树脂60的底面62向外部露出。通过采用本结构,能够实现半导体

装置A10的散热性的提高。

[0098] 在第一方向z上观察,导电层12以及散热层13由绝缘层11的周缘111包围。通过采用本结构,能够采用周缘111在第一方向z上由密封树脂60夹持的结构。由此,能够防止支撑部件10从密封树脂60脱落。

[0099] 导电层12的第一方向z的尺寸大于绝缘层11的第一方向z的尺寸。通过采用本结构,在导电层12中,能够提高与第一方向z正交的方向上的热传导效率。这有助于半导体装置A10的散热性的提高。

[0100] 第二实施方式:

[0101] 基于图15以及图16,对本公开的第二实施方式的半导体装置A20进行说明。在这些图中,对与上述半导体装置A10相同或类似的要素标注相同的附图标记,并省略重复的说明。其中,图15的剖面位置与表示半导体装置A10的图11的剖面位置相同。图16的剖面位置与表示半导体装置A10的图12的剖面位置相同。

[0102] 在半导体装置A20中,多个缓冲层22的结构与半导体装置A10的该结构不同。

[0103] 如图15以及图16所示,分别形成于多个缓冲层22的凹部223在第一方向z上贯通第一层221,并且陷入第二层222。因此,在半导体装置A20中,第一层221的第一方向z的尺寸t1小于凹部223的第一方向z的尺寸h2。

[0104] 接着,对半导体装置A20的作用效果进行说明。

[0105] 半导体装置A20具备:半导体元件21,其具有第一电极211以及栅极指214,并且与支撑部件10接合;以及缓冲层22,其与第一电极211导电接合。第一固相扩散结合层291位于第一电极211与缓冲层22之间。栅极指214包括比第一电极211更向缓冲层22突出的凸部214A。在缓冲层22形成有在第一方向z上从与半导体元件21相对的一侧凹陷的凹部223。凸部214A的至少一部分收纳于凹部223。因此,根据半导体装置A20,也能够通过在通过固相扩散将缓冲层22与具有栅极指214的半导体元件21的电极(第一电极211)导电接合时,实现对半导体元件21的冲击的降低。并且,半导体装置A20具备与半导体装置A10同样的结构,从而在半导体装置A20中也实现该结构的作用效果。

[0106] 在半导体装置A20中,缓冲层22的第一层221的第一方向z的尺寸t1小于形成于缓冲层22的凹部223的第一方向z的尺寸h2。通过采用本结构,能够使位于第一电极211与缓冲层22之间的第一固相扩散结合层291的结合状态良好,并且将第一层221的第一方向z的尺寸t1设定得尽可能小,且将第二层222的第一方向z的尺寸t2设定得尽可能大。由此,在第一层221的组成包含铝、第二层222的组成包含铜的情况下,缓冲层22的第一方向z上的热阻进一步降低,且沿与第一方向z正交的方向传导的热进一步增加。由此,能够实现缓冲层22的散热性的进一步提高。

[0107] 第三实施方式:

[0108] 基于图17以及图18,对本公开的第三实施方式的半导体装置A30进行说明。在这些图中,对与上述半导体装置A10相同或类似的要素标注相同的附图标记,并省略重复的说明。其中,图17的剖面位置与表示半导体装置A10的图11的剖面位置相同。图18的剖面位置与表示半导体装置A10的图12的剖面位置相同。

[0109] 在半导体装置A30中,多个缓冲层22的结构与半导体装置A10的该结构不同。

[0110] 如图17以及图18所示,多个半导体元件21各自的栅极指214的凸部214A与多个缓

冲层22的任一个的第一层221相接。第一层221的维氏硬度小于凸部214A的维氏硬度。

[0111] 接着,对半导体装置A30的作用效果进行说明。

[0112] 半导体装置A30具备:半导体元件21,其具有第一电极211以及栅极指214,并且与支撑部件10接合;以及缓冲层22,其与第一电极211导电接合。第一固相扩散结合层291位于第一电极211与缓冲层22之间。栅极指214包括比第一电极211更向缓冲层22突出的凸部214A。在缓冲层22形成有在第一方向z上从与半导体元件21相对的一侧凹陷的凹部223。凸部214A的至少一部分收纳于凹部223。因此,根据半导体装置A30,也能够通过在通过固相扩散将缓冲层22与具有栅极指214的半导体元件21的电极(第一电极211)导电接合时,实现对半导体元件21的冲击的降低。进而,半导体装置A30具备与半导体装置A10同样的结构,从而在半导体装置A30中也实现该结构的作用效果。

[0113] 在半导体装置A30中,栅极指214的凸部214A与缓冲层22的第一层221相接。在该情况下,第一层221的维氏硬度小于凸部214A的维氏硬度。通过采用本结构,在通过固相扩散将缓冲层22与第一电极211导电接合时,凸部214A陷入第一层221。由此,通过半导体装置A30,也能够缓和缓冲层22对栅极指214的干扰。

[0114] 第四实施方式:

[0115] 基于图19以及图20,对本公开的第四实施方式的半导体装置A40进行说明。在这些图中,对与上述半导体装置A10相同或类似的要素标注相同的附图标记,并省略重复的说明。其中,图19的剖面位置与表示半导体装置A10的图12的剖面位置相同。

[0116] 在半导体装置A40中,与半导体装置A10的情况的不同之处在于,多个缓冲层22的结构以及还具备中间层23。

[0117] 如图19所示,多个缓冲层22分别具有第三层224。第三层224以第一层221为基准位于与第二层222相反的一侧。凹部223在第一方向z上贯通第三层224。第三层224的维氏硬度大于第一层221的维氏硬度,并且小于第二层222的维氏硬度。第三层224的组成包含银(Ag)。第三层224例如通过利用溅射法对第一层221层叠金属薄膜而形成。

[0118] 如图19所示,中间层23位于多个半导体元件21的任一个的第一电极211与多个缓冲层22的任一个的第三层224之间。中间层23的维氏硬度大于第一层221的维氏硬度,并且小于第二层222的维氏硬度。中间层23的组成包含银。中间层23例如通过利用电镀使第一电极211析出金属层而形成。

[0119] 如图20所示,半导体装置A40中,第一固相扩散结合层291位于中间层23与多个缓冲层22中的任一个的第三层224之间。

[0120] 接着,对半导体装置A40的作用效果进行说明。

[0121] 半导体装置A40具备:半导体元件21,其具有第一电极211以及栅极指214,并且与支撑部件10接合;以及缓冲层22,其与第一电极211导电接合。第一固相扩散结合层291位于第一电极211与缓冲层22之间。栅极指214包括比第一电极211更向缓冲层22突出的凸部214A。在缓冲层22形成有在第一方向z上从与半导体元件21相对的一侧凹陷的凹部223。凸部214A的至少一部分收纳于凹部223。因此,根据半导体装置A40,也能够通过在通过固相扩散将缓冲层22与具有栅极指214的半导体元件21的电极(第一电极211)导电接合时,实现对半导体元件21的冲击的降低。进而,半导体装置A40具备与半导体装置A10同样的结构,从而在半导体装置A40中也实现该结构的作用效果。

[0122] 在半导体装置A40中,缓冲层22具有以第一层221为基准位于与第二层222相反的一侧的第三层224。在半导体装置A40中,还具备位于半导体元件21的第一电极211与第三层224之间的中间层23。第三层224以及中间层23各自的维氏硬度大于第一层221的维氏硬度,且小于第二层222的维氏硬度。在该情况下,第一固相扩散结合层291位于中间层23与第三层224之间。通过采用本结构,第一固相扩散结合层291的结合状态变得更牢固。并且,能够将第一层221的第一方向z的尺寸t1设定得更小。

[0123] 本公开不限于上述实施方式。本公开的各部分的具体结构能够自由地进行各种设计变更。

[0124] 本公开包括以下的附记所记载的实施方式。

[0125] 附记1.

[0126] 一种半导体装置,其具备:

[0127] 支撑部件;

[0128] 半导体元件,其具有在第一方向上位于与上述支撑部件相对的一侧的相反侧的第一电极以及栅极电极,并且与上述支撑部件接合;

[0129] 缓冲层,其与上述第一电极导电接合;以及

[0130] 导通部件,其与上述缓冲层导电接合,

[0131] 第一固相扩散结合层位于上述第一电极与上述缓冲层之间,

[0132] 上述半导体元件具有栅极指,该栅极指在上述第一方向上位于与上述栅极电极所在的一侧相同的一侧,且与上述栅极电极相连,

[0133] 上述栅极指包括比上述第一电极更向上述缓冲层突出的凸部,

[0134] 在上述缓冲层形成有凹部,该凹部在上述第一方向上从与上述半导体元件相对的一侧凹陷,

[0135] 上述凸部的至少一部分收纳于上述凹部。

[0136] 附记2.

[0137] 根据附记1所述的半导体装置,其中,

[0138] 上述缓冲层具有:第一层;以及第二层,其在上述第一方向上以上述第一层为基准位于与上述半导体元件相反的一侧,

[0139] 上述导通部件与上述第二层导电接合,

[0140] 上述第一层的维氏硬度小于上述第二层的维氏硬度。

[0141] 附记3.

[0142] 根据附记2所述的半导体装置,其中,

[0143] 上述第一层的上述第一方向的尺寸小于上述第二层的上述第一方向的尺寸。

[0144] 附记4.

[0145] 根据附记2或3所述的半导体装置,其中,

[0146] 上述第二层的组成包含与上述导通部件的组成相同的原材料。

[0147] 附记5.

[0148] 根据附记4所述的半导体装置,其中,

[0149] 上述第二层以及上述导通部件各自的组成包含铜。

[0150] 附记6.

- [0151] 根据附记4或5所述的半导体装置,其中,
- [0152] 所述导通部件为键合线。
- [0153] 附记7.
- [0154] 根据附记4至6中任一项所述的半导体装置,其中,
- [0155] 所述第一层的组成包含铝。
- [0156] 附记8.
- [0157] 根据附记2至7中任一项所述的半导体装置,其中,
- [0158] 还具备中间层,
- [0159] 所述缓冲层具有第三层,该第三层以所述第一层为基准位于与所述第二层相反的一侧,
- [0160] 所述中间层位于所述第一电极与所述第三层之间,
- [0161] 所述第三层以及所述中间层各自的维氏硬度大于所述第一层的维氏硬度,并且小于所述第二层的维氏硬度。
- [0162] 附记9.
- [0163] 根据附记8所述的半导体装置,其中,
- [0164] 所述第一固相扩散结合层位于所述中间层与所述第三层之间。
- [0165] 附记10.
- [0166] 根据附记2至9中任一项所述的半导体装置,其中,
- [0167] 所述凸部与所述第一层相接,
- [0168] 所述第一层的维氏硬度小于所述凸部的维氏硬度。
- [0169] 附记11.
- [0170] 根据附记2至9中任一项所述的半导体装置,其中,
- [0171] 所述凸部位于远离所述缓冲层的位置。
- [0172] 附记12.
- [0173] 根据附记11所述的半导体装置,其中,
- [0174] 所述第一层的所述第一方向的尺寸大于所述凹部的所述第一方向的尺寸。
- [0175] 附记13.
- [0176] 根据附记11所述的半导体装置,其中,
- [0177] 所述第一层的所述第一方向的尺寸小于所述凹部的所述第一方向的尺寸。
- [0178] 附记14.
- [0179] 根据附记12或13所述的半导体装置,其中,
- [0180] 所述凹部具有中间面,该中间面在所述第一方向上与所述凸部相对,
- [0181] 所述中间面朝向所述第一层的内侧凹陷。
- [0182] 附记15.
- [0183] 根据附记1至14中任一项所述的半导体装置,其中,
- [0184] 所述支撑部件包括绝缘层、以及位于所述绝缘层与所述半导体元件之间的导电层,
- [0185] 所述半导体元件具有第二电极,该第二电极在所述第一方向上与所述导电层相对,

- [0186] 所述第二电极与所述导电层导电接合。
- [0187] 附记16.
- [0188] 根据附记15所述的半导体装置,其中,
- [0189] 还具备接合层,该接合层位于所述导电层与所述半导体元件之间,
- [0190] 所述接合层的维氏硬度小于所述导电层的维氏硬度,
- [0191] 第二固相扩散结合层位于所述导电层与所述接合层之间,
- [0192] 第三固相扩散结合层位于所述接合层与所述第二电极之间。
- [0193] 附记17.
- [0194] 根据附记15或16所述的半导体装置,其中,
- [0195] 所述支撑部件包括散热层,该散热层在所述第一方向上以所述绝缘层为基准位于与所述导电层相反的一侧,
- [0196] 在所述第一方向上观察时,所述导电层以及所述散热层被所述绝缘层的周缘包围。
- [0197] 符号说明
- [0198] A10、A20、A30、A40—半导体装置;10—支撑部件;11—绝缘层;111—周缘;12—导电层;12A—第一导电层;12B—第二导电层;121—第一主面;122—第二主面;13—散热层;141—第一栅极布线层;142—第二栅极布线层;151—第一检测布线层;152—第二检测布线层;21—半导体元件;21A—第一元件;21B—第二元件;211—第一电极;212—第二电极;213—栅极电极;214—栅极指;214A—凸部;22—缓冲层;22A—第一缓冲层;22B—第二缓冲层;221—第一层;222—第二层;223—凹部;223A—中间面;224—第三层;23—中间层;28—接合层;291—第一固相扩散结合层;292—第二固相扩散结合层;293—第三固相扩散结合层;31—第一端子;31A—第一安装孔;311—端子部;312—基部;313—延伸部;313A—前端;32—第二端子;32A—第二安装孔;33—第三端子;33A—第三安装孔;341—第一栅极端子;342—第二栅极端子;351—第一检测端子;352—第二检测端子;41—第一导通部件;42—第二导通部件;43—第三导通部件;44—第四导通部件;51—第一导线;52—第二导线;53—第三导线;54—第四导线;55—第五导线;56—第六导线;60—密封树脂;61—顶面;62—底面;63—侧面;z—第一方向;x—第二方向;y—第三方向。

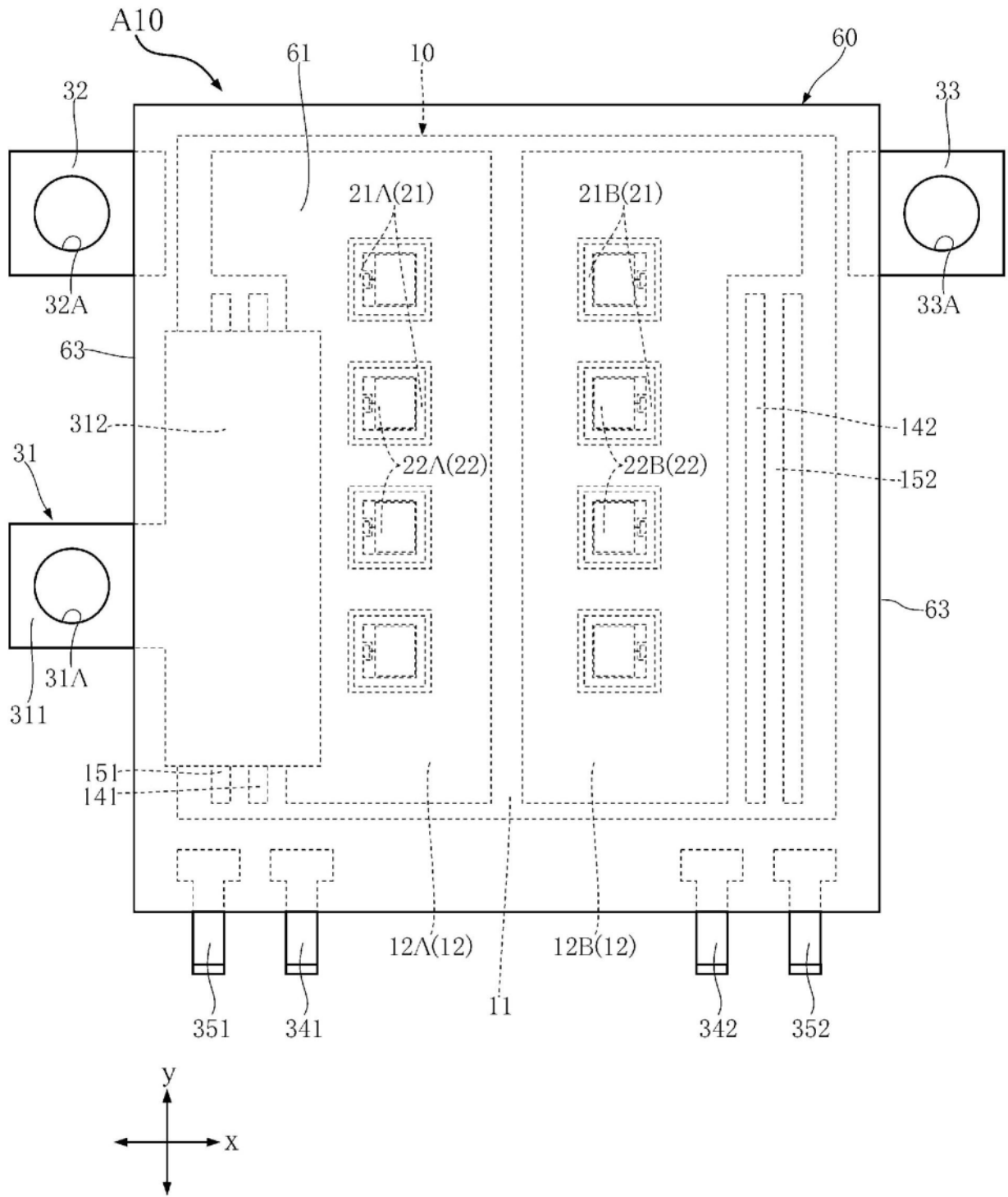


图1

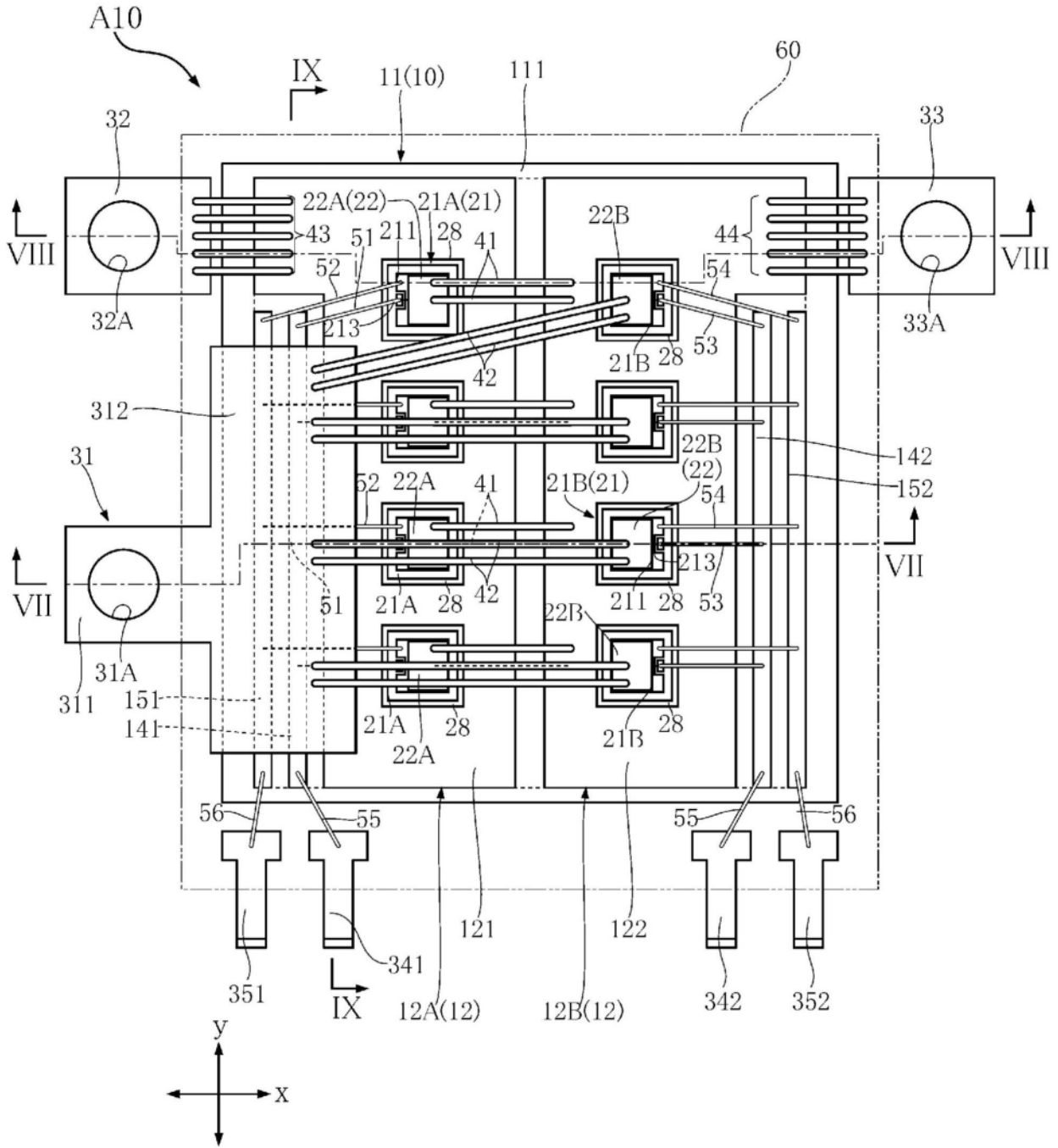


图2

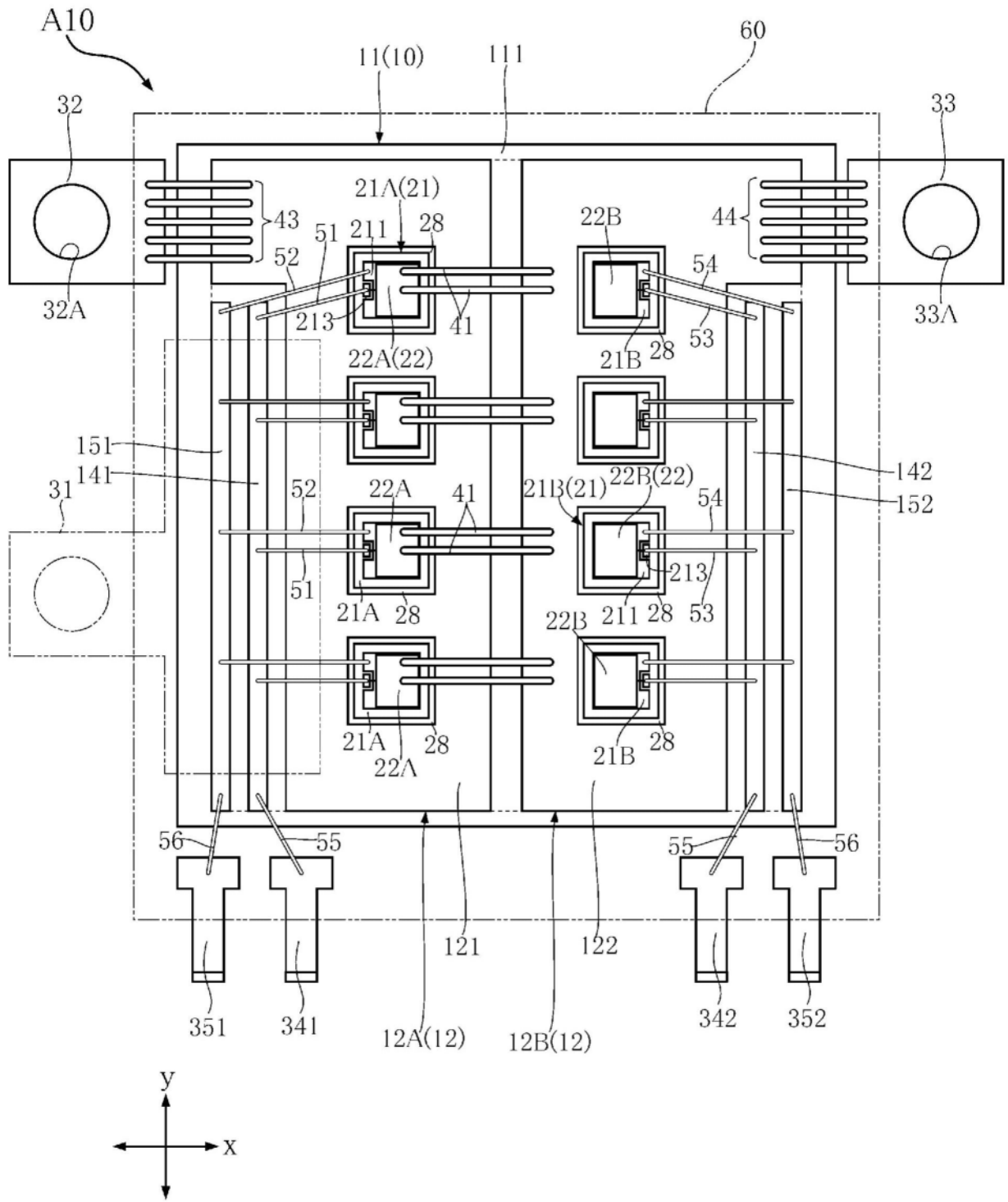


图3

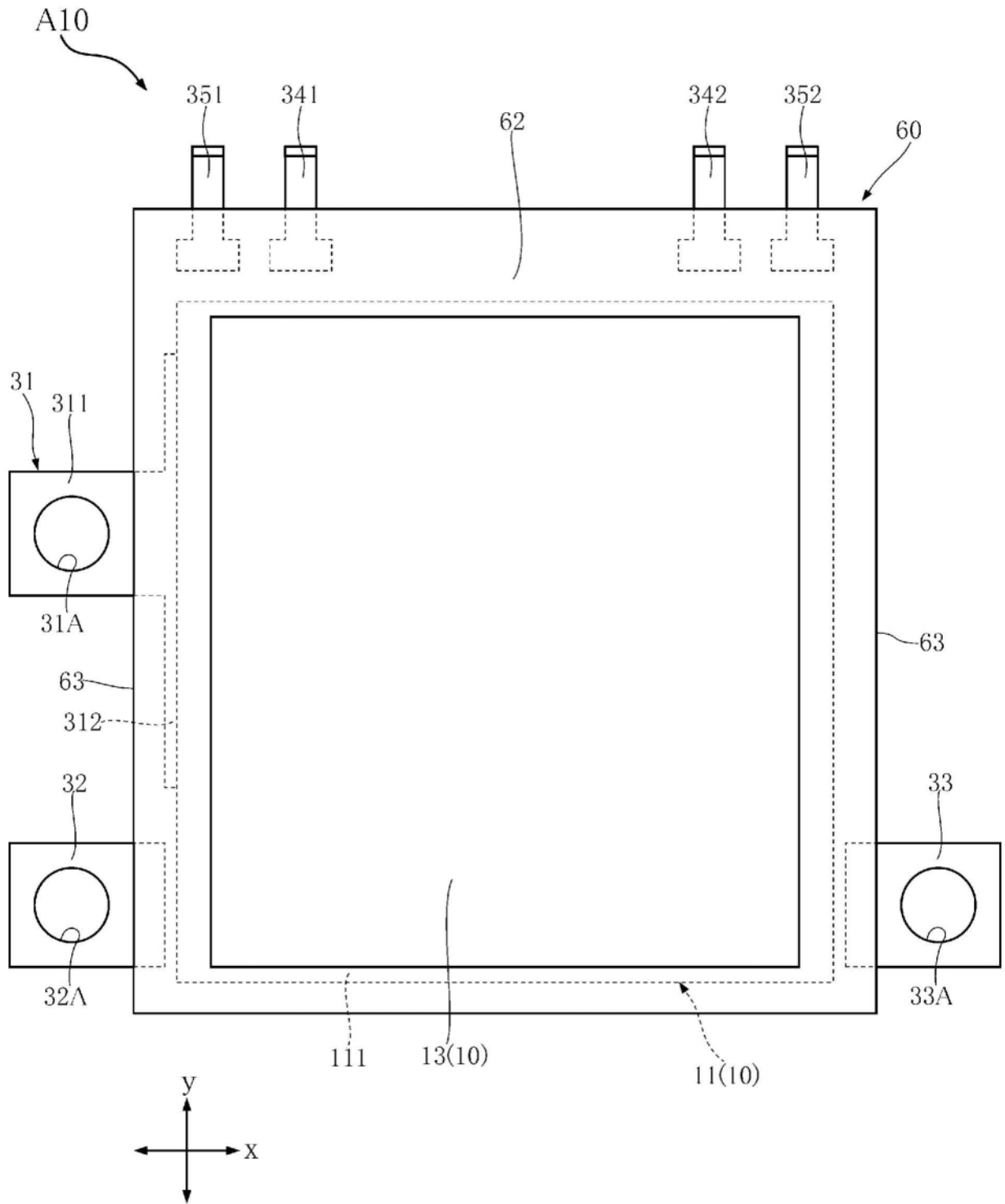


图4

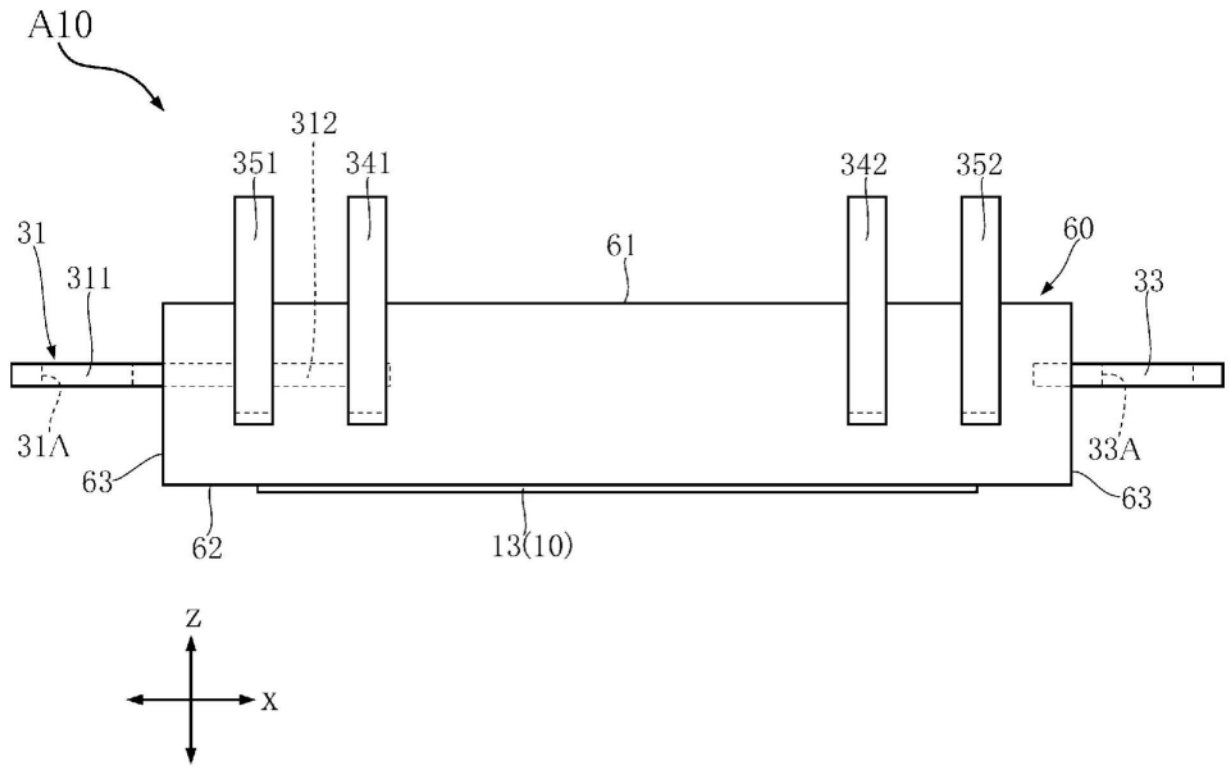


图5

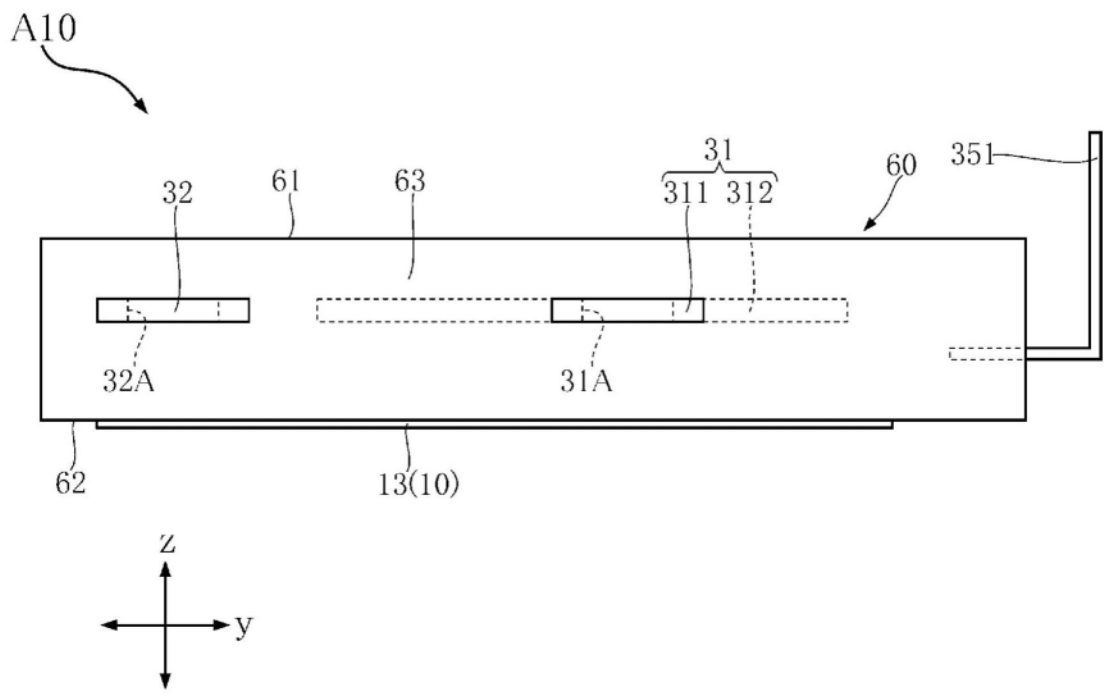


图6

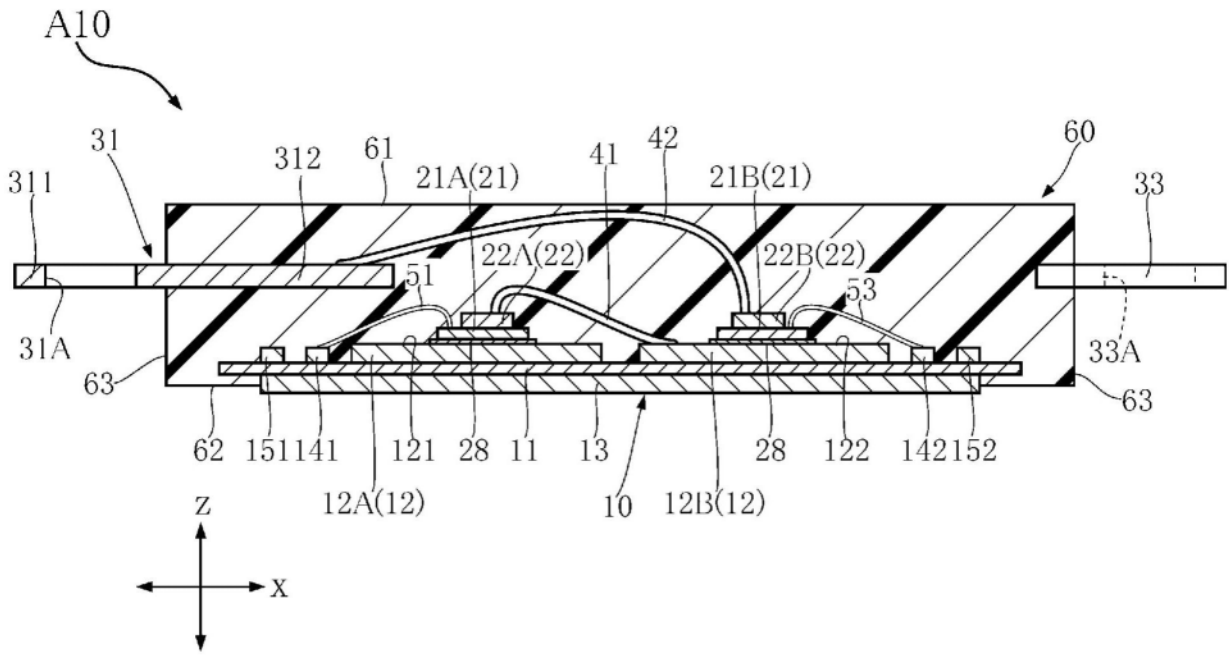


图7

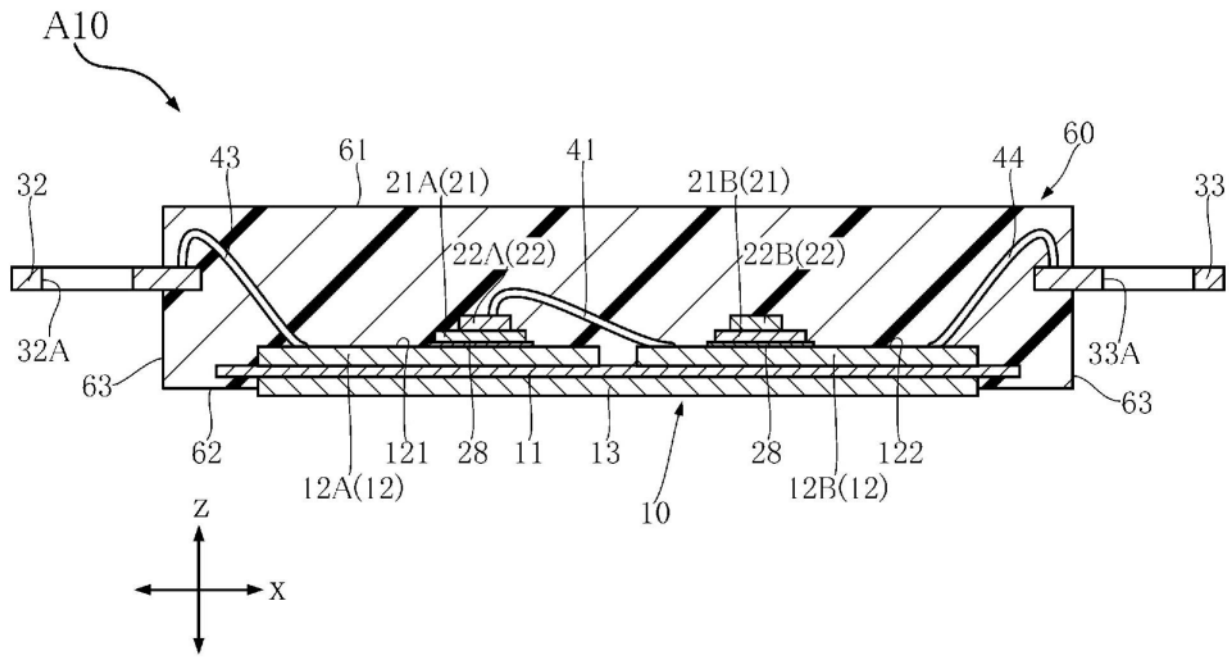


图8

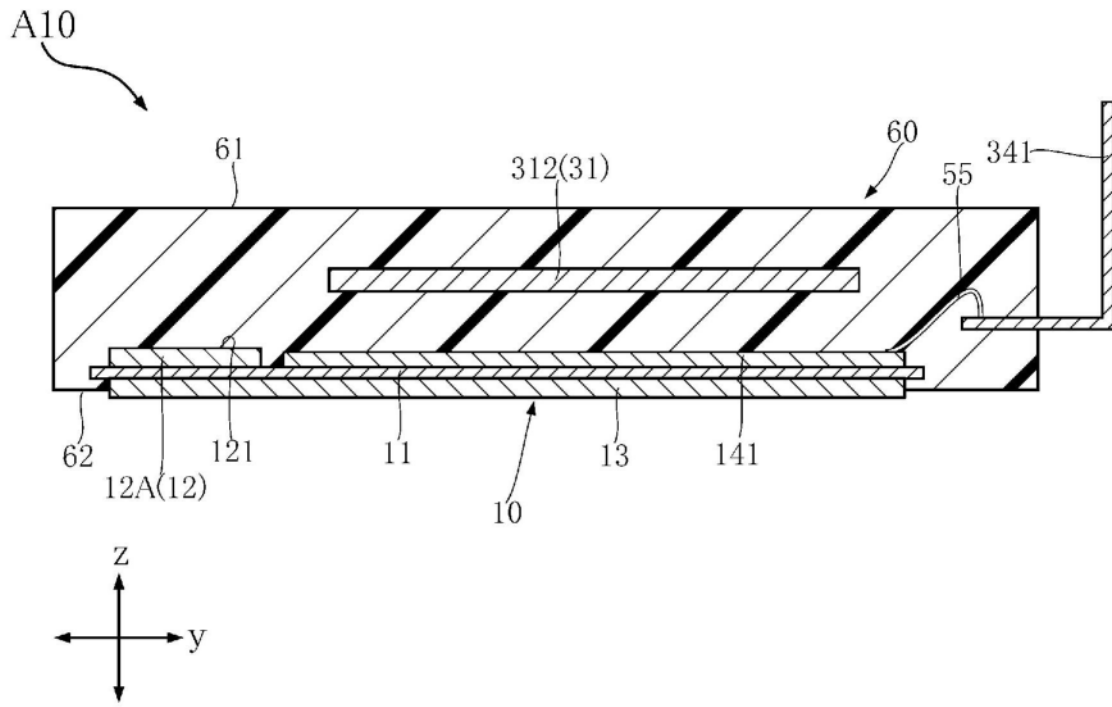


图9

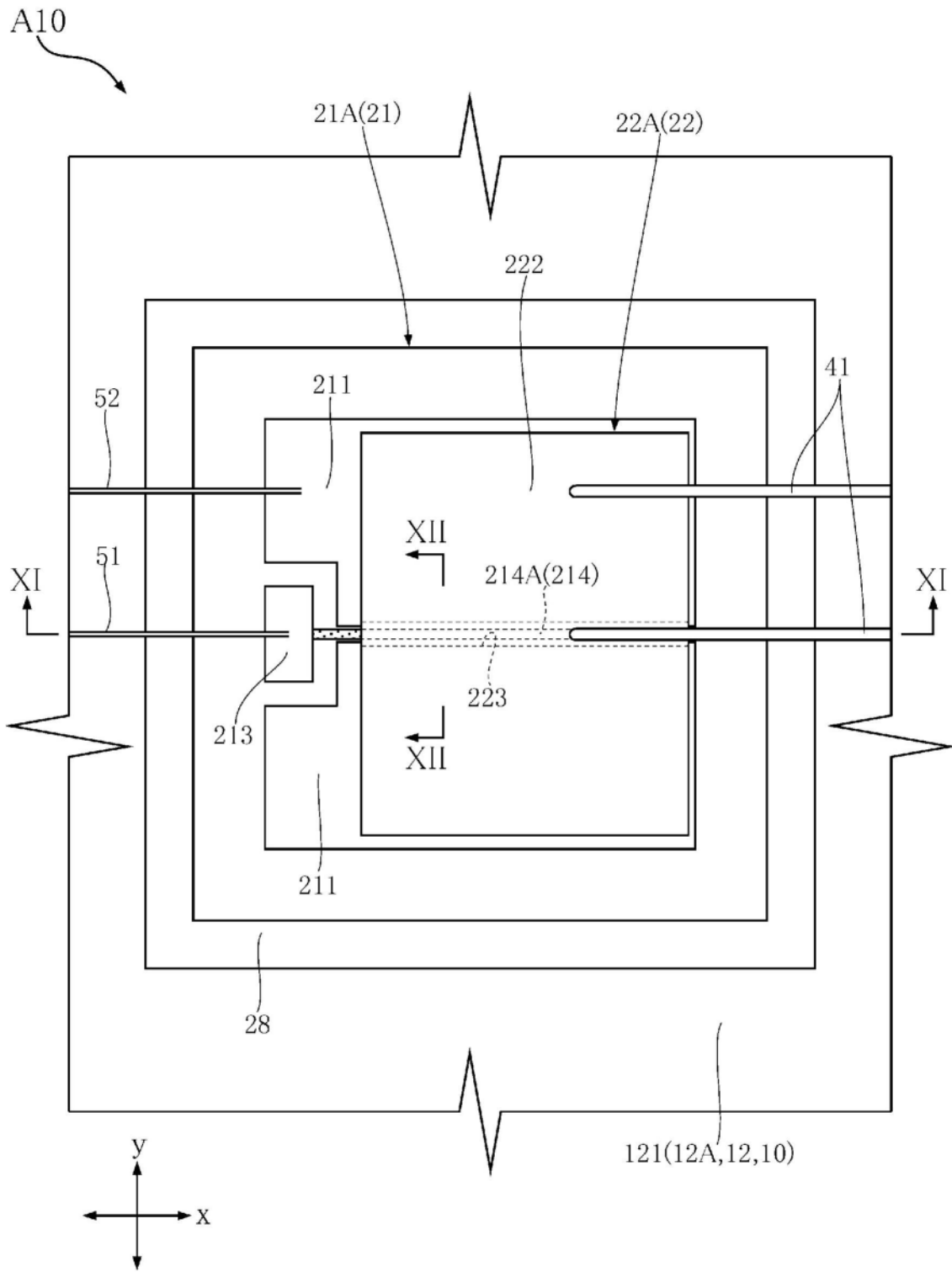


图10

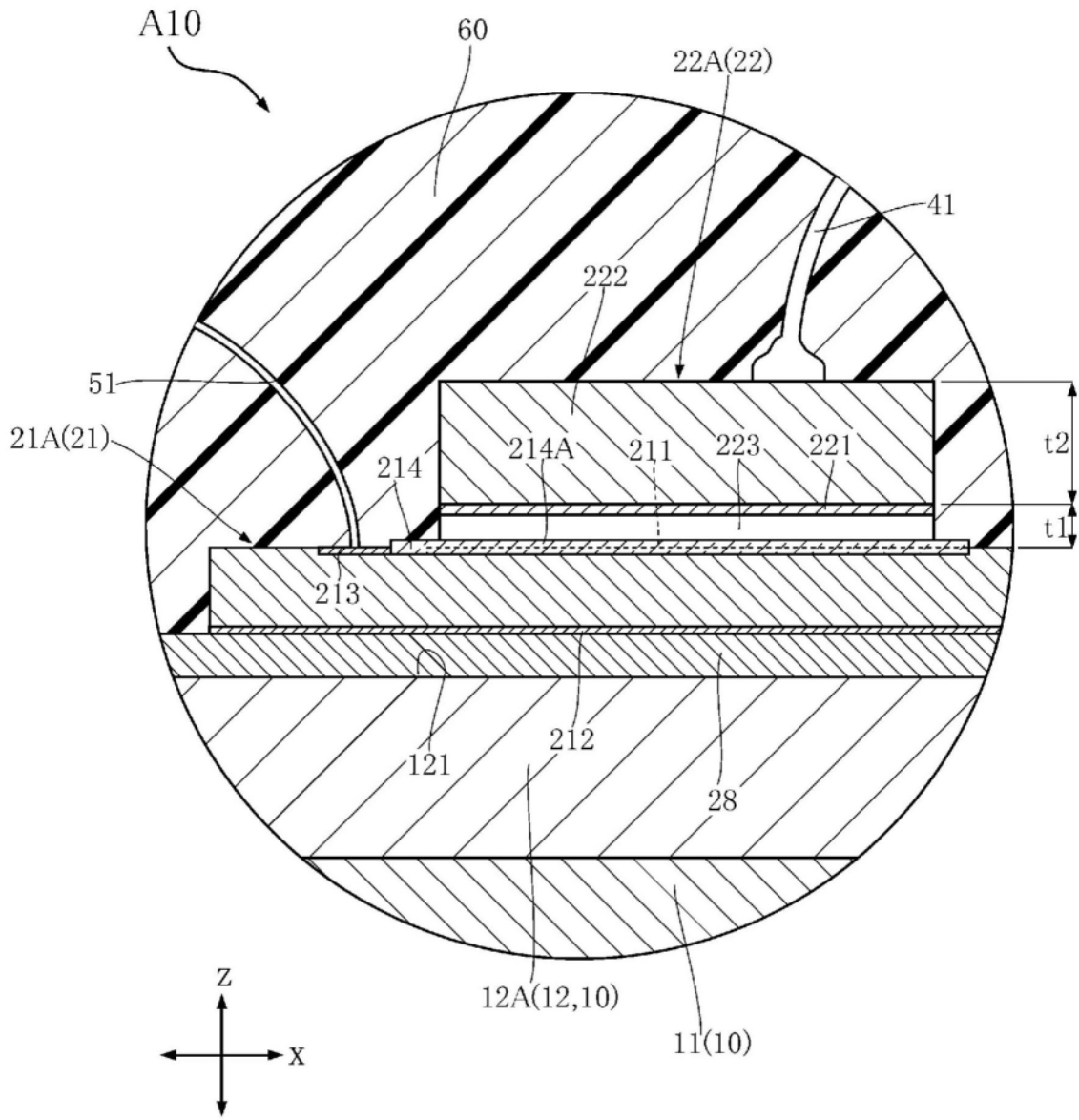


图11

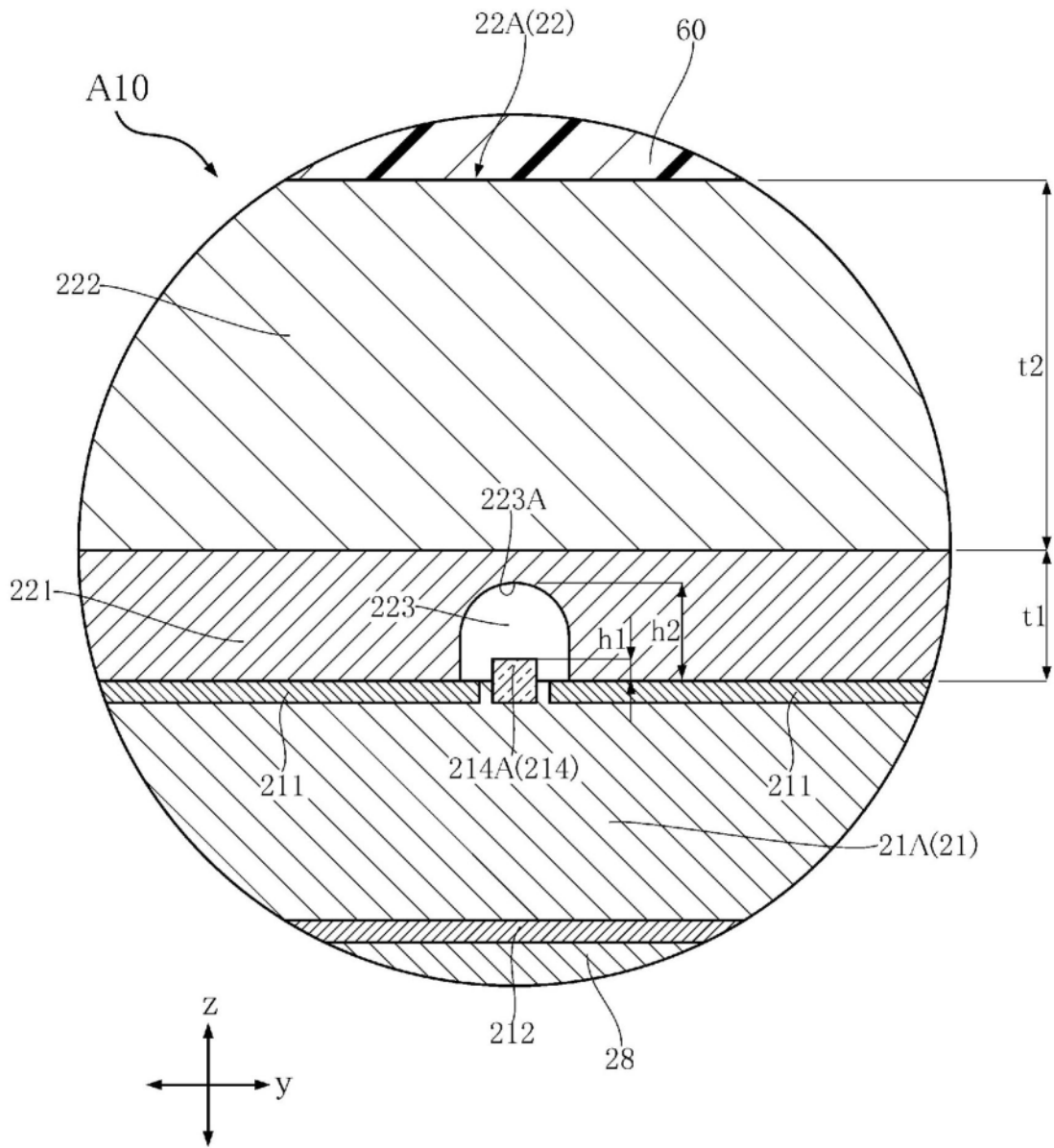


图12

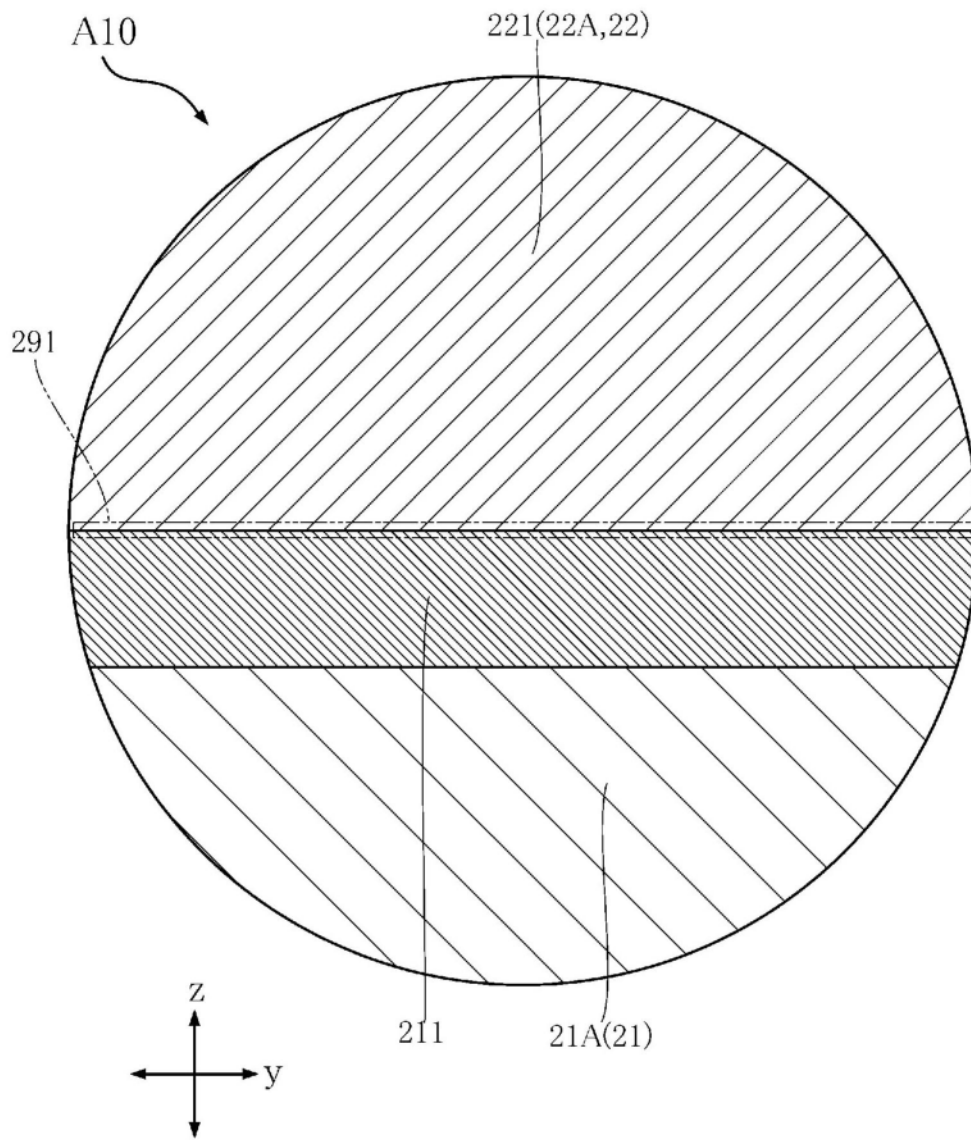


图13

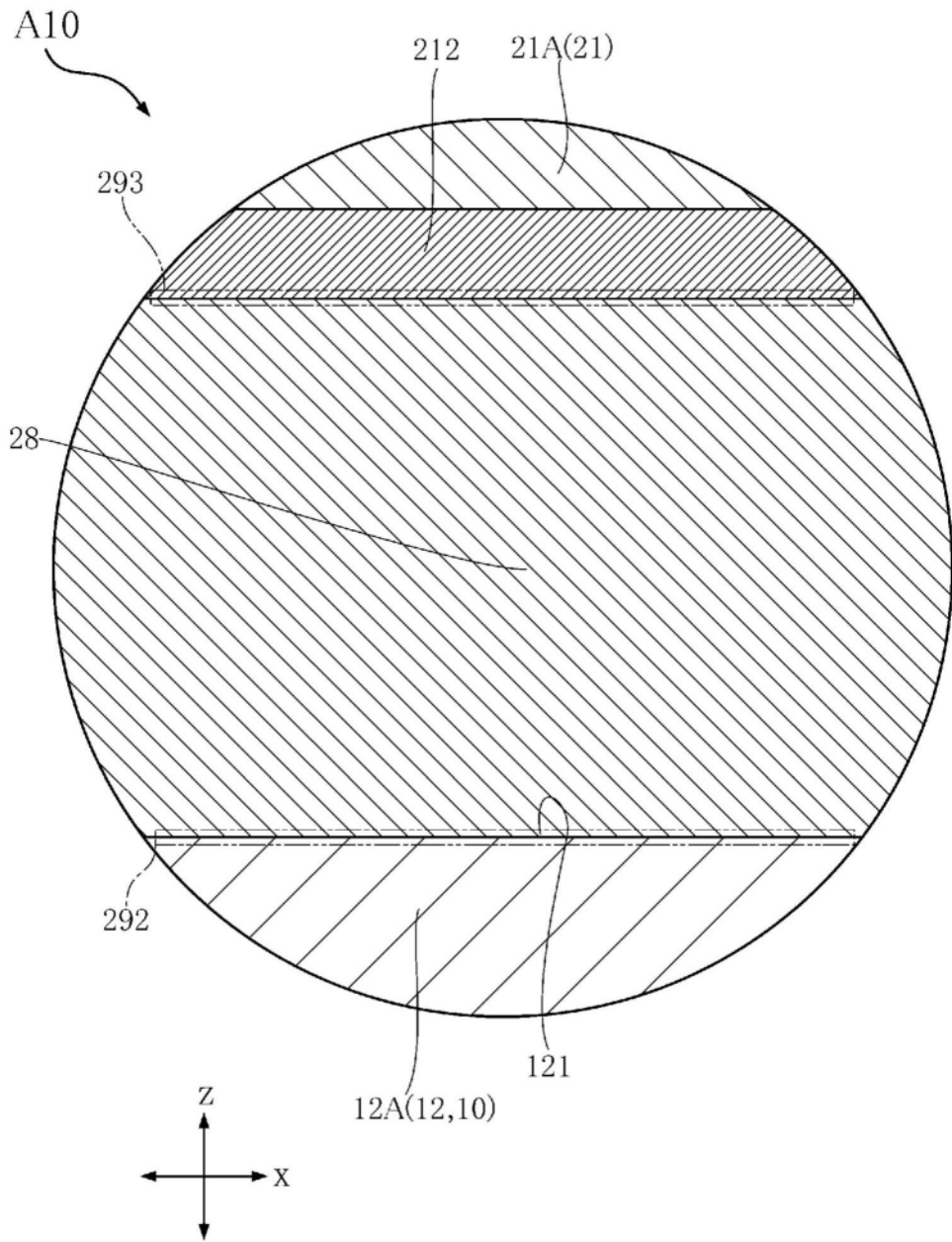


图14

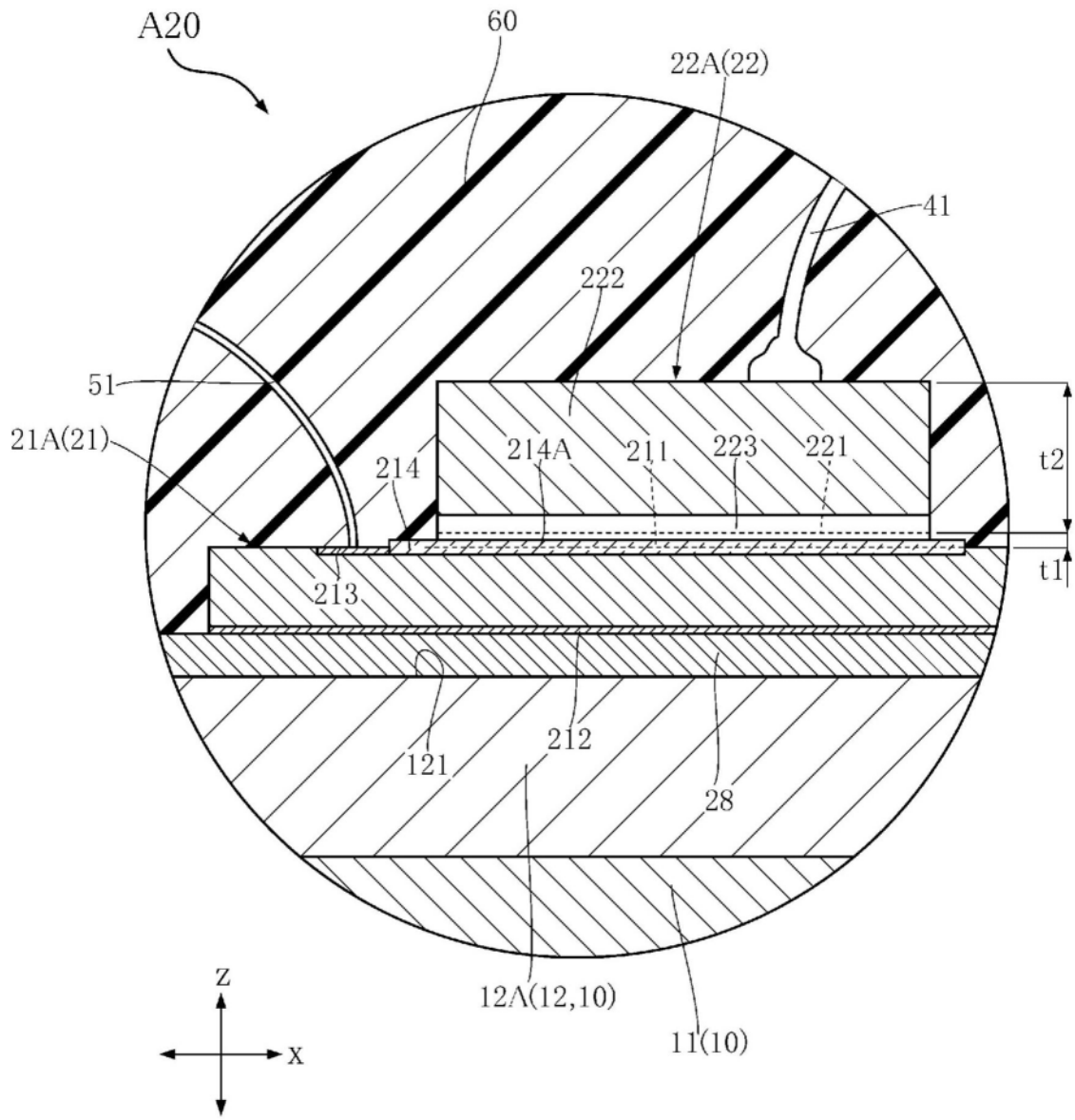


图15

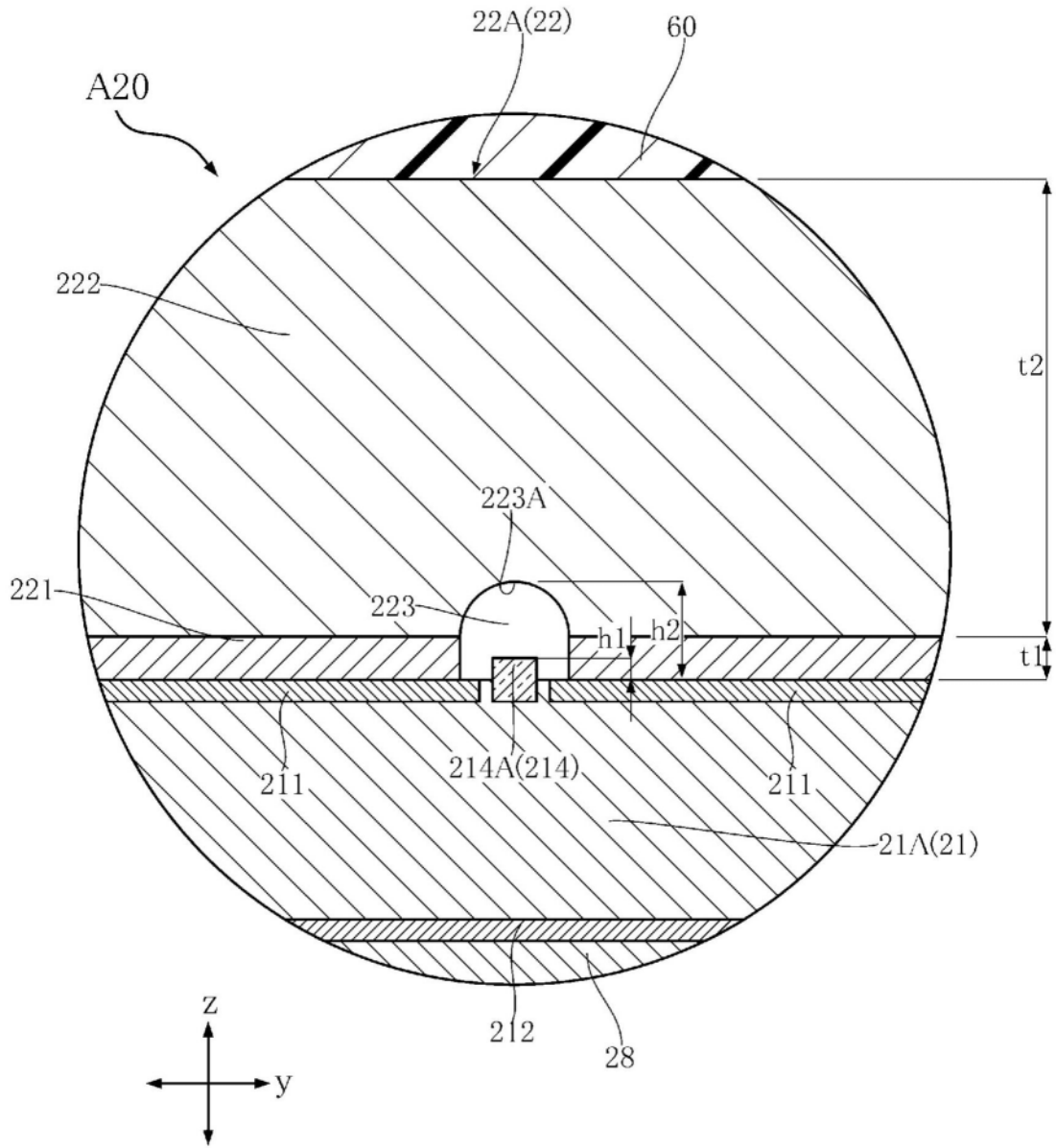


图16

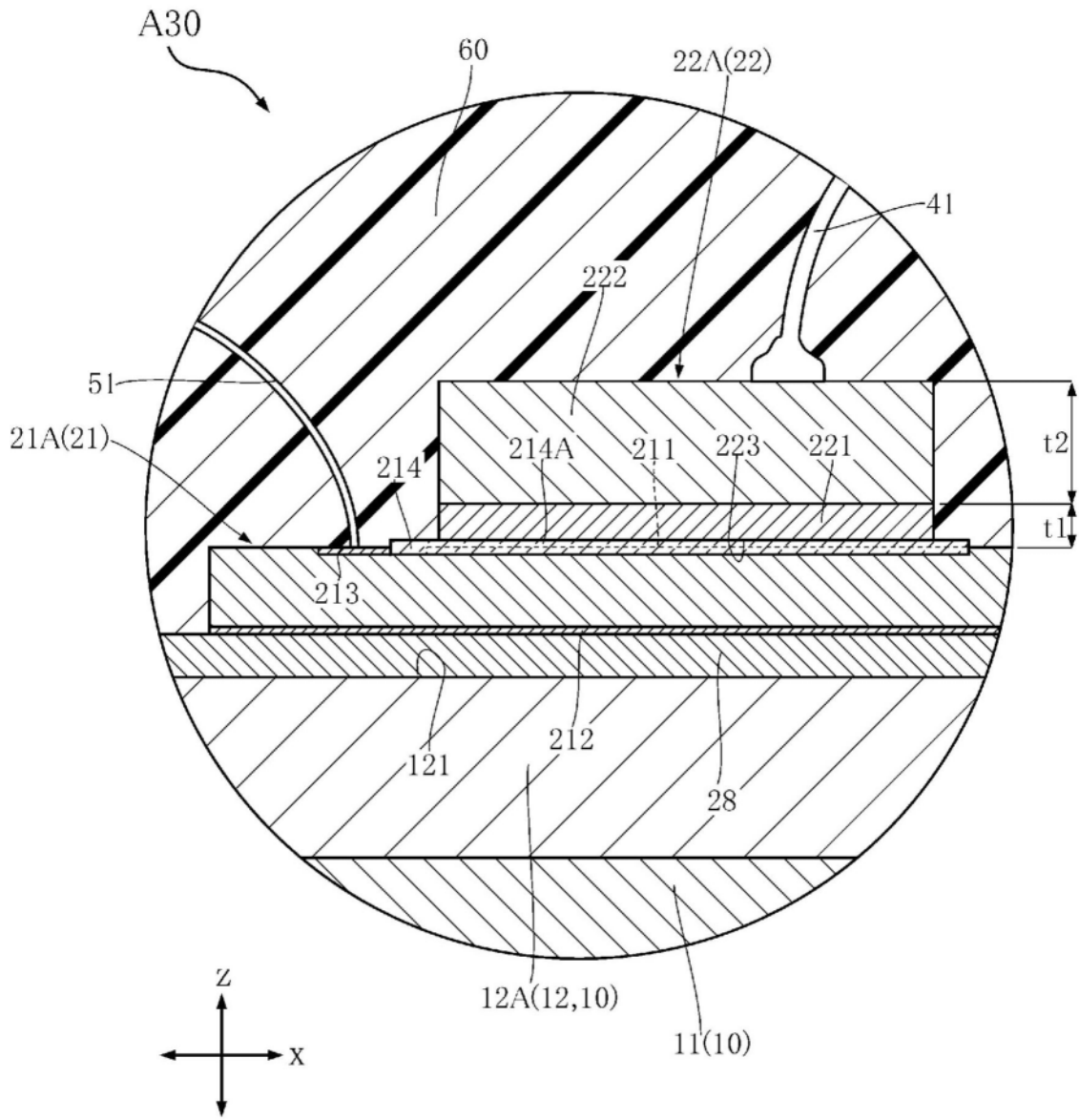


图17

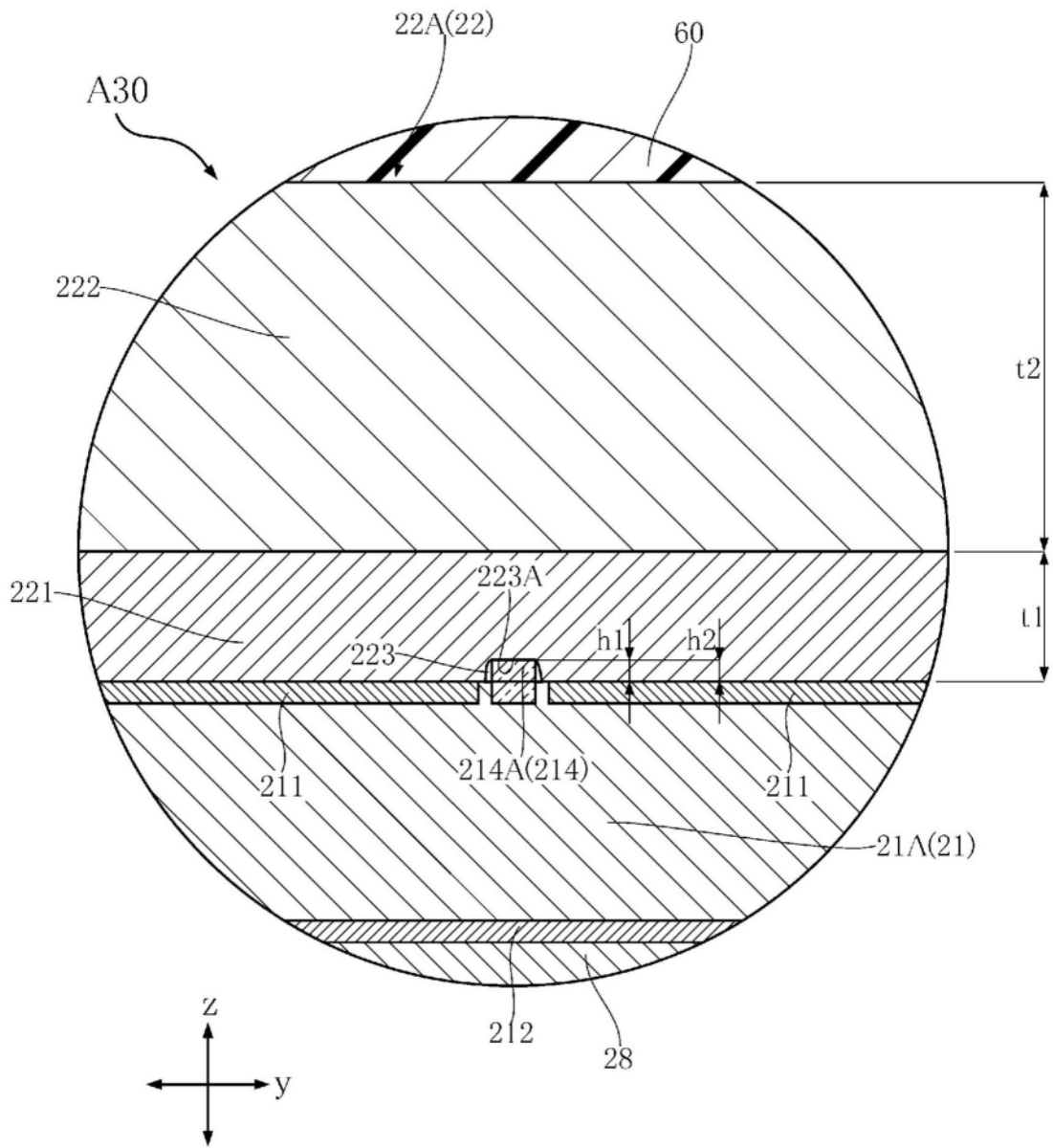


图18

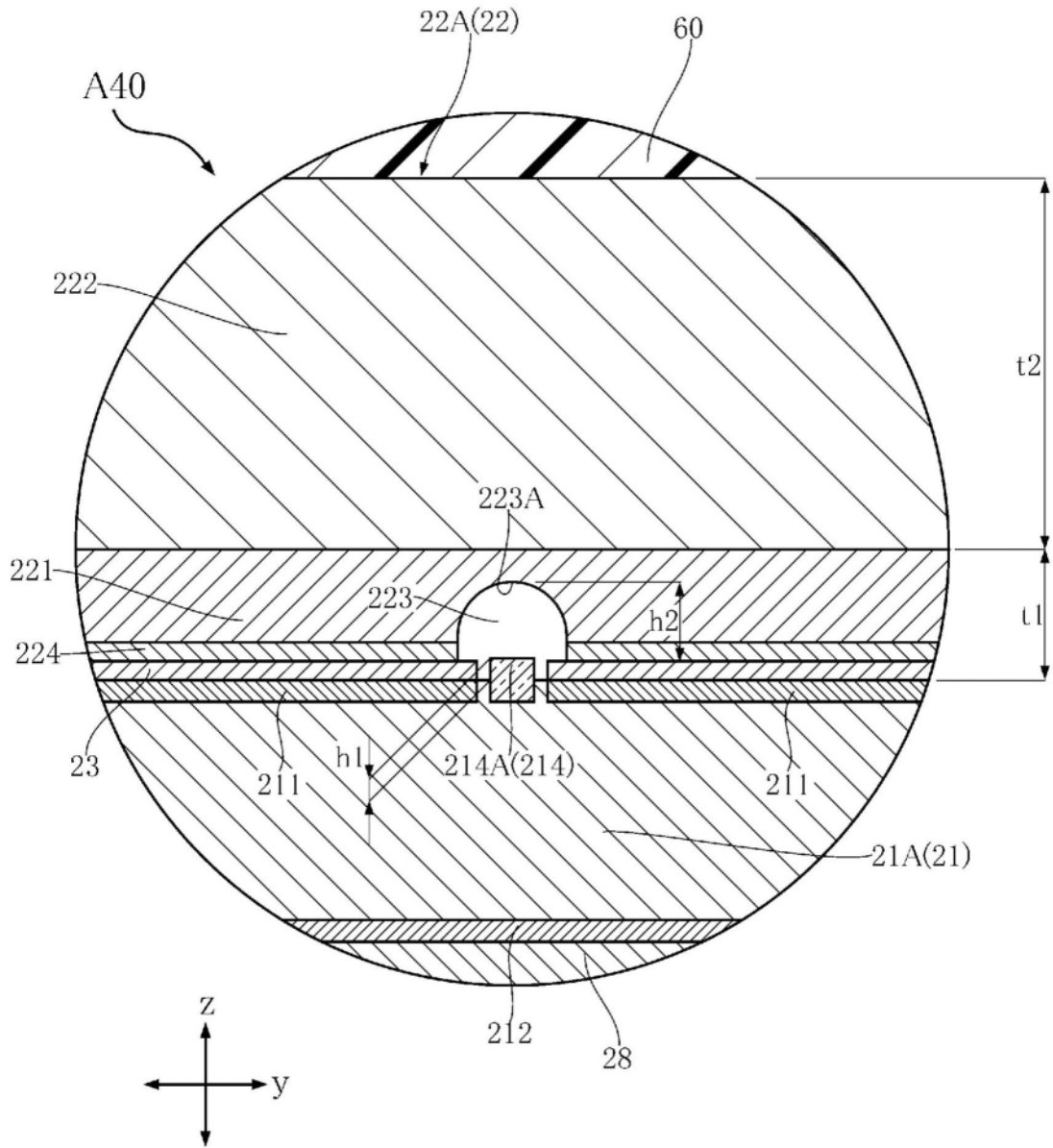


图19

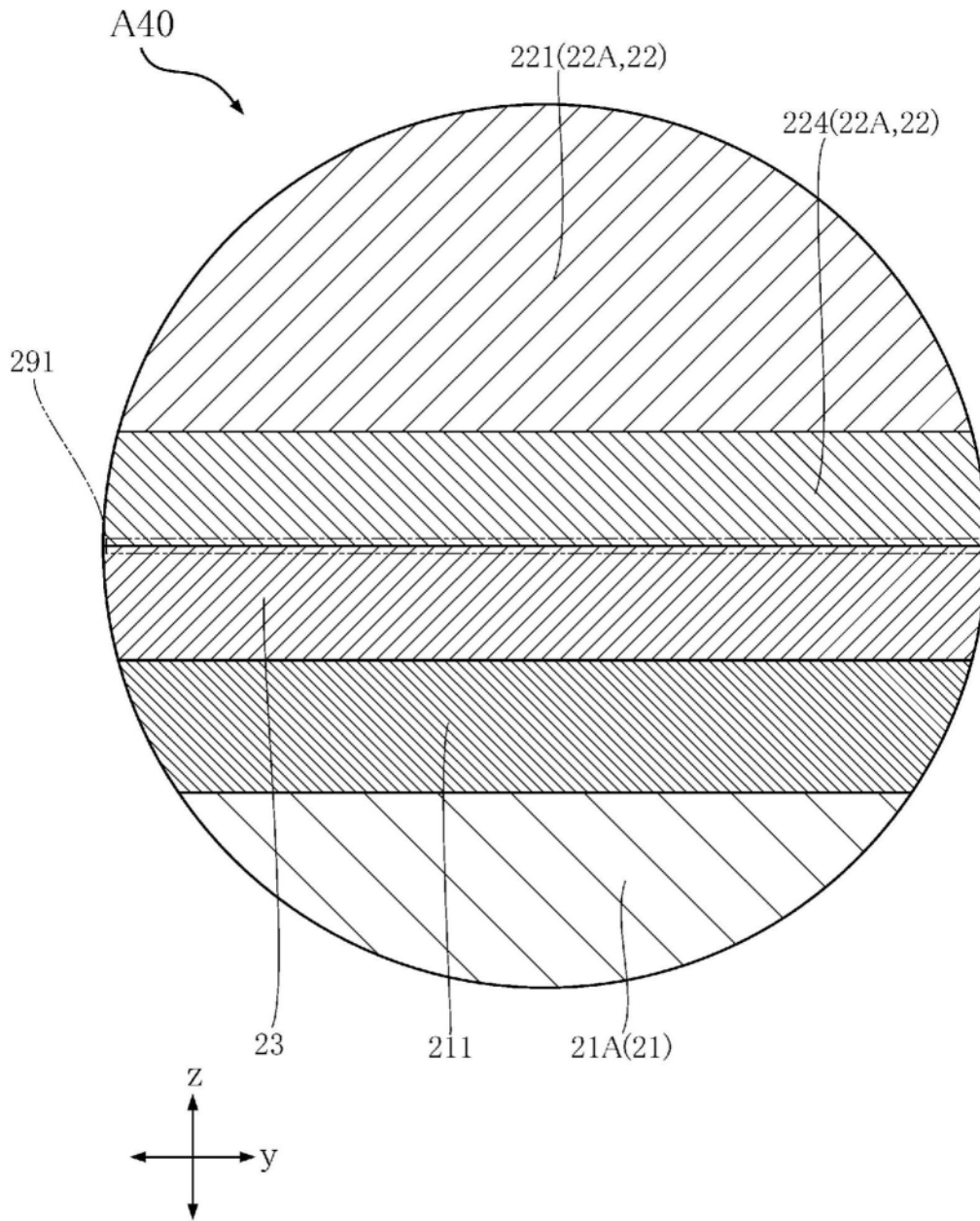


图20