



(12) 发明专利

(10) 授权公告号 CN 103715870 B

(45) 授权公告日 2016. 06. 29

(21) 申请号 201310733241. 2

审查员 汤场

(22) 申请日 2013. 12. 26

(73) 专利权人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为
总部办公楼

(72) 发明人 唐样洋 张臣雄

(74) 专利代理机构 北京林达刘知识产权代理事
务所(普通合伙) 11277

代理人 刘新宇

(51) Int. Cl.

H02M 1/08(2006. 01)

(56) 对比文件

US 2003/0090918 A1, 2003. 05. 15,

US 2006/0186933 A1, 2006. 08. 24,

CN 1849748 A, 2006. 10. 18,

US 2006/0170042 A1, 2006. 08. 03,

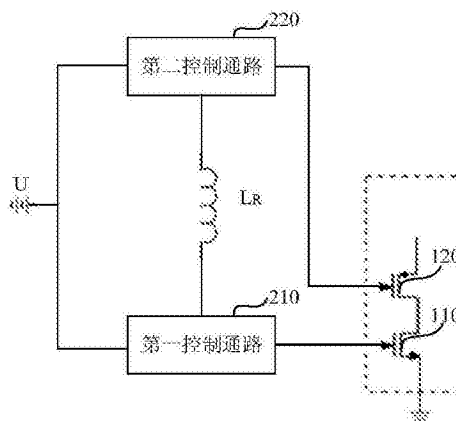
权利要求书2页 说明书6页 附图5页

(54) 发明名称

电压调整器及其谐振栅驱动器

(57) 摘要

本发明涉及一种电压调整器及其谐振栅驱动器,其中,谐振栅驱动器用于驱动第一功率晶体管和第二功率晶体管,包括第一控制通路、第二控制通路以及电感,其中:所述第一控制通路的第一端与所述第二控制通路的第一端连接;所述第一控制通路的第二端经由所述电感与所述第二控制通路的第二端连接;所述第一控制通路的第三端与所述第一功率晶体管连接,所述第二控制通路的第三端与所述第二功率晶体管连接。根据本发明实施例的谐振栅驱动器,能够缩减驱动周期,提高响应速度。



1. 一种谐振栅驱动器,用于驱动第一功率晶体管和第二功率晶体管,其特征在于,包括第一控制通路、第二控制通路以及电感,其中:

所述第一控制通路的第一端与所述第二控制通路的第一端连接;

所述第一控制通路的第二端经由所述电感与所述第二控制通路的第二端连接;

所述第一控制通路的第三端与所述第一功率晶体管连接,所述第二控制通路的第三端与所述第二功率晶体管连接,

所述第一控制通路包括第一开关、第三开关以及第五开关,所述第二控制通路包括第二开关、第四开关以及第六开关,其中:

所述第一开关的第一触点与所述第二开关的第一触点连接,所述第一开关的第二触点与所述第五开关的第二触点以及所述第三开关的第一触点连接;

所述第二开关的第二触点与所述第六开关的第二触点以及所述第四开关的第一触点连接;

所述第三开关的第二触点与所述第一功率晶体管连接;

所述第四开关的第二触点与所述第二功率晶体管连接;

所述第五开关的第一触点以及所述第六开关的第一触点接地;

所述电感的一端与所述第一开关的第二触点连接,所述电感的另一端与所述第二开关的第二触点连接。

2. 根据权利要求1所述的谐振栅驱动器,其特征在于,还包括电源,所述电源与所述第一开关的第一触点以及所述第二开关的第一触点连接。

3. 根据权利要求1或2所述的谐振栅驱动器,其特征在于,所述第一开关、所述第二开关、所述第三开关、所述第四开关、所述第五开关以及所述第六开关均为半导体元件。

4. 根据权利要求3所述的谐振栅驱动器,其特征在于,所述半导体元件为场效应晶体管,所述第一开关、所述第二开关、所述第三开关、所述第四开关、所述第五开关以及所述第六开关的第一触点均为所述场效应晶体管的源极,所述第一开关、所述第二开关、所述第三开关、所述第四开关、所述第五开关以及所述第六开关的第二触点均为所述场效应晶体管的漏极,所述第一开关、所述第二开关、所述第三开关、所述第四开关、所述第五开关以及所述第六开关的控制端均为所述场效应晶体管的栅极。

5. 根据权利要求4所述的谐振栅驱动器,其特征在于,所述第一开关、所述第二开关、所述第三开关、所述第四开关为PMOS晶体管,所述第五开关、所述第六开关为NMOS晶体管。

6. 根据权利要求5所述的谐振栅驱动器,其特征在于,还包括第一本体二极管、第二本体二极管、第三本体二极管、第四本体二极管、第五本体二极管以及第六本体二极管,其中:

所述第一本体二极管的正极与所述第一开关的第二触点连接,所述第一本体二极管的负极与所述第一开关的第一触点连接;

所述第二本体二极管的正极与所述第二开关的第二触点连接,所述第二本体二极管的负极与所述第二开关的第一触点连接;

所述第三本体二极管的正极与所述第三开关的第二触点连接,所述第三本体二极管的负极与所述第三开关的第一触点连接;

所述第四本体二极管的正极与所述第四开关的第二触点连接,所述第四本体二极管的负极与所述第四开关的第一触点连接;

所述第五本体二极管的正极与所述第五开关的第一触点连接,所述第五本体二极管的负极与所述第五开关的第二触点连接;

所述第六本体二极管的正极与所述第六开关的第一触点连接,所述第六本体二极管的负极与所述第六开关的第二触点连接。

7. 一种电压调整器,其特征在于,包括:

第一功率晶体管,所述第一功率晶体管的第一触点与电源的一端连接;

第二功率晶体管,所述第二功率晶体管的第一触点与所述电源的另一端连接,所述第二功率晶体管的第二触点与所述第一功率晶体管的第二触点连接;以及

如权利要求1至6中任一项所述的谐振栅驱动器,与所述第一功率晶体管的控制端以及所述第二功率晶体管的控制端连接,用于驱动所述第一功率晶体管和所述第二功率晶体管。

8. 根据权利要求7所述的电压调整器,其特征在于,还包括:反馈电感、反馈电容、控制电路、以及调制电路,其中:

所述反馈电感的一端与所述第一功率晶体管的第二触点连接,所述反馈电感的另一端与所述反馈电容的一端连接,所述反馈电容的另一端与所述第一功率晶体管的第一触点连接;

所述控制电路连接在所述反馈电感的两端,能够根据所述反馈电感两端的电压产生控制信号;

所述调制电路与所述控制电路连接,能够根据所述控制信号产生调制信号;

所述谐振栅驱动器与所述调制电路连接,能够根据所述调制信号驱动所述第一功率晶体管与所述第二功率晶体管。

9. 根据权利要求7或8所述的电压调整器,其特征在于,所述第一功率晶体管为NMOS晶体管,所述第二功率晶体管为PMOS晶体管。

10. 根据权利要求9所述的电压调整器,其特征在于,

所述第一功率晶体管的第一触点为所述NMOS晶体管的源极,所述第一功率晶体管的第二触点为所述NMOS晶体管的漏极,所述第一功率晶体管的控制端为所述NMOS晶体管的栅极,

所述第二功率晶体管的第一触点为所述PMOS晶体管的源极,所述第二功率晶体管的第二触点为所述PMOS晶体管的漏极,所述第二功率晶体管的控制端为所述PMOS晶体管的栅极。

电压调整器及其谐振栅驱动器

技术领域

[0001] 本发明涉及半导体集成电路领域,尤其涉及一种电压调整器及其谐振栅驱动器。

背景技术

[0002] 动态电压频率调整(Dynamic voltage and frequency scaling, DVFS)是一种有效的降低功耗的技术。并且,随着芯片设计面积密度的上升,响应速度、片上集成性以及能源效率成为相应的电压调整器的三个重要特性。

[0003] 在电压调整器的基本构造中,尤其是在片上高开关频率的系统中,大部分损耗来自于功率晶体管的寄生电容的损耗以及本体二极管的传导损耗。目前,已提出有效减小以上两种损耗的谐振栅驱动器(Resonant gate driver)的结构,即主要利用两个PMOS晶体管及其附属的二极管、两个NMOS晶体管及其附属的二极管和一个电感,来对两个功率晶体管进行开和关的控制。具体地,对功率晶体管的打开操作可以包括:对功率晶体管的寄生电容充电过程和电感放电过程。对功率晶体管的关闭操作可以包括:对功率晶体管的寄生电容放电过程和电感放电过程。

[0004] 然而,如上所述,响应速度以及片上集成性也是电压调整器的重要特性。并且,一般来说,片上集成性越高,将要求响应速度越快。因此,还需要提高电压调整器的驱动器的响应速度。

发明内容

[0005] 为了解决上述技术问题,根据本发明的一实施例,提供了一种谐振栅驱动器,用于驱动第一功率晶体管和第二功率晶体管,包括第一控制通路、第二控制通路以及电感,其中:所述第一控制通路的第一端与所述第二控制通路的第一端连接;所述第一控制通路的第二端经由所述电感与所述第二控制通路的第二端连接;所述第一控制通路的第三端与所述第一功率晶体管连接,所述第二控制通路的第三端与所述第二功率晶体管连接。

[0006] 对于上述谐振栅驱动器,在一种可能的实现方式中,所述第一控制通路包括第一开关、第三开关以及第五开关,所述第二控制通路包括第二开关、第四开关以及第六开关,其中:所述第一开关的第一触点与所述第二开关的第一触点连接,所述第一开关的第二触点与所述第五开关的第二触点以及所述第三开关的第一触点连接;所述第二开关的第二触点与所述第六开关的第二触点以及所述第四开关的第一触点连接;所述第三开关的第二触点与所述第一功率晶体管连接;所述第四开关的第二触点与所述第二功率晶体管连接;所述第五开关的第一触点以及所述第六开关的第一触点接地;所述电感的一端与所述第一开关的第二触点连接,所述电感的另一端与所述第二开关的第二触点连接。

[0007] 对于上述谐振栅驱动器,在一种可能的实现方式中,还包括电源,所述电源与所述第一开关的第一触点以及所述第二开关的第一触点连接。

[0008] 对于上述谐振栅驱动器,在一种可能的实现方式中,所述第一开关、所述第二开关、所述第三开关、所述第四开关、所述第五开关以及所述第六开关均为半导体元件。

[0009] 对于上述谐振栅驱动器,在一种可能的实现方式中,所述半导体元件为场效应晶体管,所述第一开关、所述第二开关、所述第三开关、所述第四开关、所述第五开关以及所述第六开关的第一触点均为所述场效应晶体管的源极,所述所述第一开关、所述第二开关、所述第三开关、所述第四开关、所述第五开关以及所述第六开关的第二触点均为所述场效应晶体管的漏极,所述所述第一开关、所述第二开关、所述第三开关、所述第四开关、所述第五开关以及所述第六开关的控制端均为所述场效应晶体管的栅极。

[0010] 对于上述谐振栅驱动器,在一种可能的实现方式中,所述第一开关、所述第二开关、所述第三开关、所述第四开关为PMOS晶体管,所述第五开关、所述第六开关为NMOS晶体管。

[0011] 对于上述谐振栅驱动器,在一种可能的实现方式中,还包括第一本体二极管、第二本体二极管、第三本体二极管、第四本体二极管、第五本体二极管以及第六本体二极管,其中:所述第一本体二极管的正极与所述第一开关的第二触点连接,所述第一本体二极管的负极与所述第一开关的第一触点连接;所述第二本体二极管的正极与所述第二开关的第二触点连接,所述第二本体二极管的负极与所述第二开关的第一触点连接;所述第三本体二极管的正极与所述第三开关的第二触点连接,所述第三本体二极管的负极与所述第三开关的第一触点连接;所述第四本体二极管的正极与所述第四开关的第二触点连接,所述第四本体二极管的负极与所述第四开关的第一触点连接;所述第五本体二极管的正极与所述第五开关的第一触点连接,所述第五本体二极管的负极与所述第五开关的第二触点连接;所述第六本体二极管的正极与所述第六开关的第一触点连接,所述第六本体二极管的负极与所述第六开关的第二触点连接。

[0012] 为了解决上述技术问题,根据本发明的另一实施例,提供了一种电压调整器,包括:第一功率晶体管,所述第一功率晶体管的第一触点与电源的一端连接;第二功率晶体管,所述第二功率晶体管的第一触点与所述电源的另一端连接,所述第二功率晶体的第二触点与所述第一功率晶体的第二触点连接;以及采用本发明实施例中任意一种结构的谐振栅驱动器,与所述第一功率晶体的控制端以及所述第二功率晶体的控制端连接,用于驱动所述第一功率晶体管和所述第二功率晶体管。

[0013] 对于上述电压调整器,在一种可能的实现方式中,还包括:反馈电感、反馈电容、控制电路、以及调制电路,其中:所述反馈电感的一端与所述第一功率晶体的第二触点连接,所述反馈电感的另一端与所述反馈电容的一端连接,所述反馈电容的另一端与所述第一功率晶体管的第一触点连接;所述控制电路连接在所述反馈电感的两端,能够根据所述反馈电感两端的电压产生控制信号;所述调制电路与所述控制电路连接,能够根据所述控制信号产生调制信号;所述谐振栅驱动器与所述调制电路连接,能够根据所述调制信号驱动所述第一功率晶体管与所述第二功率晶体管。

[0014] 对于上述电压调整器,在一种可能的实现方式中,所述第一功率晶体管为NMOS晶体管,所述第二功率晶体管为PMOS晶体管。

[0015] 对于上述电压调整器,在一种可能的实现方式中,所述第一功率晶体管的第一触点为所述NMOS晶体管的源极,所述第一功率晶体的第二触点为所述NMOS晶体管的漏极,所述第一功率晶体的控制端为所述NMOS晶体管的栅极,所述第二功率晶体管的第一触点为所述PMOS晶体管的源极,所述第二功率晶体的第二触点为所述PMOS晶体管的漏极,所

述第二功率晶体管的控制端为所述PMOS晶体管的栅极。

[0016] 本发明实施例的谐振栅驱动器将现有技术中两次电感的放电时间省去,从而与现有技术相比,使得驱动周期缩减了约25%,提高了响应速度。

[0017] 根据下面参考附图对示例性实施例的详细说明,本发明的其它特征及方面将变得清楚。

附图说明

[0018] 包含在说明书中并且构成说明书的一部分的附图与说明书一起示出了本发明的示例性实施例、特征和方面,并且用于解释本发明的原理。

[0019] 图1示出根据本发明一实施例的电压调整器的结构示意图;

[0020] 图2示出根据本发明一实施例的谐振栅驱动器的结构示意图;

[0021] 图3示出根据本发明一实施例的谐振栅驱动器的具体电路结构图;

[0022] 图4a至图4c示出根据本发明一实施例的谐振栅驱动器驱动一个功率晶体管打开与关闭的步骤示意图;

[0023] 图5a至图5c示出根据本发明一实施例的谐振栅驱动器驱动另外一个功率晶体管打开与关闭的步骤示意图;

[0024] 图6示出根据本发明实施例的谐振栅驱动器与现有技术的谐振栅驱动器驱动周期的对比示意图。

具体实施方式

[0025] 以下将参考附图详细说明本发明的各种示例性实施例、特征和方面。附图中相同的附图标记表示功能相同或相似的元件。尽管在附图中示出了实施例的各种方面,但是除非特别指出,不必按比例绘制附图。

[0026] 在这里专用的词“示例性”意为“用作例子、实施例或说明性”。这里作为“示例性”所说明的任何实施例不必解释为优于或好于其它实施例。

[0027] 另外,为了更好的说明本发明,在下文的具体实施方式中给出了众多的具体细节。本领域技术人员应当理解,没有某些具体细节,本发明同样可以实施。在一些实例中,对于本领域技术人员熟知的方法、手段、元件和电路未作详细描述,以便于凸显本发明的主旨。

[0028] 本发明实施例的谐振栅驱动器,用于驱动第一功率晶体管和第二功率晶体管,可以通过控制如图1所示的电压调整器中两个功率晶体管开通和关断的时间比率,对输入电压 V_i 进行脉冲调制,从而使得输出电压 V_o 可调并能够维持稳定,其中,图1所示的第一功率晶体管110具体可以为NMOS晶体管,第二功率晶体管120具体可以为PMOS晶体管。

[0029] 图2示出根据本发明一实施例的谐振栅驱动器的结构示意图,如图2所示,该谐振栅驱动器主要包括第一控制通路210、第二控制通路220以及电感 L_R ,其中:第一控制通路210的第一端与第二控制通路220的第一端连接;第一控制通路210的第二端经由电感 L_R 与第二控制通路220的第二端连接;第一控制通路210的第三端与第一功率晶体管110连接,第二控制通路220的第三端与第二功率晶体管120连接。

[0030] 通过图1所述的控制电路150与调制电路140,可以控制本发明的谐振栅驱动器的第一控制通路210与第二控制通路220通过的电流强度,从而能够控制第一功率晶体管110

与第二功率晶体管120的开通和关断,实现了对图1所示的输入电压 V_i 的脉冲调制。

[0031] 在一种可能的实现方式中,本发明一实施例的谐振栅驱动器的具体电路结构图可以如图3所示,第一控制通路210包括第一开关 S_1 、第三开关 S_3 以及第五开关 S_5 ,第二控制通路220包括第二开关 S_2 、第四开关 S_4 以及第六开关 S_6 。其中:第一开关 S_1 的第一触点与第二开关 S_2 的第一触点连接,第一开关 S_1 的第二触点与第五开关 S_5 的第二触点以及第三开关 S_3 的第一触点连接;第二开关 S_2 的第二触点与第六开关 S_6 的第二触点以及第四开关 S_4 的第一触点连接;第三开关 S_3 的第二触点与第一功率晶体管110连接;第四开关 S_4 的第二触点与第二功率晶体管120连接;第五开关 S_5 的第一触点以及第六开关 S_6 的第一触点接地;电感 L_R 的一端与第一开关 S_1 的第二触点连接,电感 L_R 的另一端与第二开关 S_2 的第二触点连接。

[0032] 在一种可能的实现方式中,如图3所示,根据本发明一实施例的谐振栅驱动器还可以包括电源 U ,电源 U 与第一开关 S_1 的第一触点以及第二开关 S_2 的第一触点连接。

[0033] 在一种可能的实现方式中,第一开关 S_1 、第二开关 S_2 、第三开关 S_3 、第四开关 S_4 、第五开关 S_5 以及第六开关 S_6 均为半导体元件。在一种可能的具体实现方式中,所述半导体元件为场效应晶体管,第一开关 S_1 、第二开关 S_2 、第三开关 S_3 、第四开关 S_4 、第五开关 S_5 以及第六开关 S_6 的第一触点均为所述场效应晶体管的源极,第一开关 S_1 、第二开关 S_2 、第三开关 S_3 、第四开关 S_4 、第五开关 S_5 以及第六开关 S_6 的第二触点均为所述场效应晶体管的漏极,第一开关 S_1 、第二开关 S_2 、第三开关 S_3 、第四开关 S_4 、第五开关 S_5 以及第六开关 S_6 的控制端均为所述场效应晶体管的栅极,与图1所述的调制电路140连接,能够通过调制电路140被控制电路150控制。

[0034] 在一种可能的实现方式中,第一开关 S_1 、第二开关 S_2 、第三开关 S_3 、第四开关 S_4 为PMOS晶体管,第五开关 S_5 、第六开关 S_6 为NMOS晶体管。

[0035] 在一种可能的实现方式中,如图3所示,根据本发明一实施例的谐振栅驱动器还可以包括第一本体二极管 D_1 、第二本体二极管 D_2 、第三本体二极管 D_3 、第四本体二极管 D_4 、第五本体二极管 D_5 以及第六本体二极管 D_6 ,其中:第一本体二极管 D_1 的正极与第一开关 S_1 的第二触点连接,第一本体二极管 D_1 的负极与第一开关 S_1 的第一触点连接;第二本体二极管 D_2 的正极与第二开关 S_2 的第二触点连接,第二本体二极管 D_2 的负极与第二开关 S_2 的第一触点连接;第三本体二极管 D_3 的正极与第三开关 S_3 的第二触点连接,第三本体二极管 D_3 的负极与第三开关 S_3 的第一触点连接;第四本体二极管 D_4 的正极与第四开关 S_4 的第二触点连接,第四本体二极管 D_4 的负极与第四开关 S_4 的第一触点连接;第五本体二极管 D_5 的正极与第五开关 S_5 的第一触点连接,第五本体二极管 D_5 的负极与第五开关 S_5 的第二触点连接;第六本体二极管 D_6 的正极与第六开关 S_6 的第一触点连接,第六本体二极管 D_6 的负极与第六开关 S_6 的第二触点连接。本体二极管的存在可以减少电路中的逆向损耗、并能够起到保护开关的目的。

[0036] 图4a至图4c示出本发明实施例的振栅驱动器打开与关闭第一功率晶体管110的简化步骤图,具体地,图4a为打开第一功率晶体管110即对其寄生电容 C_i 进行充电的过程,通过控制第二开关 S_2 控制端的电压,使得第二开关 S_2 导通,从而能够对寄生电容 C_i 充电,一段时间之后,当第一功率晶体管110的栅极电压超过阈值电压时导通。接下来如图4b所示,为电感 L_R 放电过程,此过程将电感 L_R 的能量还给供电源 U ,能够实现能量的节省。图4c为关闭第一功率晶体管110的过程即其寄生电容 C_i 放电的过程,通过控制第六开关 S_6 控制端的电压,使得第六开关 S_6 导通,从而能够使得寄生电容 C_i 通过电感 L_R 进行放电。打开与关闭第二功率

晶体管120即对其寄生电容 C_2 充电和放电的过程,简化步骤图如图5a至5c所示,具体步骤可以参考上述第一功率晶体管110的打开与关闭步骤。

[0037] 需要说明的是,第一开关 S_1 、第二开关 S_2 、第三开关 S_3 、第四开关 S_4 、第五开关 S_5 以及第六开关 S_6 的导通和关断可以通过调制电路140逻辑控制,当上述开关的控制端电压被控制为逻辑高电平时,该开关导通,当上述开关的控制端电压被控制为逻辑低电平时,该开关关断。在实际应用中,可以根据需要,在调制电路140中预先设定好上述各个开关的控制端需要被控制为高电平或低电平的时刻。另外,本领域技术人员应能理解,上述各个开关也可以是具有类似功能的开关管。

[0038] 在对图1所示的电压调整器的一个驱动周期内,本实施例的谐振栅驱动器需要执行两次对功率晶体管的打开操作和关闭操作,也就是:第一功率晶体管110打开,第一功率晶体管110关闭,第二功率晶体管120打开,第二功率晶体管120关闭。

[0039] 根据上述分析,本实施例的谐振栅驱动器对单个功率晶体管的驱动可以总结为以下三个步骤,在一个驱动周期内,下述步骤被执行两次:

[0040] 步骤01、寄生电容充电过程;

[0041] 步骤02、电感放电,返还能量;

[0042] 步骤03、寄生电容放电,电感储能。

[0043] 而如背景技术中描述的现有谐振栅驱动器的结构对单个功率晶体管驱动可以总结为以下四个步骤,在一个驱动周期内,下述步骤被执行两次:

[0044] 步骤11、寄生电容充电过程;

[0045] 步骤12、电感放电,返还能量;

[0046] 步骤13、寄生电容放电,电感储能;

[0047] 步骤14、电感放电,返还能量。

[0048] 如果以50ns为谐振栅驱动器的驱动周期的步进单位,通过对现有技术的谐振栅驱动器以及本发明实施例的谐振栅驱动器对功率晶体管驱动的仿真实验,可以得到两种结构的驱动周期比较示意图。如图6所示,可以看出,本发明实施例的谐振栅驱动器将现有技术中两次电感的放电时间省去,从而与现有技术相比,能够使得驱动周期缩减了约25%,提高了响应速度。另外,本发明实施例的谐振栅驱动器相比现有技术减少了对功率晶体管驱动的步骤,从而能够降低负责控制谐振栅驱动器开关的逻辑单元的复杂度。

[0049] 需要说明的是,尽管以运用到电压调整器的驱动电路中作为示例介绍了本发明提出的谐振栅驱动器如上,但本领域技术人员应能够理解,本发明的应用场景应不限于此。本发明提出的新型谐振栅驱动器还能运用到其他类似电路中,例如对功率开关器件的驱动电路等。另外,尽管上述实施例以图4a至4c以及图5a至5c为例,具体介绍了本发明的谐振栅驱动器的一种可能的实现方式,但本领域技术人员应能够理解,本发明的谐振栅驱动器的具体电流流向应不限于此,完全可以根据应用场景灵活设定各个开关的控制端的逻辑电平值,所有采用权利要求所述的谐振栅驱动器的结构,都属于本发明的范围。

[0050] 根据本发明一实施例的电压调整器的结构图可以如图1所示。电压调整器可以包括:第一功率晶体管110、第二功率晶体管120、以及谐振栅驱动器130。其中,第一功率晶体管110的第一触点与电源E的一端连接;第二功率晶体管120的第一触点与电源E的另一端连接,第二功率晶体管120的第二触点与第一功率晶体管110的第二触点连接;谐振栅驱动器

130采用根据本发明上述实施例所述的电路结构,与第一功率晶体管110的控制端以及第二功率晶体管120的控制端连接,能够驱动第一功率晶体管110和第二功率晶体管120的打开和关闭。

[0051] 在一种可能的实现方式中,所述电压调整器还包括:反馈电感L、反馈电容C、控制电路150、以及调制电路140,其中:反馈电感L的一端与第一功率晶体管110的第二触点连接,反馈电感L的另一端与反馈电容C的一端连接,反馈电容C的另一端与第一功率晶体管110的第一触点连接;控制电路150连接在反馈电感L的两端,能够根据反馈电感L两端的电压产生控制信号;调制电路140与控制电路150连接,能够根据所述控制信号产生调制信号;谐振栅驱动器130与调制电路140连接,能够根据所述调制信号驱动第一功率晶体管110与第二功率晶体管120。

[0052] 在一种可能的实现方式中,第一功率晶体管110为NMOS晶体管,第二功率晶体管120为PMOS晶体管。

[0053] 在一种可能的实现方式中,第一功率晶体管110的第一触点为所述NMOS晶体管的源极,第一功率晶体管110的第二触点为所述NMOS晶体管的漏极,第一功率晶体管110的控制端为所述NMOS晶体管的栅极;第二功率晶体管120的第一触点为所述PMOS晶体管的源极,第二功率晶体管120的第二触点为所述PMOS晶体管的漏极,第二功率晶体管120的控制端为所述PMOS晶体管的栅极。

[0054] 谐振栅驱动器130对第一功率晶体管110和对第二功率晶体管120的控制具体可以参照上述实施例以及图4a至图4c以及图5a至5c所述,通过控制第一功率晶体管110与第二功率晶体管120的开通和关断,实现了对图1所示的输入电压 V_i 的脉冲调制。

[0055] 另外,需要说明的是,在采用图3所示结构的谐振栅驱动器时,由于谐振栅驱动器中第一开关 S_1 、第二开关 S_2 、第三开关 S_3 、第四开关 S_4 、第五开关 S_5 以及第六开关 S_6 的导通和关断可以通过调制电路140逻辑控制,也就是说当上述开关的控制端电压被控制为逻辑高电平时,该开关导通,当上述开关的控制端电压被控制为逻辑低电平时,该开关关断。在实际应用中,可以根据需要,在调制电路140中预先设定好上述各个开关的控制端需要被控制为高电平或低电平的时刻。

[0056] 本实施例的电压调整器采用了本发明上述实施例所述的谐振栅驱动器,能够提高响应速度,更有利于电压调整器的片上集成。另外,本发明实施例的电压调整器能够降低负责控制谐振栅驱动器的开关的逻辑单元、也就是调制电路的复杂度。

[0057] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

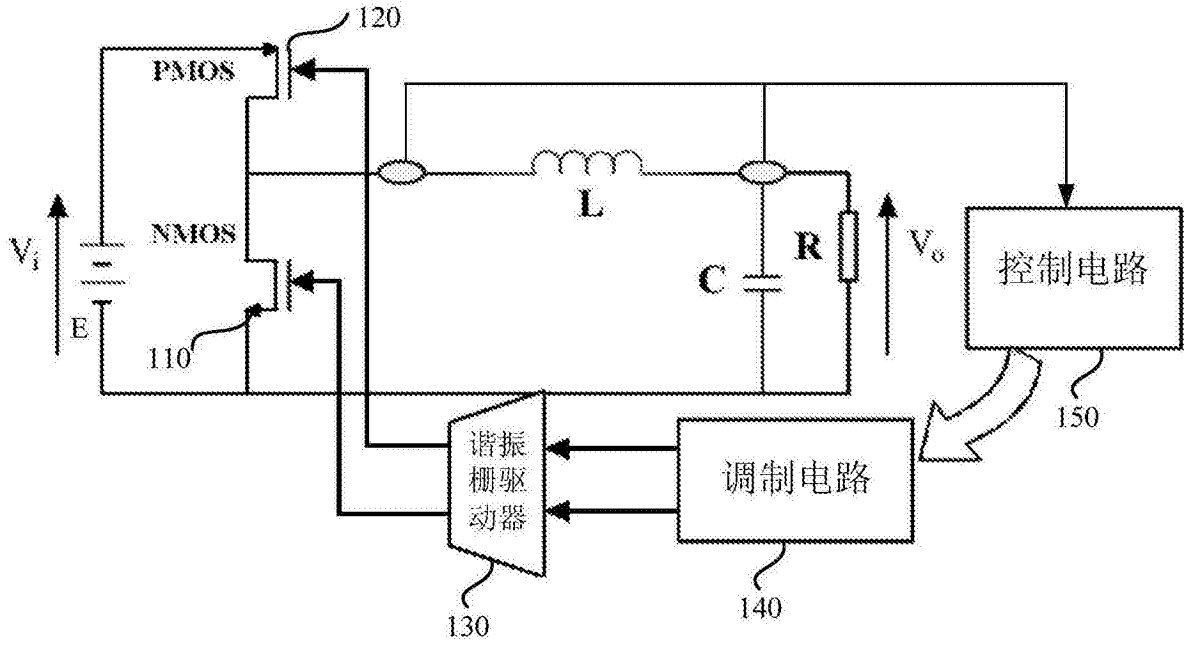


图1

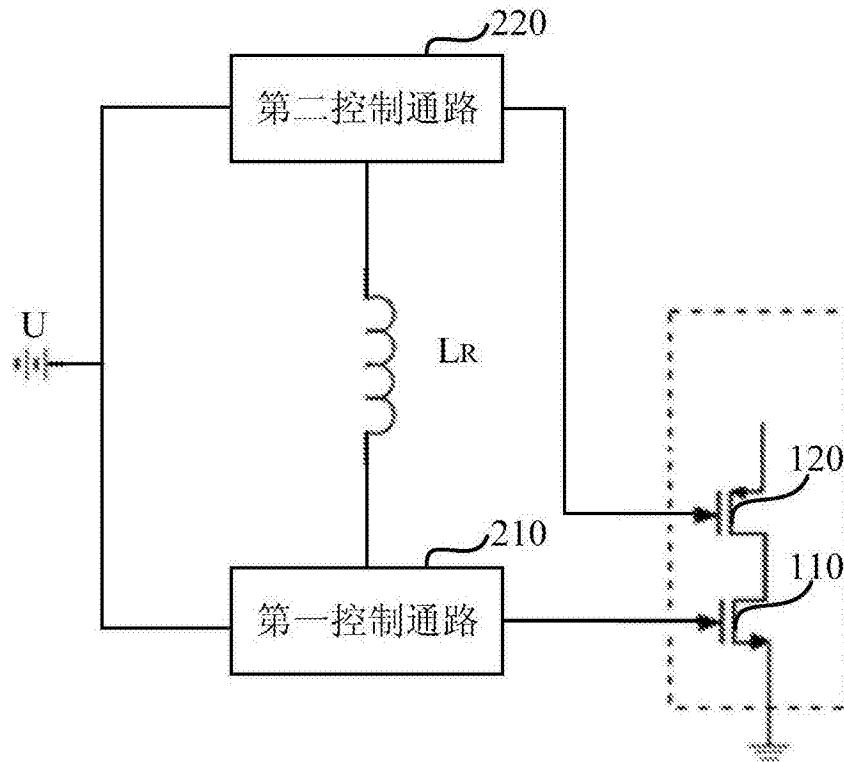


图2

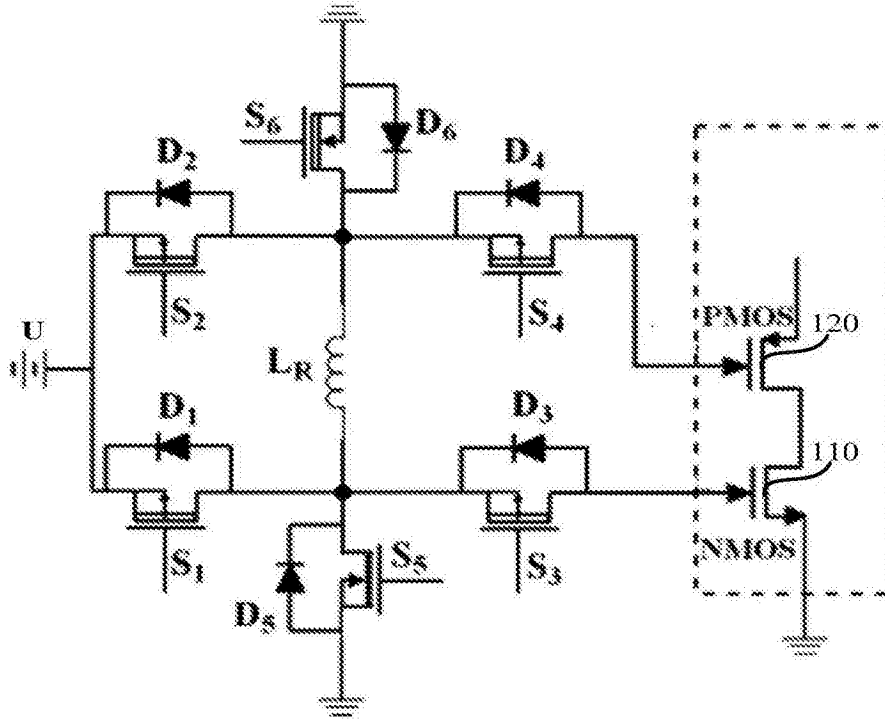


图3

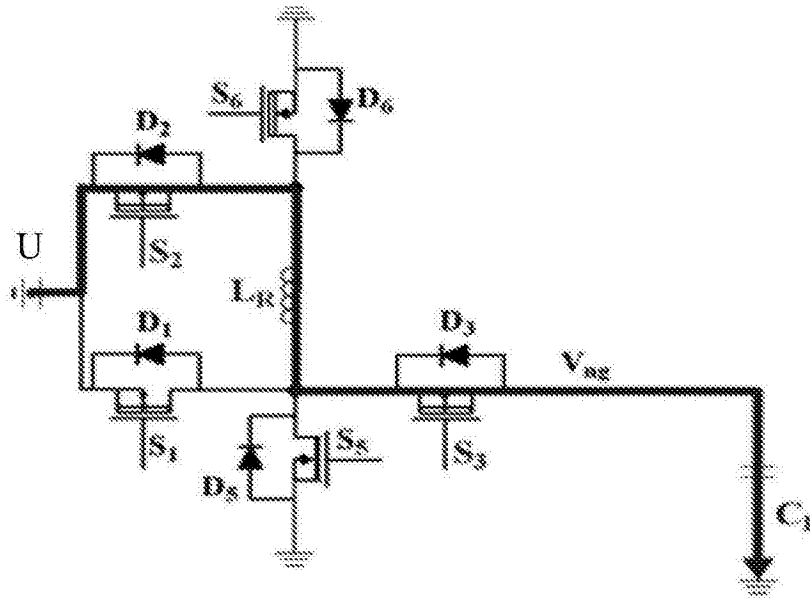


图4a

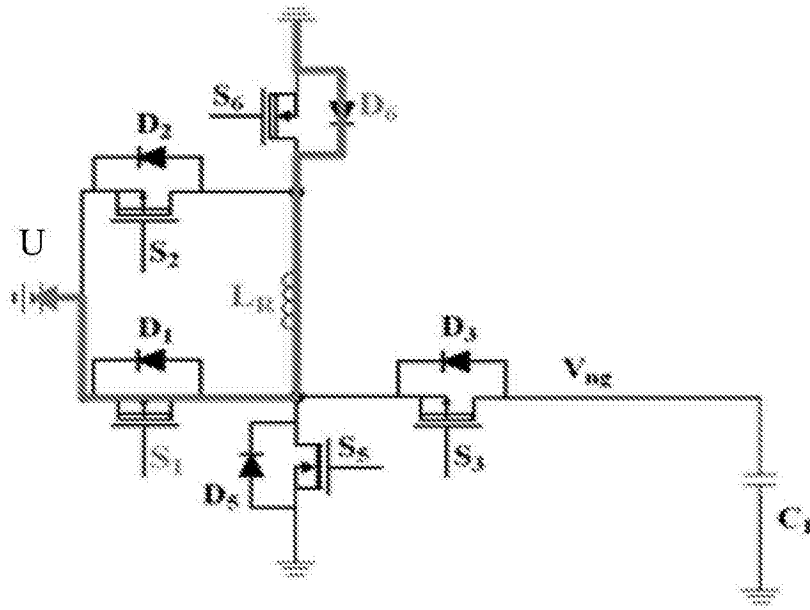


图4b

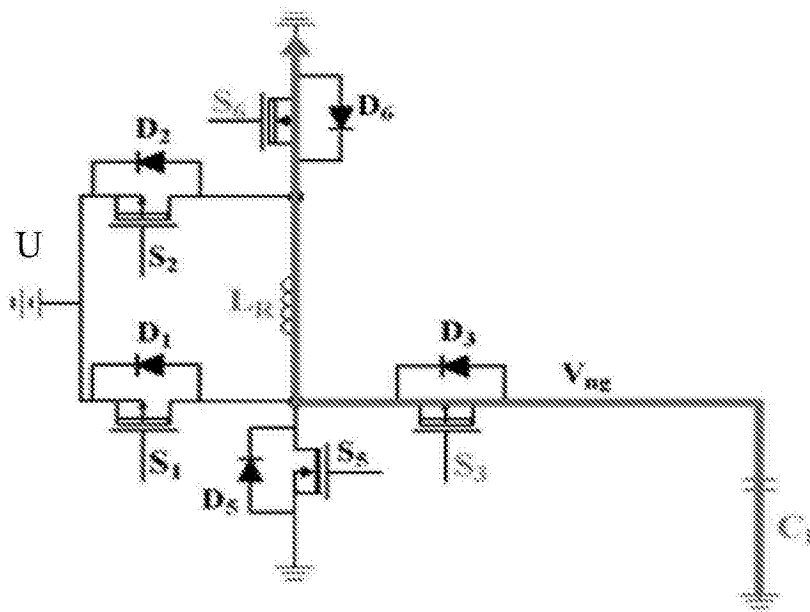


图4c

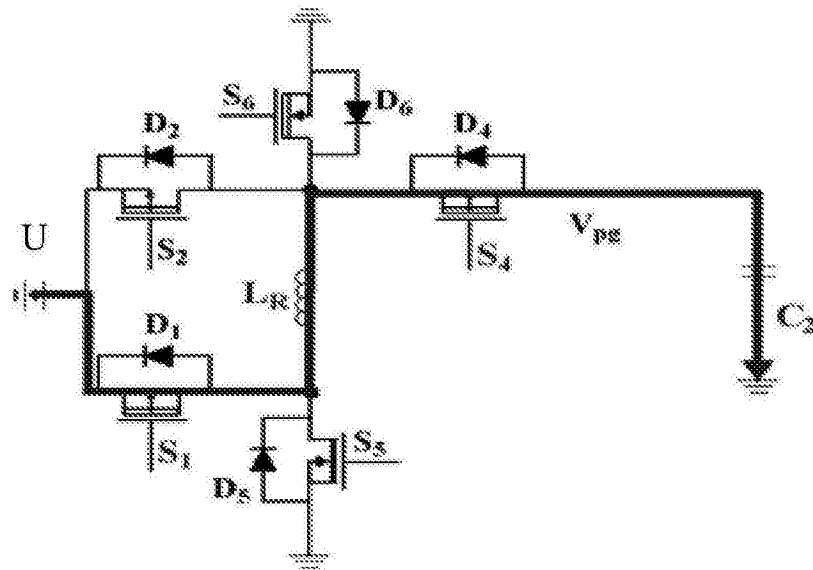


图5a

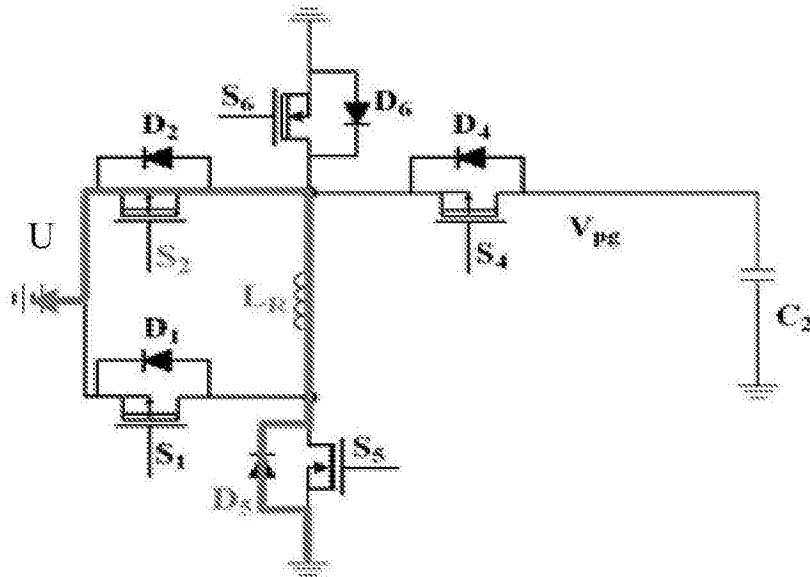


图5b

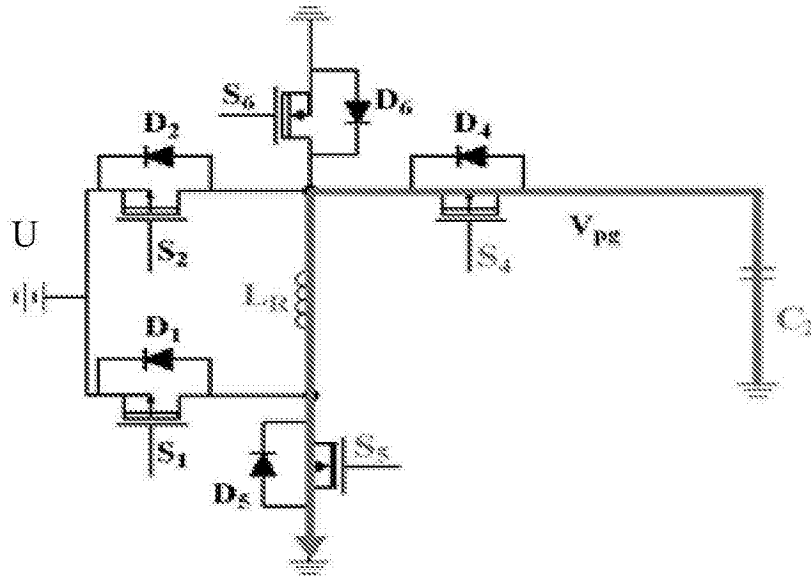


图5c

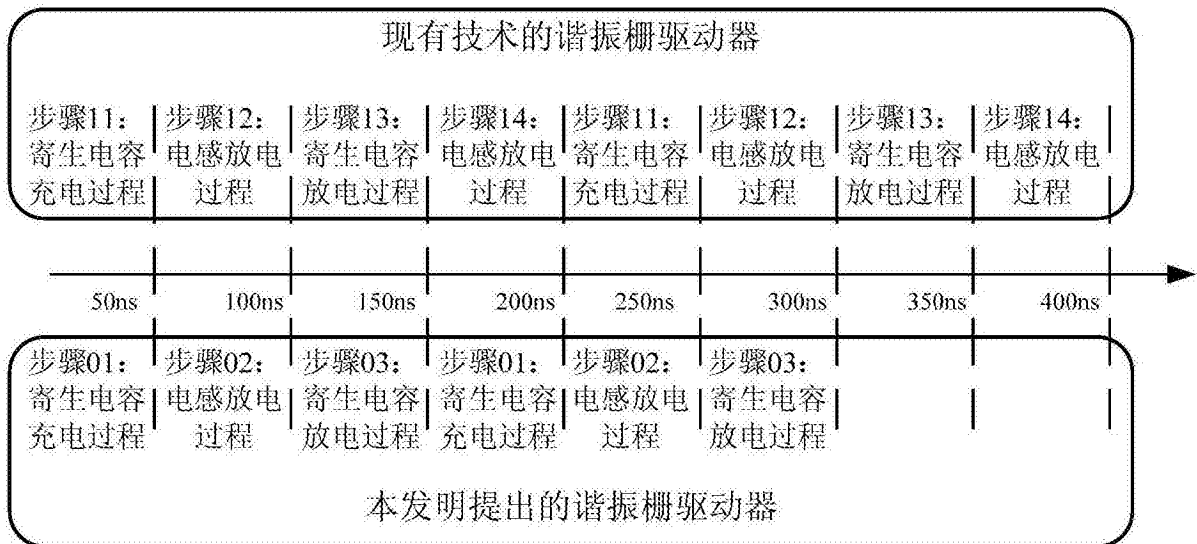


图6