



(12) 发明专利

(10) 授权公告号 CN 1810000 B

(45) 授权公告日 2010.05.12

(21) 申请号 03820385.5

(51) Int. Cl.

(22) 申请日 2003.07.31

H04L 25/02 (2006.01)

(30) 优先权数据

02078546.5 2002.08.29 EP

(56) 对比文件

(85) PCT申请进入国家阶段日

2005.02.28

CN 1165429 A, 1997.11.19, 全文.

全文.

(86) PCT申请的申请数据

PCT/IB2003/003390 2003.07.31

US 006255852 B1, 2001.07.03, 全文.

(87) PCT申请的公布数据

W02004/021100 EN 2004.03.11

US 006160436 A, 2000.12.12, 说明书第1栏
10-14行、第2栏19-21行, 27-67行、第3栏1-14
行、第4栏47-64行、第5栏41-67行、第6栏1-14
行, 19-43行、附图2-8.

CN 1175820 A, 1998.03.11, 全文.

(73) 专利权人 皇家飞利浦电子股份有限公司

审查员 张琦

地址 荷兰艾恩德霍芬

(72) 发明人 A·卡托奇 E·塞温克

H·J·M·维恩德里克

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 李亚非 王勇

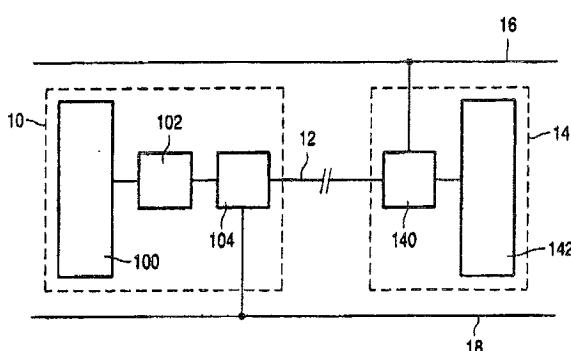
权利要求书 1 页 说明书 7 页 附图 3 页

(54) 发明名称

使用电流模式信号传输的电子数据处理电路

(57) 摘要

一种在通信导线上使用了电流模式信号传输的电子数据处理电路，其中接收机将电流提供给通信导线，以便尝试并保持导线上的电压恒定，此外还测量为此所需的电流。转换编码电路耦合在数据源电路与通信导线之间，用于响应逻辑信号转换而在脉冲中的第一状态中驱动通信导线，以及在脉冲之外的第二状态中驱动通信导线。此外还选择了用于表示没有变化的电平，由此接收机在用信号表示没有变化时需要供应的电流小于用信号表示出现变化时的电流。优选地，在没有变化的时候，所需要的仅仅是一个接近于零的静态电流。



1. 一种电流模式信号传输电子数据处理电路, 该电路包括 :

通信导线 (12) ;

数据源电路 (10), 包括具有用于逻辑信号的输出端的逻辑电路 (100) 以及耦合在逻辑电路 (100) 与通信导线 (12) 之间的转换编码电路 (102, 104), 该转换编码电路 (102, 104) 用于在第一状态中借助于响应于逻辑信号中的转换而产生的脉冲驱动通信导线 (12), 以及在没有响应于逻辑信号中的转换而产生的脉冲时在第二状态中驱动通信导线 (12) ;

数据接收电路 (14), 包括一个与通信导线 (12) 相耦合的电流供应和测量电路 (140), 用于

- 将电流提供给该通信导线, 以便抵消通信导线 (12) 的驱动, 该电流在第二状态中比在第一状态中小, 以及

- 从电流测量中恢复该逻辑信号。

2. 根据权利要求 1 的电流模式信号传输电子数据处理电路, 其中, 所述电流供应和测量电路 (140) 包括 :

一个输入端与通信导线 (12) 相耦合的电流反射镜电路 (22); 以及

一个耦合到电流反射镜电路 (22) 的输出端的电容性电压测量电路 (226)。

3. 根据权利要求 2 的电流模式信号传输电子数据处理电路, 还包括一个刷新晶体管 (36), 其中所述晶体管的主电流通道与电流反射镜电路 (22) 的输入端并联耦合, 并且其控制电极与电流反射镜电路 (22) 的输出端相耦合, 以便在每次检测到其中一个脉冲的时候都使主电流通道导通。

4. 根据权利要求 2 的电流模式信号传输电子数据处理电路, 其中, 所述转换编码电路 (102, 104) 包括一个驱动器电路 (104), 该电路具有 :

第一晶体管 (204), 耦合在通信导线 (12) 与第一电源线路 (18) 之间, 用于在存在脉冲时驱动通信导线 (12), 以及

限压晶体管 (200), 用于将没有脉冲时驱动器电路 (104) 驱动通信导线 (12) 的电压电平限制在电流反射镜电路 (22) 的阈值电平, 第二晶体管 (202) 和限压晶体管 (200) 的主电流通道的串行连接耦合在通信导线与第二电源线路 (16) 之间。

5. 根据权利要求 2 的电流模式信号传输电子数据处理电路, 其中, 所述电容性电压测量电路 (226) 包括 :

复位晶体管 (224), 该晶体管的主电流通道耦合到电流反射镜电路 (22) 的输出端, 以便对电流反射镜电路 (22) 的输出端进行放电;

介于电流反射镜电路 (22) 的输出端与复位晶体管 (224) 的控制电极之间的延迟电路 (34), 用于在每次检测到其中一个脉冲之后经过一个延迟而激活所述放电。

使用电流模式信号传输的电子数据处理电路

技术领域

[0001] 本发明涉及一种电子数据处理电路，其中数据源通过电流模式信号传输(signalling)而将数据传递到数据接收机。

背景技术

[0002] 美国专利 6,255,852 描述的是在集成电路中使用电流模式信号传输来传递数据。在电流模式信号传输中，发射机电路根据所传送的数据来驱动通信导线。接收机电路则将电流提供给通信导线，从而无论驱动如何改变，所述电路至少会在接收机电路输入端保持通信导线电位基本上恒定。接收机电路对执行该操作所需要的电流进行测量，并且使用测量电流值来重建所传送的数据。这样一来，由于信号是从电流而不是直接从电位中检测的，因此在电流模式信号传输中是不必确保通信导线上的最小电位摆幅的。

[0003] 要想了解电流模式信号传输的优点，则应该对电流模式信号传输以及常规的电压模式信号传输进行比较，其中在电压模式信号传输中，接收机电路是用高阻抗电路来测量通信导线上的电位的，该电路会将通信导线上的电压变化反作用减至最小。在电压模式信号传输过程中，发射机电路必须为通信导线中固有的电容充电。由此会在通信导线较长的时候逐渐减慢通信。这样一来，当相互远离的集成电路部分与对方进行通信时，电压模式信号传输将会变慢，对大型集成电路来说则更是如此。

[0004] 在电流模式信号传输过程中，由于通信导线电位恒定，因此基本上不需要为通信导线的电容充电。由于电流改变，因此有可能会因为通信导线的固有电感而需要克服反作用，但是在一个集成电路中，电感效应要远远小于电容效应。这样一来，与电压模式信号传输的速度相比，电流模式信号传输可以在一个远远快于该速度的数据速度上进行，尤其是在使用了很长的通信导线的时候。

[0005] 与电压模式信号传输相比，电流模式信号传输需要特殊和不同的接收机电路。实质上，美国专利 6,255,852 使用了共栅电路来供应和测量电流。在共栅电路中，通信导线与 MOS 晶体管的源极相耦合，并且该 MOS 晶体管的栅极与内部电压相耦合。在这里对来自 MOS 晶体管漏极的电流进行测量。并且这种电路对通信导线呈现了一个抵消通信导线电位变化的低输入阻抗。

[0006] 电流模式信号传输的重大缺陷则是它的功耗。接收机和发射机将抵消电流传送到同一条通信导线。此外，在 Vdd 与自身处于接收端的接地之间可能会存在很高的静态漏电流。对一个合理的速度而言，这些电流有必要相对较强。当接收机电路必须连续将电流提供给通信线路时，与电压模式信号传输相比，电流模式信号传输将会产生更高的功耗。虽然可以在信息已经被传送的时候通过切断电流来减小这个电流，但是这种切换需要生成精确的定时信号。

发明内容

[0007] 特别地，本发明的一个目的是减少电流模式信号传输所涉及的功耗。

[0008] 为了实现所述目的,本发明提供了一种电流模式信号传输电子数据处理电路,该电路包括:通信导线;数据源电路,包括具有用于逻辑信号的输出端的逻辑电路以及耦合在逻辑电路与通信导线之间的转换编码电路,该转换编码电路用于在第一状态中借助于响应于逻辑信号中的转换而产生的脉冲驱动通信导线,以及在没有响应于逻辑信号中的转换而产生的脉冲时在第二状态中驱动通信导线;数据接收电路,包括一个与通信导线相耦合的电流供应和测量电路,用于:-将电流提供给该通信导线,以便抵消通信导线的驱动,该电流在第二状态中比在第一状态中小,以及-从电流测量中恢复该逻辑信号。

[0009] 通过在电流模式信号传输中使用脉冲而在来自数据源的逻辑数据中进行信号转换,并且通过调整电流模式接收机电路而在没有脉冲时只耗费最小电流,可以减少进行通信所需要的功耗,同时仍旧保持电流模式信号传输的速度优势。每一个脉冲都必须具有一个最短持续时间,从而能够由接收机电路来进行检测,但在其他方面,所述持续时间最好尽可能地短。特别地,在这里不必延长将数据源逻辑信号保持在某个电平的最短持续时间(通常是一个时钟周期)。优选地,脉冲远远短于时钟周期,由此可以将功耗减至最小。

[0010] 优选地,该电路被构造成让接收机在没有脉冲时实际并不提供电流,以使其输入端电位恒定。优选地,该电位处于或低于电流开始流动时的阈值。这样一来,由于接收机电路只在出现脉冲的过程中才需要提供电流来保持其输入端电位充分恒定,因此功耗将会减至最小。

[0011] 在一个实施例中,接收机电路包括一个电流反射镜电路,它具有一个耦合到通信导线的输入端和一个耦合到电流反射镜的电容电压测量电路。这样可以进一步减少了功耗。优选地,电容电压测量电路包括一个复位晶体管和一条延迟线,这些装置耦合在一起,以便在检测到脉冲之后经过一个延迟而对电流反射镜输出端的电压进行复位。

[0012] 在另一个实施例中,发射机包括一个限压电路,在没有脉冲的情况下,所述限压电路至少会在发射端将通信导线上的电位限制到电流反射镜电路的阈值电平。这样可以避免由于需要牵引通信导线电位而造成的通信速度损失越过出现脉冲时的电流反射镜阈值。

[0013] 在另一个实施例中,接收机电路包括一个主电流通道与电流反射镜的输入端平行的刷新晶体管,以及一个在接收机电路检测到脉冲时让刷新晶体管的主电流通道导通的控制电路。刷新晶体管可以使用电流反射镜中的小型输入晶体管,并且仍旧确保至少在接收机电路端快速清楚通信导线中的脉冲效应。通过使之能与小型输入晶体一起工作,可以减少接收机电路的静态功耗。

[0014] 组合数据源和接收机电路可以具备与同一条通信线路相耦合的接收机和发射机。这种组合电路的接收机可以在发射机并未驱动通信线路的时间间隔中使用。优选的,在结合了接收机的电流反射镜的实施例中,电流反射镜的输入端是以一种与驱动器的推挽晶体管的主电流通道相平行的方式放置的,并且这些晶体管之间的节点与通信导线相耦合。因此,电流反射镜提供了在接收过程中进行输入的功能,并且还在传送过程中提供了限压电路的功能。

附图说明

[0015] 这些及其他目标和有利方面是用以下附图描述的。

[0016] 图1显示的是一个电子数据处理电路。

- [0017] 图 2 显示的是电子数据处理电路的一部分的实施例。
- [0018] 图 3 显示的是另一个接收电路。
- [0019] 图 4 显示的是一个信号再生器电路的实施例。
- [0020] 图 5 显示的是发射机与接收器的组合。

具体实施方式

[0021] 图 1 显示的是一个数据处理电路，其中包括数据源电路 10、通信导线 12 以及数据接收电路 14。该电路具有第一和第二电源线路 16、18。数据源电路 10 包括级联的逻辑电路 100、转换脉冲生成器 102 以及驱动器 104。驱动器 104 的输出端与通信导线 12 相耦合。而数据接收电路 14 则包含一个电流供应和测量电路 140 以及另一个逻辑电路 142。所有这些电路都与电源线路 16、18 相耦合，但是在这里仅仅显示了来自电源线路 16、18 并且直接影响到电源导线电位的连接；也就是从第一电源线路 18 到驱动器 104 的连接以及从第二电源线路 16 到电流供应和测量电路 140 的连接。

[0022] 在操作中，逻辑电路 100 产生数据并将数据传送到另一个逻辑电路 142。数据通信包括通过使用电流模式信号传输而从逻辑电路 100 开始并且经由通信导线 12 的传输。逻辑电路 100 和另一个逻辑电路通常是集成电路芯片内部的子电路，这些电路是在相互远离的不同集成电路芯片区域中实现的。这样一来，通信导线 12 会延伸一个很大的距离，并且这个距离通常会达到集成电路大小的很大一部分。由此产生了一个涉及通信速度的问题；长的通信导线 12 代表了一个很大的电容。为了得到跨越该导线全长的极大电压，每次都会需要一个充电时间。而这种对于充电时间的需求是通过使用电流模式信号传输来消除的。

[0023] 转换脉冲生成器 102 接收来自逻辑电路 100 的逻辑信号，并且每次当逻辑信号的逻辑电平改变的时候，所述生成器都会产生一个脉冲。每一个脉冲通常都具有相同的持续时间，这个时间通常远远小于逻辑信号连续转换之间的最短时间间隔（该时间间隔通常是逻辑电路 100 的时钟周期）。转换脉冲生成器 102 将脉冲施加给驱动器电路 104。驱动器电路 104 根据驱动器电路 104 是否接收到来自转换脉冲生成器 102 的脉冲而在第一状态或第二状态驱动通信导线 12。在接收到脉冲时，驱动器电路 104 将来自第一电源线路 18 的第一电流提供给通信导线 12。在没有脉冲时，驱动器电路 104 不向通信导线 12 提供来自第一电源线路 18 的第一电流（或至少是一个小得多的第一电流）。

[0024] 当从驱动器电路 104 中检测到来自第一电源线路 18 的第一电流时，也就是说，在响应于逻辑信号转换而生成了一个脉冲的时候，电流供应和测量电路 140 将来自第二电源线路 16 的第二电流提供给通信导线 12。第二电流至少在电流供应和测量电路 140 的输入端与通信导线 12 相连的位置抵消了第一电流对于通信导线 12 的电位的影响，从而基本上消除了通信导线 12 上的电位变化。通常，第二电流与第一电流是相等的，因此，第一电流不会导致通信导线 12 的电位持续变化，由此仅仅产生瞬态变化。当通信导线 12 上没有这种脉冲效应时，电流供应和测量电路 140 不会提供来自第二电源线路 16 的第二电流（或至少是一个小得多的电流）。

[0025] 电流供应和测量电路 140 对在每次产生脉冲时为抵消第一电流的影响而必须产生的第二电流进行测量。每次当在第二电流中出现一个脉冲时，这时都会检测到一个来自转换脉冲生成器 102 的脉冲。根据测得的脉冲，电流供应和测量电路 140 再生该逻辑信号

并且将再生的信号施加给另一个逻辑电路 142。

[0026] 这样一来,一方面实现了电流模式信号传输的优点(高速),另一方面还通过使用转换信号传输降低了功耗,这样一来,如果没有转换发生,那么电流供应和测量电路 140 基本上不会产生电流。应该了解的是,在任何情况下,只要电流供应和测量电路 140 在没有脉冲时产生的电流少于存在脉冲时产生的电流,则可以节省用于电流模式信号传输的功率。

[0027] 图 2 显示的是电子数据处理电路中某个部分的实施例。该部分包含了转换脉冲生成器 102、驱动器 104、电流反射镜 22、复位晶体管 224 以及传感电路 226。其中电流反射镜 22、复位晶体管 224 以及传感电路 226 属于电流供应和测量电路 140 的一部分。转换脉冲生成器 102 则包含延迟电路 240 和异或门 242。转换脉冲生成器 102 的输入端直接耦合到异或门 242 的第一输入端,并且还经由延迟电路 240 耦合到异或门 242 的第二输入端。

[0028] 驱动器 104 包括限制晶体管 (limiting transistor) 200 (PMOS 类型)、上拉晶体管 202 (PMOS 类型) 以及下拉晶体管 204 (NMOS 类型)。第一电源线路 18 相继经由下拉晶体管 204、上拉晶体管 202 和限制晶体管 200 的主电流通道连接到第二电源线路 16。而下拉晶体管 204 和上拉晶体管 202 的控制电极则与异或门 242 的输出端相耦合。限制晶体管 200 的控制电极耦合到一个介于上拉晶体管 202 与限制晶体管 200 的主电流通道之间的节点。而下拉晶体管 204 与上拉晶体管 202 之间的一个节点则耦合到通信导线 12。

[0029] 电流反射镜 22 包括输入晶体管 220 (PMOS 类型) 和输出晶体管 222。输入晶体管 220 的主电流通道耦合在通信导线 12 与第二电源线路 16 之间。第二电源线路 16 则连续经由输出晶体管 222 和复位晶体管 224 (NMOS 类型) 的主电流通道与第一电源线路 18 相耦合。对电流反射镜 22 来说,输入晶体管 220 和输出晶体管 222 的控制电极与通信导线 12 相耦合。介于输出晶体管 222 与复位晶体管 224 的主电流通道之间的节点 228 则耦合到传感电路 226,其中所述传感电路具有耦合到复位晶体管 224 控制电极的输出端以及耦合到另一个逻辑电路 142 (未显示) 的输出端。

[0030] 在操作中,当转换脉冲生成器 102 的输入端的逻辑信号改变时,异或门 242 临时产生一个逻辑高电压。这个逻辑高电平脉冲的持续时间是借助于延迟电路 240 所生成的延迟来确定的。如果没有脉冲,则异或门 242 的输出电压是逻辑低电平。并且如果没有脉冲,那么下拉晶体管 204 的主电流通道是不是导通的,而限制晶体管 200 和上拉晶体管 202 的主电流通道则是导通的。因此,驱动器 104 会将通信导线 12 的电位拉一个电压降至一个电平,该电压降比第二电源线路 16 的电压降低。这个电压降对应于限制晶体管 200 的栅极 - 源极电压。在静止状态中,该电压降处于或低于限制晶体管 200 的阈值电压。在这种情况下,只有少量或者没有电流从驱动器 104 中流出。因此,这时仅有少量或者没有电流从电流反射镜 22 流出并且没有检测到脉冲。

[0031] 对脉冲驱动器 104 而言,驱动器 104 将会使下拉晶体管 204 的主电流通道导通,并且驱动器 104 还使上拉晶体管 202 的主电流通道不导通。因此,在出现脉冲的期间,电流从第一电源线路 18 流至通信导线。作为响应,输入晶体管 220 将来自第二电源线路 16 的电流提供给通信导线 12。这个电流抵消了驱动器 104 所提供的电流。如果忽略瞬变,那么在出现脉冲期间,该电流与驱动器 104 提供的自第一电源线路 18 的电流是相等的,然而在实践中,在这两个电流之间因为通信导线长度至少会暂时存在差别。当下拉晶体管 204 在出现脉冲期间开始给通信导线 12 放电时,通信线路 12 的一端会首先开始放电,而电流反射镜

22 这侧的另一端则稍后进行该操作。

[0032] 因此,电流反射镜 22 的输入晶体管 220 是通过抵消来自下拉晶体管 204 的电流来做出响应的。该电流由电流反射镜 22 的输出晶体管反射,并且该电流可能导致提高介于输出晶体管 222 与复位晶体管 224 的主电流通道之间的节点 228 的电位。当这个电位经过某个阈值的时候,传感电路 226 会对脉冲进行检测。作为响应,传感电路 226 改变输出给另一个逻辑电路 142 的逻辑信号,并且在经过一个延迟之后,传感电路 226 将会使复位晶体管 224 的主电流通道导通。优选地,该延迟至少与延迟电路 240 的延迟相等。因此,介于输出晶体管 222 与复位晶体管 224 的主电流通道之间的节点 228 会在该脉冲之后为下一个脉冲做好准备时放电。

[0033] 限制晶体管 200 的压降旨在将通信导线 12 上的电压幅摆减少到基本上消除来自电流反射镜 22 的输入晶体管 220 的电流所需要的最小值。由此可以减少功耗,以便基本上保持最高的速度。

[0034] 作为电流模式接收电路的范例,在这里将抵消通信导线 12 上电位变化的功能以及测量为此所需要的电流的功能分离开来。电流被用于在电流反射镜 22 的输出端产生一个用于检测脉冲的电压,而处于电流反射镜 22 的输入端的电压摆幅则保持在一个最小值,由于该检测没有对连接到通信导线的输入端的电压摆幅施加任何要求,因此这种处理是可能的。

[0035] 应该理解的是,图 2 电路只是在图 1 的电路中使用的一个有利实施例。在这里也可以使用不同类型的电流供应和测量电路,例如使用了共栅结构晶体管的电路。然而,与使用电流反射镜 22 相比,这样做通常会导致更高的电流消耗。此外在很多电路中都需要一个时钟信号来复位电流供应和测量电路,图 2 的电路不是这种情况。另外,在这里还可以使用不同类型的驱动器电路或转换脉冲生成器。例如,在这里可以使用多级驱动器电路来为通信导线提供强大的驱动。图 2 所示的电路仅仅对用于该目的的简单有效的电路进行了描述。另外,在这里可以省略限制晶体管 200,但这将会导致功耗增加一些并且减慢通信速度。

[0036] 图 3 显示的是另一个接收电路。除了图 2 所示组件之外,该电路还包括一对交叉耦合反相器 30、32,延迟电路 34、刷新晶体管 36 以及逻辑信号再生器电路 38。此外,在这里还显示了一个泄漏晶体管 (leakage transistor) 39。交叉耦合反相器中的第一反相器具有一个与节点 228 以及交叉耦合反相器的第二反相器 32 的输出端相耦合的输入端,而第二反相器进而又具有一个与节点 228 相耦合的输出端。第一反相器 30 的输出端经由延迟电路 34 耦合到复位晶体管 224 的控制电极。刷新晶体管 36 (PMOS 类型) 具有一个主电流通道,该通道与通信导线 12 与第二电源线路 16 之间的输入晶体管 220 的主电流通道并联耦合。第一反相器 30 的输出端耦合到刷新晶体管 36 的控制电极。第一和第二反相器 30、34 的输出端则与信号再生器电路 38 相耦合。泄漏晶体管 39 (NMOS 类型) 具有一个耦合在输入晶体管 222 的输入端与第一电源线路 18 之间的主电流通道。其控制电极则与其漏极相耦合。

[0037] 在操作中,交叉耦合反相器对在节点 228 出现的脉冲进行锁存。为此目的,在这里将对第二反相器 32 的驱动强度进行选择,以使所述驱动强度变得非常微弱,从而能在出现脉冲期间由通信线路 12 中反射的电流来对其支配。当交叉耦合反相器 30,32 对脉冲进行锁存的时候,刷新晶体管 36 的主电流通道将会变得可以导通,由此帮助输入晶体管 220 提供电流,从而抵消来自驱动器 104 的电流。因此,在这里可以使用一个相对较小的输入晶体

管 220, 这样可以减少没有脉冲时的功耗。

[0038] 同样, 在交叉耦合反相器 30、32 对脉冲进行锁存之后, 经过一个延迟, 复位晶体管 224 的主电流通道将会导通, 以便对节点 228 进行放电, 这样则会使交叉耦合反相器 30、32 所构成的锁存器复位, 以便准备检测下一个脉冲。并且在每次检测到脉冲的时候, 信号再生器电路 38 都会改变其输出端的逻辑电平。

[0039] 如果没有脉冲, 则小型泄漏晶体管 39 会向通信导线 12 提供一个补偿电流, 该电流补偿的是来自输入晶体管 220 和 / 或刷新晶体管 36 的漏泄电流。因此, 这个漏泄电流不会影响到通信导线 12 的电位。优选地, 补偿电流是与通过复位晶体管 224 的漏泄电流匹配的, 从而使得节点 228 在没有脉冲时不充电。

[0040] 应该了解的是, 图 3 中显示的针对电路的补充都是可以独立进行的, 例如刷新晶体管、泄漏晶体管以及锁存器, 也就是说, 每一种补充都是可以在没有进行其他补充的情况下添加的。但是这些有利的补充并不是必需的: 在确保充分传送脉冲时不需要泄漏晶体管, 在输入晶体管 220 足够强壮或者脉冲之间的时间间隔足够长的时候不需要刷新晶体管等等。

[0041] 图 4 显示了信号再生器电路 38 的一个实施例。该电路包括一个具有交叉耦合反相器 400、402 的锁存器 40, 一个第一和第二开关 42、44 以及一个延迟缓存器 46。锁存器 40 中的节点 404、406 是经由第一开关 42、延迟缓存器 46 以及第二开关 44 的串行连接耦合的。第二和第一开关 42、44 分别受检测电路的第一和第二反相器 30、32 的输出端的控制。在操作中, 锁存器 40 的内容是在从节点 228 检测到脉冲时, 通过将锁存器 40 的输出信号临时提供给其输入端而被触发 (toggle) 的。在出现脉冲期间, 第二开关 44 变得导通, 并且第一开关 42 变得不导通 (与图中所示情况相反)。因此, 锁存器 40 的旧的内容会向回提供给其输入端。如果没有脉冲, 则第一开关 42 导通, 而第二开关 44 则不导通, 由此不提供输入信号 (所显示的情况)。

[0042] 应该理解的是, 图 4 的再生器电路只是作为实例显示的; 并且在这里可以使用任何适当的触发电路。优选地, 该电路包括一条至少在相位初始化时 (优选为反复进行) 将再生器电路 38 的输出值同步于逻辑电路 100 的输出逻辑信号的复位线路 (未显示), 例如在逻辑电路 100 的输出信号为逻辑 0 的时候将输出值复位成零。

[0043] 在一个实施例中, 通信导线 12 可用于双向通信。在这种情况下, 通信导线两端的电路都具有驱动器电路以及电流供应和测量电路的组合。

[0044] 图 5 显示的是驱动器电路与电流供应和测量电路的组合。该电路包含了电流反射镜 22 以及连接到节点 228 的传感电路 57。此外, 该电路还包括转换脉冲生成器电路 56、控制线 54、上拉晶体管 50 (PMOS 类型) 以及下拉晶体管 52 (NMOS 类型)。上拉晶体管 50 的主电流通道耦合在通信导线 12 与电流反射镜 22 的输入端之间。下拉晶体管 52 的主电流通道耦合在通信导线 12 与第一电源线路 18 之间。转换脉冲生成器电路 56 具有一个耦合到控制线 54 的输出端, 其中所述控制线与上拉晶体管 50 和下拉晶体管 52 的控制电极相耦合。

[0045] 在操作中, 当转换脉冲生成器电路 56 不产生脉冲时, 电路是作为图 2 上下文中描述的电流供应和测量电路来工作的。在这种情况下, 下拉晶体管 50 只传导来自电流反射镜 22 的输入端的电流而下拉晶体管 52 则不导通。当提供给转换脉冲生成器电路 56 的逻辑信号转换时, 转换脉冲生成器电路 56 产生那些使上拉晶体管 50 不导通并使下拉晶体管 52 导

通的脉冲。在这种情况下,脉冲电流在通信导线 12 与第一电源导线 12 之间流动,并且该电流将会停用电流检测和测量功能。并且在脉冲之间,电流反射镜 22 的输入晶体管是作为限制晶体管运作的。

[0046] 应该理解的是,在这里可以对图 5 的电路进行多种修改。例如,在这里可以将图 3 所示的一个或多个附加电路添加到图 5 的电路中。并且在这里还可以使用更为复杂的驱动器电路等等。

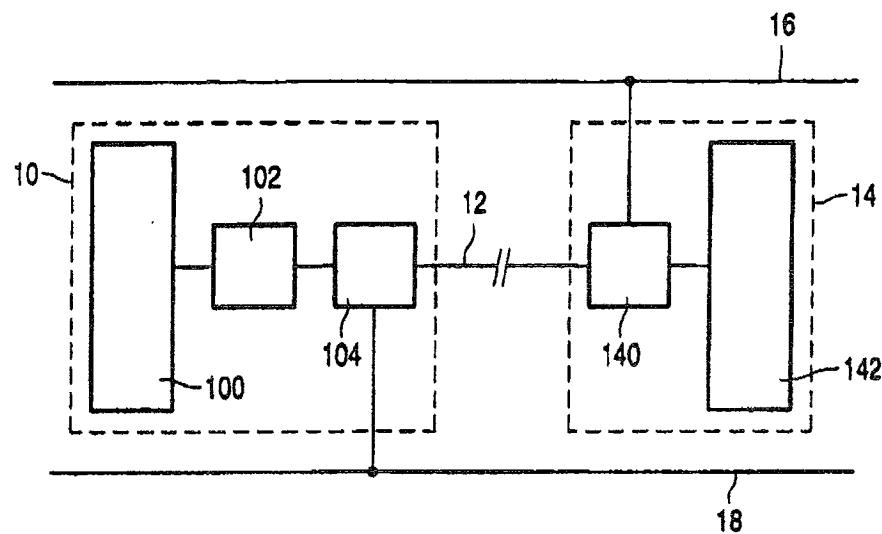


图 1

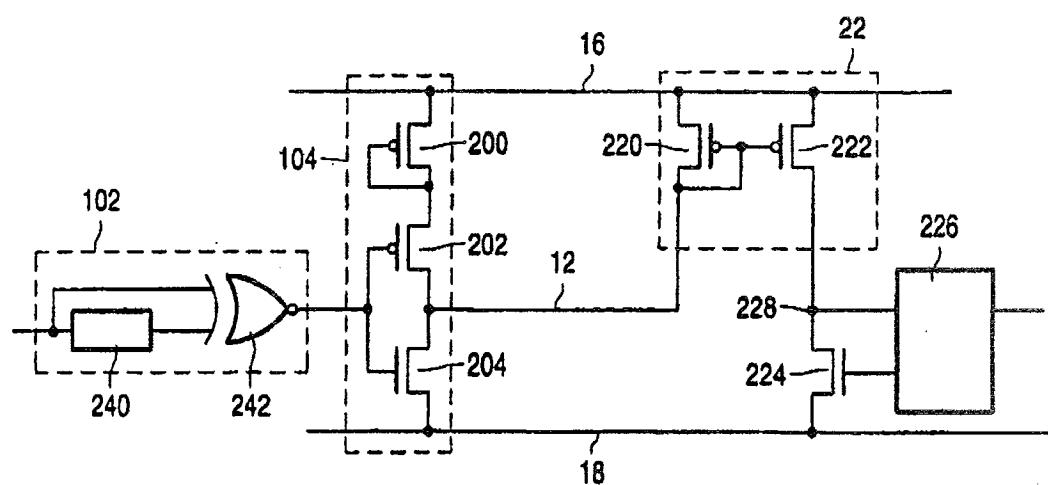


图 2

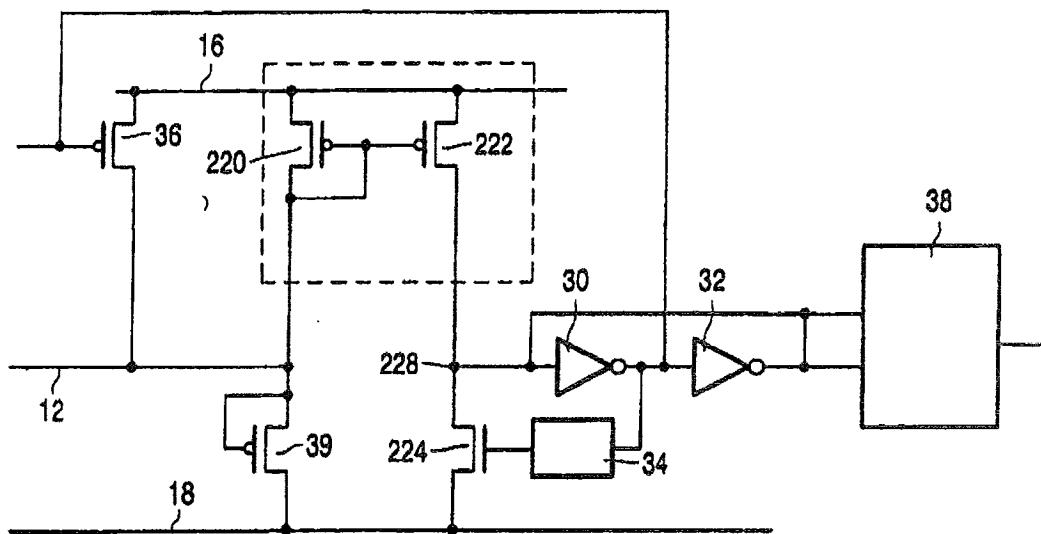


图 3

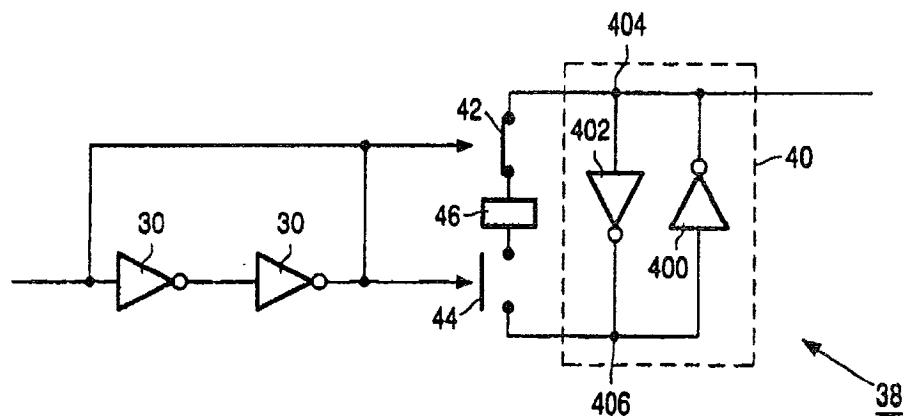


图 4

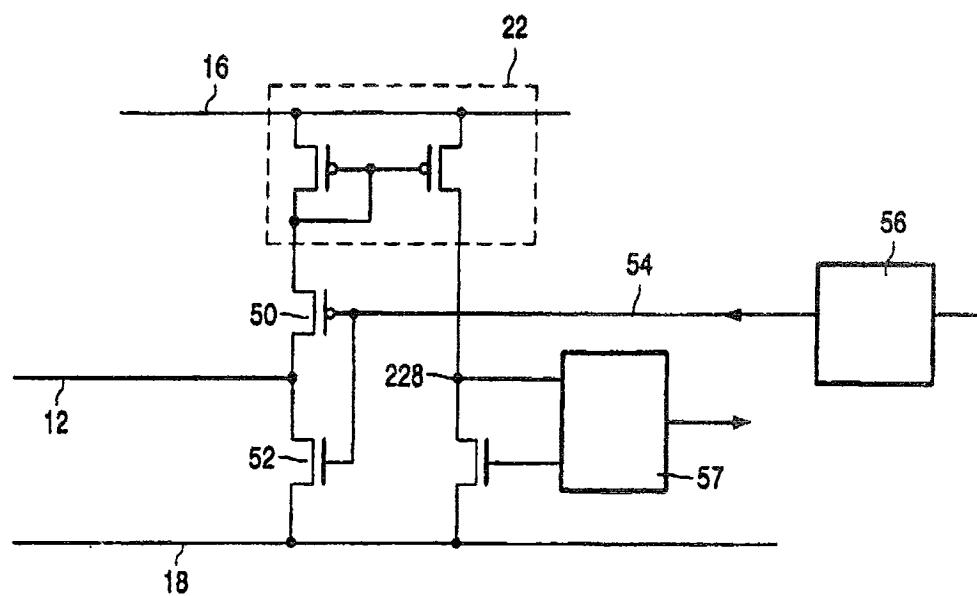


图 5