(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101378252 B
(45)授权公告日 2012.08.22

(21)申请号 200810215106.8
(22)申请日 2008.09.01
(30)优先权数据
224925/07 2007.08.30 JP
(73)专利权人 索尼株式会社
地址 日本东京都
(72)发明人 韦拉庞·贾鲁普恩福尔 木田芳利
(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 黄小临
(51)Int.Cl.
H03K 5/13(2006.01)
H03K 5/14(2006.01)
H03K 19/20(2006.01)
H03K 19/0185(2006.01)
G09G 3/20(2006.01)
审查员 李燕东

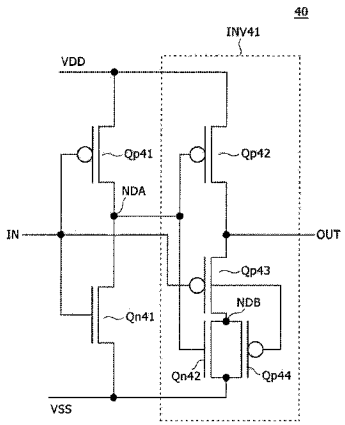
权利要求书 3 页 说明书 16 页 附图 27 页

(54)发明名称

延迟电路、半导体控制电路、显示设备和电子装置

(57)摘要

在此公开了一种延迟电路，用于以两级进行充电和放电之一，并用于延迟信号，所述延迟电路包括：输出部分，被配置用于输出延迟的信号；两个电源；以及延迟倒相器；其中所述延迟倒相器具有用于第一次充电和第一次放电之一的、沟道类型一致的第一晶体管和第二晶体管，所述第一晶体管和所述第二晶体管彼此串联连接在所述输出部分和一个电源之间，并且所述延迟倒相器具有用于第二次充电和第二次放电之一的、与所述第一晶体管和所述第二晶体管沟道类型不同的第三晶体管，所述第三晶体管与所述第一晶体管和所述第二晶体管之一并行连接。



CN 101378252 B

1. 一种延迟电路，用于以两级进行充电和放电之一，并用于延迟信号，所述延迟电路包括：

输出部分，被配置用于输出延迟的信号；

两个电源；以及

延迟倒相器；其中

所述延迟倒相器具有用于第一次充电和第一次放电之一的、沟道类型一致的第一晶体管和第二晶体管，所述第一晶体管和所述第二晶体管彼此串联连接在所述输出部分和一个电源之间，并且所述延迟倒相器具有用于第二次充电和第二次放电之一的、与所述第一晶体管和所述第二晶体管沟道类型不同的第三晶体管，所述第三晶体管与所述第一晶体管和所述第二晶体管之一并行连接，

与所述延迟倒相器的输入脉冲反相的脉冲被供应至所述第一晶体管和所述第二晶体管的栅极，并且通过所述反相的脉冲进行第一次充电和第一次放电之一，以及

所述延迟反相器的输入脉冲被供应至所述第三晶体管的栅极，并且通过所述延迟倒相器的输入脉冲进行第二次充电和第二次放电之一。

2. 一种延迟电路，用于以两级进行充电和放电之一，并用于延迟信号，所述延迟电路包括：

输出部分，被配置用于输出延迟的信号；

两个电源；以及

延迟倒相器；其中

所述延迟倒相器具有用于第一次充电和第一次放电之一的、沟道类型一致的第一晶体管和第二晶体管，所述第一晶体管和所述第二晶体管彼此串联连接在所述输出部分和一个电源之间，并且所述延迟倒相器具有用于第二次充电和第二次放电之一的、与所述第一晶体管和所述第二晶体管沟道类型不同的第三晶体管，所述第三晶体管与所述第一晶体管和所述第二晶体管之一并行连接，

与所述延迟倒相器的输入脉冲反相的脉冲被供应至所述第一晶体管和所述第二晶体管的栅极，并且通过所述反相的脉冲进行第一次充电和第一次放电之一，以及

所述延迟反相器的输入脉冲被供应至所述第三晶体管的栅极，并且通过所述延迟倒相器的输入脉冲进行第二次充电和第二次放电之一，以及

所述延迟倒相器具有用于第一次充电和第一次放电之另一个的、与所述第三晶体管沟道类型相同的第四晶体管和第五晶体管，所述第四晶体管和所述第五晶体管彼此串联连接在所述输出部分和另一电源之间，并且所述延迟倒相器具有用于第二次充电和第二次放电之另一个的、与所述第一晶体管和所述第二晶体管沟道类型相同的第六晶体管，所述第六晶体管与所述第四晶体管和所述第五晶体管之一并行连接，

与所述延迟倒相器的输入脉冲反相的脉冲被供应至所述第四晶体管和所述第五晶体管的栅极，并且通过所述反相的脉冲进行第一次充电和第一次放电之另一个，以及

所述延迟反相器的输入脉冲被供应至所述第六晶体管的栅极，并且通过所述延迟倒相器的输入脉冲进行第二次充电和第二次放电之另一个，。

3. 一种半导体控制电路，用于将控制信号供应至要控制的电路，所述半导体控制电路包括：

延迟电路，用于接收检测脉冲，并根据晶体管特性输出具有不同延迟量的多个延迟的信号；

采样电路，用于用所述检测脉冲采样所述延迟电路的延迟的信号，作为参考信号；以及

磁滞特性生成电路，用于根据由所述采样电路采样的多个延迟的信号之间的差生成具有磁滞特性的控制信号，

所述延迟电路是用于以两级进行充电和放电之一并延迟信号的延迟电路，

所述延迟电路包括

输出部分，被配置用于输出延迟的信号，

两个电源，以及

延迟倒相器，

所述延迟倒相器具有用于第一次充电和第一次放电之一的、沟道类型一致的第一晶体管和第二晶体管，所述第一晶体管和所述第二晶体管彼此串联连接在所述输出部分和一个电源之间，并且所述延迟倒相器具有用于第二次充电和第二次放电之一的、与所述第一晶体管和所述第二晶体管沟道类型不同的第三晶体管，所述第三晶体管与所述第一晶体管和所述第二晶体管之一并行连接，

其中

与所述延迟倒相器的输入脉冲反相的脉冲被供应至所述第一晶体管和所述第二晶体管的栅极，并且通过所述反相的脉冲进行第一次充电和第一次放电之一，以及

所述延迟反相器的输入脉冲被供应至所述第三晶体管的栅极，并且通过所述延迟倒相器的输入脉冲进行第二次充电和第二次放电之一。

4. 根据权利要求 3 的半导体控制电路，其中

所述延迟电路包括不同沟道类型的多个延迟序列。

5. 一种显示设备，包括：

有效显示部分；

至少一个外围电路，用于进行与所述有效显示部分的操作有关的处理；以及

半导体控制电路，用于输出作为要控制的电路的所述外围电路的控制信号；其中

所述有效显示部分、所述外围电路和所述半导体控制电路彼此集成地形成在绝缘基板上，

所述半导体控制电路包括

延迟电路，用于接收检测脉冲，并根据晶体管特性输出具有不同延迟量的多个延迟的信号；

采样电路，用于用所述检测脉冲采样所述延迟电路的延迟的信号，作为参考信号；以及

磁滞特性生成电路，用于根据由所述采样电路采样的多个延迟的信号之间的差生成具有磁滞特性的控制信号，

所述延迟电路是用于以两级进行充电和放电之一并延迟信号的延迟电路，

所述延迟电路包括

输出部分，被配置用于输出延迟的信号，

两个电源，以及

延迟倒相器，

所述延迟倒相器具有用于第一次充电和第一次放电之一的、沟道类型一致的第一晶体管和第二晶体管，所述第一晶体管和所述第二晶体管彼此串联连接在所述输出部分和一个电源之间，并且所述延迟倒相器具有用于第二次充电和第二次放电之一的、与所述第一晶体管和所述第二晶体管沟道类型不同的第三晶体管，所述第三晶体管与所述第一晶体管和所述第二晶体管之一并行连接，

其中

与所述延迟倒相器的输入脉冲反相的脉冲被供应至所述第一晶体管和所述第二晶体管的栅极，并且通过所述反相的脉冲进行第一次充电和第一次放电之一，以及

所述延迟反相器的输入脉冲被供应至所述第三晶体管的栅极，并且通过所述延迟倒相器的输入脉冲进行第二次充电和第二次放电之一。

6. 一种具有显示设备的电子设备，其中

所述显示设备包括

有效显示部分；

至少一个外围电路，用于进行与所述有效显示部分的操作有关的处理；以及

半导体控制电路，用于输出作为要控制的电路的所述外围电路的控制信号；

所述有效显示部分、所述外围电路和所述半导体控制电路彼此集成地形成在绝缘基板上，

所述半导体控制电路包括

延迟电路，用于接收检测脉冲，并根据晶体管特性输出具有不同延迟量的多个延迟的信号；

采样电路，用于用所述检测脉冲采样所述延迟电路的延迟的信号，作为参考信号；以及

磁滞特性生成电路，用于根据由所述采样电路采样的多个延迟的信号之间的差生成具有磁滞特性的控制信号，

所述延迟电路是用于以两级进行充电和放电之一并延迟信号的延迟电路，

所述延迟电路包括

输出部分，被配置用于输出延迟的信号，

两个电源，以及

延迟倒相器，

所述延迟倒相器具有用于第一次充电和第一次放电之一的、沟道类型一致的第一晶体管和第二晶体管，所述第一晶体管和所述第二晶体管彼此串联连接在所述输出部分和一个电源之间，并且所述延迟倒相器具有用于第二次充电和第二次放电之一的、与所述第一晶体管和所述第二晶体管沟道类型不同的第三晶体管，所述第三晶体管与所述第一晶体管和所述第二晶体管之一并行连接，

其中

与所述延迟倒相器的输入脉冲反相的脉冲被供应至所述第一晶体管和所述第二晶体管的栅极，并且通过所述反相的脉冲进行第一次充电和第一次放电之一，以及

所述延迟反相器的输入脉冲被供应至所述第三晶体管的栅极，并且通过所述延迟倒相器的输入脉冲进行第二次充电和第二次放电之一。

延迟电路、半导体控制电路、显示设备和电子装置

技术领域

[0001] 本发明涉及延迟电路、半导体控制电路、显示设备和电子设备。

背景技术

[0002] 一般而言，当在与驱动电路集成的显示设备的绝缘基板上形成倒相电路(inverter circuit)时，在对于TFT(薄膜晶体管)的多晶硅过程或非晶硅过程中，诸如阈值电压Vth、迁移率μ等的晶体管特性的变化比在单一结晶过程中的大。

[0003] 图1是示出通过将两级的典型的CMOS(互补金属氧化物半导体)倒相电路彼此连接而形成的缓冲器电路(下文称作延迟缓冲器电路)的图。

[0004] 该电路具有配置简单(面积小)、泄漏电流小(功率消耗低)等的优点。

[0005] 然而，已知的是，输出OUT关于输入IN的延迟量取决于N沟道晶体管(下文称作NchTr)或P沟道晶体管(下文称作Pch Tr)的特性变化。

[0006] 即，延迟量是表示晶体管的特性的量之一。当晶体管特性差时，延迟量大。当晶体管特性好时，延迟量小。

[0007] 数字电路可以比较延迟量。因此，当可以精确检测延迟量时，将容易地检测晶体管的特性。

[0008] 然而，由晶体管形成的典型反相器的延迟量很大程度上取决于NchTr和PchTr两者，因此不现实。

[0009] 例如，图2是示出通过多晶硅过程制造的延迟缓冲器电路的延迟量与NchTr和PchTr的特性之间的关系的图。

[0010] 在一些非专利和专利文件中，采取仅由单一沟道晶体管形成的倒相电路。

[0011] 例如，在Hisashi Hara,“Fundamentals of MOS Integrated Circuit”，KindaiKagaku Sha Co.,Ltd.,第94-96中(下文称作非专利文件1)介绍了自举型倒相电路。图3是输出非专利文件1中描述的电路的图。

[0012] 图3的电路包括三个单一沟道晶体管(Pch Tr)Q11、Q12和Q13，以及电容器C11。

[0013] 图4是示出日本专利公开No.2005-143068(下文称作专利文件1)中介绍的使用单一沟道晶体管(Pch Tr)的自举型倒相电路的图。

[0014] 晶体管Qp21的源极连接到VDD电源，并且其栅极经由电路输入端21供应有输入信号IN。输出信号OUT经由电路输出端22源自晶体管Qp21的漏极。

[0015] 晶体管Qp22的源极连接到晶体管Qp21的漏极，并且其漏极连接到VSS电源。电容Cp21连接在晶体管Qp22的栅极和源极之间。电容Cp21与晶体管Qp22一起形成自举电路23。

[0016] 晶体管Qp23的源极连接到晶体管Qp22的栅极，并且其漏极连接到VSS电源。晶体管Qp23的栅极被供应有参考信号REF1。晶体管Qp23的源极与晶体管Qp22的栅极之间的连接点将被称作节点ND。晶体管Qp24的源极连接到VDD电源，并且其漏极连接到节点ND。晶体管Qp24的栅极被供应有参考信号REF2。

[0017] 图 5 是示出图 4 的电路中的输入信号 IN、参考信号 REF1 和 REF2、节点 N 的电势和输出信号 OUT 的各个电平和它们之间的时序关系的图。

[0018] 将参考信号 REF1 处于 VSS 电平的时段称作预充电时段。将参考信号 REF2 处于 VSS 电平的时段称作复位时段。

[0019] 通过提供这些复位和预充电时段，能够抑制泄露电流，使得输出信号 OUT 的电势幅度等于输入信号 IN 的电势幅度，并增加级数。

发明内容

[0020] 然而，非专利文件 1 中所述的电路消耗很高的功率，并且因此不适合于作为下一代移动设备的主题之一的低功率消耗。

[0021] 专利文件 1 中介绍的自举型倒相电路改进了泄漏消耗的功率，但是具有很大的电路规模（每个延迟电路有多个晶体管和 2 个电容）。此外，需要多个输入信号。自举型倒相电路不适合于小框架。

[0022] 即，有大量电路构成元件，需要电路输入信号 REF1 和 REF2 以及电路输入信号 IN（即，需要用于配线的布局区域和用于信号生成电路等的区域），并且还有预充电时段，在该时段期间泄漏电流流动。因此，自举型倒相电路不适合于更窄框架和更低功率消耗。

[0023] 如上所述，一般而言，在用于与驱动电路集成的显示设备的绝缘基板上 形成的 TFT（薄膜晶体管）的多晶硅工艺或非晶硅工艺中，诸如阈值电压 Vth、迁移率 μ 等的晶体管特性的变化比单晶工艺中的大。

[0024] 因此，在进行设计时，增加晶体管尺寸或升高驱动电压的电平，以保证用于很大变化的足够操作余量。

[0025] 结果，例如，由于晶体管尺寸大引起的功率消耗增加和很大框架成为问题。已经提出了很多技术，包括用于降低功率消耗的驱动系统和窄框架布局方法。

[0026] 图 6 是示出了用于降低功率消耗的驱动系统的配置例子的图（例如见日本专利公开 No. 2007-60722）。

[0027] 由延迟电路 31 和相位 - 频率比较电路 32 形成的速度监视电路 33 接收用于改变速度的控制信号，并根据速度监视电路 33 的操作速度输出速度检测信号。

[0028] 基板偏置控制电路 34 基于由速度监视电路 33 输出的速度检测信号检测速度监视电路的操作速度，比较速度监视电路的操作速度与控制信号，并生成 PMOS（P 沟道金属氧化物半导体）基板偏置和 NMOS（N 沟道金属氧化物半导体）基板偏置，使得操作速度变为期望的值。基板偏置控制电路 34 然后将 PMOS 基板偏置和 NMOS 基板偏置供应至速度监视电路 33 和其中形成了区域 P Tr 和 N Tr 的每个的主电路 35 的半导体区域。因此，获得了这样的半导体控制电路：通过该半导体控制电路，适应了晶体管变化，并实现了产量的提高和更高的速度。

[0029] 然而，该技术需要使用基板偏置电压以便维持期望的操作速度。

[0030] 该技术不能普遍应用于在没有基板偏置的绝缘基板上形成的晶体管。

[0031] 另外，由于没提供磁滞特性，因此交替地选择基板偏置值，并且在中心处可能不能保持期望的速度。因此存在不确定的状态。另外，没有低功率消耗的优点。

[0032] 期望提供可以实现更窄框架和低功率消耗的延迟电路、半导体控制电路、显示设

备和电子设备。

[0033] 根据本发明的第一实施例，提供了一种延迟电路，用于以两级进行充电和放电之一，并用于延迟信号，所述延迟电路包括：输出部分，被配置用于输出延迟的信号；两个电源；以及延迟倒相器；其中所述延迟倒相器具有用于第一次充电和第一次放电之一的、沟道类型一致的第一晶体管和第二晶体 管，所述第一晶体管和所述第二晶体管彼此串联连接在所述输出部分和一个电源之间，并且所述延迟倒相器具有用于第二次充电和第二次放电之一的、与所述第一晶体管和所述第二晶体管沟道类型不同的第三晶体管，所述第三晶体管与所述第一晶体管和所述第二晶体管之一并行连接。

[0034] 优选地，在所述延迟倒相器的输入之前的反相脉冲被供应至所述第一晶体管和所述第二晶体管的栅极，并且通过在所述延迟倒相器的输入之前的反相脉冲进行第一次充电和第一次放电之一，以及所述延迟反相器的输入脉冲被供应至所述第三晶体管的栅极，并且通过所述延迟倒相器的输入脉冲进行第二次充电和第二次放电之一。

[0035] 根据本发明的第二实施例，提供了一种延迟电路，用于以两级进行充电和放电之一，并用于延迟信号，所述延迟电路包括：输出部分，被配置用于输出延迟的信号；两个电源；以及延迟倒相器；其中所述延迟倒相器具有用于第一次充电和第一次放电之一的、沟道类型一致的第一晶体管和第二晶体管，所述第一晶体管和所述第二晶体管彼此串联连接在所述输出部分和一个电源之间，并且所述延迟倒相器具有用于第二次充电和第二次放电之一的、与所述第一晶体管和所述第二晶体管沟道类型不同的第三晶体管，所述第三晶体管与所述第一晶体管和所述第二晶体管之一并行连接，以及所述延迟倒相器具有用于第一次充电和第一次放电之一的、与所述第三晶体管沟道类型相同的第四晶体管和第五晶体管，所述第四晶体管和所述第五晶体管彼此串联连接在所述输出部分和另一电源之间，并且所述延迟倒相器具有用于第二次充电和第二次放电之一的、与所述第一晶体管和所述第二晶体管沟道类型相同的第六晶体管，所述第六晶体管与所述第四晶体管和所述第五晶体管之一并行连接。

[0036] 根据本发明的第三实施例，提供了一种半导体控制电路，用于将控制信号供应至要控制的电路，所述半导体控制电路包括：延迟电路，用于接收检测脉冲，并根据晶体管特性输出具有不同延迟量的多个延迟的信号；采样电路，用于用所述检测脉冲采样所述延迟电路的延迟的信号，作为参考信号；以及磁滞特性生成电路，用于根据由所述采样电路采样的多个延迟的信号之间的差生成具有磁滞特性的控制信号。

[0037] 优选地，所述延迟电路包括不同沟道类型的多个延迟序列。

[0038] 根据本发明的第四实施例，提供了一种显示设备，包括：有效显示部分； 至少一个外围电路，用于进行与所述有效显示部分的操作有关的处理；以及半导体控制电路，用于输出作为要控制的电路的所述外围电路的控制信号；其中所述有效显示部分、所述外围电路和所述半导体控制电路彼此集成地形成在绝缘基板上，所述半导体控制电路包括延迟电路，用于接收检测脉冲，并根据晶体管特性输出具有不同延迟量的多个延迟的信号；采样电路，用于用所述检测脉冲采样所述延迟电路的延迟的信号，作为参考信号；以及磁滞特性生成电路，用于根据由所述采样电路采样的多个延迟的信号之间的差生成具有磁滞特性的控制信号。

[0039] 根据本发明的第五实施例，提供了一种具有显示设备的电子设备，其中所述显示

设备包括有效显示部分；至少一个外围电路，用于进行与所述有效显示部分的操作有关的处理；以及半导体控制电路，用于输出作为要控制的电路的所述外围电路的控制信号；所述有效显示部分、所述外围电路和所述半导体控制电路彼此集成地形成在绝缘基板上，所述半导体控制电路包括延迟电路，用于接收检测脉冲，并根据晶体管特性输出具有不同延迟量的多个延迟的信号；采样电路，用于用所述检测脉冲采样所述延迟电路的延迟的信号，作为参考信号；以及磁滞特性生成电路，用于根据由所述采样电路采样的多个延迟的信号之间的差生成具有磁滞特性的控制信号。

[0040] 根据本发明的实施例，半导体控制电路被形成在与驱动电路集成的显示设备的绝缘基板上。能够实现低功率消耗、简单配置、小布局区域和仅取决于晶体管类型 (Pch Tr 或 Nch Tr) 而进行的延迟处理。

[0041] 根据本发明的实施例，能够实现更窄框架和低功率消耗。

附图说明

[0042] 图 1 是示出了通过将典型的 CMOS 倒相电路以两级彼此连接而形成的缓冲器电路（延迟缓冲器电路）的图；

[0043] 图 2 是示出了通过多晶硅工艺制造的延迟缓冲器电路的延迟量与 Pch Tr 和 Nch Tr 的特性之间的关系的图；

[0044] 图 3 是示出了非专利文件 1 中描述的电路的图；

[0045] 图 4 是示出了专利文件 1 中介绍的使用单沟道晶体管 (Pch Tr) 的自举型倒相电路的图；

[0046] 图 5 是示出了图 4 的电路中的输入信号 IN、参考信号 REF1 和 REF2、节点 N 的电势和输出信号 OUT 之间的各个电平和时序的图；

[0047] 图 6 是示出了降低功率消耗的驱动系统的配置例子的图；

[0048] 图 7 是示出了根据本发明的第一实施例的、使用仅取决于 Pch Tr 的特性而延迟的延迟倒相电路的延迟缓冲器电路的图；

[0049] 图 8 是帮助说明图 7 所示的延迟缓冲器电路的操作的时序图；

[0050] 图 9 是示出了根据本发明的第二实施例的、使用仅取决于 Nch Tr 的特性而延迟的延迟倒相电路的延迟缓冲器的图；

[0051] 图 10 是帮助说明图 9 所示的延迟缓冲器电路的操作的时序图；

[0052] 图 11 是示出了独立地取决于 Pch Tr 的特性和 Nch Tr 的特性的每个而延迟的延迟缓冲器电路的图，该延迟缓冲器电路是根据本发明的实施例的延迟缓冲器电路的修改例子；

[0053] 图 12 是帮助说明图 11 所示的延迟缓冲器电路的操作的时序图；

[0054] 图 13 是示出了与驱动电路集成的显示设备的一般配置的图；

[0055] 图 14 是示出了根据本发明的实施例的半导体控制电路的配置的图；

[0056] 图 15 是示出了图 14 的半导体控制电路的时序图；

[0057] 图 16 是示出了在彼此分离地检测 P 沟道晶体管的特性和 N 沟道晶体管的特性以进行控制的情况下的配置的第二例子的图；

[0058] 图 17 是示出了取决于 N 沟道晶体管特性而产生延迟量的延迟缓冲器链（假设延

迟缓冲器的数量是 m）的图；

[0059] 图 18 是示出了取决于 P 沟道晶体管特性而产生延迟量的延迟缓冲器链（假设延迟缓冲器的数量是 n）的图；

[0060] 图 19 是示出了根据本实施例的磁滞特性生成电路的配置例子的图；

[0061] 图 20 是示出了图 19 的磁滞特性生成电路的真值表的图；

[0062] 图 21 是示出了晶体管检测系统的输出特性的例子的图；

[0063] 图 22 是示出了在将晶体管检测系统应用于 DC/DC 转换器的电压比较电路的情况下的系统的第一配置例子的图；

[0064] 图 23 是示出了在将晶体管检测系统应用于 DC/DC 转换器的电压比较电路的情况下的系统的第二配置例子的图；

[0065] 图 24 是示出了示出了在将晶体管检测系统应用于模拟缓冲器电路的情况下的系统的配置例子的图；

[0066] 图 25 是示出了在将晶体管检测系统应用于数据处理电路的情况下的系 统的配置例子的图；

[0067] 图 26 是示出了在将晶体管检测系统应用于参考电压生成电路的情况下的系统的配置例子的图；

[0068] 图 27 是示出了图 26 中的黑侧 γ 调整电路和白侧 γ 调整电路的详细例子的图；以及

[0069] 图 28 是作为根据本发明的实施例的电子设备的便携式电话的配置概况的外部图。

具体实施方式

[0070] 下文中将参考附图描述本发明的优选实施例。

[0071] 图 7 是示出根据本发明的实施例的、使用仅取决于 Pch Tr 的特性而延迟的延迟倒相电路作为延迟电路的延迟缓冲器电路的图。

[0072] 下文中使用延迟反相器的延迟缓冲器电路将用作例子以帮助描述本发明。

[0073] 根据本实施例的延迟缓冲器电路 40 具有第一到第四 P 沟道 MOS 晶体管 Qp41 到 Qp44，以及第一和第二 N 沟道 MOS 晶体管 Qn41 和 Qn42。

[0074] 此时，延迟倒相电路 INV41 具有 P 沟道 MOS 晶体管 Qp42 到 Qp44，以及 N 沟道 MOS 晶体管 Qn42。

[0075] 电路输入 IN 连接到晶体管 Qp41 和 Qn41 的栅极，并且还连接到下一级的晶体管 Qp43 和 Qp44 的栅极。由晶体管 Qp41 和 Qn41 形成的反相器的输出将被称作节点 NDA。节点 NDA 连接到晶体管 Qp42 和 Qn42 的栅极。

[0076] 晶体管 Qp41 和 Qp42 的源极连接到正侧电源 VDD（下文中描述为 VDD 电源）。

[0077] 晶体管 Qn41 和 Qn42 的源极以及晶体管 Qp44 的漏极连接到负侧电源 VSS（下文中描述为 VSS 电源）。晶体管 Qp43 的源极连接到晶体管 Qp42 的漏极，电路输出信号 OUT 源自此处。晶体管 Qp43 的漏极连接到晶体管 Qn42 的漏极和晶体管 Qp44 的源极。晶体管 Qp43 的漏极连接到晶体管 Qn42 的漏极和晶体管 Qp44 的源极处的连接点将被称作节点 NDB。

[0078] 考虑典型的 CMOS 反相器（图 1）作为基础，在本实施例中，作为开关元件的 P 沟道

晶体管 Qp43 和 Qp44 被布置在输出部分和电源部分（此情况下的 VSS）之间。

[0079] 图 8 是辅助说明图 7 所示的延迟缓冲器电路的操作的时序图。

[0080] 在时段 t41 中，当电路输入信号 IN 开始从 VDD 电平改变到 VSS 电平时，在达到 VDD-|Vpth| 的时间点时，晶体管 Qp41 导通。节点 NDA 的电势从 VSS 电平上升，并且同时，晶体管 Qp43 和 Qp44 类似地导通。节点 NDB 和 OUT 电势因此被短路。节点 NDB 的电势上升到输出信号 OUT 的电势，同时进行对 VSS 电源的放电。

[0081] 在下一时段 t42 中，当输入信号 IN 降低到 VSS 电平时，节点 NDB 和输出信号 OUT 被短路，因此节点 NDB 至少是 VSS+|Vpth|（晶体管 Qp43 的导通电阻被设置得足够低于由晶体管 Qn42 和 Qp44 形成的 CMOS 开关的导通电阻）。

[0082] 由于节点 NDA 处于 VDD 电平，因此晶体管 Qn42 导通，并且节点 NDB 的电势继续进一步降低到 VSS 电平。

[0083] 在输入信号 IN 和节点 NDB 之间操作一些寄生电容（例如，晶体管 Qp43 的栅极到漏极电容 Cgd 和晶体管 Qp44 的栅极到源极电容 Cgs）。经历了这些寄生电容的耦合，输入信号 IN 的电势降低到低于 VSS 电平的电势。

[0084] 另外，由于晶体管 Qp43 的源极到漏极电容 Csd，输出 OUT 也降低了节点 NDB 的电势的改变。类似地，由于前一级的输出部分中的晶体管的源极到漏极电容 Csd，输入信号 IN 降低。假设输入信号 IN 降低的量是 ΔV。可以得知，ΔV 仅取决于 P 沟道晶体管特性。时段 t42 将被称作步骤 2 放电时段。

[0085] 根据以上描述，通过在两级中提供步骤 1 和步骤 2 放电时段，可以使得输出信号 OUT 的下降时序关于输入信号 IN 的下降时序的延迟主要仅取决于 P 沟道晶体管的特性。在时段 t43，在输入信号 IN 正从 VSS 电平改变到 VDD 电平时，当达到 VSS+|Vnth| 的电平时，晶体管 Qn41 导通。由此节点 NDA 降低。当节点 NDA 的电势降低到电平 VDD-|Vpth| 时，晶体管 Qp42 导通，输出 OUT 由此上升。因此，输出信号 OUT 的上升时序关于输入信号 IN 的上升时序的延迟量取决于 Pch Tr 和 Nch Tr 两者的特性。然而，这不会出现问题，因为下降时序的延迟量仅取决于一个晶体管的特性，并且因此足够检测在绝缘基板上形成的晶体管的特性。

[0086] 图 9 是示出根据本发明的第二实施例的、仅取决于 Nch Tr 的特性而延迟的延迟缓冲器电路的图。

[0087] 根据本实施例的延迟缓冲器电路 50 具有第一到第四 N 沟道 MOS 晶体管 Qn51 到 Qn54，以及第一和第二 P 沟道 MOS 晶体管 Qp51 和 Qp52。

[0088] 此时，延迟倒相电路 INV51 具有 N- 沟道 MOS 晶体管 Qn52-Qn54 以及 P- 沟道 MOS 晶体管 Qp52。

[0089] 电路输入 IN 连接到晶体管 Qn51 和 Qp51 的栅极，并且还连接到下一级中的晶体管 Qn53 和 Qn54 的栅极。由晶体管 Qn51 和 Qp51 形成的反相器的输出将被称作节点 NDA。节点 NDA 连接到晶体管 Qn52 和 Qp52 的栅极。

[0090] 晶体管 Qn51 和 Qn52 的源极连接到负侧电源 VSS。晶体管 Qp51 和 Qp52 的源极以及晶体管 Qn54 的漏极连接到正侧电源 VDD。

[0091] 晶体管 Qn53 的源极连接到晶体管 Qn52 的漏极，输出信号 OUT 源自其处。晶体管 Qn53 的漏极连接到晶体管 Qp52 的漏极和晶体管 Qn54 的源极。晶体管 Qn53 的漏极连接到

晶体管 Qp52 的漏极和晶体管 Qn54 的源极处的连接点将被称作节点 NDB。

[0092] 图 10 是辅助说明图 9 所示的延迟缓冲器电路的操作的时序图。

[0093] 在时段 t51 中，当电路输入信号 IN 开始从 VSS 电平改变到 VDD 电平时，节点 NDA 的电势从 VDD 电平降低，并且同时，晶体管 Qn53 和 Qn54 类似地导通。节点 NDB 和 OUT 电势因此被短路。节点 NDB 的电势降低到输出信号 OUT 的电势，同时进行从 VDD 电源的充电。该时段 t51 将被称作步骤 11 充电时段。

[0094] 在下一时段 t52，当输入信号 INN 升高到 VDD 电平时，节点 NDB 和输出信号 OUT 被短路，因此节点 NDB 的电势最高是 VDD-|Vnth|（晶体管 Qn53 的导通电阻被设置得足够低于由晶体管 Qn54 和 Qp52 形成的 CMOS 开关的导通电阻）。

[0095] 由于节点 NDA 处于 VSS 电平，因此晶体管 Qp52 导通，并且节点 NDB 的电势继续进一步升高到 VDD 电平。

[0096] 在输入信号 IN 和节点 NDB 之间存在一些寄生电容（例如，晶体管 Qn53 的栅极到漏极电容 Cgd 和晶体管 Qn54 的栅极到源极电容 Cgs）。经历了这些寄生电容的耦合，输入信号 IN 的电势升高到高于 VDD 电平的电势。

[0097] 另外，由于晶体管 Qn53 的源极到漏极电容 Csd，输出 OUT 也升高了节点 NDB 的电势的改变。类似地，由于前一级的输出部分中的晶体管的源极到漏极电容 Csd，输入信号 IN 升高。假设输入信号升高的量是△ V。可以得知△ V 仅取决于 N 沟道晶体管特性。该时段 t52 将被称作步骤 21 充电时段。

[0098] 因此，通过提供步骤 11 和步骤 12 充电时段，输出信号 OUT 的上升时序关于输入信号 IN 的上升时序的延迟可以被认为是主要仅取决于 N 沟道晶体管的特性。

[0099] 在时段 t53 中，在输入信号 IN 从 VDD 电平改变到 VSS 电平的同时，当达到电平 VDD-|Vpth| 时，晶体管 Qp51 导通。节点 NDA 由此升高。

[0100] 当节点 NDA 的是升高到电平 VSS+|Vnth| 时，晶体管 Qn52 导通，并且输出 OUT 由此降低。因此，输出信号 OUT 的下降时序关于输入信号 IN 的下降时序的延迟量取决于 Pch Tr 和 Nch Tr 两者的特性。

[0101] 然而，这不会出现问题，因为上升时序的延迟量仅取决于一个晶体管的特性，并且因此足够于检测在绝缘基板上形成的晶体管的特性。

[0102] 以上已经描述了本发明的第一和第二实施例。可以制造仅取决于一个晶体管的特性、与 CMOS 晶体管电路的配置无关地延迟的延迟缓冲器电路。基于这些实施例将示出修改例子。

[0103] 根据使用，当期望检测 P 沟道晶体管和 N 沟道晶体管两者的特性时，例如，需要仅取决于 N 沟道晶体管的特性的延迟缓冲器和仅取决于 P 沟道晶体管的特性的延迟缓冲器。

[0104] 通过组合上述第一和第二实施例，能够检测一个延迟缓冲器的两种沟道类型的晶体管的特性（元件数 :8 个晶体管）。

[0105] 当使用已介绍的专利文件 1 的技术时，需要十六个晶体管和四个电容作为用于 P 沟道晶体管和 N 沟道晶体管两者的缓冲器的元件。如果将使用 M 个缓冲器，则从元件数来看可以省略 M×(8 个晶体管 +4 个电容）。

[0106] 图 11 是示出独立地取决于 Pch Tr 的特性和 Nch Tr 的特性而延迟的延迟缓冲器电路的图，该延迟缓冲器电路是更具本发明的实施例的延迟缓冲器电路的修改例子。

[0107] 根据本修改例子的延迟缓冲器电路 60 具有第一到第四 P 沟道 MOS 晶体管 Qp61 到 Qp64，以及第一到第四 N 沟道 MOS 晶体管 Qn61 到 Qn64。

[0108] 此时，延迟倒相电路 INV61 具有 N 沟道 MOS 晶体管 Qn62 到 Qn64，以及 P 沟道 MOS 晶体管 Qp62 到 Qp64。

[0109] 电路输入 IN 连接到晶体管 Qp61 和 Qn61 的栅极，并且还连接到下一级中的晶体管 Qp63、Qp64、Qn62 和 Qn63 的栅极。

[0110] 由晶体管 Qp61 和 Qn61 形成的倒相器的输出将被称作节点 NDA。节点 NDA 连接到晶体管 Qp62 和 Qn64 的栅极。

[0111] 晶体管 Qp61 和 Qp62 的源极以及晶体管 Qn62 的漏极连接到正侧电源 VDD。晶体管 Qn61 和 qn64 的源极以及晶体管 Qp64 的漏极连接到负侧电源 VSS。

[0112] 晶体管 Qp63 的源极连接到晶体管 Qn63 的源极。晶体管 Qp63 的漏极连接到晶体管 Qn64 的漏极和晶体管 Qp64 的源极。晶体管 Qp63 的漏极连接到晶体管 Qn64 的漏极和晶体管 Qp64 的源极的连接点将被称作节点 NDC。

[0113] 晶体管 Qn63 的源极连接到晶体管 Qp63 的源极。晶体管 Qn63 的漏极连接到晶体管 Qp62 的漏极和晶体管 Qn62 的源极。晶体管 Qn63 的漏极连接到晶体管 Qp62 的漏极和晶体管 Qn62 的源极的连接点将被称作节点 NDB。

[0114] 电路输出信号端 OUT 将晶体管 Qn63 的源极和晶体管 Qp63 的源极彼此配线连接。

[0115] 图 12 是辅助说明图 11 所示的延迟缓冲器电路的操作的时序图。

[0116] 在时段 t61，当电路输入信号 IN 开始从 VDD 电平改变到 VSS 电平时，在达到 VDD-|Vpth| 的时间点时，晶体管 Qp61 导通。节点 NDA 的电势从 VSS 电平升高，并且同时，晶体管 Qp63 和 Qp64 类似地导通。节点 NDC 和 OUT 电势因此被短路。节点 NDC 的电势升高到输出信号 OUT 的电势，同时进行对 VSS 电源的放电。该时段 t61 将被称作步骤 21 放电时段。

[0117] 在下一时段 t62 中，当输入信号 IN 降低到 VSS 电平时，节点 NDC 和输出信号 OUT 被短路，因此节点 NDC 最低是 VSS+|Vpth|（晶体管 Qp63 的导通电阻被设置得足够低于由晶体管 Qn64 和 Qp64 形成的 CMOS 开关的导通电阻）。由于节点 NDA 处于 VDD 电平，因此晶体管 Qn64 导通，并且节点 NDC 的电势继续进一步降低到 VSS 电平。

[0118] 在输入信号 IN 和节点 NDC 之间存在一些寄生电容（例如晶体管 Qp63 的栅极到漏极电容 Cgd 和晶体管 Qp64 的栅极到源极电容 Cgs）。经历了这些寄生电容的耦合，输入信号 IN 的电势降低到低于 VSS 电平的电势。

[0119] 另外，用于晶体管 Qp63 的源极到漏极电容 Csd，输出 OUT 也降低了节点 NDC 的电势改变。

[0120] 类似地，由于前一级的输出部分中的晶体管的源极到漏极电容 Csd，输入信号 IN 降低。假设输入信号 IN 降低的量是△ V1。可以得知，△ V1 仅取决于 P 沟道晶体管特性。该时段 t62 将被称作步骤 22 放电时段。

[0121] 因此，通过提供步骤 21 和步骤 22 放电时段，可以认为输出信号 OUT 的下降时序相对于输入信号 IN 的下降时序的延迟主要仅取决于 P 沟道晶体管的特性。

[0122] 时段 t63 是维持时段 t62 中改变的电势的状态的时段。输入信号 IN 是 VSS- △ V1（△ V1>0）。节点 NDA 处于 VDD 电平。节点 NDC 处于 VSS 电平。输出信号 OUT 是

VSS- △ V1(△ V1>0)。

[0123] 在时段 t64 中，当电路输入信号 IN 开始从 VSS 电平改变到 VDD 电平时，在达到 VSS+|Vnth| 的时间点时，晶体管 Qn61 导通。节点 NDA 的电势从 VDD 电平降低，并且同时，晶体管 Qn63 和 Qn64 类似地导通。节点 NDB 和 OUT 电势因此被短路。节点 NDB 的电势降低到输出信号 OUT 的电势，同时进行从 VDD 电源充电。该时段 t64 将被称作步骤 31 充电时段。

[0124] 在下一时段 t65 中，当输入信号 IN 升高到 VDD 电平时，节点 NDB 和输出信号 OUT 被短路，因此节点 NDB 的电势最高是 VDD-|Vnth|（晶体管 Qn63 的导通电阻被设置得足够低于由晶体管 Qn62 和 Qp62 形成的 CMOS 开关的导通电阻）。

[0125] 由于节点 NDA 处于 VSS 电平，因此晶体管 Qp62 导通，并且节点 NDB 的电势继续进一步升高到 VDD 电平。在输入信号 IN 和节点 NDB 之间存在一些寄生电容（例如晶体管 Qn63 的栅极到漏极电容 Cgd 和晶体管 Q 牛 2 的栅极到源极电容 Cgs)。经历了这些寄生电容的耦合，输入信号 IN 的电势升高到高于 VDD 电平的电势。

[0126] 另外，由于晶体管 Qn63 的源极到漏极电容 Csd，输出 OUT 也升高了节点 NDB 的电势改变。

[0127] 类似地，由于前一级的输出部分中的晶体管的源极到漏极电容 Csd，输入信号 IN 升高。假设输入信号 IN 的升高量是△ V2。可以得知，△ V2 仅取决于 N 沟道晶体管特性。该时段 t65 将被称作步骤 32 充电时段。

[0128] 因此，通过提供步骤 31 和步骤 32 充电时段，可以认为输出信号 OUT 的上升时序相对于输入信号 IN 的上升时序的延迟主要仅取决于 N 沟道晶体管的特性。

[0129] 上述修改例子是可以作为一个延迟缓冲器检测检测 P 沟道晶体管和 N 沟道晶体管的各自特性并可以将 P 沟道晶体管和 N 沟道晶体管的各自特性表现为延迟量的延迟缓冲器。

[0130] 已经作为例子描述了配置简单、布局面积小、具有仅取决于一个晶体管类型 (Pch Tr 或 Nch Tr) 而延迟的特性的延迟倒相电路和在根据本发明的实施例的延迟缓冲器中使用该延迟倒相器的情况。然而，本发明的实施例不限于此。本发明的实施例可应用于在电路操作中一般不是仅取决于一个晶体管的特性而延迟的电路，以及根据本发明的实施例的延迟缓冲器。

[0131] 另外，本发明的实施例不限于在绝缘基板上形成的使用多晶硅的电路。本发明的实施例可应用于一般使用缺陷硅 (defective silicon) 的电路。

[0132] 如上所述，根据本实施例，多个开关元件被插入输出部分和电源之间，并且通过这些开关元件对两级中的输出电势放电（充电）。

[0133] 结果，能够实现简单的电路配置、节省空间和高精确性，因为没有使用已知具有很大变化的电容。

[0134] 另外，因为可以仅取决于一个晶体管的特性而产生延迟，因此存在很多和不同的应用，比如例如检测在相同的绝缘基板上形成的电路的晶体管特性并将其反馈到电源电压和所有控制信号、并且该控制信号响应于晶体管特性的变化的应用。因此，可以期待产量的提高（成本降低）、性能的提高（高可靠性）等。

[0135] 接下来对采用如上所述的延迟缓冲器电路（延迟电路）并在与驱动电路集成的显示设备的绝缘基板上形成的半导体控制电路做出描述。

[0136] 如上所述，在用于形成在与驱动电路集成的显示设备的绝缘基板上的 TFT 的多晶硅工艺或非晶硅工艺中，诸如阈值电压 Vth、迁移率 μ 等的晶体管特性的变化大于单晶工艺中的变化。因此，在作出设计时，增加晶体管尺寸或提高驱动电源电压的电平以保证用于很大变化的足够操作余量。因此，例如由于晶体管尺寸大引起的功率消耗增加和框架很大成为问题。

[0137] 将作为本实施例描述使得能够通过尽可能地调整变化和降低余量同时实现功率消耗降低和框架缩小的半导体控制电路。

[0138] 图 13 是示出了与驱动电路集成的显示设备的一般配置的图。

[0139] 如图 13 所示，通过在透明绝缘基板上集成例如玻璃基板 101、以矩阵形式排列了包括液晶单元的多个像素的有效显示部分 102、排列在图 13 的有效显示部分 102 的上侧和下侧的一对水平驱动电路 (H 驱动器)103U 和 103D、布置在图 13 中的有效显示部分 102 侧的垂直驱动电路 (V 驱动器)104、用于生成多个参考电压的一个参考电压生成电路 105、数据处理电路 106、半导 体控制电路 200 等形成液晶显示设备 100。

[0140] 因此，图 13 的集成了驱动电路的显示设备 100 具有排列在有效显示部分 102 的两侧 (图 13 中的上侧和下侧) 的两个水平驱动电路 103U 和 103D。这用于彼此独立地驱动数据线的奇数号线和偶数号线。

[0141] 尽管图 13 示出了与其他电路分离地提供的半导体控制电路 200，但是参考电压生成电路 105 和数据处理电路 106 可以应用为由以下将要描述的由＝半导体控制电路 200 控制的电路。

[0142] 以下将描述半导体控制电路 200 的配置和功能。

[0143] 图 14 是示出了根据本发明的实施例的半导体控制电路的配置。

[0144] 如图 14 所示，半导体控制电路 200 包括时序生成电路 210、延迟电路 220、采样电路 230、磁滞特性生成电路 240 和控制对象电路 250。

[0145] 在半导体控制电路 200 中，将从时序生成电路 210 生成的检测脉冲 DPLS 作为参考脉冲 REFP 输入到延迟电路 200 和相位 - 频率比较电路 (即例如采样电路，并且下文中将该电路称作“采样电路”)230。

[0146] 对作为延迟电路 220 的输出信号的延迟的信号 S23 和 S24 每个进行采样，并然后输出信号 S21 和 S22。

[0147] 通过磁滞特性生成电路 240 传送信号 S21 和 S22，然后将具有磁滞特性的采样的波形作为控制信号发送到不同的控制对象电路 250。

[0148] 首先将描述一般的驱动概念。

[0149] 图 15 是图 14 的半导体控制电路的时序图。

[0150] 由时序生成电路 210 生成的检测脉冲 DPLS 被输入到延迟电路 220。例如，在采样触发是参考信号的下降沿的情况下，当晶体管特性 (电压 Vth、漏极到源极电流等) 很好时，延迟的信号具有很小的延迟量，并且采样的信号 S21 和 S22 处于高电平。

[0151] 假设在此情况下经过其传送延迟的信号 S23 的延迟电路 220 内的延迟缓冲器的数量大于用于信号 S24 的延迟缓冲器的数量。

[0152] 提供磁滞特性以通过使用延迟缓冲器的数量之间的差进行控制。稍后将描述详细的例子。

[0153] 应用例如电源电压生成电路、DD 转换器电路、模拟缓冲器电路、数据处理电路、参考电压生成电路作为控制对象电路 250。

[0154] 在本实施例中，不像现有技术，不使用衬底偏置（其可应用于多晶硅工 艺或非晶硅工艺），提供了磁滞特性，以便获得稳定的输出值。

[0155] 获得了其他优点，比如与显示设备的能力有关的更低功率消耗、更小的框架、以及导致显示设备的成本降低的产量提高和校正屏蔽降低 (correctionmask reduction)。

[0156] 下面描述更具体的配置、功能和修改例子。

[0157] 图 16 是示出了在彼此独立地检测 P 沟道晶体管的特性和 N 沟道晶体管的特性以进行控制的情况下的配置例子。

[0158] 存在希望由控制对象电路 250 检测（传感）仅一个沟道的情况。

[0159] 通过采样电路 230-1 对由延迟电路 220-1 取决于 N 沟道晶体管的特性而延迟的延迟信号 S31 和 S40 每个进行采样，然后由采样电路 230-1 输出信号 S33 和 S34。信号 S33 和 S34 被供应至磁滞特性生成电路 240-1，然后信号 S37 被输入到选择电路 260。

[0160] 类似地，通过采样电路 230-2 对由延迟电路 220-2 取决于 P 沟道晶体管的特性而延迟的延迟信号 S32 和 S41 每个进行采样，然后由采样电路 230-2 输出信号 S35 和 S36。信号 S35 和 S36 被供应至磁滞特性生成电路 240-2，然后信号 S38 被输入到选择电路 260。

[0161] 选择电路 260 选择是否考虑 P 沟道晶体管的特性和 N 沟道晶体管的特性两者或仅考虑一个晶体管沟道的特性（例如希望仅检测 P 沟道晶体管的特性的情况）。将由选择电路 260 选择的输出作为控制信号 S39 发送到控制对象电路 250。

[0162] 当然，根据使用，选择电路可能不是必须的。

[0163] 图 17 和 18 是示出了延迟量仅取决于一个沟道晶体管特性而发生的电路的图。

[0164] 作为之前的第一和第二实施例或修改例子而描述的电路可以应用为图 17 和 18 所示的电路。

[0165] 图 17 是示出了取决于 N 沟道晶体管特性生成延迟量的延迟缓冲器链（假设延迟缓冲器的数量是 m）。

[0166] 延迟缓冲器链 221A 具有彼此级连连接的 m 个缓冲器电路 D221-1 到 D221-m。

[0167] 延迟信号 S41 和 S42 被分别输出到端子 OUT1 和 OUT2。假设通过其发送信号 S41 的延迟缓冲器的级数大于通过其发送信号 S42 的延迟缓冲器的级 数。

[0168] 图 18 是示出了取决于 P 沟道晶体管特性生成延迟量的延迟缓冲器链（假设延迟缓冲器的数量是 n）。

[0169] 延迟缓冲器链 222A 具有彼此级连连接的 n 个缓冲器电路 D221-1 到 D221-n。

[0170] 延迟信号 S51 和 S52 被分别输出到端子 OUT1 和 OUT2。假设通过其发送信号 S51 的延迟缓冲器的级数大于通过其发送信号 S52 的延迟缓冲器的级数。

[0171] 图 19 是示出了根据本实施例的磁滞特性生成电路的配置例子的图。

[0172] 图 20 是示出了图 19 的磁滞特性生成电路的真值表的图。

[0173] 图 19 的磁滞特性生成电路 240 包括异或 (EXOR) 门 241、切换控制电路 242、开关 243 和锁存电路 244。

[0174] 磁滞特性生成电路 240 维持先前的输出状态作为输入 IN1 和 IN2 处于不同电平时的输出。

[0175] 当输入 IN1 和 IN2 的电平是相同的延迟电平时（例如高电平），输出 OUT 的电平与输入电平相同（例如高电平）。

[0176] 切换控制脉冲 SWPLS 用于防止在输入 IN1 和 IN2 的切换时段期间输出信号 OUT 的故障。

[0177] 在此电路中，在切换时段期间，开关 243 被设置处于断开状态。在完全切换输入 IN1 和 IN2 的信号电平之后，开关 243 被设置处于接通状态（使能）以在输出 OUT 中反映输入 IN1。

[0178] 另外，复位信号 RST 被供应至用于初始值的输出电平的锁存电路 244。

[0179] 已经将磁滞特性生成电路 240 描述为接收来自延迟电路 220 的输入 IN1 和 IN2 两者的电路。然而，磁滞特性生成电路 240 不限于该配置，并且可应用于各种配置。

[0180] 例如，一个输入是来自延迟电路的延迟信号，另一输入是通过计数器电路的计数对上述延迟信号提供某一延迟而获得的。

[0181] 接下来将简要描述整体上与系统相对的晶体管功率检测（传感）系统的输出特性的例子。

[0182] 图 21 是示出了晶体管检测系统的输出特性的例子的图。

[0183] 如图 21 所示，首先，通过复位信号将输出值 OUT 的电平设置为初始值。 当供应检测脉冲时，延迟量取决于晶体管的功率特性而发生。在作为情况 <1> 的 C 区域中电流特性（漏极到源极电流 Ids 等）的情况下，电流特性很好，并且延迟量很小。对延迟信号 S23 和 S24 采样的结果是 H 电平。从磁滞特性生成电路 240 供应的控制信号 S240 处于高电平。

[0184] 在作为情况 <2> 的 B 区域中电流特性（漏极到源极电流 Ids 等）的情况下，电流特性比较号，并且延迟量比较小。对延迟信号 S24 采样的结果是 H 电平，而对延迟信号 S23 采样的结果是 L 电平。从磁滞特性生成电路 240 供应的控制信号 S240 维持先前的状态（在此状态下，初始值是 RESET），并因此处于低电平。

[0185] 在作为情况 <3> 的 A 区域中电流特性（漏极到源极电流 Ids 等）的情况下，电流特性差，并且延迟量很大。对延迟信号 S23 和 S24 采样的结果是低电平。从磁滞特性生成电路 240 供应的控制信号 S240 处于低电平。

[0186] 在情况 <1>，当控制信号处于 H 电平（高电平）并且随着由于某些因素（温度特性、频率、所供应的电源电压等）面板特性恶化而要过渡到区域 B 时（由漏极到源极电流 Ids 表示），由于磁滞特性生成电路 240 维持先前的输出状态，因此控制信号处于 H 电平。当特性进一步恶化并且过渡到区域 A 时，对延迟信号 S23 和 S24 采样的结果是低电平，并且从磁滞特性生成电路 240 供应的控制信号 240 处于低电平。从区域 A 返回到区域 B，控制信号维持先前的状态，并因此处于低电平。进一步，从区域 B 返回到区域 C，并且控制信号被设置为高电平。通过因此提供磁滞特性，不会输出不稳定的控制信号。（可以输出稳定的控制信号。对于显示设备和驱动系统的质量，可以实现稳定的控制系统）。

[0187] 现在将描述控制对象电路 250 的具体例子。

[0188] 一般而言，作为用于降低功率消耗的方法，使用电压比较电路控制驱动电压的电平。然而，当可以不检测（传感）晶体管特性变化时，需要考虑更大范围的晶体管变化。因此存在的问题是，不能显著降低规定的设置值（例如，设置为正电源电压，当然同样可以是符电源电压）。

[0189] 然而，通过提供根据本实施例的晶体管检测系统，对于具有比标准更好的特性的晶体管，显著地将电源电压设置得很低，并且对于具有很差特性的晶体管，显著地将电源电压设置得很高。

[0190] 将示出使用晶体管检测系统的一些例子。

[0191] （第一电压比较电路）

[0192] 图 22 是示出了在晶体管检测系统应用于 DC/DC 转换器的电压比较电路的情况下系统配置的第一例子的图。

[0193] 电压比较电路 310 包括 DC/DC 转换器 311、电阻型电势驱动器电路 312、电压比较电路 313、AND 门 314 和主电路 315。

[0194] 当控制信号处于 H 电平时（引自上述图 21 并指示良好的晶体管特性），电压比较电路 310 被使能，并且 DC/DC 转换器 311 的输出电压 VDD2 降低。当控制信号处于 L 电平时（引自上述图 21 并指示很差的晶体管特性），电压比较电路被去使能 (disabled)，输出最大功率 (full power)，DC/DC 转换器 311 的输出电压 VDD2 不降低。

[0195] （第二电压比较电路）

[0196] 图 23 是示出了晶体管检测系统应用于 DC/DC 转换器的电压比较电路的情况下系统配置的第二例子的图。

[0197] 使用来自延迟电路链的多个输出信号，由此可以检测各级中的晶体管功率电平。通过输出多个控制信号（图 23 中两个控制信号）CTL1 和 CTL2，不仅能够选择对如图 22 的电压比较电路的使能或去使能，而且能够将电压比较电路 310A 的规定值（规定电压）设置为多个值。例如，当晶体管功率处于高电平（良好）时，规定值被设置得很低。当晶体管功率处于中间电平时，规定值被设置在中间电平。当晶体管功率处于低电平时（很差），规定值被设置得很高。另外，第二配置例子允许使用多个控制信号进行各种设置。

[0198] （模拟缓冲器）

[0199] 图 24 是示出了晶体管检测系统应用于模拟缓冲器电路的情况下系统配置的例子的图。

[0200] 图 24 的模拟缓冲器电路 320 包括开关 321 到 323、N 沟道晶体管 324 和电容器 325。

[0201] 多晶硅工艺或非晶硅工艺具有变化大的缺点。

[0202] 为了降低这种变化的影响，设计恒流源以发送相对较大的电流。

[0203] 然而，这导致相应较高的功率消耗的缺点。

[0204] 因此，使用根据本实施例的晶体管功率检测系统来接收控制信号以便可以根据晶体管功率调整恒流源的功率。

[0205] 例如，在图 24 中，来自晶体管功率检测系统的输出信号被输入到时序生 成电路 330，并使得时序生成电路 330 输出用于恒流源的控制脉冲 xNcnt1 和 xNcnt3。

[0206] 当晶体管条件良好时，通过使能开关 321 的开关 SW111 并去使能开关 321 的开关 SW112 而降低恒流源的功率。

[0207] 当晶体管条件很差时，通过使能开关 321 的开关 SW111 并也使能开关 321 的开关 SW112 而输出恒流源的最大功率。

[0208] （数据处理电路）

[0209] 图 25 是示出了晶体管检测系统应用于数据处理电路的情况下系统配置的例子的图。

[0210] 图 25 的数据处理电路 350（对应于图 13 的数据处理电路 106 等）包括多个延迟缓冲器 DB、开关 351 和 352、移位寄存器 353、和锁存电路 354。锁存电路 354 包括倒相器 3541 和 3542 以及开关 3543 和 3544。

[0211] 多晶硅工艺或非晶硅工艺具有变化大的缺点。

[0212] 因此难以获得从参考时钟生成的采样脉冲和希望要采样的数据之间的正确相位关系。

[0213] 如果希望要采样的数据相对于从参考时钟生成的采样脉冲相位提前，则为数据串提供延迟缓冲器以便延迟希望的数据。

[0214] 然而，所获得的延迟量取决于晶体管变化而不同。难以调整延迟缓冲器的数量。调整错误的出现意味着进行了屏蔽校正，这导致不必须的成本增加。

[0215] 另外，可能不能增加频率来适应变化。

[0216] 这是需要解决的一个问题，以便可以将多晶硅工艺或非晶硅工艺应用于高频驱动。

[0217] 因此，引入了根据本实施例的晶体管功率检测系统。因此，当晶体管功率良好时，由于延迟量小，因此增加延迟缓冲器的数量。当晶体管功率很差时，由于延迟量大，因此降低延迟缓冲器的数量。

[0218] 例如，如图 25 所示，来自晶体管功率检测系统的输出控制信号被输入到时序生成电路 330，并输出用于控制延迟缓冲器的数量的控制脉冲 S121。当晶体管功率良好时，由于延迟量小，因此通过断开开关 351 并接通开关 352 来增加延迟缓冲器的数量。

[0219] 当晶体管功率很差时，由于延迟量大，通过接通开关 351 并断开开关 352 而降低延迟缓冲器的数量。

[0220] 尽管以上已经描述了由移位寄存器 353 产生的栅极和采样脉冲之间的相位关系，但是本发明的实施例不限于此。可以直接用主时钟 (master clock) 采样数据，或者可以用另一逻辑进行组合。原理是一样的。

[0221] （参考电压生成电路）

[0222] 图 26 是示出了在晶体管检测系统应用于参考电压生成电路的情况下的系统配置的例子的图。

[0223] 图 26 的参考电压生成电路 360 包括生成参考电压的黑侧 γ 调整电路、白侧 γ 调整电路和梯形电阻部分 363。

[0224] 例如，将液晶驱动电源电压设置在由规范定义的范围内。用处于标准值的电源电压设计的参考电压生成电路是公共的。当所供应的电源电压变得不同时，也改变了伽玛（γ）特性。这是为改进画面质量需要解决的问题之一。

[0225] 在此情况下，可以通过光特性传感器来检测电源电压的改变，以产生控制脉冲。电源电压的改变还可以被检测为晶体管功率的变化，这将在以下描述。

[0226] 为延迟电路提供了与用于驱动液晶的电源电压 (VDD_ref) 相同的供应的电源电压和与电源电压不同的供应的电源电压（例如其根据规范而变化，并且是 IC 的规定电源电压 VDD1A) 这两个序列。

[0227] 通过相同的晶体管特性 (Vth)，当用于驱动液晶的电源电压 (VDD_ref) 降低时，在使用与用于驱动液晶的电源电压 (VDD_ref) 相同的电源电压的延迟电路中出现延迟量的增加。

[0228] 另一方面，在使用与用于驱动液晶的电源电压 (VDD_ref) 不同的电源电压 VDD1A 的延迟电路中的延迟量未改变。当将延迟量之间的差是设计的时段或更大时，输出 γ 控制信号 CTL11 和 CTL12 以便获取适当的伽玛。因此，总是可以获取适当的伽玛。

[0229] 图 27 是示出了图 26 中的黑侧 γ 调整电路和白侧 γ 调整电路的详细例子的图。

[0230] 图 26 中的 γ 控制信号是图 27 中的信号 GS1 和 GS2。图 26 中的 γ 控制信号 CTL12 是图 27 中的信号 GS3 和 GS4。

[0231] 在前述实施例中，已经描述了使用多晶硅工艺或非晶硅工艺的情况。然而，本发明的实施例不限于此，并且可应用于一般使用缺陷硅的电路。

[0232] 另外，本发明的实施例更广泛地应用于诸如包括具有在绝缘基板上形成 的驱动电路的 TFT 液晶显示设备的液晶显示设备和 CGS（连续增益硅）液晶显示设备的各种平坦显示设备、EL（电致发光）显示设备等。

[0233] 如上所述，作为本发明的实施例的效果，通过适应由于工艺引起的大的变化，能够显著降低功率消耗，并适应变化。因此，不需要更大的晶体管尺寸，并且当本发明的实施例应用于更小框架的数据处理单元时，节省了用于延迟缓冲器的屏蔽的不必须的成本。可以实现段时间段内的设计和成本的降低。

[0234] 当将本发明的实施例应用于数据处理电路时，采样余量增加。因此，本发明的实施例是更加期望的高速驱动的频率变得更高的技术。可以实现产量的提高。

[0235] 当将本发明的实施例应用于参考电压生成电路时，总是能够获得适当的伽玛，并且能够帮助提高画面质量。

[0236] 由于电路配置简单，因此对框架的影响很小。另外，当使用具有长周期的检测脉冲时，消耗很小的功率。

[0237] 此外，根据前述实施例的由有源矩阵型液晶显示设备代表的有源矩阵型显示设备尤其适合用作诸如便携式电话、PDA 等的适合于减小尺寸减小并制造的更紧密的电子设备的显示单元，以及用作诸如个人计算机和字处理器的 OA 装置、电视接收机等的显示器。

[0238] 图 28 是应用本发明的实施例的电子设备例如便携式电话的配置的概况的外部图。

[0239] 根据此例子的便携式电话 400 包括扬声器部分 420、显示部分 430、操作部分 440 和麦克风部分 450，它们从设备外壳 410 的前侧的顶部侧按此顺序排列。

[0240] 在这种配置的便携式电话中，例如液晶显示设备用作显示部分 430。作为此液晶显示设备，使用根据前述实施例的有源矩阵型液晶显示设备。

[0241] 因此，通过使用根据前述实施例的有源矩阵型液晶显示设备作为诸如便携式电话等的电子设备（便携终端）中的显示部分 430，能够实现显示设备的更小间距 (pitch)、更小框架和更低功率消耗，并因此实现适当终端的更低功率消耗。

[0242] 本领域技术人员应当理解，取决于设计要求和其他因素，可以发生各种修改、组合、子组合和变更，只要它们在所附权利要求或其等效物的范围内。

[0243] 相关申请的交叉引用

[0244] 本发明包含与2007年8月30日在日本专利局提交的日本专利申请JP2007-224925有关的主题，通过引用将其全部内容合并于此。

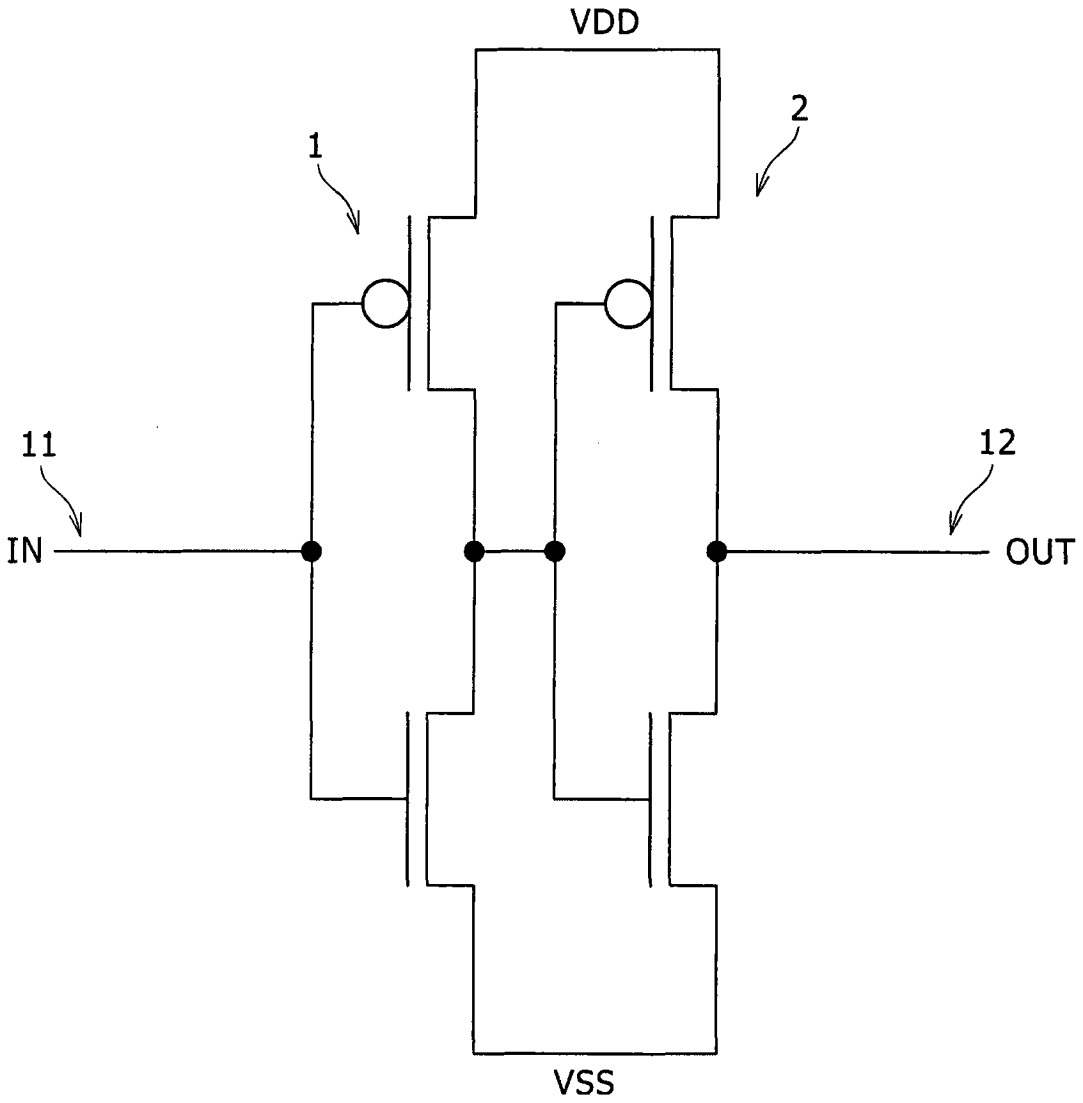


图 1

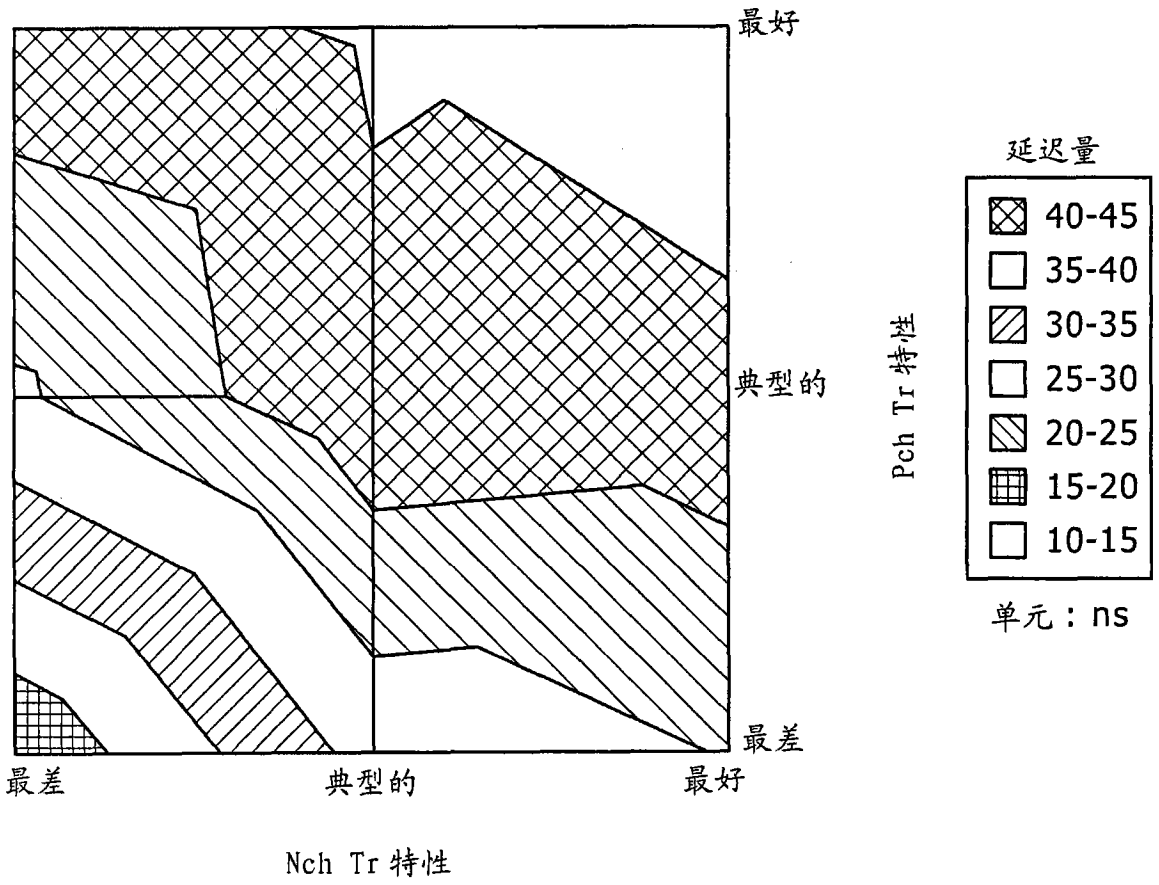

最好
典型的
最差
最差
典型的
最好
Nch Tr 特性
Pch Tr 特性
延迟量
40-45
35-40
30-35
25-30
20-25
15-20
10-15
单元：ns

图 2

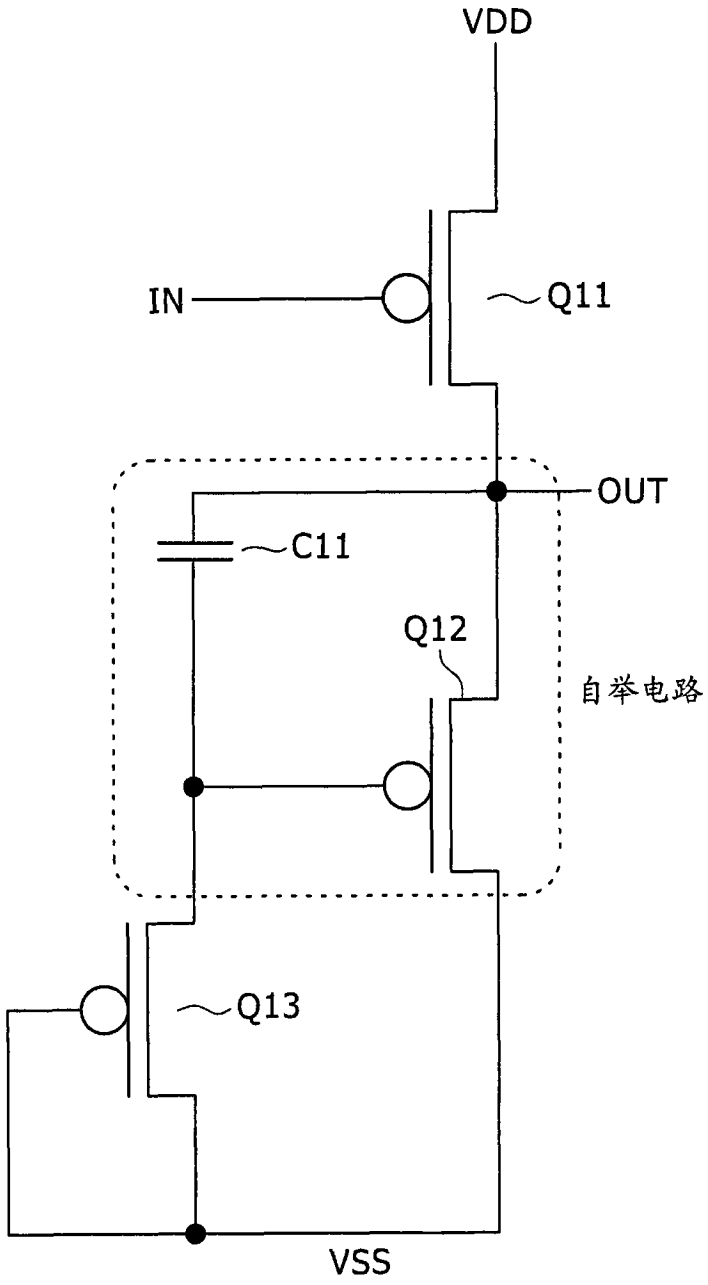


图 3

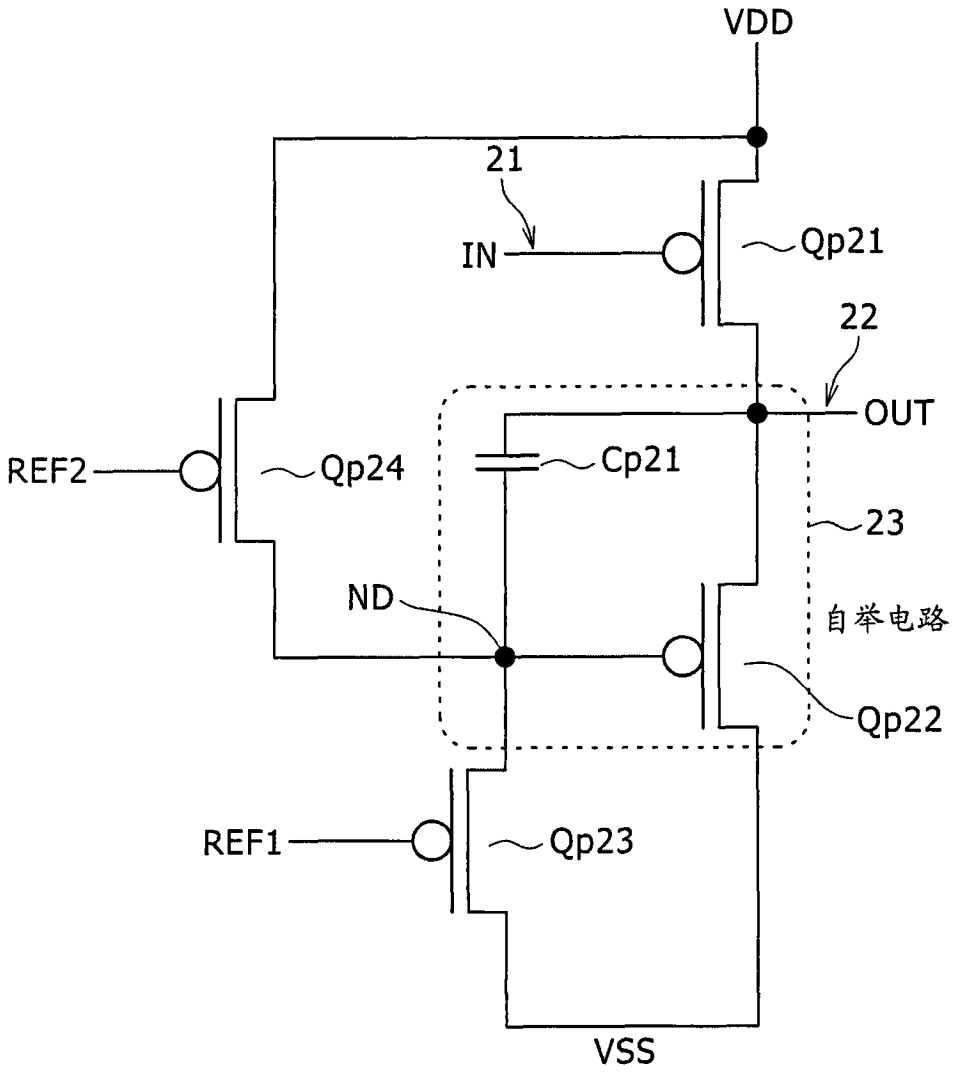

VDD
21
IN
Qp21
22
OUT
REF2
Qp24
Cp21
23
ND
自举电路
Qp22
REF1
Qp23
VSS

图 4

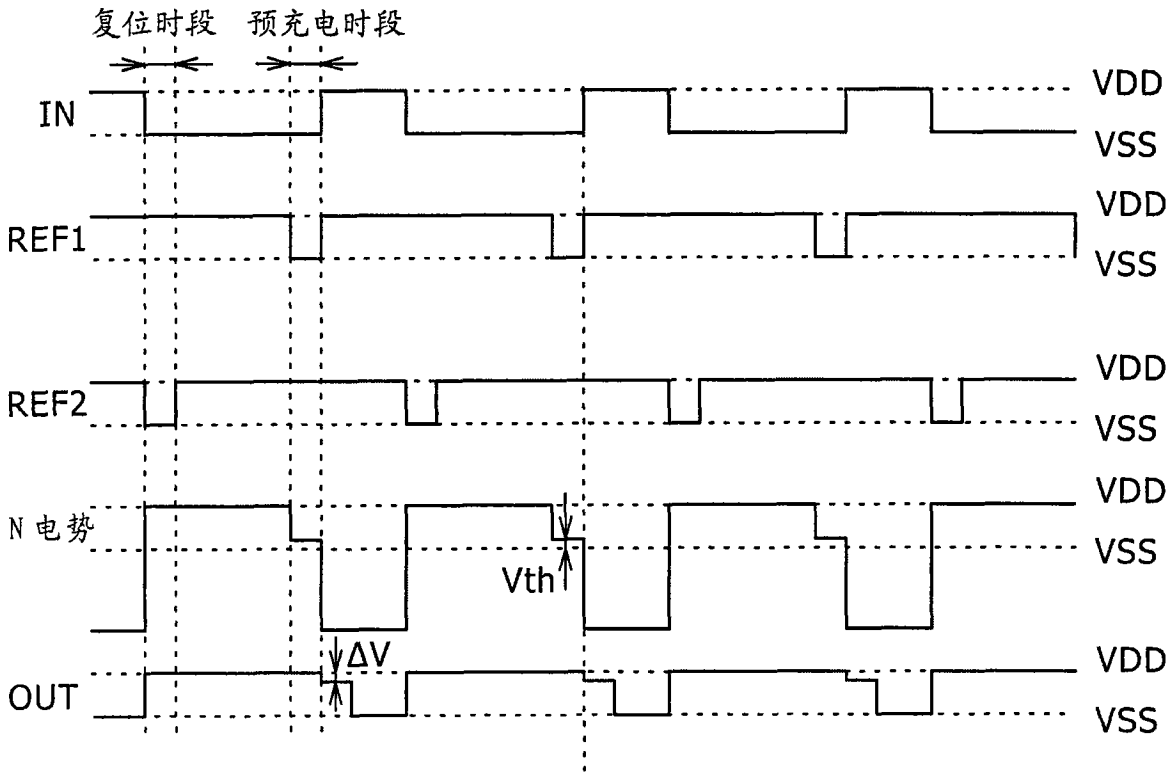

复位时段
预充电时段
IN
VDD
VSS
REF1
VDD
VSS
REF2
VDD
VSS
N 电势
VDD
VSS
Vth
ΔV
OUT
VDD
VSS

图 5

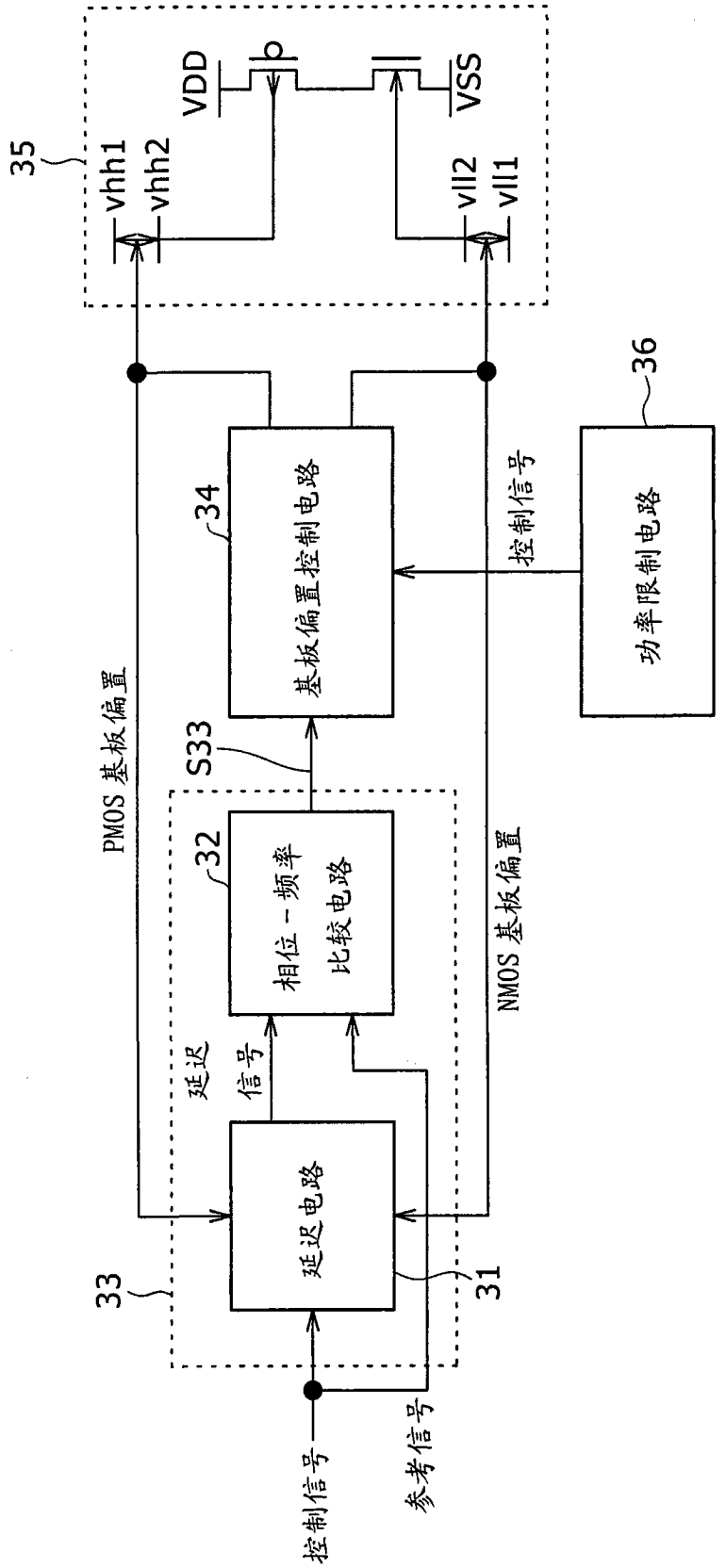

35
VDD
VSS
vhh1
vhh2
vll2
vll1
36
34
基板偏置控制电路
控制信号
功率限制电路
PMOS 基板偏置
S33
32
相位－频率
比较电路
NMOS 基板偏置
延迟
信号
延迟电路
33
31
控制信号
参考信号

图 6

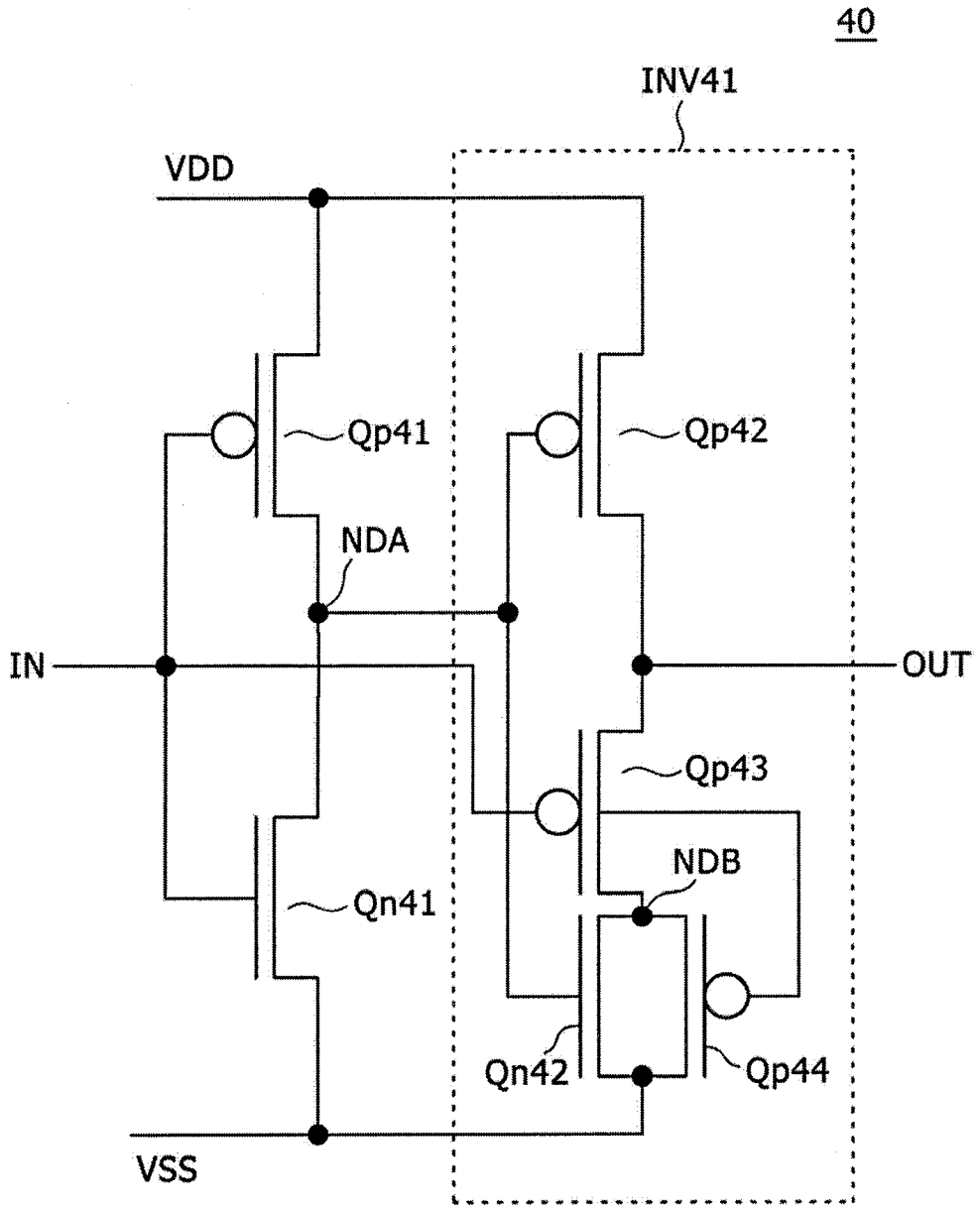


图 7

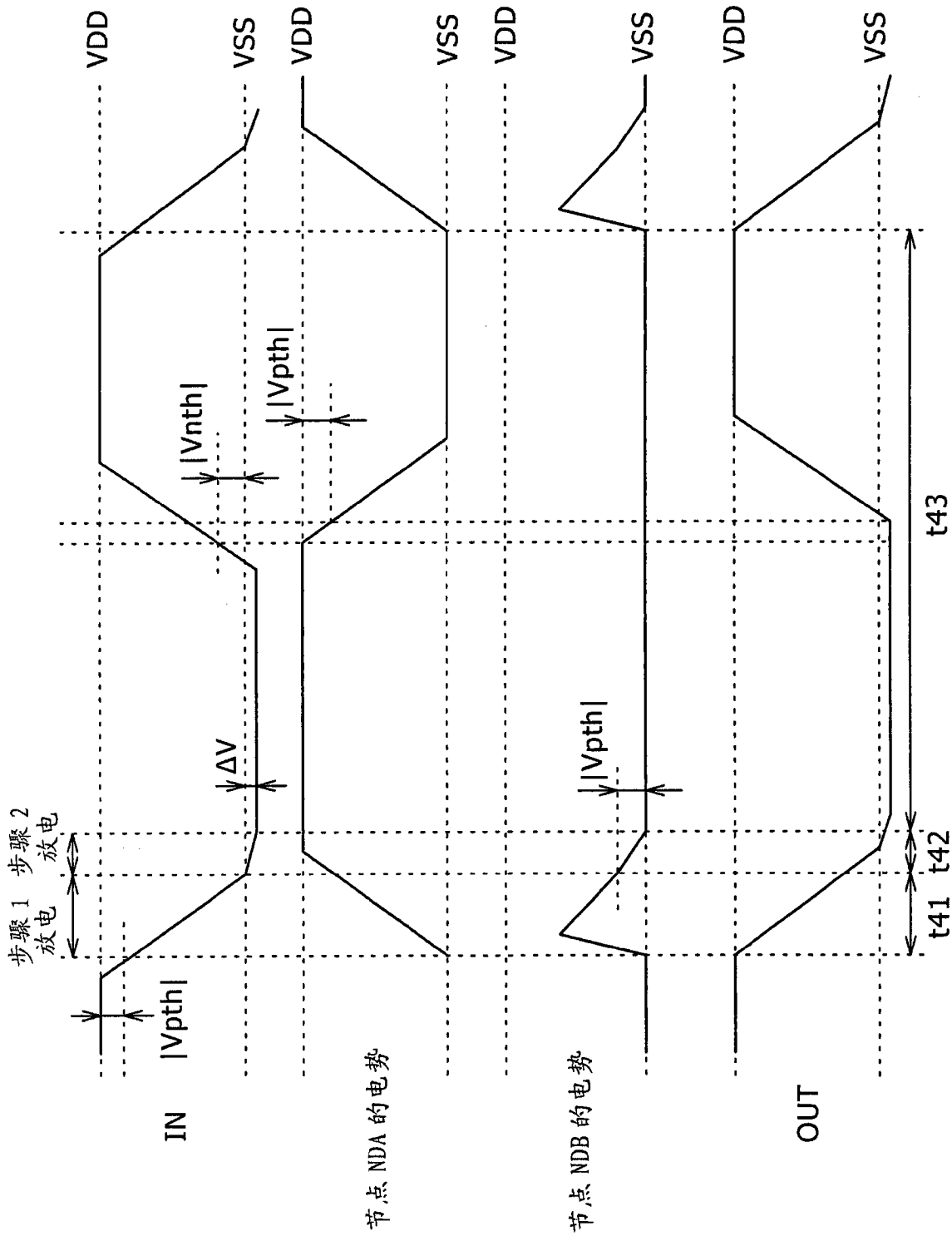

VDD
VSS
VDD
VSS
VDD
VSS
VDD
VSS
|Vnth|
|Vpth|
ΔV
|Vpth|
步骤 1 放电
步骤 2 放电
|Vpth|
IN
节点 NDA 的电势
节点 NDB 的电势
OUT
t43
t42
t41

图 8

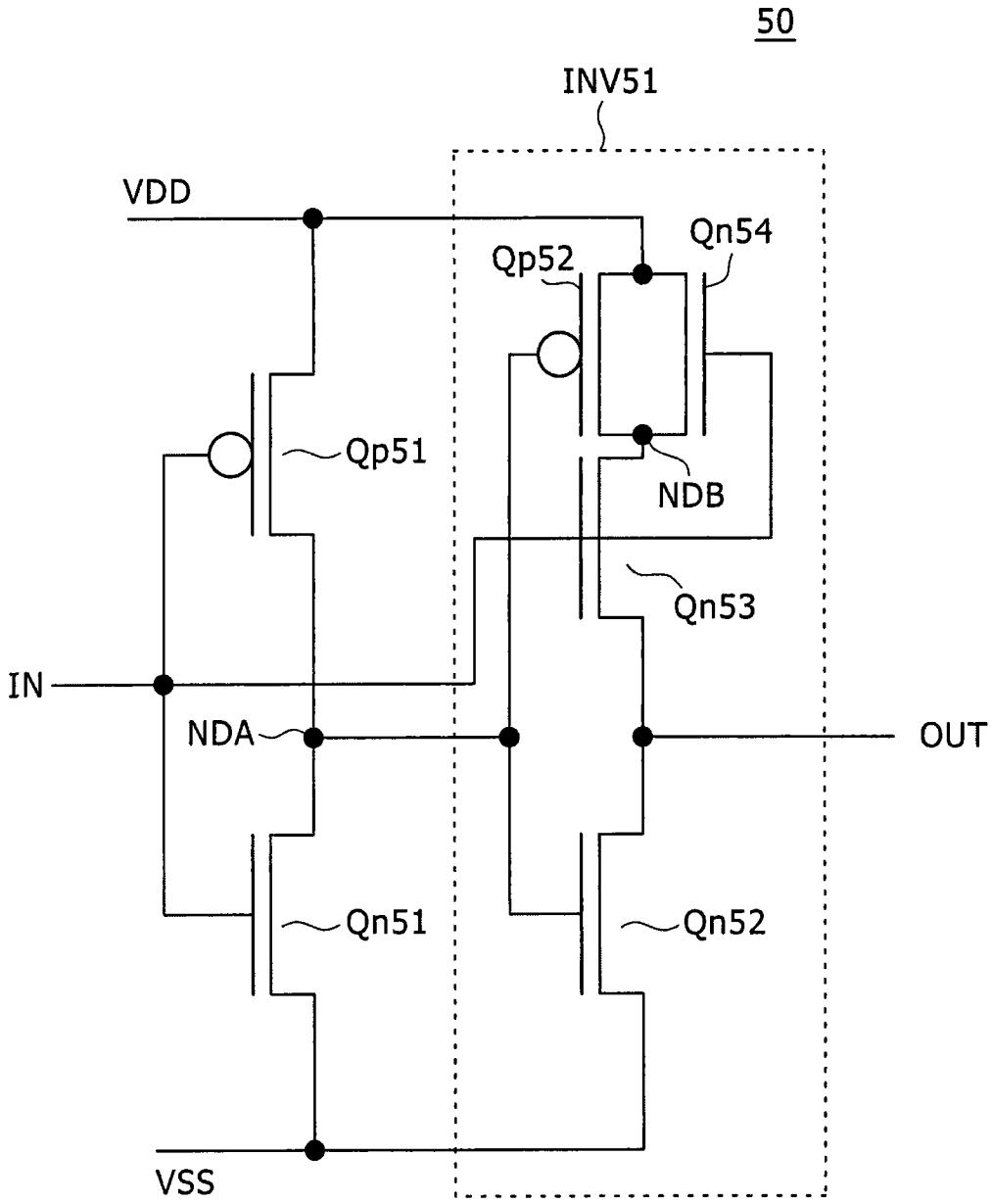


图 9

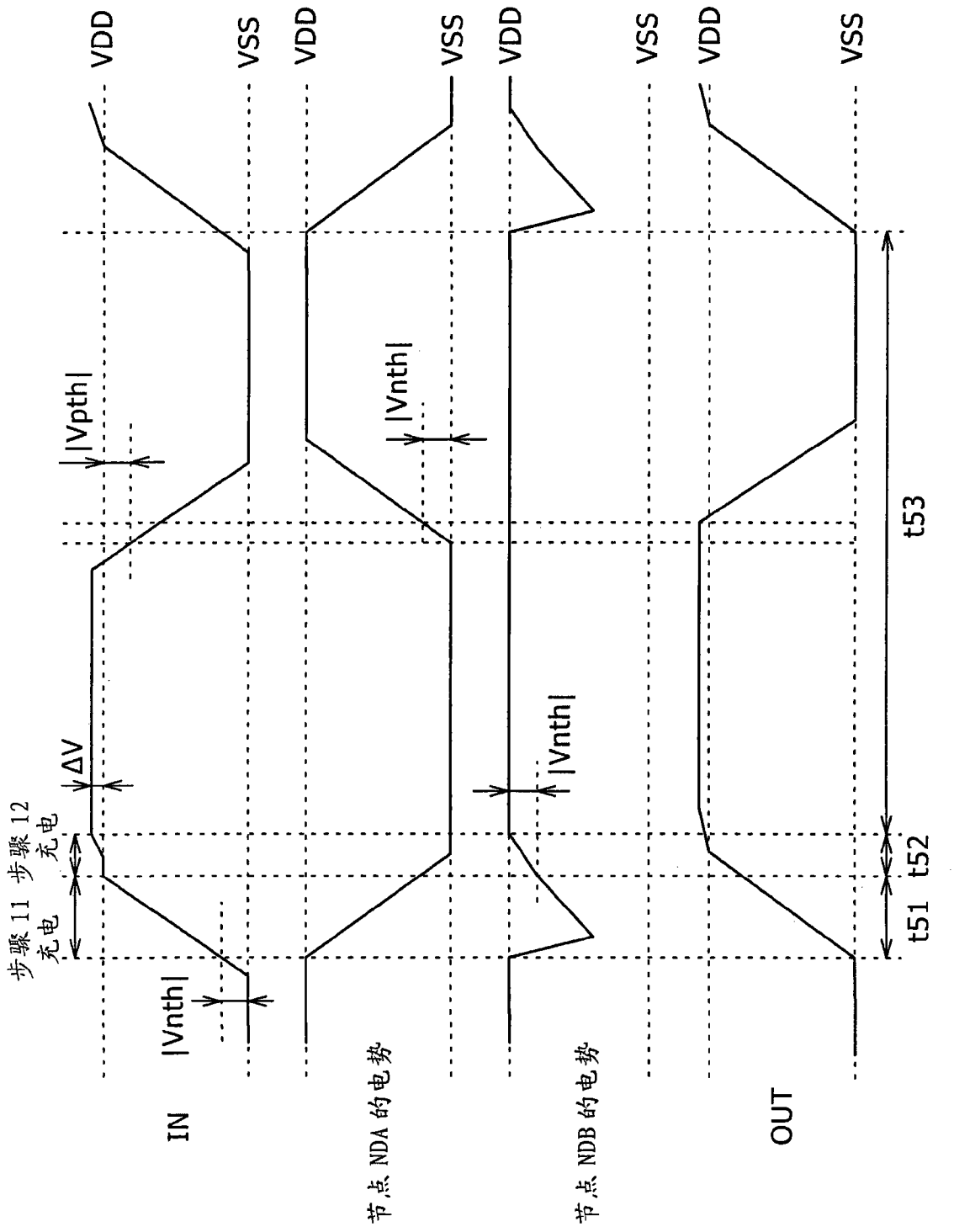

VDD
VSS
VDD
VSS
VDD
VSS
VDD
VSS
|Vpth|
|Vnth|
|Vnth|
ΔV
步骤 11 充电
步骤 12 充电
|Vnth|
IN
节点 NDA 的电势
节点 NDB 的电势
OUT
t53
t52
t51

图 10

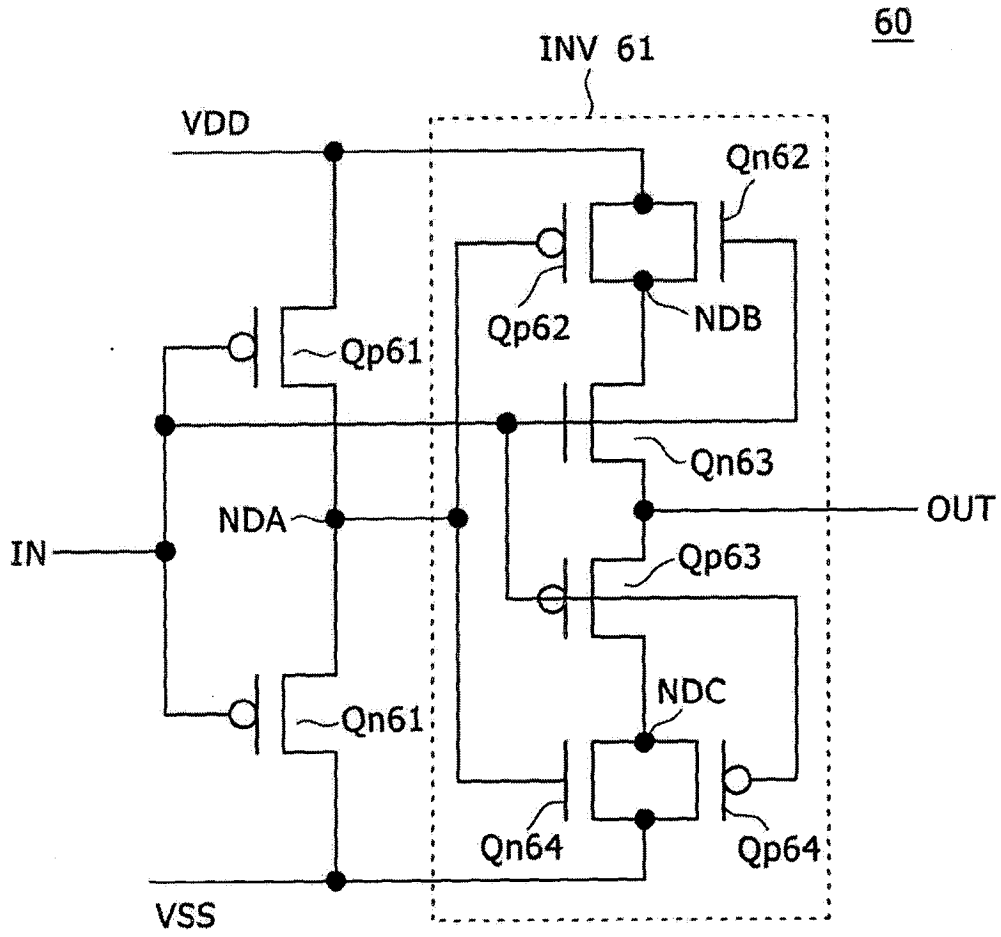

60
INV 61
VDD
Qn62
Qp62
NDB
Qp61
Qn63
OUT
NDA
IN
Qp63
NDC
Qn61
Qn64
Qp64
VSS

图 11

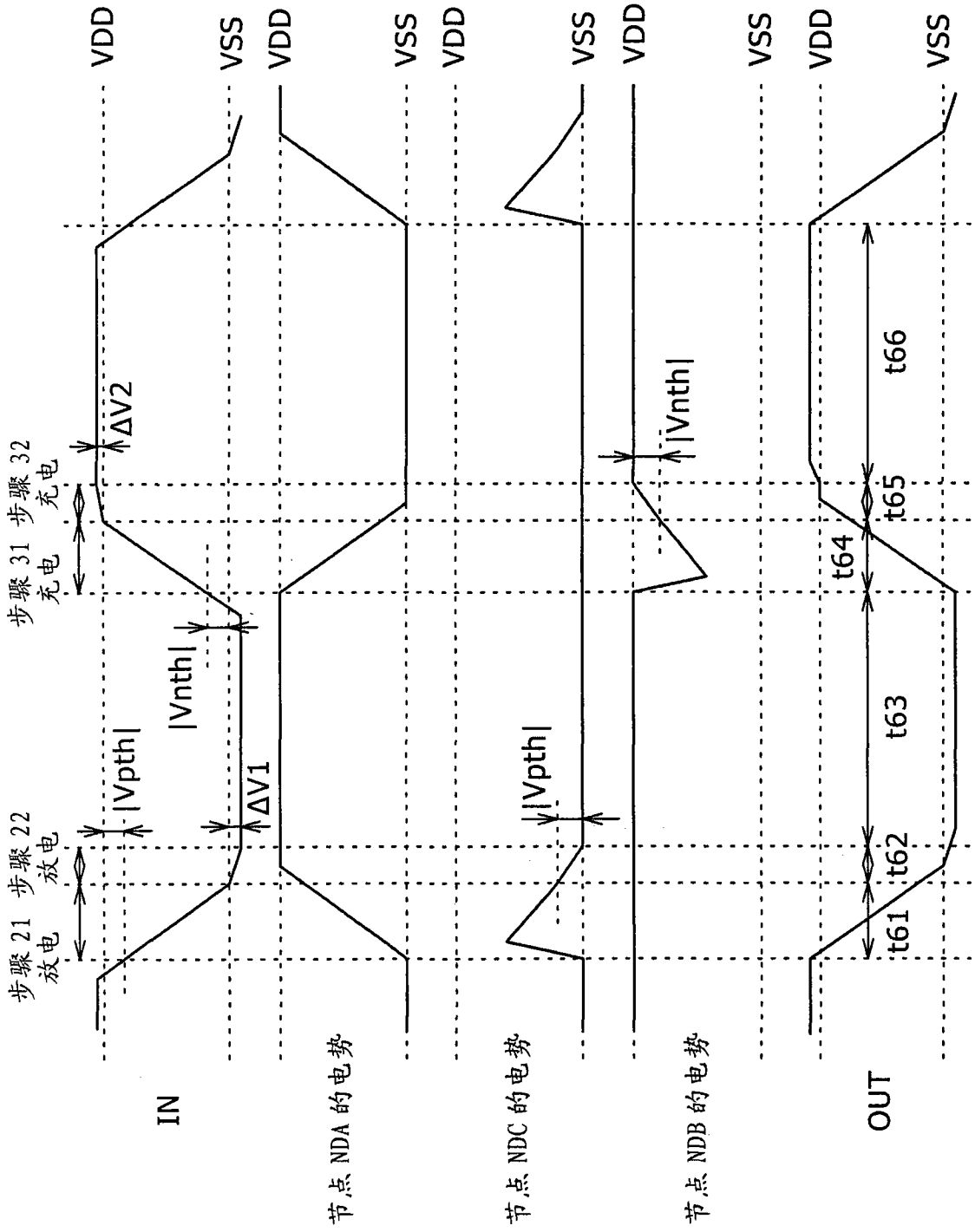

步骤 21 放电
步骤 22 放电
步骤 31 充电
步骤 32 充电
|Vpth|
|Vnth|
ΔV1
ΔV2
VDD
VSS
IN
节点 NDA 的电势
节点 NDC 的电势
节点 NDB 的电势
OUT
t61
t62
t63
t64
t65
t66

图 12

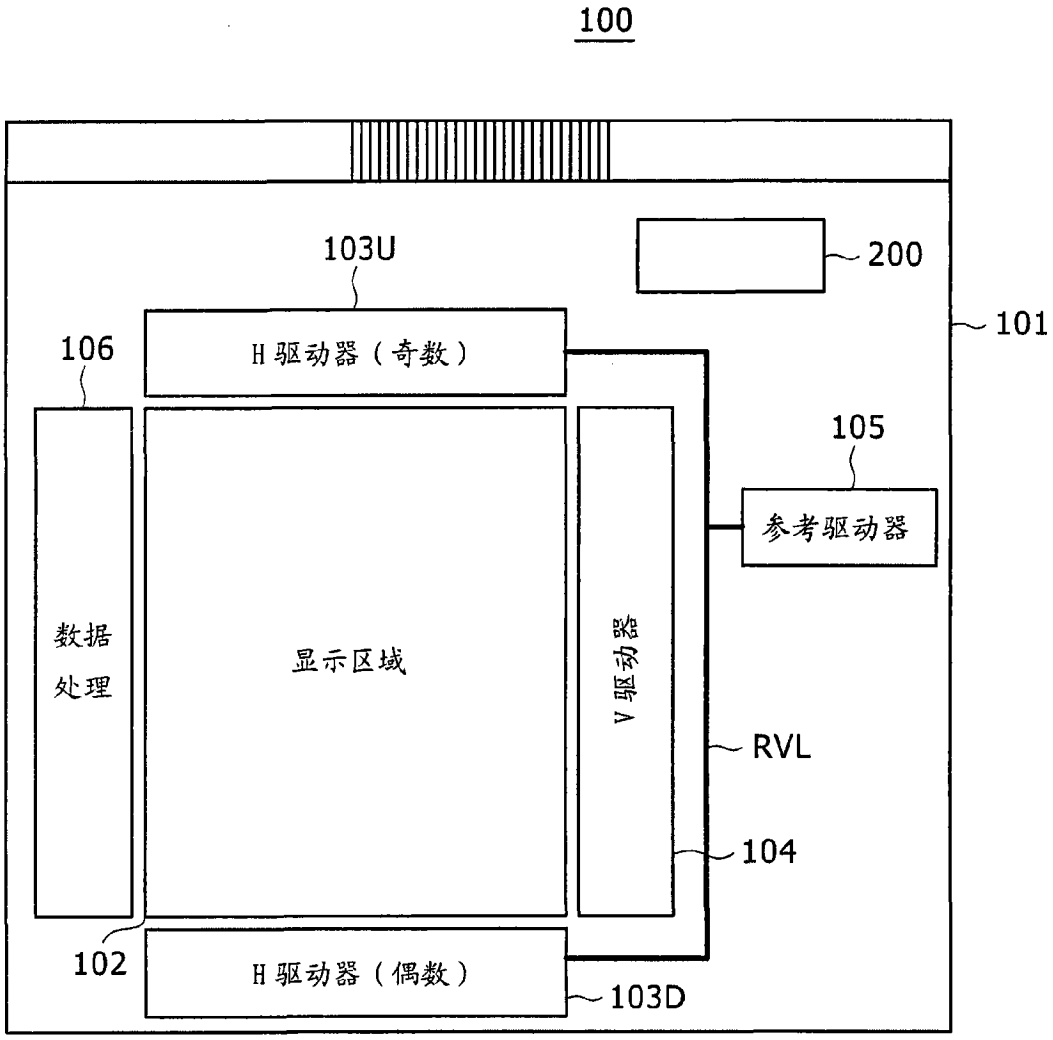

100
103U
200
101
106
H 驱动器（奇数）
105
参考驱动器
数据处理
显示区域
V 驱动器
RVL
104
102
H 驱动器（偶数）
103D

图 13

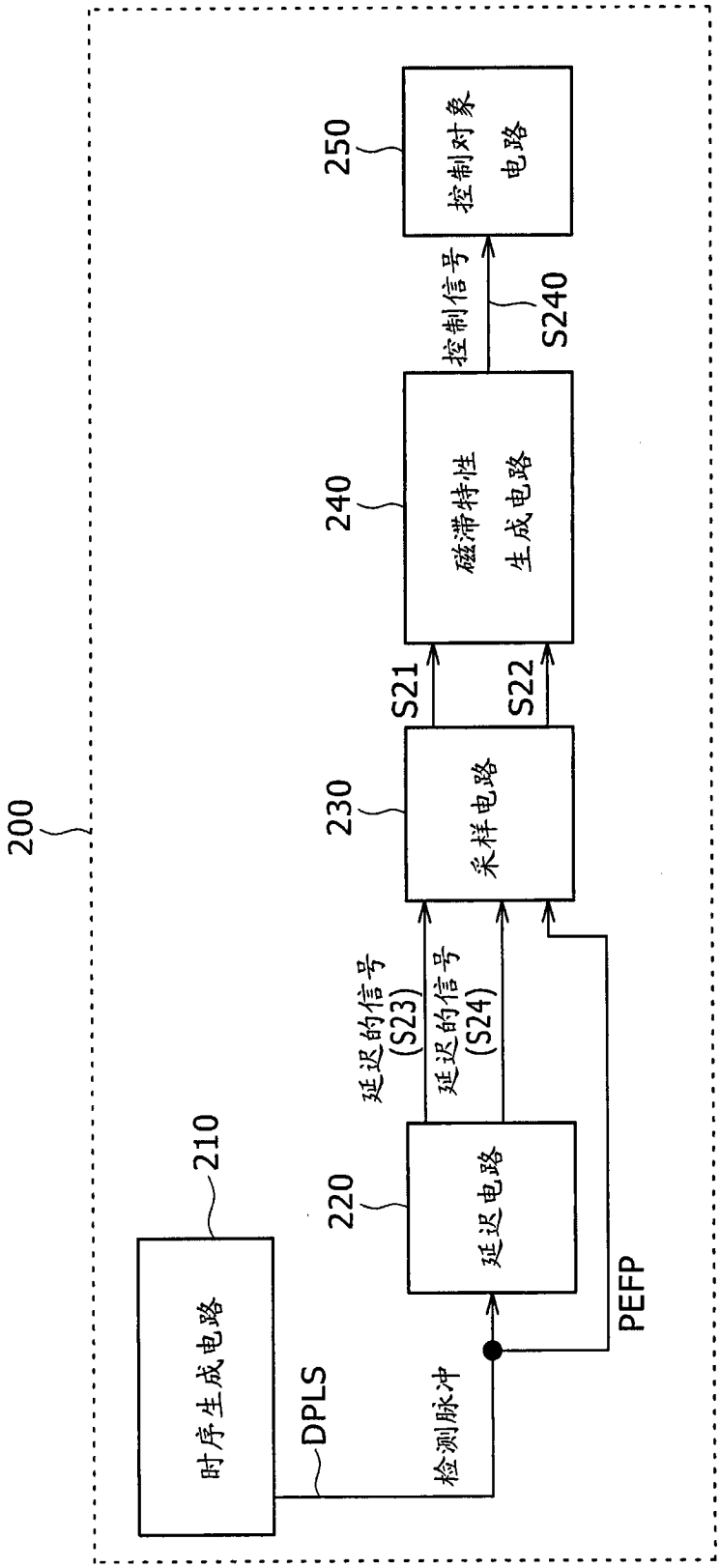

200
210
时序生成电路
DPLS
检测脉冲
220
延迟电路
延迟的信号
(S23)
延迟的信号
(S24)
PEFP
230
采样电路
S21
S22
240
磁滞特性
生成电路
控制信号
S240
250
控制对象
电路

图 14

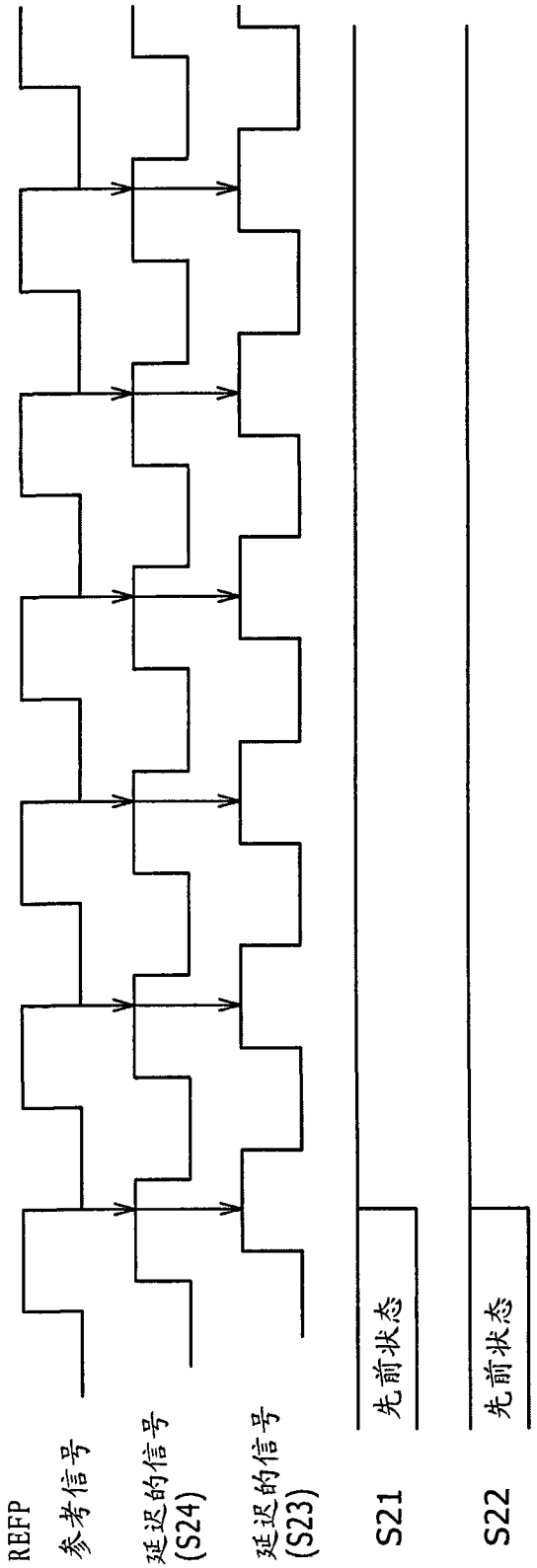


图 15

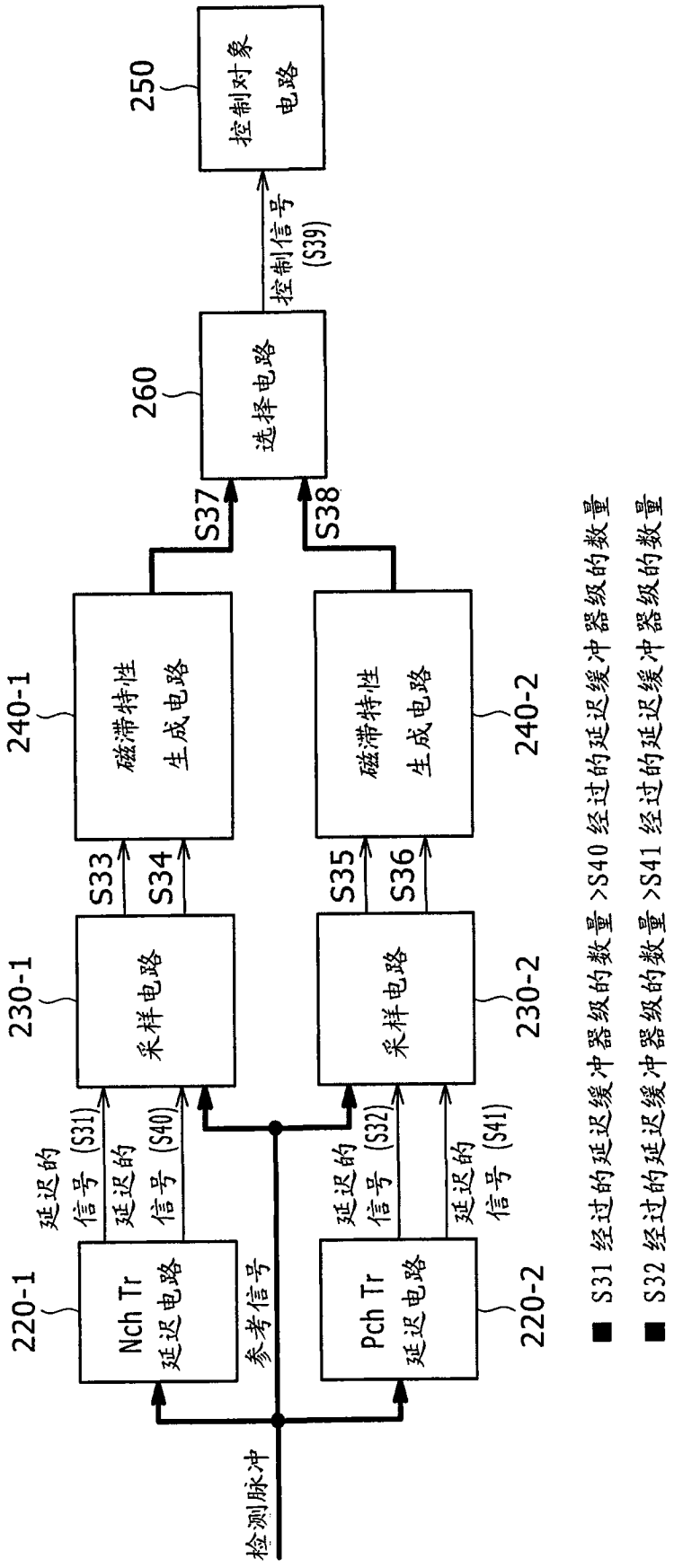

检测脉冲
参考信号
220-1
Nch Tr
延迟电路
220-2
Pch Tr
延迟电路
延迟的
信号 (S31)
延迟的
信号 (S40)
延迟的
信号 (S32)
延迟的
信号 (S41)
230-1
采样电路
230-2
采样电路
S33
S34
S35
S36
240-1
磁滞特性
生成电路
240-2
磁滞特性
生成电路
S37
S38
260
选择电路
控制信号
(S39)
250
控制对象
电路
■ S31 经过的延迟缓冲器级的数量 >S40 经过的延迟缓冲器级的数量
■ S32 经过的延迟缓冲器级的数量 >S41 经过的延迟缓冲器级的数量

图 16

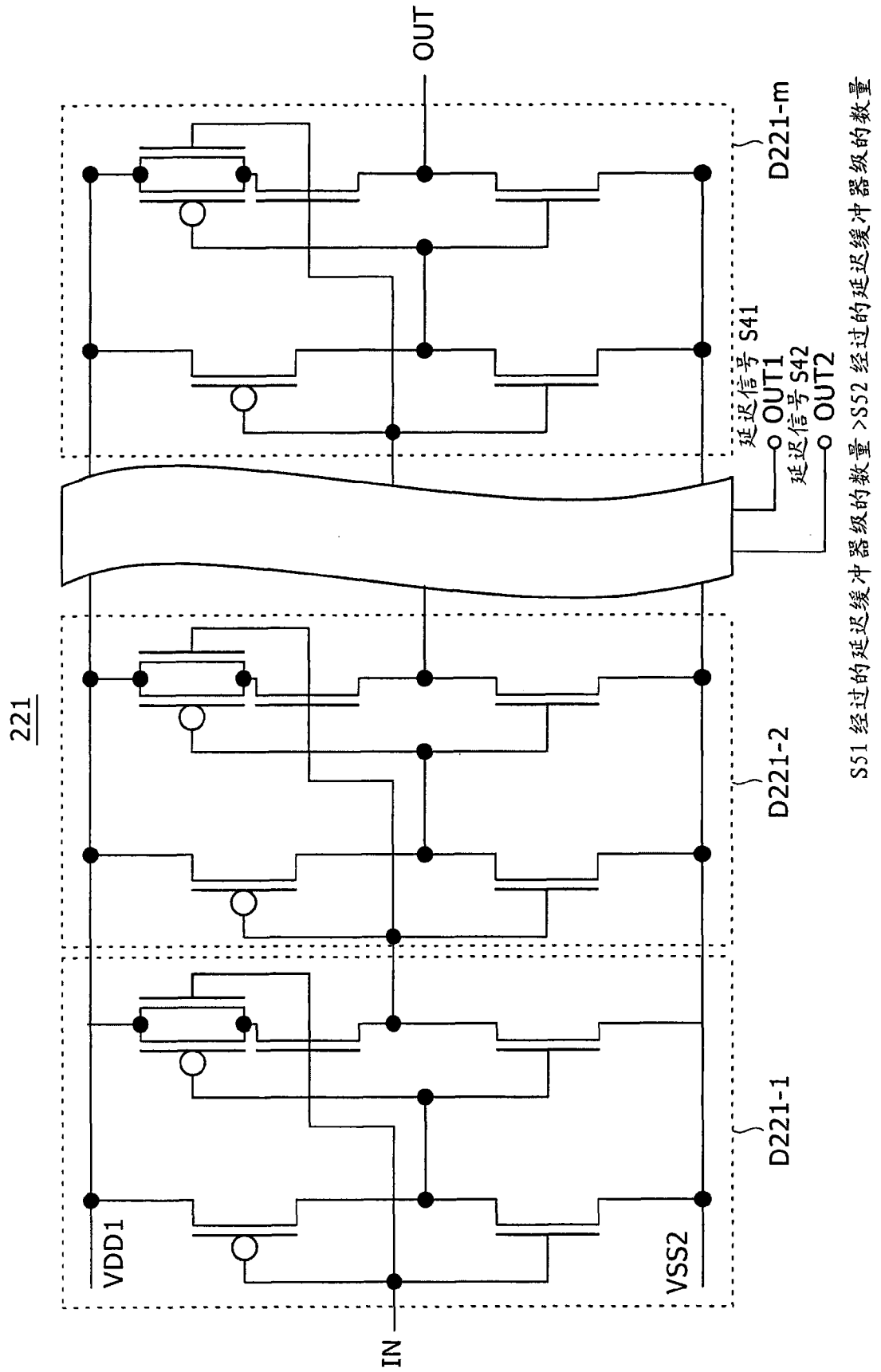

OUT
D221-m
延迟信号 S41
OUT1
延迟信号 S42
OUT2
S51 经过的延迟缓冲器级的数量 >S52 经过的延迟缓冲器级的数量
221
D221-2
D221-1
VDD1
VSS2
IN

图 17

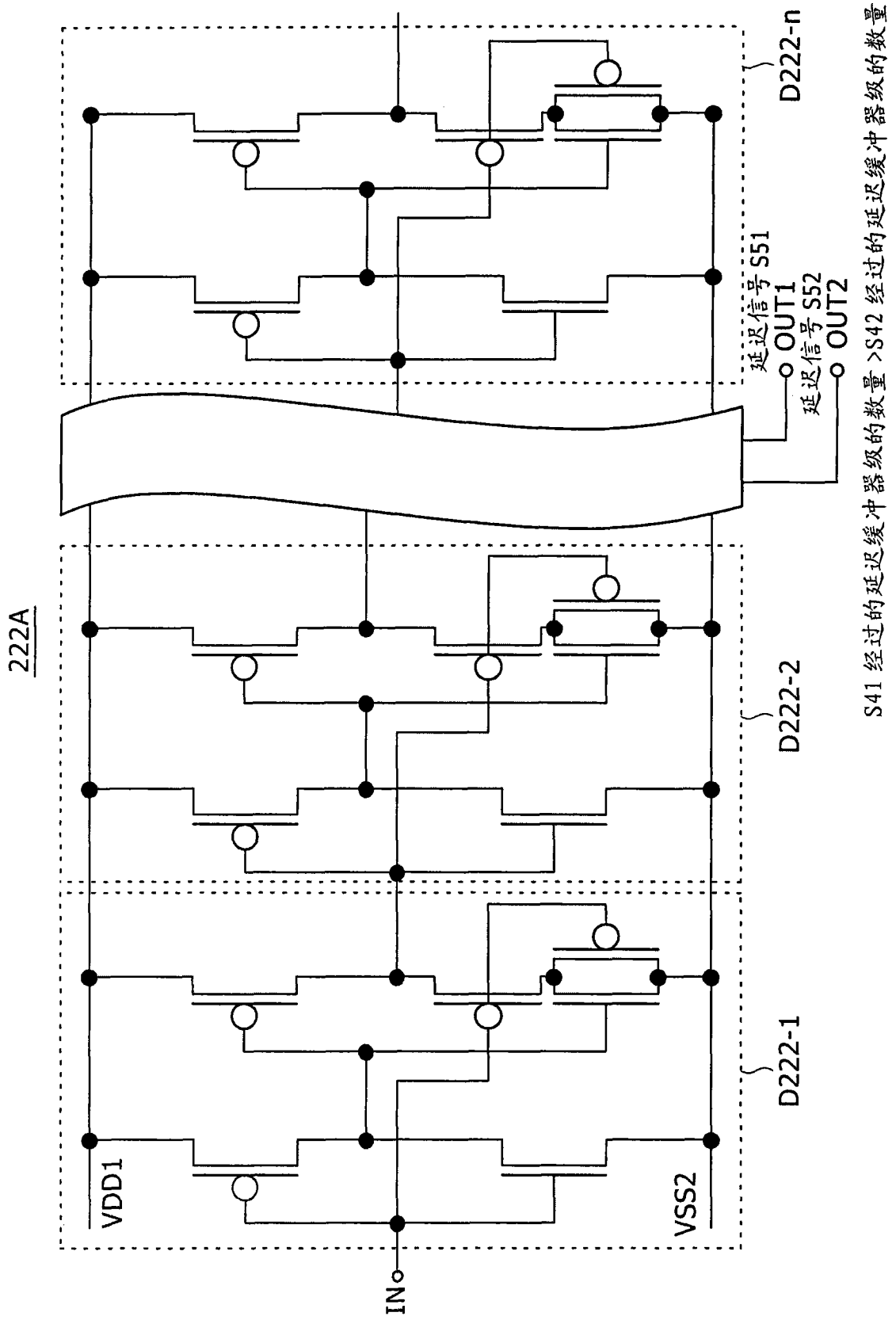

222A
VDD1
VSS2
IN
D222-1
D222-2
D222-n
延迟信号 S51
OUT1
延迟信号 S52
OUT2
S41 经过的延迟缓冲器级的数量 >S42 经过的延迟缓冲器级的数量

图 18

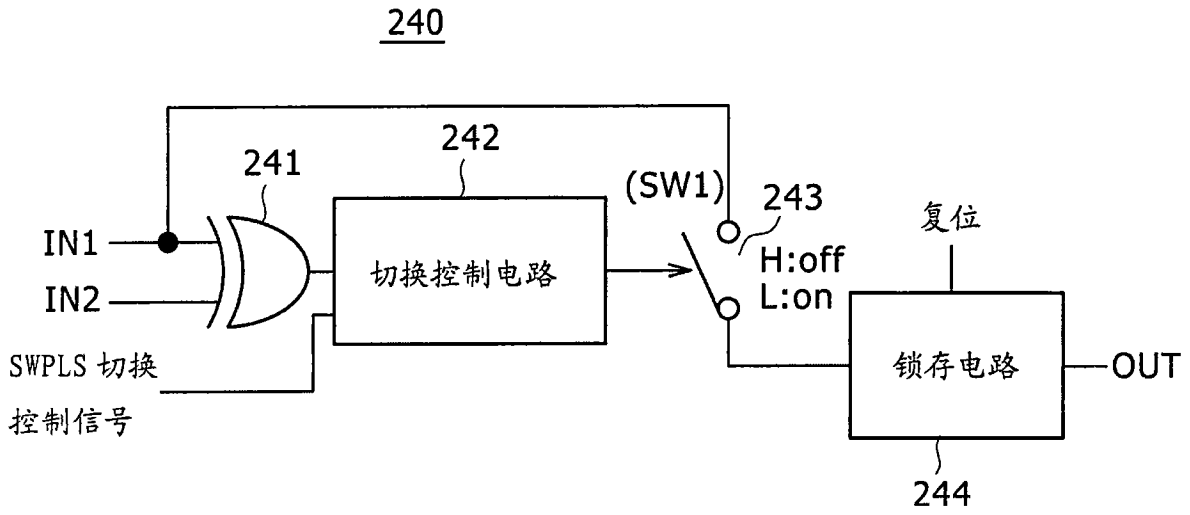
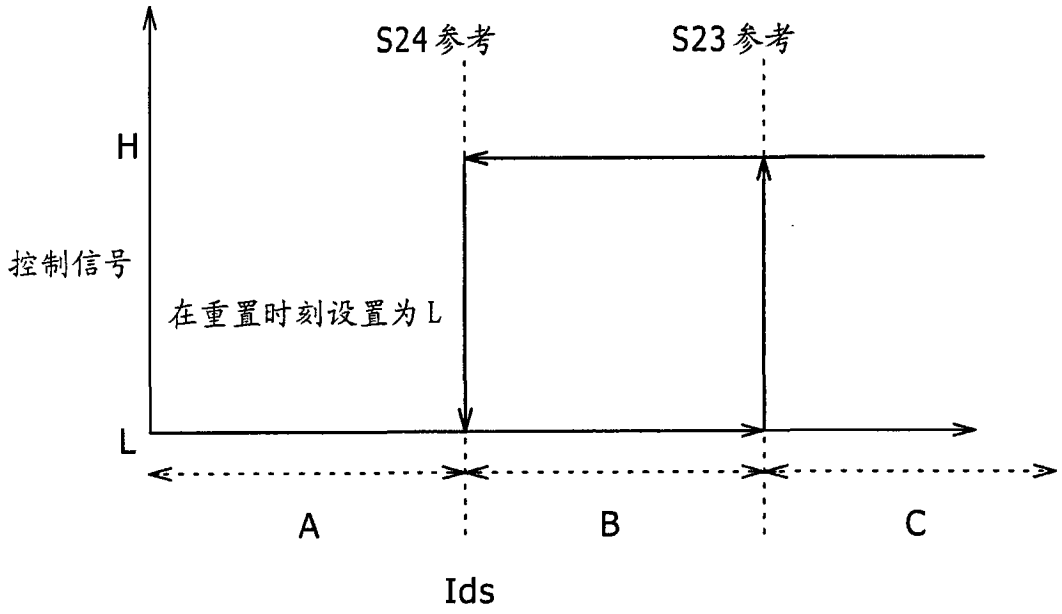


图 19

IN1	IN2	OUT
H	L	锁存的先前状态
L	H	锁存的先前状态
L	L	L
H	H	H

图 20



S23 经过的延迟缓冲器级的数量大于 S24 经过的延迟缓冲器级的数量

图 21

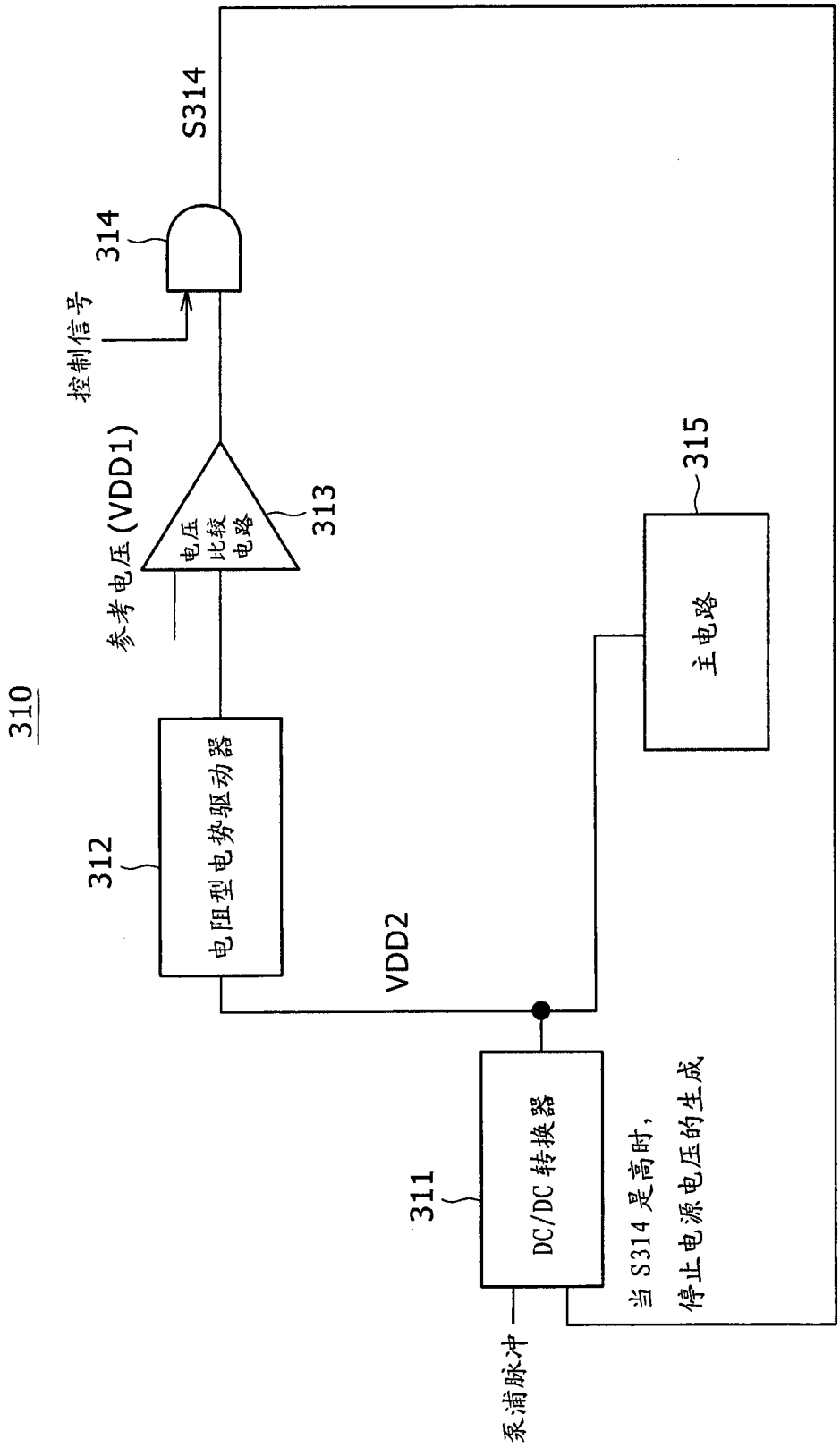

310
S314
314
控制信号
参考电压 (VDD1)
电压比较电路
313
315
主电路
312
电阻型电势驱动器
VDD2
311
DC/DC 转换器
当 S314 是高时，
停止电源电压的生成
泵浦脉冲

图 22

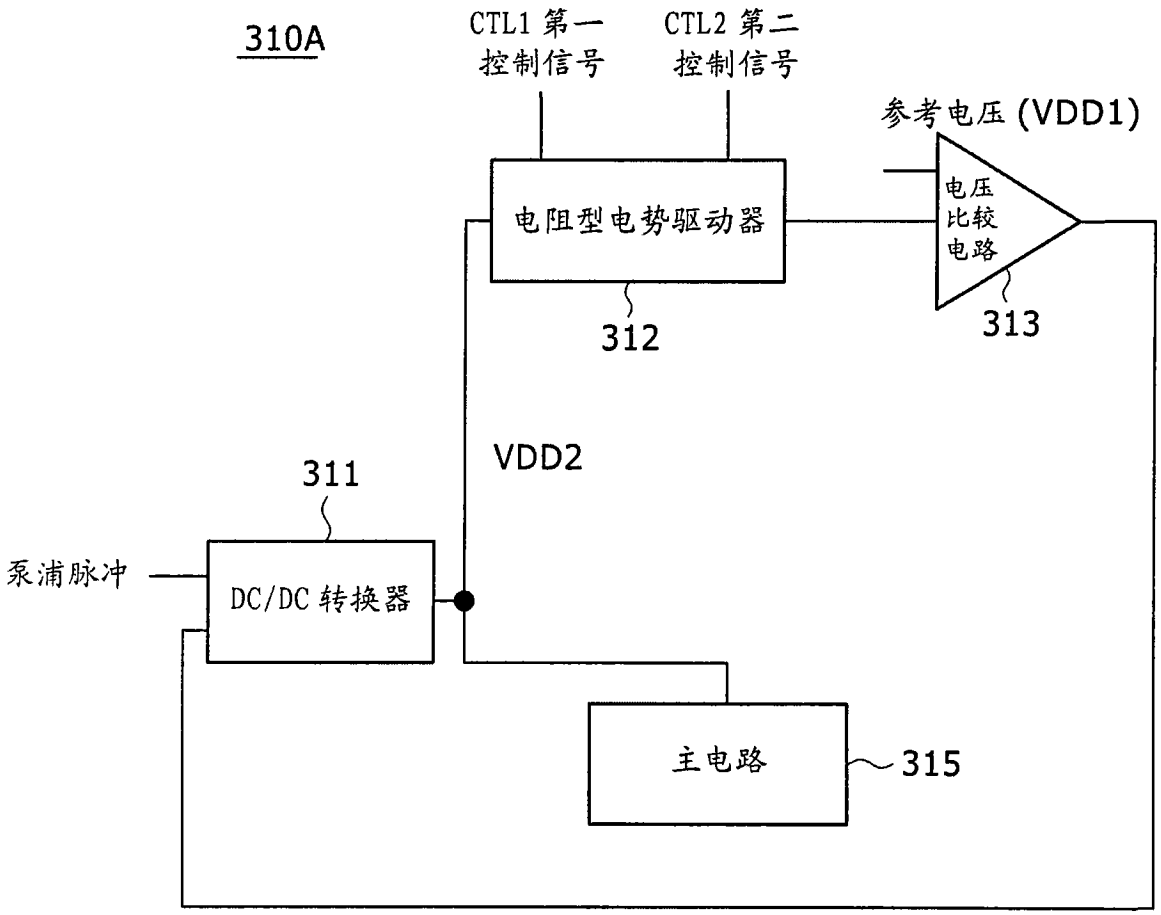

310A
CTL1 第一控制信号
CTL2 第二控制信号
参考电压 (VDD1)
电阻型电势驱动器
电压比较电路
312
313
VDD2
311
泵浦脉冲
DC/DC 转换器
主电路
315

图 23

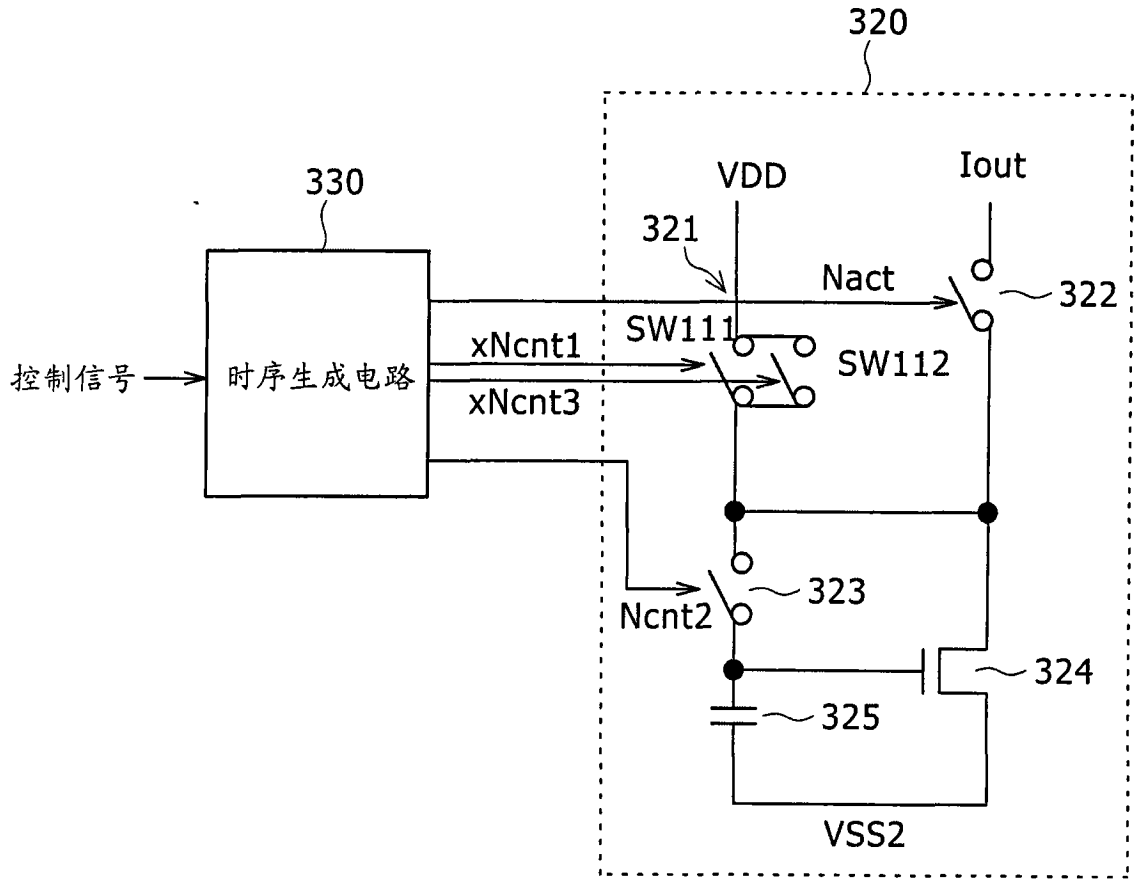

320
330
VDD
Iout
321
Nact
322
SW111
SW112
xNcnt1
xNcnt3
控制信号
时序生成电路
323
Ncnt2
324
325
VSS2

图 24

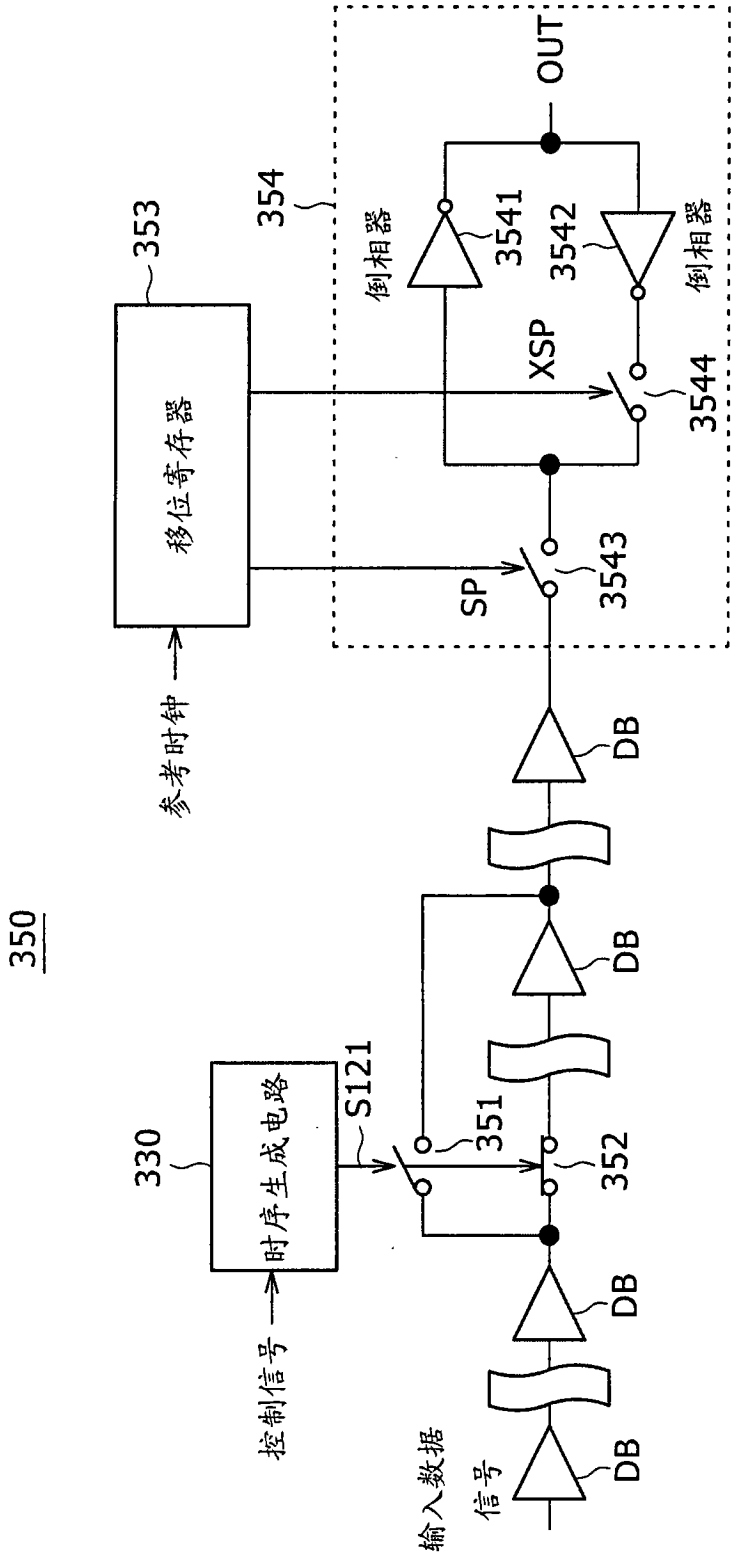

350
330
时序生成电路
S121
控制信号
353
移位寄存器
参考时钟
354
倒相器
3541
3542
倒相器
OUT
XSP
3544
SP
3543
351
352
DB
DB
DB
DB
DB
输入数据信号

图 25

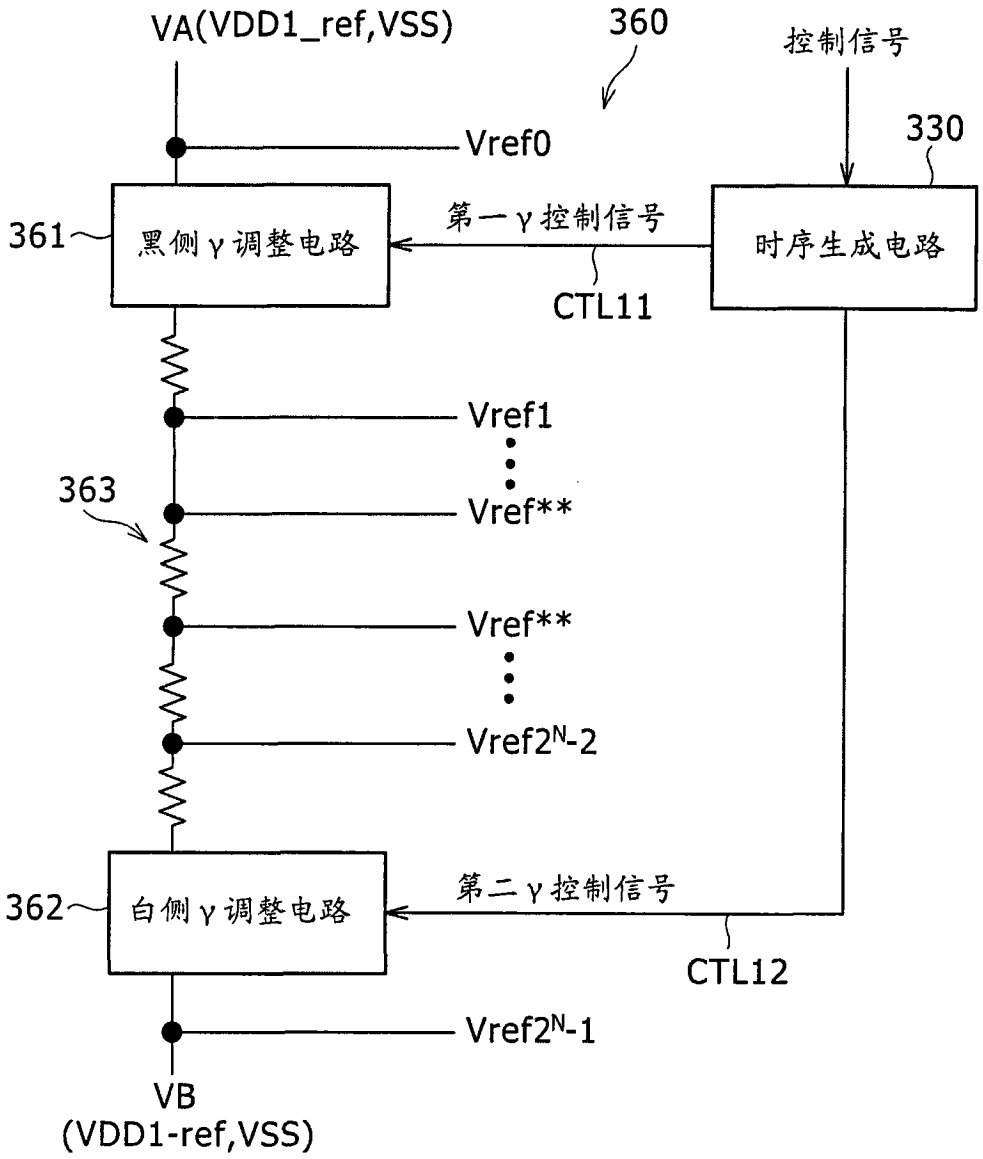

VA(VDD1_ref,VSS)
360
控制信号
330
Vref0
361
黑侧γ调整电路
第一γ控制信号
时序生成电路
CTL11
Vref1
363
Vref**
Vref**
Vref2N-2
362
白侧γ调整电路
第二γ控制信号
CTL12
Vref2N-1
VB
(VDD1-ref,VSS)

图 26

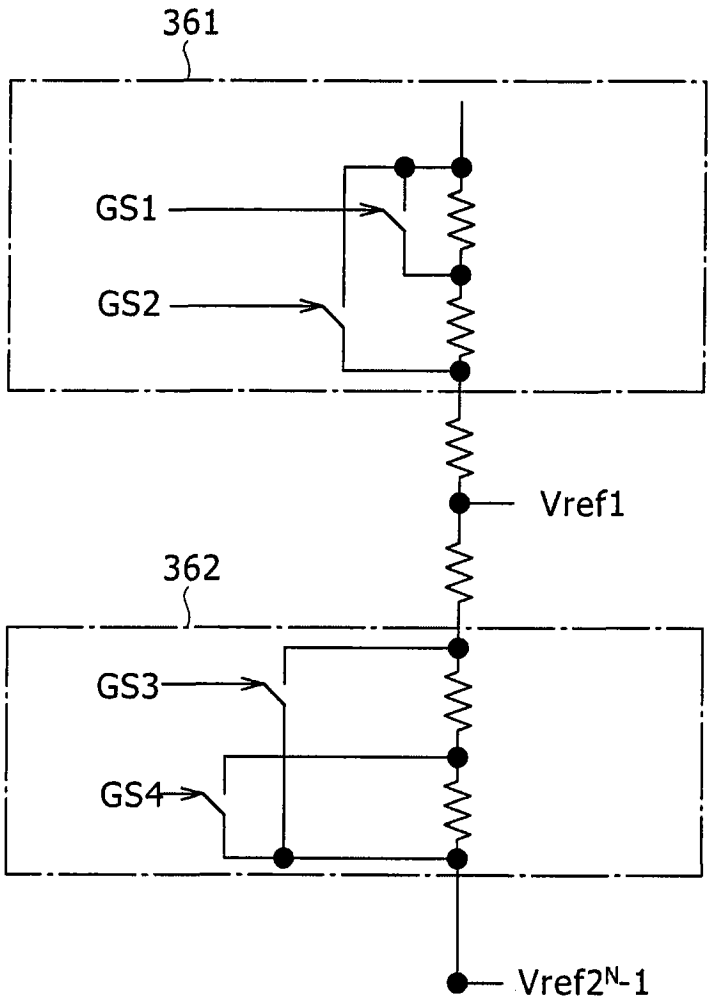


图 27

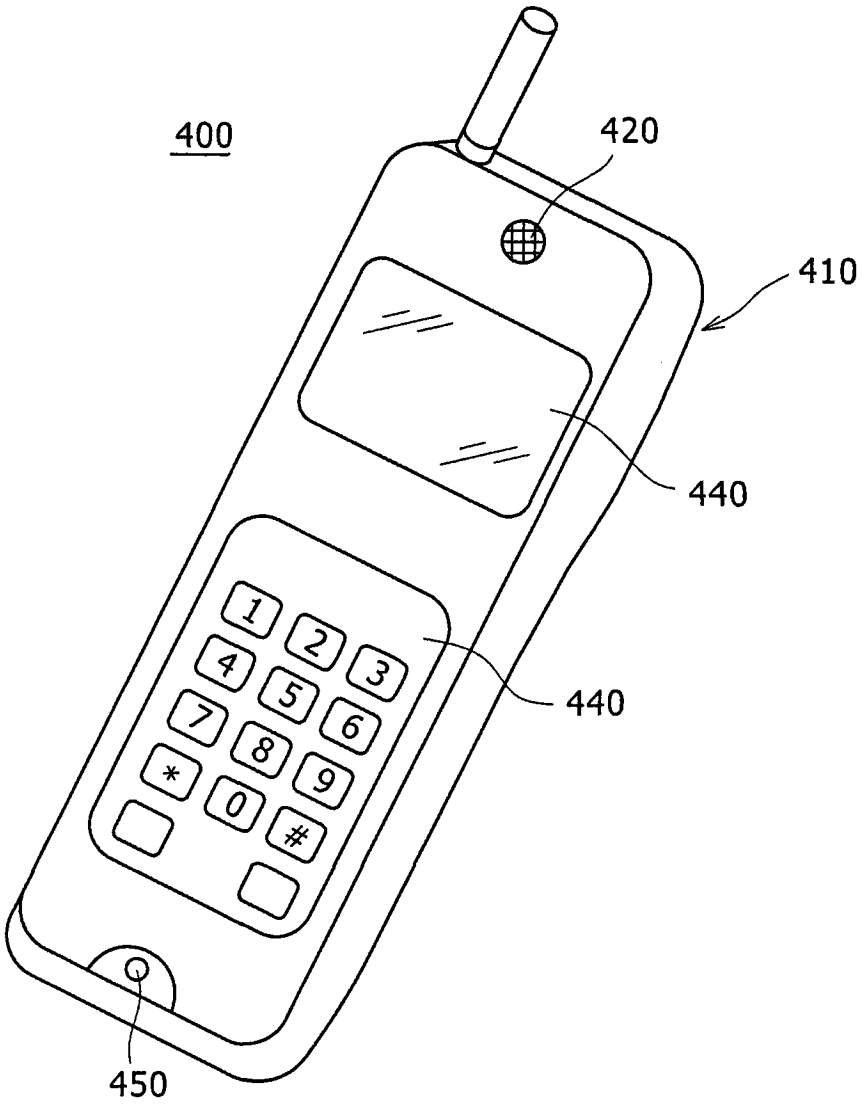


图 28