



등록특허 10-2101039



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년04월14일
(11) 등록번호 10-2101039
(24) 등록일자 2020년04월08일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *G02F 1/136* (2006.01)
H01L 21/336 (2006.01)
- (21) 출원번호 10-2013-0020231
(22) 출원일자 2013년02월26일
심사청구일자 2017년12월22일
- (65) 공개번호 10-2013-0099850
(43) 공개일자 2013년09월06일
- (30) 우선권주장
JP-P-2012-044279 2012년02월29일 일본(JP)
- (56) 선행기술조사문현
JP2011076079 A*
JP2011120221 A*
KR1020070002664 A*
- *는 심사관에 의하여 인용된 문현

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
오마루 다쿠로
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
나가츠카 슈헤이
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
- (74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 5 항

심사관 : 나영준

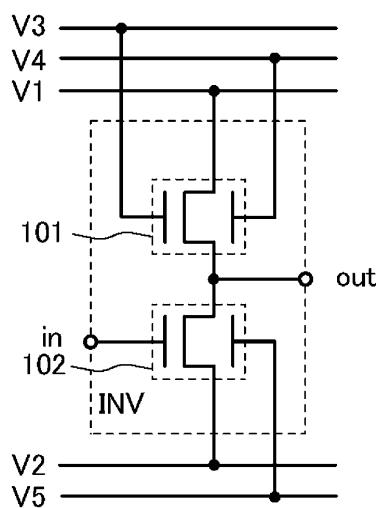
(54) 발명의 명칭 반도체 장치

(57) 요 약

본 발명은 트랜지스터의 문턱 값 전압을 제어함으로써 구동 주파수가 높게 된 논리 회로를 사용한 반도체 장치를 제공한다. 또는 소비 전력이 저감된 논리 회로를 사용한 반도체 장치를 제공한다.

채널이 형성된 반도체막과 반도체막을 끼워 형성된 한 쌍의 게이트 전극과, 반도체막에 접하여 형성된 소스 전극 및 드레인 전극을 갖는 제 1 트랜지스터 및 제 2 트랜지스터를 갖고, 한 쌍의 게이트 전극에 인가된 전위를 제어 함으로써 제 1 트랜지스터의 특성을 노멀리 온으로 하고, 제 2 트랜지스터의 특성을 노멀리 오프로 한다. 이로 씨 구동 주파수가 높게 된 인버터 회로가 된다. 상기 인버터 회로를 홀수단 직렬로 접속시켜 마지막 단의 인버터 회로의 출력 단자와 처음 단의 인버터 회로의 입력 단자를 접속함으로써 스스로 발진시킬 수 있다.

대 표 도 - 도1a



명세서

청구범위

청구항 1

반도체 장치에 있어서,

제 1 트랜지스터 및 제 2 트랜지스터를 포함하는 인버터를 포함하고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각은,

산화물 반도체막과;

상기 산화물 반도체막이 사이에 제공된 한 쌍의 게이트 전극과;

소스 전극 및 드레인 전극을 포함하고,

상기 제 1 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 한쪽은 제 1 전원선과 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 한쪽은 제 2 전원선과 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 한 쌍의 게이트 전극 중 한쪽은 제 3 전원선과 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 한 쌍의 게이트 전극 중 한쪽은 제 4 전원선과 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 한 쌍의 게이트 전극 중 다른 쪽은 상기 제 1 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 쪽, 상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 쪽, 및 상기 인버터의 출력 단자와 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 한 쌍의 게이트 전극 중 다른 쪽은 상기 인버터의 입력 단자와 전기적으로 접속되고,

상기 제 1 전원선의 전위는 상기 제 2 전원선의 전위보다 높고,

상기 제 3 전원선의 전위는 상기 제 1 전원선의 상기 전위 이상이고,

상기 제 4 전원선의 전위는 상기 제 2 전원선의 상기 전위 이하인, 반도체 장치.

청구항 2

반도체 장치에 있어서,

제 1 트랜지스터 및 제 2 트랜지스터를 포함하는 인버터를 포함하고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각은,

산화물 반도체막과;

상기 산화물 반도체막이 사이에 제공된 한 쌍의 게이트 전극과;

소스 전극 및 드레인 전극을 포함하고,

상기 제 1 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 한쪽은 제 1 전원선과 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 한쪽은 제 2 전원선과 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 한 쌍의 게이트 전극 중 한쪽은 제 3 전원선과 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 한 쌍의 게이트 전극 중 다른 쪽은 제 4 전원선과 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 한 쌍의 게이트 전극 중 한쪽은 제 5 전원선과 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 쪽은 상기 제 2 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 다른 쪽, 및 상기 인버터의 출력 단자와 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 한 쌍의 게이트 전극 중 다른 쪽은 상기 인버터의 입력 단자와 전기적으로 접속되고,

상기 제 1 전원선의 전위는 상기 제 2 전원선의 전위보다 높고,

상기 제 3 전원선 및 상기 제 4 전원선 각각의 전위는 상기 제 1 전원선의 상기 전위 이상이고,

상기 제 5 전원선의 전위는 상기 제 2 전원선의 상기 전위 이하인, 반도체 장치.

청구항 3

삭제

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제 1 트랜지스터의 채널 길이에 대한 채널 폭의 비는 상기 제 2 트랜지스터의 채널 길이에 대한 채널 폭의 비보다 작은, 반도체 장치.

청구항 5

삭제

청구항 6

삭제

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 같은 도전형을 갖는, 반도체 장치.

청구항 8

삭제

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 산화물 반도체막은 In, Ga, Zn, 및 산소를 포함하는, 반도체 장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001]

본 발명은 논리 회로를 사용한 반도체 장치에 관한 것이다.

배경 기술

[0002]

근년에 들어, 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 진행되고 있고, 상기 트랜지스터는 집적 회로(IC)나 회상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다.

[0003]

트랜지스터에 적용할 수 있는 반도체 재료로서 실리콘은 널리 알려져 있지만, 그 외의 재료로서 산화 인듐, 산화 아연 등의 산화물 반도체나, 갈륨 비소 등의 III-V족 화합물 반도체가 주목을 모으고 있다.

[0004]

예를 들어, 특히 문헌 1에 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 비정질 산화물 반도체를 사용한 트랜지스터가 기재되어 있다.

[0005]

다만, 상술한 산화물 반도체를 사용하여 제작된 트랜지스터는 n채널형 트랜지스터가 된다. 그러므로 상기 트랜지스터를 사용하여 논리 회로를 구성하면, 단극(單極)성의 논리 회로가 구성된다.

선행기술문헌

특허문헌

[0006]

(특허문헌 0001) 일본국 특개 2006-165528호 공보

발명의 내용

해결하려는 과제

[0007]

단극성의 논리 회로로서 인버터 회로를 구성하는 경우, 인버터 회로가 갖는 복수의 트랜지스터의 문턱 값 전압을 각각 제어할 필요가 있다. 예를 들어, 한쪽의 트랜지스터를 전류원으로 하고 다른 쪽의 트랜지스터를 스위치로 하여 인버터 회로의 동작을 수행한다.

[0008]

하지만, 단극성의 인버터 회로에서 한쪽의 트랜지스터가 오프 상태로부터 온 상태가 될 때, 인버터 회로의 출력 신호의 상승 시간이 길게 되면 구동 주파수가 낮게 된다는 문제가 있다. 또한, 한쪽 또는 다른 쪽의 트랜지스

터가 오프 상태일 때의 누설 전류로 인하여 소비 전력이 증대된다는 문제가 있다.

[0009] 상술한 문제를 감안하여 구동 주파수가 높여진 논리 회로를 사용한 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또한, 소비 전력이 저감된 논리 회로를 사용한 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 본 발명의 일 형태에서는 상술한 목적 중 어느 하나를 해결하기로 한다.

과제의 해결 수단

[0010] 본 발명의 일 형태에서는 채널이 형성되는 반도체막과, 상기 반도체막을 끼워 형성된 한 쌍의 게이트 전극과, 반도체막에 접하여 형성된 소스 전극 및 드레인 전극을 갖는 트랜지스터를 사용하여 논리 회로를 구성한다. 상기 트랜지스터에서 한 쌍의 게이트 전극의 한쪽은 제 1 게이트 절연막을 개재(介在)하여 반도체막과 중첩되고, 한 쌍의 게이트 전극의 다른 쪽은 제 2 게이트 절연막을 개재하여 반도체막과 중첩된다. 여기서 한 쌍의 게이트 전극의 한쪽을 제 1 게이트 전극으로 하고, 다른 쪽을 제 2 게이트 전극으로 한다.

[0011] 논리 회로로서 인버터 회로를 구성하는 경우에는 예를 들어, 전원 전위가 인가되는 제 1 전원선과 접지 전위가 인가되는 제 2 전원선 사이에 제 1 트랜지스터와 제 2 트랜지스터를 직렬로 접속시킨다. 즉 제 1 트랜지스터의 소스 전극과 제 2 트랜지스터의 드레인 전극을 전기적으로 접속한다. 이때, 제 1 트랜지스터의 한 쌍의 게이트 전극의 한쪽은 제 3 전원선과 접속되고, 한 쌍의 게이트 전극의 다른 쪽은 제 4 전원선과 접속되고, 소스 전극은 제 2 트랜지스터의 드레인 전극 및 출력 단자와 접속된다. 또한, 제 2 트랜지스터의 한 쌍의 게이트 전극의 한쪽은 입력 단자와 접속되고, 한 쌍의 게이트 전극의 다른 쪽은 제 5 전원선과 접속된다.

[0012] 제 1 트랜지스터 및 제 2 트랜지스터에 각각 한 쌍의 게이트 전극의 다른 쪽(제 2 게이트 전극)을 형성하여, 제 1 트랜지스터 및 제 2 트랜지스터의 문턱 값 전압을 각각 제어함으로써 제 1 트랜지스터의 특성을 노멀리 온으로 하고, 제 2 트랜지스터의 특성을 노멀리 오프로 할 수 있다.

[0013] 제 1 트랜지스터의 특성을 노멀리 온으로 함으로써 제 1 트랜지스터의 전류 구동 능력을 향상시킬 수 있다. 이로써 제 1 트랜지스터에 한 쌍의 게이트 전극의 다른 쪽(제 2 게이트 전극)이 형성되지 않은 경우에 비하여 인버터 회로의 출력 신호의 상승 시간을 빠르게 할 수 있다. 따라서 인버터 회로의 구동 주파수를 높일 수 있다. 또한, 제 2 트랜지스터의 특성을 노멀리 오프로 함으로써 제 2 트랜지스터가 오프 상태에서의 누설 전류를 저감할 수 있으므로 소비 전력을 저감할 수 있다.

[0014] 상술한 인버터 회로(제 1 인버터 회로라고도 기재함)를 홀수단 직렬로 접속시켜 마지막 단의 인버터 회로의 출력 단자와 처음 단의 인버터 회로의 입력 단자를 접속함으로써 링 오실레이터를 구성할 수 있다.

[0015] 제 1 인버터 회로는 출력 신호의 상승 시간이 빠르기 때문에 구동 주파수가 높다. 그러므로 제 1 인버터 회로를 홀수단 사용하여 링 오실레이터를 구성함으로써 링 오실레이터의 발진 주파수를 높일 수 있다. 따라서 각 제 1 인버터 회로의 지연 시간을 짧게 할 수 있다. 그리고 높은 발진 주파수에 의하여 링 오실레이터를 고속 동작시킬 수 있다.

[0016] 또한, 제 1 인버터 회로가 갖는 제 1 트랜지스터의 한 쌍의 게이트 전극의 다른 쪽에 인가되는 전위를 제어하기 위하여 제어용 인버터 회로(제 2 인버터 회로라고도 기재함)를 구비하여도 좋다.

[0017] 제 2 인버터 회로의 입력 단자에는 제 1 인버터 회로와 같은 입력 신호가 입력되고, 제 2 인버터 회로의 출력 단자는 제 1 인버터 회로가 갖는 제 1 트랜지스터의 한 쌍의 게이트 전극의 다른 쪽에 접속된다. 이로써 제 1 트랜지스터의 한 쌍의 게이트 전극의 다른 쪽에는 입력 신호의 반전 신호가 입력된다.

[0018] 제 2 인버터 회로는 예를 들어, 전원 전위가 인가되는 제 6 전원선과 접지 전위가 인가되는 제 7 전원선 사이에 제 3 트랜지스터와 제 4 트랜지스터를 직렬로 접속시킨다. 이때, 제 3 트랜지스터의 한 쌍의 게이트 전극의 한쪽은 제 8 전원선과 접속되고, 한 쌍의 게이트 전극의 다른 쪽은 제 9 전원선과 접속되고, 소스 전극은 제 4 트랜지스터의 드레인 전극 및 출력 단자와 접속된다. 또한, 제 4 트랜지스터의 한 쌍의 게이트 전극의 한쪽은 입력 단자와 접속되고, 한 쌍의 게이트 전극의 다른 쪽은 제 10 전원선과 접속된다.

[0019] 제 2 인버터 회로에서는 제 3 트랜지스터 및 제 4 트랜지스터에 각각 한 쌍의 게이트 전극의 다른 쪽(제 2 게이트 전극)을 형성하여 제 3 트랜지스터 및 제 4 트랜지스터의 문턱 값 전압을 각각 제어함으로써 제 3 트랜지스터의 특성을 노멀리 온으로 하고, 제 4 트랜지스터의 특성을 노멀리 오프로 할 수 있다.

[0020] 또한, 제 1 인버터 회로에서는 제 1 트랜지스터 및 제 2 트랜지스터에 각각 한 쌍의 게이트 전극의 다른 쪽(제 2 게이트 전극)을 형성하여, 제 1 트랜지스터 및 제 2 트랜지스터의 문턱 값 전압을 각각 제어함으로써 제 1 트

랜지스터의 특성을 노멀리 온 또는 노멀리 오프로 하고, 제 2 트랜지스터의 특성을 노멀리 오프로 할 수 있다.

[0021] 제 3 트랜지스터의 특성을 노멀리 온으로 함으로써 제 3 트랜지스터의 전류 구동 능력을 향상시킬 수 있다. 이로써 제 3 트랜지스터에 한 쌍의 게이트 전극의 다른 쪽(제 2 게이트 전극)이 형성되지 않은 경우에 비하여 제 2 인버터 회로의 출력 신호의 상승 시간을 빠르게 할 수 있다. 따라서 제 2 인버터 회로의 구동 주파수를 높일 수 있다. 또한, 제 4 트랜지스터의 특성을 노멀리 오프로 함으로써 제 4 트랜지스터가 오프 상태에서의 누설 전류를 저감할 수 있으므로 소비 전력을 저감할 수 있다.

[0022] 또한, 제 2 인버터 회로의 출력 신호에 따라 제 1 트랜지스터의 특성을 노멀리 온 또는 노멀리 오프로 제어할 수 있다. 이로써 제 1 트랜지스터에 한 쌍의 게이트 전극의 다른 쪽(제 2 게이트 전극)이 형성되지 않은 경우에 비하여 제 1 인버터 회로의 출력 신호의 상승 시간을 빠르게 할 수 있다. 따라서 제 1 인버터 회로의 구동 주파수를 높일 수 있다. 더구나 제 1 트랜지스터의 특성을 노멀리 오프로 함으로써 관통 전류를 억제할 수 있으므로 출력 신호의 진폭을 높일 수 있다.

[0023] 제 1 인버터 회로를 홀수단 사용하여 링 오실레이터를 구성할 수 있다. 링 오실레이터를 구성하는 경우에는 제 1 인버터 회로를 홀수단 직렬로 접속시켜 마지막 단의 인버터 회로의 출력 단자와 처음 단의 인버터 회로의 입력 단자를 접속하면 좋다. 또한, 제 2 인버터 회로와 제 1 인버터 회로의 개수는 같다. 각 제 1 인버터 회로의 입력 단자와 각 제 2 인버터 회로의 입력 단자는 접속되고, 각 제 2 인버터 회로의 출력 단자와 각 제 1 인버터 회로가 갖는 제 1 트랜지스터의 한 쌍의 전극의 다른 쪽은 접속된다.

[0024] 제 2 인버터 회로의 출력 단자를 제 1 인버터 회로가 갖는 제 1 트랜지스터의 한 쌍의 게이트 전극의 다른 쪽(제 2 게이트 전극)에 접속시킴으로써 제 2 인버터 회로로부터 출력된 출력 신호에 따라 제 1 트랜지스터의 특성을 노멀리 온 또는 노멀리 오프로 제어할 수 있다. 이로써 제 1 트랜지스터에 한 쌍의 게이트 전극의 다른 쪽(제 2 게이트 전극)이 형성되지 않은 경우에 비하여 제 1 인버터 회로의 출력 신호의 상승 시간을 빠르게 할 수 있다. 따라서 제 1 인버터 회로의 구동 주파수를 높일 수 있다. 그러므로 링 오실레이터를 제 1 인버터 회로를 사용하여 구성함으로써 링 오실레이터의 발진 주파수를 높일 수 있다. 따라서 각 제 1 인버터 회로의 지연 시간을 짧게 할 수 있다. 그리고 높은 발진 주파수에 의하여 링 오실레이터를 고속 동작시킬 수 있다. 더구나 제 1 트랜지스터의 특성을 노멀리 오프로 함으로써 관통 전류를 억제할 수 있으므로 제 1 인버터 회로는 출력 신호의 진폭을 높일 수 있다. 이로써 링 오실레이터의 개인을 크게 할 수 있기 때문에 링 오실레이터의 동작 범위를 넓게 할 수 있다.

[0025] 또한, 제어용 인버터 회로를 사용하지 않으며 인버터 회로가 갖는 제 1 트랜지스터의 한 쌍의 게이트 전극의 다른 쪽(제 2 게이트 전극)에 반전 신호를 입력시키기 위하여 이하에 기재된 구성으로 하여도 좋다.

[0026] 홀수단의 인버터 회로에서 어느 하나의 인버터 회로의 출력 단자를 다음 단의 인버터 회로의 입력 단자와 다음 단의 인버터 회로가 갖는 제 1 트랜지스터의 한 쌍의 게이트 전극의 다른 쪽에 접속시킨다. 또한, 마지막 단의 인버터 회로의 출력 단자를 처음 단의 인버터 회로의 입력 단자와 접속시킨다. 또한, 처음 단의 인버터 회로가 갖는 제 1 트랜지스터의 한 쌍의 게이트 전극의 다른 쪽에는 다른 회로로 생성된 반전 신호를 입력시켜도 좋고, 마지막 단의 1단 전의 인버터 회로의 출력 단자와 접속시켜도 좋다.

[0027] 제 1 인버터 회로에서 제 1 트랜지스터의 채널 길이(L)에 대한 채널 폭(W)의 비(W/L)는 제 2 트랜지스터의 채널 길이(L)에 대한 채널 폭(W)의 비(W/L)보다 작은 것이 바람직하다. 또한, 제 2 인버터 회로에서 제 3 트랜지스터의 채널 길이(L)에 대한 채널 폭(W)의 비(W/L)는 제 4 트랜지스터의 채널 길이(L)에 대한 채널 폭(W)의 비(W/L)보다 작은 것이 바람직하다.

[0028] 또한, 상술한 링 오실레이터는 위상 동기 회로가 구비한 전압 제어 발진기로서 사용할 수 있다.

[0029] 제 1 트랜지스터 내지 제 4 트랜지스터에 사용되는 반도체막으로서는 예를 들어, In-Ga-Zn계의 산화물 반도체막을 사용할 수 있다. 또한, 제 1 트랜지스터 내지 제 4 트랜지스터에 사용되는 반도체 재료로서는 상술한 산화물 반도체막 외에도 질화 갈륨, 갈륨 비소, 인듐 갈륨 비소 등의 화합물 반도체를 사용할 수도 있다.

발명의 효과

[0030] 본 발명의 일 형태에 의하면 트랜지스터의 문턱 값 전압을 제어함으로써 구동 주파수가 높여진 논리 회로를 사용한 반도체 장치를 제공할 수 있다. 또한, 소비 전력이 저감된 논리 회로를 사용한 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0031]

도 1a 내지 도 1c는 본 발명의 일 형태에 따른 논리 회로 및 반도체 장치.
 도 2a 내지 도 2c는 본 발명의 일 형태에 따른 논리 회로 및 반도체 장치.
 도 3a 및 도 3b는 본 발명의 일 형태에 따른 논리 회로 및 반도체 장치.
 도 4는 본 발명의 일 형태에 따른 반도체 장치.
 도 5a 및 도 5b는 본 발명의 일 형태에 따른 논리 회로 및 반도체 장치.
 도 6a 및 도 6b는 본 발명의 일 형태에 따른 반도체 장치.
 도 7a 내지 도 7f는 반도체 장치의 제작 공정의 단면도.
 도 8a 내지 도 8d는 반도체 장치의 제작 공정의 단면도.
 도 9는 발진 회로를 설명한 블록도.
 도 10은 휴대용 전자 기기의 블록도.
 도 11은 전자 서적의 블록도.
 도 12a 및 도 12b는 실시예 1에서 제작한 트랜지스터의 VG-ID 특성을 도시한 도면.
 도 13a 및 도 13b는 실시예 2에서 제작한 인버터 회로.
 도 14a 및 도 14b는 실시예 2에서 제작한 트랜지스터.
 도 15a 및 도 15b는 실시예 2에 따른 링 오실레이터의 진폭 및 주파수.
 도 16a 및 도 16b는 비교예에 따른 링 오실레이터의 진폭 및 주파수.
 도 17a 및 도 17b는 실시예 3에서 제작한 인버터 회로.
 도 18a 및 도 18b는 링 오실레이터 A 내지 링 오실레이터 C의 진폭 및 주파수.
 도 19a 및 도 19b는 링 오실레이터 D 내지 링 오실레이터 F의 진폭 및 주파수.

발명을 실시하기 위한 구체적인 내용

[0032]

본 발명의 실시형태의 일례에 대하여, 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 쉽게 이해할 수 있다. 따라서, 본 발명은 이하에 기재된 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 이하에 설명하는 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면간에서 공통적으로 사용하고, 그 반복 설명은 생략할 경우가 있다.

[0033]

또한, 도면 등에 도시된 각 구성의, 위치, 크기, 범위 등을, 이해하기 쉽게 하기 위하여, 실제의 위치, 크기, 범위 등을 도시하지 않은 경우가 있다. 그러므로 본 발명의 일 형태는 도면 등에 도시된 위치, 크기, 범위 등으로 한정되지 않는다.

[0034]

또한, 본 명세서 등에서 ‘제 1’, ‘제 2’, ‘제 3’ 등의 서수는 구성 요소의 혼동을 피하기 위하여 부기한 것이며, 수적으로 한정되는 것이 아니다.

[0035]

또한, 본 명세서 등에서 ‘전압’과 ‘전위’를 같은 의미로 사용할 경우가 있다.

[0036]

또한, ‘소스’나 ‘드레인’의 기능은 상이한 극성의 트랜지스터를 채용할 경우나, 회로 동작에 있어서 전류의 방향이 변화되는 경우 등에는 바뀌는 경우가 있다. 그러므로 본 명세서에서는 ‘소스’나 ‘드레인’이라는 용어는, 바꾸어 사용할 수 있는 것으로 한다.

[0037]

또한, 본 명세서 등에서의 ‘전기적으로 접속’에는 ‘어떠한 전기적 작용을 갖는 것’을 통하여 접속되어 있는 경우가 포함된다. 여기서, ‘어떠한 전기적 작용을 갖는 것’은 접속 대상간의 전기 신호의 수수를 가능하게 하는 것이면, 특별히 제한을 받지 않는다.

[0038]

본 명세서 등에서 ‘트랜지스터가 온 (상태)’이라고 기재한 경우에는 트랜지스터의 제 1 게이트 전극에 인가되

는 전위가 문턱 값 전압 이상인 상태를 가리킨다. 또한 ‘트랜지스터가 오프 (상태)’라고 기재한 경우, 트랜지스터의 제 1 게이트 전극에 인가되는 전위가 문턱 값 전압보다 낮은 상태를 가리킨다. 예를 들어, ‘노멀리 온’의 전기 특성을 갖는 트랜지스터란 트랜지스터의 제 1 게이트 전극에 인가된 전위가 0V인 경우에 온이 되는 트랜지스터를 가리킨다. 즉 ‘노멀리 온의 트랜지스터’는 문턱 값 전압이 0V 이하인 트랜지스터다. 또한, ‘노멀리 오프’의 전기 특성을 갖는 트랜지스터란 트랜지스터의 제 1 게이트 전극에 인가된 전위가 0V인 경우에 오프가 되는 트랜지스터를 가리킨다. 즉, ‘노멀리 오프의 트랜지스터’는 문턱 값 전압이 0V보다 높은 트랜지스터다.

[0039] (실시형태 1)

[0040] 본 실시형태에서는 본 발명의 일 형태에 따른 링 오실레이터에 대하여 도 1a 내지 도 2c를 참조하면서 설명한다. 도 1b 및 도 1c에 도시된 링 오실레이터는 인버터 회로로서 도 1a에 도시된 인버터 회로(INV)를 사용하는 구성으로 하므로 우선, 도 1a에 도시된 인버터 회로(INV)에 대하여 설명한다.

[0041] 도 1a는 인버터 회로(INV)의 구체적인 구성을 도시한 회로다. 인버터 회로(INV)는 트랜지스터(101) 및 트랜지스터(102)를 갖는다. 인버터 회로(INV)에서 트랜지스터(101) 및 트랜지스터(102)는 전원 전위(V1)가 인가되는 전원선(V1)과 전원 전위(V2)가 인가되는 전원선(V2) 사이에 직렬로 접속되어 있다. 즉 트랜지스터(101)의 소스 전극과 트랜지스터(102)의 드레인 전극이 전기적으로 접속되어 있다.

[0042] 트랜지스터(101) 및 트랜지스터(102)는 동일한 도전형의 트랜지스터로 한다. 그러므로 트랜지스터(101) 및 트랜지스터(102)는 동일한 도전형이면 n채널형 트랜지스터와 p채널형 트랜지스터의 어느 트랜지스터라도 상관없다. 트랜지스터(101) 및 트랜지스터(102)를 n채널형 트랜지스터로 한 경우, 전원 전위(V1)는 전원 전위(V2)보다 높게 한다. 또한, 전원 전위(V2)는 예를 들어, 접지 전위 또는 음의 전위로 한다. 즉 전원 전위(V1)를 고전원 전위로 하고 전원 전위(V2)를 저전원 전위로 한다. 트랜지스터(101) 및 트랜지스터(102)를 p채널형 트랜지스터로 한 경우에는 전원 전위(V1)는 전원 전위(V2)보다 낮게 한다. 또한, 전원 전위(V1)는 예를 들어, 접지 전위 또는 음의 전위로 한다. 즉 전원 전위(V1)를 저전원 전위로 하고, 전원 전위(V2)를 고전원 전위로 한다.

[0043] 트랜지스터(101) 및 트랜지스터(102)는 채널이 형성되는 반도체막과, 반도체막을 끼워 형성된 한 쌍의 게이트 전극과, 반도체막에 접하여 형성된 소스 전극 및 드레인 전극을 갖는 트랜지스터다. 상기 트랜지스터에서 한 쌍의 게이트 전극의 한쪽은 제 1 게이트 절연막을 개재하여 반도체막과 중첩되고, 한 쌍의 게이트 전극의 다른 쪽은 제 2 게이트 절연막을 개재하여 반도체막과 중첩된다. 여기서 한 쌍의 게이트 전극의 한쪽을 제 1 게이트 전극으로 하고, 다른 쪽을 제 2 게이트 전극(백 게이트라고도 함)으로 한다.

[0044] 또한, 트랜지스터(101) 및 트랜지스터(102)에 사용하는 반도체막으로서는 산화물 반도체, 질화 갈륨, 갈륨 비소, 인듐 비소, 인듐 갈륨 비소 등의 화합물 반도체를 사용할 수 있다.

[0045] 본 실시형태에서는 반도체막으로서 산화물 반도체막이 사용되는 경우에 대하여 설명한다. 상기 산화물 반도체막의 채널이 형성되는 영역은 불순물이 저감되고, 또 산소 결손이 저감됨으로써 고순도화된 영역인 것이 바람직하다. 고순도화된 산화물 반도체(purified OS)는, i형(진성 반도체)이거나 또는 i형에 매우 가깝다. 그러므로, 상기 산화물 반도체를 채널이 형성되는 영역에 사용한 트랜지스터는 오프 전류가 매우 낮고, 문턱 값 전압이 마이너스로 시프트되는 일이 적다(즉 노멀리 오프의 특성을 얻기 쉽다)는 특성을 갖는다.

[0046] 인버터 회로(INV)에서 트랜지스터(101)의 제 1 게이트 전극은 전원 전위(V3)가 인가되는 전원선(V3)과 접속되고, 트랜지스터(101)의 드레인 전극은 전원 전위(V1)가 인가되는 전원선(V1)과 접속되고, 제 2 게이트 전극은 전원 전위(V4)가 인가되는 전원선(V4)과 접속되고, 소스 전극은 트랜지스터(102)의 드레인 전극 및 출력 단자(out)에 접속된다. 또한, 트랜지스터(102)의 제 1 게이트 전극은 입력 신호가 입력되는 입력 단자(in)에 접속되고, 소스 전극은 전원 전위(V2)가 인가되는 전원선(V2)과 접속되고, 제 2 게이트 전극은 전원 전위(V5)가 인가되는 전원선(V5)과 접속된다.

[0047] 전원선(V3)은 전원 전위(V3)를 발생하는 제 1 전위 발생 회로와, 전원선(V4)은 전원 전위(V4)를 발생하는 제 2 전위 발생 회로와, 전원선(V5)은 전원 전위(V5)를 발생하는 제 3 전위 발생 회로와 접속되어 있다(도시하지 않았음). 제 1 전위 발생 회로 내지 제 3 전위 발생 회로는 각각 복수의 전위를 발생시킬 수 있다.

[0048] 다음에 도 1a에 도시된 인버터 회로(INV)의 동작에 대하여 설명한다. 여기서는 트랜지스터(101) 및 트랜지스터(102)가 n채널형 트랜지스터인 경우의 동작에 대하여 설명한다.

- [0049] 인버터 회로(INV)에서 트랜지스터(101)를 전류원으로서 기능시키고, 트랜지스터(102)를 스위치로서 기능시킨다. 즉 트랜지스터(102)를 온 상태 또는 오프 상태로 함으로써 인버터 회로(INV)의 출력 단자(out)로부터 반전 신호를 출력시킨다. 따라서 트랜지스터(102)의 전류 구동 능력이 트랜지스터(101)의 전류 구동 능력보다 높아야 인버터 회로로서 동작한다.
- [0050] 인버터 회로(INV)에서 전원 전위(V5)를 전원 전위(V2)와 거의 같은 전위 또는 전원 전위(V2)보다 낮게 함으로써 트랜지스터(102)의 문턱 값 전압은 플러스 방향으로 시프트되기 때문에 트랜지스터(102)의 특성은 노멀리 오프가 된다.
- [0051] 또한, 전원 전위(V3) 또는 전원 전위(V4)의 어느 한쪽을 전원 전위(V1)와 거의 같은 전위 또는 전원 전위(V1)보다 높은 전위로 하고, 다른 쪽을 양의 전위로 함으로써 트랜지스터(101)의 문턱 값 전압은 마이너스 방향으로 시프트되기 때문에 트랜지스터(101)의 특성은 노멀리 온이 된다.
- [0052] 이와 같은 상태에서 입력 신호로서 로레벨 전위(예를 들어, VSS)가 입력 단자(in)로 입력되면 트랜지스터(102)는 오프 상태가 된다. 또한, 트랜지스터(101)는 온 상태이므로 출력 단자(out)로부터 반전 신호로서 하이 레벨 전위(예를 들어, VDD)가 출력된다.
- [0053] 또한, 입력 신호로서 하이 레벨 전위가 입력 단자(in)에 입력되면 트랜지스터(102)는 온 상태가 된다. 이 때, 트랜지스터(101)가 온 상태라도 트랜지스터(102)의 전류 구동 능력이 트랜지스터(101)의 전류 구동 능력보다 높기 때문에 트랜지스터(102)에는 트랜지스터(101)보다 많은 전류가 흐른다. 이로써 출력 단자(out)로부터 반전 신호로서 로레벨 전위가 출력된다.
- [0054] 도 1a에 도시된 바와 같이, 트랜지스터(101) 및 트랜지스터(102) 각각에 제 2 게이트 전극을 형성하여 트랜지스터(101) 및 트랜지스터(102)의 문턱 값 전압을 각각 제어함으로써 트랜지스터(101)의 특성을 노멀리 온으로 하고, 트랜지스터(102)의 특성을 노멀리 오프로 할 수 있다.
- [0055] 트랜지스터(101)의 특성을 노멀리 온으로 함으로써 트랜지스터(101)의 전류 구동 능력을 향상시킬 수 있다. 이로써 트랜지스터(101)에 제 2 게이트 전극이 형성되지 않은 경우에 비하여 인버터 회로(INV)의 출력 신호의 상승 시간을 빠르게 할 수 있다. 따라서 인버터 회로(INV)의 구동 주파수를 높일 수 있다. 또한, 트랜지스터(102)의 특성을 노멀리 오프로 함으로써 트랜지스터(102)가 오프 상태일 때의 누설 전류를 저감할 수 있으므로 소비 전력을 저감할 수 있다.
- [0056] 또한, 도 1a에 도시된 바와 같이, 트랜지스터(101)는 트랜지스터(102)보다 전류 구동 능력을 낮게 할 필요가 있기 때문에, 트랜지스터(101)의 사이즈는 트랜지스터(102)의 사이즈보다 작게 하는 것이 바람직하다. 즉 트랜지스터(101)의 채널 폭(W)(또는 채널 길이(L)에 대한 채널 폭(W)의 비(W/L))은 트랜지스터(102)의 채널 폭(W)(또는 채널 길이(L)에 대한 채널 폭(W)의 비(W/L))보다 작게 하는 것이 바람직하다.
- [0057] 다음에 도 1a에 도시된 인버터 회로(INV)를 링 오실레이터에 사용한 경우에 대하여 도 1b 및 도 1c를 참조하면서 설명한다.
- [0058] 도 1b에 도시된 링 오실레이터는 도 1a에 도시된 인버터 회로(INV)를 홀수단 직렬로 접속시켜 마지막 단의 인버터 회로($2m-1$)($m>0$))의 출력 단자(out)를 처음 단의 인버터 회로(INV1)의 입력 단자(in)에 귀환(歸還)시켜 스스로 발진한다. 또한, 도 1c는 도 1b에 도시된 링 오실레이터의 3번째 단까지를 구체적으로 도시한 도면이다.
- [0059] 또한, 도 1b에 도시된 링 오실레이터는 전원선(V1)이 각 인버터 회로(INV)의 트랜지스터(101)의 드레인 전극에 접속되고, 전원선(V2)이 각 인버터 회로(INV)의 트랜지스터(102)의 소스 전극에 접속되고, 전원선(V3)이 각 인버터 회로(INV)의 트랜지스터(101)의 제 1 게이트 전극에 접속되고, 전원선(V4)이 각 인버터 회로(INV)의 트랜지스터(101)의 제 2 게이트 전극에 접속되고, 전원선(V5)이 각 인버터 회로(INV)의 트랜지스터(102)의 제 2 게이트 전극에 접속되어 있다.
- [0060] 도 1a에 도시된 인버터 회로(INV)는 출력 신호의 상승 시간이 빠르기 때문에 구동 주파수가 높다. 그러므로 상기 인버터 회로(INV)를 사용하여 도 1b에 도시된 링 오실레이터를 구성함으로써 링 오실레이터의 발진 주파수를 높일 수 있다. 따라서 각 인버터 회로(INV)의 지연 시간을 짧게 할 수 있다. 그리고 높은 발진 주파수에 의하여 링 오실레이터를 고속 동작시킬 수 있다.
- [0061] 또는 인버터 회로(INV)에서 전원 전위(V3)를 전원 전위(V1)와 거의 같은 전위 및 전원 전위(V4)를 전원 전위(V2)보다 낮은 전위로 함으로써 트랜지스터(101)의 문턱 값 전압을 플러스 방향으로 시프트시켜 트랜지스터

(101)의 특성을 노멀리 오프로 하여도 좋다. 트랜지스터(101)의 특성을 노멀리 오프로 함으로써 트랜지스터(101)의 누설 전류를 저감할 수 있다. 이로써 인버터 회로(INV)의 소비 전력을 더욱 저감할 수 있다. 또한, 상기 인버터 회로(INV)를 사용한 링 오실레이터의 소비 전력을 저감할 수 있다.

[0062] 이와 같이, 트랜지스터(101)의 제 2 게이트 전극에 인가되는 전원 전위(V4)를 변화시킴으로써 인버터 회로(INV)의 고속 동작에 의한 구동 주파수의 향상 또는 저속 구동에 의한 소비 전력의 저감을 조정할 수 있다. 그러므로 인버터 회로(INV)를 고속 구동시키는 경우에는 트랜지스터(101)의 특성을 노멀리 온으로 하면 좋고, 저속 구동시키는 경우에는 트랜지스터(101)의 특성을 노멀리 오프로 하면 좋다. 전원 전위(V4)는 제 2 전위 발생 회로로 제어할 수 있다.

[0063] 다음에 도 2a 내지 도 2c에 도 1a 내지 도 1c와 부분적으로 상이한 인버터 회로(INV) 및 링 오실레이터를 도시하였다.

[0064] 도 2a에 도시된 인버터 회로(INV)에서 트랜지스터(101)의 드레인 전극은 전원 전위(V1)가 인가되는 전원선(V1)과 접속되고, 제 2 게이트 전극은 전원 전위(V4)가 인가되는 전원선(V4)과 접속되고, 제 1 게이트 전극은 소스 전극 및 출력 단자(out)와 접속된다. 이로써, 트랜지스터(101)의 제 1 게이트 전극 및 소스 전극 사이의 전압은 0V가 되어 트랜지스터(101)는 오프 상태가 된다.

[0065] 하지만, 전원 전위(V4)를 양의 전위로 함으로써 트랜지스터(101)의 문턱 잠금 전압은 마이너스 방향으로 시프트되기 때문에, 트랜지스터(101)의 특성을 노멀리 온으로 할 수 있다.

[0066] 트랜지스터(101)의 특성을 노멀리 온으로 함으로써 트랜지스터(101)의 전류 구동 능력을 향상시킬 수 있다. 이로써 트랜지스터(101)에 제 2 게이트 전극이 형성되지 않은 경우에 비하여 인버터 회로(INV)의 출력 신호의 상승 시간을 빠르게 할 수 있다. 따라서 인버터 회로(INV)의 구동 주파수를 높일 수 있다. 또한, 전원선(V3)을 사용하지 않아도 좋기 때문에 도 1a에 비하여 전원선의 개수를 저감할 수 있다.

[0067] 도 2a에 도시된 인버터 회로(INV)에서, 트랜지스터(101)는 제 1 게이트 전극이 소스 전극과 접속(역 다이오드 접속)되어 전류 구동 능력이 매우 낮게 된다. 그러므로, 트랜지스터(101)의 사이즈는 트랜지스터(102)의 사이즈보다 큰 것이 바람직하다. 즉 트랜지스터(101)의 채널 폭(W)(또는 채널 길이(L)에 대한 채널 폭(W)의 비(W/L))은 트랜지스터(102)의 채널 폭(W)(또는 채널 길이(L)에 대한 채널 폭(W)의 비(W/L))보다 큰 것이 바람직하다.

[0068] 도 2a에 도시된 인버터 회로(INV)를 링 오실레이터에 사용한 경우에 대하여 도 2b 및 도 2c를 참조하면서 설명한다.

[0069] 도 2b에 도시된 링 오실레이터는 도 2a에 도시된 인버터 회로(INV)를 홀수단 직렬로 접속시켜 마지막 단의 인버터 회로($2m-1$)($m>0$))의 출력 단자(out)를 처음 단의 인버터 회로(INV1)의 입력 단자(in)에 귀환시켜 스스로 발진한다. 또한, 도 2c는 도 2b에 도시된 링 오실레이터의 3번째 단까지를 구체적으로 도시한 도면이다.

[0070] 도 2b 및 도 2c에 도시된 링 오실레이터는 도 1b 및 도 1c에 도시된 링 오실레이터에 비하여 전원선의 개수를 저감할 수 있기 때문에, 회로 면적을 작게 할 수 있다.

[0071] 또한, 도 2a에 도시된 인버터 회로(INV)는 도 1a에 도시된 인버터 회로(INV)와 마찬가지로 출력 신호의 상승 시간이 빠르기 때문에 구동 주파수가 높다. 그러므로 상기 인버터 회로(INV)를 사용하여 도 2b에 도시된 링 오실레이터를 구성함으로써 링 오실레이터의 발진 주파수를 높일 수 있다. 따라서 인버터 회로(INV)의 지연 시간을 짧게 할 수 있다. 그리고 높은 발진 주파수에 의하여 링 오실레이터를 고속 동작시킬 수 있다.

[0072] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0073] (실시형태 2)

[0074] 본 실시형태에서는 상술한 실시형태와 상이한 링 오실레이터에 대하여 도 3a 내지 도 6b를 참조하면서 설명한다.

[0075] 도 3b에 도시된 링 오실레이터에서는 도 3a에 도시된 인버터 회로(INVa) 및 인버터 회로(INVb)가 갖는 트랜지스터(101)의 제 2 게이트 전극에 인가되는 전압을 제어하기 위한 제어용 인버터 회로(INVb)를 사용하는 구성으로 한다. 그러므로 우선 도 3a에 기재된 인버터 회로(INVa) 및 제어용 인버터 회로(INVb)에 대하여 설명한다.

[0076] 도 3a는 인버터 회로(INVa) 및 제어용 인버터 회로(INVb)의 구체적인 구성을 도시한 회로도다. 인버터 회로

(INVa)는 트랜지스터(101) 및 트랜지스터(102)를 갖고, 제어용 인버터 회로(INVb)는 트랜지스터(103) 및 트랜지스터(104)를 갖는다. 인버터 회로(INVa)에서 트랜지스터(101) 및 트랜지스터(102)는 전원 전위(V1)가 인가되는 전원선(V1)과 전원 전위(V2)가 인가되는 전원선(V2) 사이에 직렬로 접속되어 있다. 즉 트랜지스터(101)의 소스 전극과 트랜지스터(102)의 드레인 전극이 전기적으로 접속되어 있다. 또한, 제어용 인버터 회로(INVb)에서 트랜지스터(103) 및 트랜지스터(104)는 전원 전위(V6)가 인가되는 전원선(V6)과 전원 전위(V7)가 인가되는 전원선(V7) 사이에 직렬로 접속되어 있다. 즉 트랜지스터(103)의 소스 전극과 트랜지스터(104)의 드레인 전극이 전기적으로 접속되어 있다.

[0077] 트랜지스터(101) 및 트랜지스터(102)는 동일한 도전형의 트랜지스터로 한다. 그러므로 트랜지스터(101) 및 트랜지스터(102)는 동일한 도전형이면 n채널형 트랜지스터와 p채널형 트랜지스터 중 어느 트랜지스터라도 상관없다. 트랜지스터(101) 및 트랜지스터(102)를 n채널형 트랜지스터로 한 경우, 전원 전위(V1)는 전원 전위(V2)보다 높게 한다. 또한, 전원 전위(V2)는 예를 들어, 접지 전위 또는 음의 전위로 한다. 즉 전원 전위(V1)를 고전원 전위로 하고, 전원 전위(V2)를 저전원 전위로 한다. 트랜지스터(101) 및 트랜지스터(102)를 p채널형 트랜지스터로 한 경우에는 전원 전위(V1)는 전원 전위(V2)보다 낮게 한다. 또한, 전원 전위(V1)는 예를 들어, 접지 전위 또는 음의 전위로 한다. 즉 전원 전위(V1)를 저전원 전위로 하고, 전원 전위(V2)를 고전원 전위로 한다.

[0078] 또한, 트랜지스터(103) 및 트랜지스터(104)도 동일한 도전형의 트랜지스터로 한다. 그러므로 트랜지스터(103) 및 트랜지스터(104)는 동일한 도전형이면 n채널형 트랜지스터와 p채널형 트랜지스터 중 어느 트랜지스터라도 상관없다. 트랜지스터(103) 및 트랜지스터(104)를 n채널형 트랜지스터로 한 경우, 전원 전위(V6)는 전원 전위(V7)보다 높게 한다. 또한, 전원 전위(V7)는 예를 들어, 접지 전위 또는 음의 전위로 한다. 즉 전원 전위(V6)를 고전원 전위로 하고, 전원 전위(V7)를 저전원 전위로 한다. 트랜지스터(103) 및 트랜지스터(104)를 p채널형 트랜지스터로 한 경우에는 전원 전위(V6)는 전원 전위(V7)보다 낮게 한다. 또한, 전원 전위(V6)는 예를 들어, 접지 전위 또는 음의 전위로 한다. 즉 전원 전위(V6)를 저전원 전위로 하고, 전원 전위(V7)를 고전원 전위로 한다.

[0079] 트랜지스터(101) 내지 트랜지스터(104)는 채널이 형성되는 반도체막과, 반도체막을 끼워 형성된 한 쌍의 게이트 전극과, 반도체막에 접하여 형성된 소스 전극 및 드레인 전극을 갖는 트랜지스터다. 상기 트랜지스터에서 한 쌍의 게이트 전극의 한쪽은 제 1 게이트 절연막을 개재하여 반도체막과 중첩되고, 한 쌍의 게이트 전극의 다른 쪽은 제 2 게이트 절연막을 개재하여 반도체막과 중첩된다. 여기서 한 쌍의 게이트 전극의 한쪽을 제 1 게이트 전극으로 하고, 다른 쪽을 제 2 게이트 전극(백 게이트라고도 함)으로 한다.

[0080] 또한, 트랜지스터(101) 내지 트랜지스터(104)에 사용하는 반도체막으로서는 산화물 반도체, 질화 갈륨, 갈륨 비소, 인듐 비소, 인듐 갈륨 비소 등의 화합물 반도체를 사용할 수 있다.

[0081] 본 실시형태에서는 반도체막으로서 산화물 반도체막이 사용되어 있다. 상기 산화물 반도체막의 채널이 형성되는 영역은 불순물이 저감되고, 또 산소 결손이 저감됨으로써 고순도화된 영역인 것이 바람직하다. 고순도화된 산화물 반도체(purified OS)는, i형(진성 반도체)이거나 또는 i형에 매우 가깝다. 그러므로, 상기 산화물 반도체를 채널이 형성되는 영역에 사용한 트랜지스터는 오프 전류가 매우 낮고, 문턱 값 전압이 마이너스로 시프트되는 일이 적다(즉 노멀리 오프의 특성을 얻기 쉽다)는 특성을 갖는다.

[0082] 제어용 인버터 회로(INVb)에서 트랜지스터(103)의 제 1 게이트 전극은 전원 전위(V8)가 인가되는 전원선(V8)과 접속되고, 트랜지스터(103)의 드레인 전극은 전원 전위(V6)가 인가되는 전원선(V6)과 접속되고, 제 2 게이트 전극은 전원 전위(V9)가 인가되는 전원선(V9)과 접속되고, 소스 전극은 트랜지스터(104)의 드레인 전극 및 출력 단자(out)에 접속된다. 또한, 트랜지스터(104)의 제 1 게이트 전극은 입력 단자(in)에 접속되고, 소스 전극은 전원 전위(V7)가 인가되는 전원선(V7)과 접속되고, 제 2 게이트 전극은 전원 전위(V10)가 인가되는 전원선(V10)과 접속된다.

[0083] 또한, 인버터 회로(INVa)는 도 1a에 도시된 인버터 회로(INV)와 부분적으로 상이한 구성이다. 인버터 회로(INVa)가 인버터 회로(INV)와 상이한 점은 트랜지스터(101)에서의 제 2 게이트 전극(단자 A라고도 함)이 제어용 인버터 회로(INVb)의 출력 단자(out)와 접속되어 있는 점이다.

[0084] 전원선(V3)은 전원 전위(V3)를 발생하는 제 1 전위 발생 회로와, 전원선(V4)은 전원 전위(V4)를 발생하는 제 2 전위 발생 회로와, 전원선(V5)은 전원 전위(V5)를 발생하는 제 3 전위 발생 회로와 각각 접속되어 있다(도시하지 않았음). 제 1 전위 발생 회로 내지 제 3 전위 발생 회로는 각각 복수의 전위를 발생시킬 수 있다. 전원선(V8)은 전원 전위(V8)를 발생하는 제 4 전위 발생 회로와, 전원선(V9)은 전원 전위(V9)를 발생하는 제 5 전위

발생 회로와, 전원선(V10)은 전원 전위(V10)를 발생하는 제 6 전위 발생 회로와 각각 접속되어 있다(도시하지 않았음). 제 4 전위 발생 회로 내지 제 6 전위 발생 회로는 각각 복수의 전위를 발생시킬 수 있다.

[0085] 다음에 도 3a에 도시된 인버터 회로(INVa) 및 제어용 인버터 회로(INVb)의 동작에 대하여 설명한다. 여기서는 트랜지스터(101) 내지 트랜지스터(104)가 n채널형 트랜지스터인 경우에 대하여 설명한다.

[0086] 인버터 회로(INVa) 및 제어용 인버터 회로(INVb)의 입력 단자는 접속되어 있고 같은 입력 신호가 입력된다.

[0087] 제어용 인버터 회로(INVb)에서 트랜지스터(103)를 전류원으로서 기능시키고, 트랜지스터(104)를 스위치로서 기능시킨다. 즉 트랜지스터(104)를 온 상태 또는 오프 상태로 함으로써 제어용 인버터 회로(INVb)의 출력 단자(out)로부터 반전 신호를 출력시킨다. 따라서 트랜지스터(104)의 전류 구동 능력이 트랜지스터(103)의 전류 구동 능력보다 높지 않으면 인버터 회로로서 동작하지 않는다.

[0088] 제어용 인버터 회로(INVb)에서 전원 전위(V10)를 전원 전위(V7)와 거의 같은 전위 또는 전원 전위(V7)보다 낮은 전위로 함으로써 트랜지스터(104)의 문턱 값 전압이 플러스 방향으로 시프트되기 때문에 트랜지스터(104)의 특성은 노멀리 오프가 된다.

[0089] 또한, 전원 전위(V8) 또는 전원 전위(V9) 중 어느 쪽을 전원 전위(V6)와 거의 같은 전위 또는 전원 전위(V6)보다 높은 전위로 하고, 다른 쪽을 양의 전위로 함으로써 트랜지스터(103)의 문턱 값 전압이 마이너스 방향으로 시프트되기 때문에 트랜지스터(103)의 특성은 노멀리 온이 된다.

[0090] 인버터 회로(INVa)에서 트랜지스터(101)의 제 1 게이트 전극에 전원 전위(V1)와 거의 같은 전위의 전원 전위(V3)가 인가된 상태에서 제어용 인버터 회로(INVb)로부터 출력된 출력 신호를 트랜지스터(101)의 제 2 게이트 전극에 입력시킴으로써 제어용 인버터 회로(INVb)로부터 출력된 출력 신호에 따라, 트랜지스터(101)의 문턱 값 전압을 변화시킨다. 이로써 트랜지스터(101)의 특성을 노멀리 온 또는 노멀리 오프로 변화시킬 수 있다.

[0091] 또한, 전원 전위(V5)를 전원 전위(V2)와 거의 같은 전위 또는 전원 전위(V2)보다 낮은 전위로 함으로써 트랜지스터(102)의 문턱 값 전압은 플러스 방향으로 시프트되기 때문에 트랜지스터(102)의 특성은 노멀리 오프가 된다.

[0092] 이와 같은 상태에서 입력 신호로서 로 레벨 전위가 제어용 인버터 회로(INVb)의 입력 단자(in)로 입력되면 트랜지스터(104)는 오프 상태가 된다. 또한, 트랜지스터(103)는 온 상태이므로 제어용 인버터 회로(INVb)의 출력 단자(out)로부터 반전 신호로서 하이 레벨 전위가 출력된다.

[0093] 또한, 인버터 회로(INVa)의 입력 단자(in)에도 로 레벨 전위가 입력되기 때문에 트랜지스터(102)는 오프 상태가 된다. 이 때, 트랜지스터(101)의 제 2 게이트 전극에는 제어용 인버터 회로(INVb)로부터 출력된 하이 레벨 전위가 인가되어 있다. 그러므로 트랜지스터(101)의 문턱 값 전압은 마이너스 방향으로 시프트되기 때문에 트랜지스터(101)의 특성은 노멀리 온이 된다. 이로써 트랜지스터(101)는 온 상태가 되므로 인버터 회로(INVa)의 출력 단자(out)로부터 하이 레벨 전위가 출력된다.

[0094] 또한, 입력 신호로서 하이 레벨 전위가 제어용 인버터 회로(INVb)의 입력 단자(in)로 입력되면 트랜지스터(104)는 온 상태가 된다. 이 때, 트랜지스터(103)가 온 상태라도 트랜지스터(104)의 전류 구동 능력이 트랜지스터(103)의 전류 구동 능력보다 높기 때문에 트랜지스터(104)에는 트랜지스터(103)보다 많은 전류가 흐른다. 이로써 제어용 인버터 회로(INVb)의 출력 단자(out)로부터 반전 신호로서 로 레벨 전위가 출력된다.

[0095] 또한, 인버터 회로(INVa)의 입력 단자(in)에도 하이 레벨 전위가 입력되기 때문에 트랜지스터(102)는 온 상태가 된다. 이 때, 트랜지스터(101)의 제 2 게이트 전극에는 제어용 인버터 회로(INVb)로부터 출력된 로 레벨 전위가 인가되어 있다. 그러므로 트랜지스터(101)의 문턱 값 전압은 플러스 방향으로 시프트되기 때문에 트랜지스터(101)의 특성은 노멀리 오프가 된다. 이로써 트랜지스터(101)는 오프 상태가 되므로 인버터 회로(INVa)의 출력 단자(out)로부터 로 레벨 전위가 출력된다.

[0096] 도 3a에 도시된 바와 같이, 제어용 인버터 회로(INVb)에서는 트랜지스터(103) 및 트랜지스터(104) 각각에 제 2 게이트 전극을 형성하여 트랜지스터(103) 및 트랜지스터(104)의 문턱 값 전압을 각각 제어함으로써 트랜지스터(103)의 특성을 노멀리 온으로 하고, 트랜지스터(104)의 특성을 노멀리 오프로 할 수 있다.

[0097] 또한, 인버터 회로(INVa)에서는 트랜지스터(101) 및 트랜지스터(102) 각각에 제 2 게이트 전극을 형성하여 트랜지스터(101) 및 트랜지스터(102)의 문턱 값 전압을 각각 제어함으로써 트랜지스터(101)의 특성을 노멀리 온 또는 노멀리 오프로 하고, 트랜지스터(102)의 특성을 노멀리 오프로 할 수 있다.

- [0098] 트랜지스터(103)의 특성을 노멀리 온으로 함으로써 트랜지스터(103)의 전류 구동 능력을 향상시킬 수 있다. 이로써 트랜지스터(103)에 제 2 게이트 전극이 형성되지 않은 경우에 비하여 제어용 인버터 회로(INVb)의 출력 신호의 상승 시간을 빠르게 할 수 있다. 따라서 제어용 인버터 회로(INVb)의 구동 주파수를 높일 수 있다. 또한, 트랜지스터(104)의 특성을 노멀리 오프로 함으로써 트랜지스터(104)가 오프 상태일 때의 누설 전류를 저감할 수 있으므로 소비 전력을 저감할 수 있다.
- [0099] 또한, 제어용 인버터 회로(INVb)의 출력 신호에 따라 트랜지스터(101)의 특성을 노멀리 온 또는 노멀리 오프로 제어할 수 있다. 이로써 트랜지스터(101)에 제 2 게이트 전극이 형성되지 않은 경우에 비하여 인버터 회로(INVa)의 출력 신호의 상승 시간을 빠르게 할 수 있다. 따라서 인버터 회로(INVa)의 구동 주파수를 높일 수 있다. 더구나 트랜지스터(101)의 특성을 노멀리 오프로 함으로써 관통 전류를 억제할 수 있으므로 도 1a에 도시된 인버터 회로(INV)에 비하여 출력 신호의 진폭을 높일 수 있다.
- [0100] 또한 인버터 회로(INVa)인 경우, 트랜지스터(101)는 트랜지스터(102)보다 전류 구동 능력을 낮게 할 필요가 있기 때문에 트랜지스터(101)의 사이즈는 트랜지스터(102)의 사이즈보다 작게 하는 것이 바람직하다. 즉 트랜지스터(101)의 채널 폭(W)(또는 채널 길이(L)에 대한 채널 폭(W)의 비(W/L))은 트랜지스터(102)의 채널 폭(W)(또는 채널 길이(L)에 대한 채널 폭(W)의 비(W/L))보다 작게 하는 것이 바람직하다.
- [0101] 또한, 제어용 인버터 회로(INVb)인 경우, 트랜지스터(103)는 트랜지스터(104)보다 전류 구동 능력을 낮게 할 필요가 있기 때문에 트랜지스터(103)의 사이즈는 트랜지스터(104)의 사이즈보다 작게 하는 것이 바람직하다. 즉 트랜지스터(103)의 채널 폭(W)(또는 채널 길이(L)에 대한 채널 폭(W)의 비(W/L))은 트랜지스터(104)의 채널 폭(W)(또는 채널 길이(L)에 대한 채널 폭(W)의 비(W/L))보다 작게 하는 것이 바람직하다.
- [0102] 다음에 도 3a에 도시된 인버터 회로(INVa) 및 제어용 인버터 회로(INVb)를 링 오실레이터에 사용한 경우에 대하여 도 3b 및 도 4를 참조하면서 설명한다.
- [0103] 도 3b에 도시된 링 오실레이터는 도 3a에 도시된 인버터 회로(INVa)를 홀수단 직렬로 접속시켜 마지막 단의 인버터 회로(INVa_(2m-1)(m>0))의 출력 단자(out)를 처음 단의 인버터 회로(INVa₁)의 입력 단자(in)에 귀환시켜 스스로 발진한다. 또한, 제어용 인버터 회로(INVb)와 인버터 회로(INVa)의 개수는 같다. 또한, 도 4는 도 3b에 도시된 링 오실레이터의 3번째 단까지를 구체적으로 도시한 도면이다.
- [0104] 마지막 단의 인버터 회로(INVa_(2m-1))의 출력 단자(out)는 처음 단의 인버터 회로(INVa₁)의 입력 단자(in)와 제어용 인버터 회로(INVb₁)의 입력 단자(in)에 접속되고, 제어용 인버터 회로(INVb₁)의 출력 단자(out)는 인버터 회로(INVa₁)의 단자 A에 접속되어 있다. 또한 인버터 회로(INVa₁)의 출력 단자(out)는 인버터 회로(INVa₂)의 입력 단자(in)와 제어용 인버터 회로(INVb₂)의 입력 단자(in)에 접속되어 있다.
- [0105] 이와 같이, 각 인버터 회로(INVa)의 입력 단자는 각 제어용 인버터 회로(INVb)의 입력 단자에 접속되고, 각 제어용 인버터 회로(INVb)의 출력 단자는 각 인버터 회로(INVa)가 갖는 트랜지스터(101)의 제 2 게이트 전극(단자A)과 접속된다.
- [0106] 또한, 도 3b에 도시된 링 오실레이터는 전원선(V1)이 각 인버터 회로(INVa)의 트랜지스터(101)의 드레인 전극에 접속되고, 전원선(V2)이 각 인버터 회로(INVa)의 트랜지스터(102)의 소스 전극에 접속되고, 전원선(V3)이 각 인버터 회로(INVa)의 트랜지스터(101)의 제 1 게이트 전극에 접속되고, 전원선(V5)이 각 인버터 회로(INVa)의 트랜지스터(102)의 제 2 게이트 전극에 접속되어 있다.
- [0107] 또한, 전원선(V6)이 각 제어용 인버터 회로(INVb)의 트랜지스터(103)의 드레인 전극에 접속되고, 전원선(V7)이 각 제어용 인버터 회로(INVb)의 트랜지스터(104)의 소스 전극에 접속되고, 전원선(V8)이 각 제어용 인버터 회로(INVb)의 트랜지스터(103)의 제 1 게이트 전극에 접속되고, 전원선(V9)이 각 제어용 인버터 회로(INVb)의 트랜지스터(103)의 제 2 게이트 전극에 접속되고, 전원선(V10)이 각 제어용 인버터 회로(INVb)의 트랜지스터(104)의 제 2 게이트 전극에 접속되어 있다.
- [0108] 제어용 인버터 회로(INVb)의 출력 단자가 인버터 회로(INVa)의 단자 A와 접속됨으로써 제어용 인버터 회로(INVb)로부터 출력된 출력 신호에 따라 트랜지스터(101)의 특성을 노멀리 온 또는 노멀리 오프로 제어할 수 있다. 이로써 트랜지스터(101)에 제 2 게이트 전극이 형성되지 않은 경우에 비하여 인버터 회로(INVa)의 출력 신호의 상승 시간을 빠르게 할 수 있다. 따라서 인버터 회로(INVa)의 구동 주파수를 높일 수 있다. 그러므로 상기 인버터 회로(INVa)를 사용하여 도 3b에 도시된 링 오실레이터를 구성함으로써 링 오실레이터의 발진 주파수를 높일 수 있다. 따라서 각 인버터 회로(INVa)의 지연 시간을 짧게 할 수 있다. 그리고 높은 발진 주파수에

의하여 링 오실레이터를 고속 동작시킬 수 있다. 더구나 트랜지스터(101)의 특성을 노멀리 오프로 함으로써 관통 전류를 억제할 수 있으므로 도 3a에 도시된 인버터 회로(INVa)는 도 1a에 도시된 인버터 회로(INV)에 비하여 출력 신호의 진폭을 높일 수 있다. 이로써 링 오실레이터의 계인을 크게 할 수 있기 때문에 링 오실레이터의 동작 범위를 넓게 할 수 있다.

[0109] 또는 제어용 인버터 회로(INVb)에서 전원 전위(V8)를 전원 전위(V6)와 거의 같은 전위 및 전원 전위(V9)를 전원 전위(V7)보다 낮은 전위로 함으로써 트랜지스터(103)의 문턱 값 전압을 플러스 방향으로 시프트시켜 트랜지스터(103)의 특성을 노멀리 오프로 하여도 좋다. 트랜지스터(103)의 특성을 노멀리 오프로 함으로써 트랜지스터(103)의 누설 전류를 저감할 수 있다. 이로써 제어용 인버터 회로(INVb)의 소비 전력을 더욱 저감할 수 있다. 또한, 상기 제어용 인버터 회로(INVb)를 사용한 링 오실레이터의 소비 전력을 저감할 수 있다.

[0110] 이와 같이, 트랜지스터(103)의 제 2 게이트 전극에 인가되는 전원 전위(V9)를 변화시킴으로써 제어용 인버터 회로(INVb)의 고속 동작에 의한 구동 주파수의 향상 또는 저속 구동에 의한 소비 전력의 저감을 조정할 수 있다. 그러므로 제어용 인버터 회로(INVb)를 고속 구동시키는 경우에는 트랜지스터(103)의 특성을 노멀리 온으로 하면 좋고, 저속 구동시키는 경우에는 트랜지스터(103)의 특성을 노멀리 오프로 하면 좋다. 전원 전위(V9)는 제 5 전위 발생 회로로 제어할 수 있다.

[0111] 다음에 도 5a 및 도 5b에 도 3a 내지 도 4와 부분적으로 상이한 인버터 회로(INVa), 제어용 인버터 회로(INVb) 및 링 오실레이터를 도시하였다.

[0112] 도 5a에 도시된 제어용 인버터 회로(INVb)에서 트랜지스터(103)의 드레인 전극은 전원 전위(V6)가 인가되는 전원선(V6)과 접속되고, 제 2 게이트 전극은 전원 전위(V9)가 인가되는 전원선(V9)과 접속되고, 제 1 게이트 전극은 소스 전극 및 출력 단자(out)와 접속된다. 이로써, 트랜지스터(103)의 제 1 게이트 전극 및 소스 전극 사이의 전압은 0V가 되어 트랜지스터(103)는 오프 상태가 된다.

[0113] 하지만, 전원 전위(V9)를 전원 전위(V1)와 거의 같은 전위 또는 전원 전위(V1)보다 높은 전위로 함으로써 트랜지스터(103)의 문턱 값 전압이 마이너스 방향으로 시프트되기 때문에, 트랜지스터(103)의 특성을 노멀리 온으로 할 수 있다.

[0114] 트랜지스터(103)의 특성을 노멀리 온으로 함으로써 트랜지스터(103)의 전류 구동 능력을 향상시킬 수 있다. 이로써 트랜지스터(103)에 제 2 게이트 전극이 형성되지 않은 경우에 비하여 제어용 인버터 회로(INVb)의 출력 신호의 상승 시간을 빠르게 할 수 있다. 따라서 제어용 인버터 회로(INVb)의 구동 주파수를 높일 수 있다. 또한, 전원선(V8)을 사용하지 않아도 좋기 때문에 도 3a에 비하여 전원선의 개수를 저감할 수 있다.

[0115] 또한, 인버터 회로(INVa)에서, 트랜지스터(101)는 트랜지스터(102)보다 전류 구동 능력을 낮게 할 필요가 있기 때문에, 트랜지스터(101)의 사이즈는 트랜지스터(102)의 사이즈보다 작게 하는 것이 바람직하다. 즉 트랜지스터(101)의 채널 폭(W)(또는 채널 길이(L)에 대한 채널 폭(W)의 비(W/L))은 트랜지스터(102)의 채널 폭(W)(또는 채널 길이(L)에 대한 채널 폭(W)의 비(W/L))보다 작게 하는 것이 바람직하다.

[0116] 또한, 제어용 인버터 회로(INVb)에서, 트랜지스터(103)의 제 1 게이트 전극이 소스 전극과 접속(역 다이오드 접속)되어 전류 구동 능력이 매우 낮게 된다. 그러므로, 트랜지스터(103)의 사이즈는 트랜지스터(104)의 사이즈 보다 큰 것이 바람직하다. 즉 트랜지스터(103)의 채널 폭(W)(또는 채널 길이(L)에 대한 채널 폭(W)의 비(W/L))은 트랜지스터(104)의 채널 폭(W)(또는 채널 길이(L)에 대한 채널 폭(W)의 비(W/L))보다 큰 것이 바람직하다.

[0117] 도 5a에 도시된 인버터 회로(INVa) 및 제어용 인버터 회로(INVb)를 링 오실레이터에 사용한 경우에 대하여 도 5b를 참조하면서 설명한다.

[0118] 도 5b에 도시된 링 오실레이터는 도 5a에 도시된 인버터 회로(INVa)를 홀수단 직렬로 접속시켜 마지막 단의 인버터 회로(INVa_(2m-1)(m>0))의 출력 단자(out)를 처음 단의 인버터 회로(INVa₁)의 입력 단자(in)에 귀환시켜 스스로 발진한다. 또한, 제어용 인버터 회로(INVb)와 인버터 회로(INVa)의 개수는 같다.

[0119] 도 5b에 도시된 링 오실레이터는 도 4에 도시된 링 오실레이터에 비하여 전원선의 개수를 저감할 수 있기 때문에 회로 면적을 작게 할 수 있다.

[0120] 또한, 도 5a에 도시된 인버터 회로(INVa)는 도 3a에 도시된 인버터 회로와 마찬가지로 출력 신호의 상승 시간이 빠르기 때문에 구동 주파수가 높다. 그러므로 상기 인버터 회로(INVa)를 사용하여 도 5b에 도시된 링 오실레이터를 구성함으로써 링 오실레이터의 발진 주파수를 높일 수 있다. 따라서 각 인버터 회로(INVa)의 지연 시간을

짧게 할 수 있다. 그리고 높은 발진 주파수에 의하여 링 오실레이터를 고속 동작시킬 수 있다. 더구나 트랜지스터(101)의 특성을 노멀리 오프로 함으로써 관통 전류를 억제할 수 있으므로 도 5a에 도시된 인버터 회로(INVa)는 도 2a에 도시된 인버터 회로(INV)에 비하여 출력 신호의 진폭을 높일 수 있다. 이로써 링 오실레이터의 개인을 크게 할 수 있기 때문에 링 오실레이터의 동작 범위를 넓게 할 수 있다.

[0121] 다음에 도 6a 및 도 6b에 링 오실레이터의 다른 일 형태를 도시하였다. 도 6a 및 도 6b에 도시된 링 오실레이터에 사용된 인버터 회로(INV)의 구성은 도 3a에 도시된 인버터 회로(INVa)와 같다.

[0122] 도 6a에 도시된 링 오실레이터는 인버터 회로(INV)를 홀수단 직렬로 접속시켜 마지막 단의 인버터 회로($INV(2m-1)$ ($m>0$))의 출력 단자(out)를 처음 단의 인버터 회로(INV1)의 입력 단자(in)에 귀환시켜 스스로 발진한다. 또한, 도 6b는 도 6a에 도시된 링 오실레이터의 3번째 단까지를 구체적으로 도시한 도면이다.

[0123] 도 6b에 도시된 바와 같이, 인버터 회로(INV)는 각각 트랜지스터(101) 및 트랜지스터(102)를 갖는다. 또한, 각 인버터 회로(INV)에서 트랜지스터(101) 및 트랜지스터(102)는 전원 전위(V1)가 인가되는 전원선(V1)과 전원 전위(V2)가 인가되는 전원선(V2) 사이에 직렬로 접속되어 있다.

[0124] 처음 단의 인버터 회로(INV1)에서, 트랜지스터(101)의 제 1 게이트 전극은 전원 전위(V3)가 인가되는 전원선(V3)과 접속되고, 트랜지스터(101)의 드레인 전극은 전원 전위(V1)가 인가되는 전원선(V1)과 접속되고, 제 2 게이트 전극(또는 단자 A)은 입력 신호의 반전 신호가 입력되는 입력 단자(inB)와 접속되고, 소스 전극은 트랜지스터(102)의 드레인 전극 및 출력 단자(out)에 접속된다. 또한, 트랜지스터(102)의 제 1 게이트 전극은 마지막 단의 인버터 회로($INV(2m-1)$)로부터 출력된 출력 신호가 입력되는 입력 단자(in)와 접속되고, 소스 전극은 전원 전위(V2)가 인가되는 전원선(V2)과 접속되고, 제 2 게이트 전극은 전원 전위(V5)가 인가되는 전원선(V5)과 접속된다.

[0125] 또한, 처음 단의 인버터 회로(INV1)로부터 출력된 출력 신호는 다음 단의 인버터 회로(INV2)의 입력 단자(in) 및 다음 단의 인버터 회로(INV3)의 단자 A(트랜지스터(101)의 제 2 게이트 전극)에 출력된다.

[0126] 따라서 입력 신호로서 로 레벨 전위가 각 인버터 회로(INV)의 입력 단자(in)로 입력됨과 동시에 다음 단의 인버터 회로(INV)의 단자 A에도 로 레벨 전위가 입력되는 것이 된다.

[0127] 다음에 도 6a 및 도 6b에 도시된 인버터 회로(INV)의 동작에 대하여 설명한다. 여기서는 트랜지스터(101) 및 트랜지스터(102)가 n채널형 트랜지스터인 경우에 대하여 설명한다.

[0128] 예를 들어, 입력 신호로서 로 레벨 전위가 처음 단의 인버터 회로(INV1)의 입력 단자(in)로 입력되면 트랜지스터(102)는 오프 상태가 된다. 이 때, 트랜지스터(101)의 제 2 게이트 전극에는 입력 신호의 반전 신호인 하이 레벨 전위가 인가된다. 그러므로, 트랜지스터(101)의 문턱 값 전압은 마이너스 방향으로 시프트되기 때문에 트랜지스터(101)의 특성은 노멀리 온이 된다. 이로써 트랜지스터(101)는 온 상태가 되어 인버터 회로(INV1)의 출력 단자(out)로부터 하이 레벨 전위가 출력된다.

[0129] 또한, 인버터 회로(INV1)로부터 출력된 출력 신호는 인버터 회로(INV2)의 입력 단자(in)와 인버터 회로(INV3)의 단자 A(트랜지스터(101)의 제 2 게이트 전극)로 입력된다.

[0130] 또한, 입력 신호로서 하이 레벨 전위가 처음 단의 인버터 회로(INV1)의 입력 단자(in)로 입력되면 트랜지스터(102)는 온 상태가 된다. 이 때, 트랜지스터(101)의 제 2 게이트 전극에는 입력 신호의 반전 신호인 로 레벨 전위가 인가된다. 그러므로, 트랜지스터(101)의 문턱 값 전압은 플러스 방향으로 시프트되기 때문에 트랜지스터(101)의 특성은 노멀리 오프가 된다. 이로써 트랜지스터(101)는 오프 상태가 되어 인버터 회로(INV1)의 출력 단자(out)로부터 로 레벨 전위가 출력된다.

[0131] 또한, 인버터 회로(INV1)로부터 출력된 출력 신호는 인버터 회로(INV2)의 입력 단자(in)와 인버터 회로(INV3)의 단자 A(트랜지스터(101)의 제 2 게이트 전극)로 입력된다.

[0132] 인버터 회로(INV)에서의 단자 A(트랜지스터(101)의 제 2 게이트 전극)에 입력 신호의 반전 신호가 입력됨으로써 반전 신호에 따라 트랜지스터(101)의 특성을 노멀리 온 또는 노멀리 오프로 제어할 수 있다. 따라서 각 인버터 회로(INV)의 출력 신호의 상승 시간을 빠르게 할 수 있으므로 링 오실레이터의 발진 주파수를 높일 수 있다. 따라서 각 인버터 회로(INV)의 지연 시간을 짧게 할 수 있다. 더구나 트랜지스터(101)의 특성을 노멀리 오프로 함으로써 관통 전류를 억제할 수 있으므로 출력 신호의 진폭을 높일 수 있다. 이로써 링 오실레이터의 개인을 크게 할 수 있기 때문에 링 오실레이터의 동작 범위를 넓게 할 수 있다. 또한, 도 4 및 도 5b에 비하여 링 오

실레이터의 회로 구성을 간략화할 수 있다.

[0133] 또한 인버터 회로(INV)에서, 트랜지스터(101)는 트랜지스터(102)보다 전류 구동 능력을 낮게 할 필요가 있기 때문에, 트랜지스터(101)의 사이즈는 트랜지스터(102)의 사이즈보다 작게 하는 것이 바람직하다. 즉 트랜지스터(101)의 채널 폭(W)(또는 채널 길이(L)에 대한 채널 폭(W)의 비(W/L))은 트랜지스터(102)의 채널 폭(W)(또는 채널 길이(L)에 대한 채널 폭(W)의 비(W/L))보다 작게 하는 것이 바람직하다.

[0134] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0135] (실시형태 3)

[0136] 본 실시형태에서는 상술한 실시형태에 기재된 링 오실레이터에 사용되는 트랜지스터의 제작 방법에 대하여 설명한다.

[0137] 우선 기판(400) 위에 절연막(401)을 형성한다(도 7a 참조).

[0138] 기판(400)으로서는 예를 들어, 실리콘이나 탄소화 실리콘 등으로 이루어진 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄, 갈륨 비소, 인듐 인 등으로 이루어진 화합물 반도체 기판을 적용할 수 있다. 또한, 알루미노 실리케이트 유리, 알루미노 보로실리케이트 유리, 바륨 보로실리케이트 유리와 같은 전자 공업용에 사용되는 각종 유리 기판, 석영 기판, 세라믹 기판, 사파이어 기판 등도 들 수 있다.

[0139] 절연막(401)은, 산화 실리콘, 산화 질화 실리콘, 질화 실리콘 등을 사용하여 단층 구조 또는 적층 구조로 형성한다. 또한, 절연막(401)의 형성 방법으로서는 열 산화법, CVD법, 스퍼터링법 등을 들 수 있다. 절연막(401)의 막 두께는, 10nm 이상 200nm 이하, 바람직하게는 50nm 이상 150nm 이하로 한다.

[0140] 다음에, 절연막(401) 위에 게이트 전극층(이것과 같은 층으로 형성되는 배선을 포함함)을 형성하기 위한 도전막을 형성하고, 상기 도전막을 가공하여, 게이트 전극층(402)을 형성한다(도 7b 참조). 또한, 게이트 전극층(402)은 제 2 게이트 전극(백 게이트)으로서 기능한다.

[0141] 게이트 전극층(402)은 스퍼터링법이나 PECVD법에 의하여 몰리브데넘, 티타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 형성할 수 있다. 또한, 게이트 전극층(402)으로서 산화 인듐 산화 주석, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 산화 인듐 산화 아연, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 도전성 재료를 사용할 수도 있다. 또한, 상기 도전성 재료와 상기 금속 재료의 적층 구조로 할 수도 있다.

[0142] 다음에 절연막(401) 및 게이트 전극층(402) 위에 절연막(403)을 형성한다(도 7c 참조).

[0143] 절연막(403)으로서는 산화 실리콘, 산화 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 산화 하프늄, 산화 갈륨 등의 산화물 절연막, 질화 실리콘, 질화 산화 실리콘, 질화 산화 알루미늄 등의 질화물 절연막 또는 이들의 혼합 재료를 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다. 또한, 절연막(403)의 형성 방법으로서는, 열 산화법, CVD법, 스퍼터링법 등을 들 수 있다. 절연막(403)의 막 두께는, 10nm 이상 200nm 이하, 바람직하게는 50nm 이상 150nm 이하로 한다.

[0144] 다음에 절연막(403)에 게이트 전극층(402) 상면이 노출될 때까지 평탄화 처리를 수행한다(도 7d 참조).

[0145] 절연막(403)의 평탄화 처리로서는, 화학적 기계 연마(CMP: Chemical Mechanical Polishing, 이하 CMP 처리라고 함) 등의 연마 처리 외에 에칭 처리, 플라즈마 처리 등을 사용할 수 있다.

[0146] 여기서, CMP 처리란, 피가공물의 표면을 화학적, 기계적인 복합 작용에 의하여 평탄화시키는 방법이다. 더 구체적으로는 연마대 위에 연마포를 부착시키고, 피가공물과 연마포 사이에 슬러리(slurry: 연마제)를 공급하면서 연마대와 피가공물을 각각 회전 또는 요동(搖動)시켜, 슬러리 및 피가공물의 화학 반응과, 연마포 및 피가공물의 기계 연마의 작용에 의하여 피가공물의 표면을 연마하는 방법이다.

[0147] 또한, 플라즈마 처리로서는, 예를 들어, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 수행할 수 있다. 역스퍼터링이란, 아르곤 분위기 하에서 기판 측에 RF 전원을 사용하여 전압을 인가하여 기판 근방에 플라즈마를 형성하여 표면을 개질(改質)하는 방법이다. 또한, 아르곤 분위기를 대신하여 질소, 헬륨, 산소 등을 사용하여도 좋다. 역스퍼터링을 수행하면, 절연막(403)의 표면에 부착되어 있는 분말상(粉末狀) 물질(파티클, 먼지라고도 함)을 제거할 수 있다.

- [0148] 평탄화 처리로서, 연마 처리, 드라이 에칭 처리, 플라즈마 처리는 복수회 수행하여도 좋고, 이들을 조합하여 수행하여도 좋다. 또한, 조합하여 수행하는 경우, 공정 순서도 특별히 한정되지 않고, 절연막(403) 표면의 요철 상태에 맞추어 적절히 설정하면 좋다.
- [0149] 절연막(403)에 평탄화 처리를 수행함으로써 절연막(403)의 표면의 평균 면 거칠기(Ra)를 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하로 할 수 있다. 또한, 본 명세서 등에서 평균 면 거칠기(Ra)란 JIS B 0601:2001(ISO4287: 1997)에 정의되어 있는 산술 평균 거칠기를 곡면에 대하여 적용할 수 있도록 3차원으로 확장한 것이며, 기준면으로부터 지정면까지의 편차의 절대값을 평균한 값으로 표현된다.
- [0150] 평균 면 거칠기(Ra)는, 지정면을 $Z=F(X, Y)$ 로 나타낼 때, 기준면으로부터 지정면까지의 편차의 절대값을 평균한 값으로 표현되며, 다음의 수학식 1로 계산할 수 있다.
- [0151] [수학식 1]
- $$Ra = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X, Y) - Z_0| dXdY$$
- [0152]
- [0153] 여기서, 지정면이란 거칠기 계측의 대상이 되는 면이고, 좌표 $(X_1, Y_1, F(X_1, Y_1)) (X_1, Y_2, F(X_1, Y_2)) (X_2, Y_1, F(X_2, Y_1)) (X_2, Y_2, F(X_2, Y_2))$ 로 표시되는 4점으로 둘러싸이는 사각형의 영역으로 하고, 지정면을 XY평면에 투영한 직사각형의 면적을 S_0 , 기준면의 높이(지정면의 평균 높이)를 Z_0 으로 한다. 평균 면 거칠기(Ra)는 원자간힘현미경(AFM: Atomic Force Microscope)으로 측정할 수 있다.
- [0154] 다음에 게이트 전극층(402), 절연막(403) 위에 게이트 절연막(404)을 형성한다(도 7e 참조). 또한, 게이트 절연막(404)은 제 2 게이트 절연막으로서 기능한다.
- [0155] 게이트 절연막(404)은 산화 실리콘, 산화 갈륨, 산화 알루미늄, 질화 실리콘, 산화 질화 실리콘, 산화 질화 알루미늄, 또는 질화 산화 실리콘을 사용하여 형성할 수 있다. 또한, 게이트 절연막(404)의 재료로서 산화 하프늄, 산화 이트륨, 하프늄 실리케이트($HfSi_{x,y}$ ($x>0, y>0$)), 질소가 첨가된 하프늄 실리케이트($HfSiO_{x,y}$ ($x>0, y>0$)), 하프늄 알루미네이트($HfAl_{x,y}$ ($x>0, y>0$)), 산화 란타넘 등의 high-k 재료를 사용함으로써 게이트 누설 전류를 저감시킬 수 있다. 또한, 게이트 절연막(404)은 상술한 재료를 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다.
- [0156] 또한, 게이트 절연막(404)의 형성 방법으로서는 스퍼터링법, MBE법, 플라즈마 CVD법, 펄스 레이저 퇴적법, ALD 법 등을 들 수 있다. 또한, 게이트 절연막(404)의 막 두께는 1nm 이상 500nm 이하, 바람직하게는 10nm 이상 300nm 이하로 한다.
- [0157] 다음에 기판(400), 게이트 전극층(402) 및 게이트 절연막(404) 등에 대하여 가열 처리를 수행하여도 좋다. 예를 들어, GRTA 장치에 의하여 650°C로 1분 내지 10분 동안 가열 처리를 수행하면 좋다. 또한, 전기로에 의하여 350°C 이상 500°C 이하로 30분 내지 1시간 동안 가열 처리를 수행하여도 좋다. 가열 처리를 수행함으로써 게이트 절연막(404)에 포함되는 수소나 물 등을 제거할 수 있다.
- [0158] 또한, 나중에 형성되는 산화물 반도체막에는 수소, 알칼리 금속 원소, 알칼리 토류금속 원소, 구리 등의 금속 원소, 그 외 산화물 반도체막을 구성하는 원소가 아닌 원소 등이 불순물이 될 수 있다. 또한, 이들을 포함한 분자(예를 들어, 물, 수소 화합물) 등도 불순물이 될 수 있다. 다만 의도적으로 산화물 반도체에 첨가되는 도 편트는 제외한다.
- [0159] 다음에 게이트 절연막(404)에 대하여 산소를 첨가하는 처리(산소 첨가 처리나, 산소 주입 처리라고도 함)를 수행하여도 좋다. 산소 첨가 처리를 수행함으로써 산소 과잉 영역을 갖는 게이트 절연막(404)이 형성된다.
- [0160] 산소에는, 적어도, 산소 라디칼, 오존, 산소 원자, 산소 이온(분자 이온, 클러스터 이온을 포함함) 중의 어느 것인가가 포함되어 있다. 탈수화 또는 탈수소화 처리를 수행한 게이트 절연막(404)에 산소 첨가 처리를 수행함으로써 게이트 절연막(404) 중에 산소를 함유시킬 수 있고, 앞에 수행되는 가열 처리에 의하여 이탈될 수 있는 산소를 보전함과 함께 산소 과잉 영역을 형성할 수 있다.
- [0161] 게이트 절연막(404)에 산소를 첨가하는 방법으로서는 예를 들어, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 사용할 수 있다. 또한, 이온 주입법으로서 가스 클러스터 이온 빔을 사용하여

도 좋다. 또한, 산소의 첨가는 기판 전체 면을 한꺼번에 처리하여도 좋고, 예를 들어, 선 형상 이온 범을 사용하여도 좋다. 선 형상 이온 범을 사용하는 경우에는 기판 또는 이온 범을 이동(스캔)시킴으로써 게이트 절연막(404) 전체 면에 산소를 첨가할 수 있다. 또한, 플라즈마 처리로서 애싱 처리를 사용하여도 좋다.

[0162] 산소의 공급 가스로서는 O₂를 포함한 가스를 사용하면 좋고, 예를 들어, O₂가스, N₂O가스, CO₂가스, CO 가스, NO₂ 가스 등을 사용할 수 있다. 또한, 산소의 공급 가스에 희가스(예를 들어, Ar)를 포함시켜도 좋다.

[0163] 또한, 예를 들어, 이온 주입법으로 산소의 첨가를 수행하는 경우, 산소의 도즈량은 1×10^{13} ions/cm²이상 5×10^{16} ions/cm²이하로 하면 좋으며, 산소 첨가 처리를 수행한 후의 게이트 절연막(404) 중의 산소 함유량은 게이트 절연막(404)의 화학량론적 조성을 넘을 정도로 하는 것이 바람직하다. 또한, 이와 같은 화학량론적 조성보다 산소를 과잉으로 포함한 영역은 게이트 절연막(404)의 일부에 존재하여 있으면 좋다. 또한, 산소의 주입 깊이는 주입 조건에 따라 적절히 제어하면 좋다.

[0164] 산소 공급원이 되는 산소를 과잉으로 포함한 게이트 절연막(404)을 나중에 형성되는 산화물 반도체막과 접하여 형성함으로써 산화물 반도체막을 형성한 후에 수행한 가열 처리에 의하여 게이트 절연막(404)으로부터 산소가 이탈되어 산화물 반도체막으로 산소를 공급할 수 있다. 이로써 산화물 반도체막 내의 산소 결손을 저감할 수 있다.

[0165] 또한, 게이트 절연막(404)에 대하여 산소를 첨가하는 처리는 게이트 절연막(404)의 가열 처리를 하기 전에 수행하여도 좋고, 게이트 절연막(404)의 가열 처리 전후에 수행하여도 좋다.

[0166] 다음에 게이트 절연막(404) 위에 산화물 반도체막(405)을 형성한다(도 7f 참조).

[0167] 산화물 반도체막(405)은 스퍼터링법, MBE(Molecular Beam Epitaxy)법, LPCVD법, PECVD법, 미스트 CVD법 등의 CVD법, 펠스 레이저 퇴적법, ALD법 등을 적절히 사용하여 형성할 수 있다. 또한, 산화물 반도체막(405)의 막 두께는 1nm 이상 200nm 이하, 바람직하게는 5nm 이상 50nm 이하로 하는 것이 바람직하다.

[0168] 산화물 반도체막(405)에 사용하는 산화물 반도체로서는, 적어도 인듐(In)을 포함한다. 특히 인듐과 아연(Zn)을 포함하는 것이 바람직하다. 또한, 상기 산화물을 반도체를 사용한 트랜지스터의 전기적 특성의 편차를 저감시키기 위한 스태빌라이저로서, 인듐 또는/및 아연에 더하여 그들 외에 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스태빌라이저로서 주석(Sn), 하프늄(Hf), 알루미늄(Al), 지르코늄(Zr) 중 어느 한 종류 또는 복수 종류를 갖는 것이 바람직하다.

[0169] 또한, 다른 스태빌라이저로서, 란타노이드인 란타넘(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴븀(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 한 종류 또는 복수 종류를 가져도 좋다.

[0170] 예를 들어, 산화물 반도체로서, 3원계 금속 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.

[0171] 산화물 반도체막(405)은 예를 들어, 비단결정을 가져도 좋다. 비단결정은 예를 들어, CAAC(C Axis Aligned Crystal), 다결정, 미결정, 비정질부를 갖는다. 비정질부는 미결정, CAAC보다 결함 준위 밀도가 높다. 또한, 미결정은 CAAC보다 결함 준위 밀도가 높다. 또한, CAAC를 갖는 산화물 반도체를 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)라고 부른다.

[0172] 산화물 반도체막(405)은 예를 들어, CAAC-OS를 가져도 좋다. CAAC-OS는 예를 들어, c축 배향하고, a축 또는/b축은 거시적으로 보면 정렬되지 않는다.

[0173] 산화물 반도체막(405)은 예를 들어, 미결정을 가져도 좋다. 또한, 미결정을 갖는 산화물 반도체를 미결정 산화물 반도체라고 부른다. 미결정 산화물 반도체막은 예를 들어, 막 중에 1nm 이상 10nm 미만의 사이즈의 미결정(나노 결정이라고도 함)을 포함한다. 또는 미결정 산화물 반도체막은 예를 들어, 1nm 이상 10nm 미만의 결정부를 갖는 결정-비정질 혼상 구조의 산화물 반도체를 갖는다.

- [0174] 산화물 반도체막(405)은 예를 들어, 비정질부를 가져도 좋다. 또한, 비정질부를 갖는 산화물 반도체를 비정질 산화물 반도체라고 부른다. 비정질 산화물 반도체막은 예를 들어, 원자 배열이 무질서한 막이고, 결정 성분이 없다. 또는 비정질 산화물 반도체막은 예를 들어, 완전한 비정질이고, 결정부를 갖지 않는다.
- [0175] 또한, 산화물 반도체막(405)이 CAAC-OS, 미결정 산화물 반도체, 비정질 산화물 반도체의 혼합막이어도 좋다. 혼합막은 예를 들어, 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역을 갖는다. 또한, 혼합막은 예를 들어, 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역의 적층 구조를 가져도 좋다.
- [0176] 또한, 산화물 반도체막(405)은 예를 들어, 단결정을 가져도 좋다.
- [0177] 산화물 반도체막(405)은 복수의 결정부를 갖고, 상기 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되어 있는 것이 바람직하다. 또한, 상이한 결정부들 사이에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 이와 같은 산화물 반도체막의 일례로서는, CAAC-OS막이 있다.
- [0178] CAAC-OS막은, 완전한 비정질이 아니다. CAAC-OS막은 예를 들어, 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체를 갖는다. 또한, 상기 결정부는 하나의 범위 100nm 미만의 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부의 경계, 결정부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의하여 CAAC-OS막에 명확한 입계(그레이인 바운더리라고도 함)는 확인되지 않는다. 그래서, CAAC-OS막은 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0179] CAAC-OS막에 포함되는 결정부는 예를 들어, c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또 ab면에 수직인 방향에서 볼 때 금속 원자가 삼각형 또는 육각형으로 배열되며, c축에 수직인 방향에서 볼 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부들 사이에서 a축 및 b축의 방향이 각각 상이하여도 좋다. 본 명세서에서, 단순히 "수직"이라고 기재한 경우, 80° 이상 100° 이하의 범위, 바람직하게는 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 "평행"이라고 기재한 경우에는 -10° 이상 10° 이하의 범위, 바람직하게는 -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.
- [0180] 또한, CAAC-OS막에서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 형성 과정에서 산화물 반도체막의 표면 측으로부터 결정 성장시키는 경우에는, 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높은 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가함으로써 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.
- [0181] CAAC-OS막에 포함되는 결정부의 c축은, CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한, 성막하였을 때 또는 성막 후에 가열 처리 등의 결정화 처리를 수행하였을 때, 결정부는 형성된다. 따라서, 결정부의 c축은, CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된다.
- [0182] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0183] 또한, 산화물 반도체막을 구성하는 산소의 일부는 질소로 치환되어도 좋다.
- [0184] 또한, CAAC-OS막과 같이 결정부를 갖는 산화물 반도체막에서는 벌크 내 결함을 더 저감시킬 수 있고, 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체 이상의 캐리어 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는 평탄한 표면 위에 산화물 반도체막(405)을 형성하는 것이 바람직하고, 구체적으로 말하면 평균 면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하의 표면 위에 형성하면 좋다.
- [0185] 산화물 반도체막(405)이 형성되는 면의 평탄성을 높이기 위하여 게이트 절연막(404)에서 산화물 반도체막(405)에 접하여 형성되는 영역에 평탄화 처리를 하는 것이 바람직하다. 평탄화 처리로서는 특별히 한정되지 않지만, 연마 처리(예를 들어, 화학적 기계 연마법(Chemical Mechanical Polishing: CMP)), 드라이 에칭 처리, 플라즈마 처리를 사용할 수 있다.
- [0186] 평탄화 처리로서 연마 처리, 드라이 에칭 처리, 및 플라즈마 처리는 여러 번 수행하여도 좋고, 이들을 조합하여 수행하여도 좋다. 또한, 조합하여 수행하는 경우에는, 공정 순서도 특별히 한정되지 않고, 게이트 절연막(404)

표면의 요철 상태에 따라 적절히 설정하면 좋다.

[0187] 또한, 도 7f에서는 단층 구조의 산화물 반도체막(405)을 형성하지만 적층 구조의 산화물 반도체막을 형성하여도 좋다. 예를 들어, 산화물 반도체막(405)을 제 1 산화물 반도체막과 제 2 산화물 반도체막의 적층으로 하여 제 1 산화물 반도체막과 제 2 산화물 반도체막에 상이한 조성의 금속 산화물을 사용하여도 좋다. 예를 들어, 제 1 산화물 반도체막에 3원계 금속 산화물을 사용하고, 제 2 산화물 반도체막에 2원계 금속 산화물을 사용하여도 좋다. 또한, 예를 들어, 제 1 산화물 반도체막과 제 2 산화물 반도체막을 양쪽 모두 3원계 금속 산화물로 하여도 좋다.

[0188] 또한, 제 1 산화물 반도체막과 제 2 산화물 반도체막의 구성 원소를 동일한 것으로 하며, 양자의 조성을 상이하게 하여도 좋다. 예를 들어, 제 1 산화물 반도체막의 원자수비를 $In:Ga:Zn=1:1:1$ 로 하고, 제 2 산화물 반도체막의 원자수비를 $In:Ga:Zn=3:1:2$ 로 하여도 좋다. 또한, 제 1 산화물 반도체막의 원자수비를 $In:Ga:Zn=1:3:2$ 로 하고, 제 2 산화물 반도체막의 원자수비를 $In:Ga:Zn=2:1:3$ 으로 하여도 좋다.

[0189] 이때, 제 1 산화물 반도체막과 제 2 산화물 반도체막 중, 제 1 게이트 전극에 가까운 층(채널 층)의 산화물 반도체막의 In 과 Ga 의 함유율을 $In > Ga$ 으로 하면 좋다. 또한 제 1 게이트 전극으로부터 먼 층(백 채널 층)의 산화물 반도체막의 In 과 Ga 의 함유율을 $In \leq Ga$ 으로 하면 좋다.

[0190] 산화물 반도체에서는 주로 중금속의 s 궤도가 캐리어 전도에 기여하고 있고, In 의 함유율을 많이 함으로써 s 궤도의 오버랩이 증가되는 경향이 있기 때문에, $In > Ga$ 의 조성을 갖는 산화물은 $In \leq Ga$ 의 조성을 갖는 산화물에 비하여 높은 이동도를 구비한다. 또한, Ga 은 In 에 비하여 산소 결손의 형성 에너지가 커서 산소 결손이 발생하기 어렵기 때문에, $In \leq Ga$ 의 조성을 갖는 산화물은 $In > Ga$ 의 조성을 갖는 산화물에 비하여 안정된 특성을 구비한다.

[0191] 채널 층에 $In > Ga$ 의 조성을 갖는 산화물 반도체를 적용하고, 백 채널 층에 $In \leq Ga$ 의 조성을 갖는 산화물 반도체를 적용함으로써, 트랜지스터의 이동도 및 신뢰성을 더욱 높이는 것이 가능하게 된다.

[0192] 또한, 제 1 산화물 반도체막과 제 2 산화물 반도체막에 결정성이 상이한 산화물 반도체를 사용하여도 좋다. 즉 단결정 산화물 반도체, 다결정 산화물 반도체, 비정질 산화물 반도체, 또는 CAAC-OS를 적절히 조합한 구성으로 하여도 좋다. 또한, 제 1 산화물 반도체막과 제 2 산화물 반도체막 중 적어도 한쪽에 비정질 산화물 반도체를 사용하면 산화물 반도체막(405)의 내부 응력이나 외부로부터의 응력을 완화시켜 트랜지스터의 특성 편차가 저감되고, 또한 트랜지스터의 신뢰성을 더욱 높이는 것이 가능하게 된다.

[0193] 한편으로 비정질 산화물 반도체는 수소 등의 불순물을 흡수하기 쉽고, 또한, 산소 결손이 일어나기 쉽기 때문에 n형화되기 쉽다. 이로써 채널 층의 산화물 반도체막은 CAAC-OS 등의 결정성을 갖는 산화물 반도체를 사용하는 것이 바람직하다.

[0194] 또한, 산화물 반도체막(405)을 3층 이상의 적층 구조로 하며 복수의 결정성을 갖는 산화물 반도체막으로 비정질 산화물 반도체막을 끼운 구조로 하여도 좋다. 또한, 결정성을 갖는 산화물 반도체막과 비정질 산화물 반도체막을 번갈아 적층하는 구조로 하여도 좋다.

[0195] 또한, 산화물 반도체막(405)을 복수 층의 적층 구조로 하는 경우의 상기 구성은 각각 적절히 조합하여 사용할 수 있다.

[0196] 또한, 산화물 반도체막(405)을 복수 층의 적층 구조로 하고 각 산화물 반도체막을 형성한 후에 산소 첨가 처리를 수행하여도 좋다. 산소 첨가 처리는 산소 분위기하에서 실시되는 가열 처리나, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 산소를 포함하는 분위기하에서 실시하는 플라즈마 처리 등을 사용할 수 있다.

[0197] 각 산화물 반도체막을 형성할 때마다 산소를 첨가함으로써 산화물 반도체 내의 산소 결손을 저감하는 효과를 높일 수 있다.

[0198] 또한, 산화물 반도체막(405)에 포함되는 수소 또는 물은 가능한 한 낮은 것이 바람직하다. 수소 농도가 높으면 산화물 반도체에 포함되는 원소와 수소의 결합에 의하여 캐리어인 전자가 생길 경우가 있기 때문이다.

[0199] 따라서, 산화물 반도체막(405)의 형성 공정에서 산화물 반도체막(405)에 불순물이 가능한 한 포함되지 않도록, 산화물 반도체막(405)을 형성하기 전의 처리로서 스퍼터링 장치의 예비 가열실에서 게이트 절연막(404)이 형성된 기판을 예비 가열함으로써, 기판 및 게이트 절연막(404) 중의 불순물을 이탈시켜 배기하는 것이 바람직하다. 예비 가열실에 설치하는 배기 수단은 크라이오 펌프(cryopump)가 바람직하다.

[0200] 또한, 산화물 반도체막(405)은 막을 형성할 때 산소가 많이 포함되는 조건(예를 들어, 산소가 30% 내지 100%인

분위기하에서 스퍼터링법에 의하여 막을 형성함 등)하에서 막을 형성하여, 산소를 많이 포함한(바람직하게는 결정 상태의 산화물 반도체의 화학량론적 조성보다 산소의 함유량이 과잉인 영역을 포함한) 막으로 하는 것이 바람직하다.

[0201] 산화물 반도체막(405)을 형성할 때 사용하는 가스는 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.

[0202] 감압 상태로 유지된 성막실 내에 기관을 유지한다. 그리고, 성막실 내의 잔류 수분을 제거하면서 불순물이 적은 가스, 및 산화물 반도체 타깃을 사용하여 130°C 이상 700°C 이하의 온도로 기관 위에 산화물 반도체막(405)을 형성한다. 성막실 내의 잔류 수분을 제거하기 위해서는 흡착형 진공 펌프, 예를 들어, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서는 터보 분자 펌프에 콜드 트랩(cold trap)이 장착된 것이어도 좋다. 특히 크라이오 펌프 또는 콜드 트랩을 사용함으로써 예를 들어, 잔류 수분이 효율 좋게 배기되므로 상술한 성막실에서 형성한 산화물 반도체막(405)에 포함되는 불순물의 농도를 저감할 수 있다.

[0203] 또한, 본 실시형태에서 산화물 반도체막(405)으로서 AC 전원 장치를 갖는 스퍼터링 장치를 사용한 스퍼터링법을 사용하여 막 두께가 35nm인 In-Ga-Zn계 산화물(IGZO막이라고도 함)을 형성한다. 본 실시형태에서 In:Ga:Zn=3:1:2의 원자수비의 In-Ga-Zn계 산화물 타깃을 사용한다. 또한, 성막 조건은 산소 및 아르곤 분위기하(산소 유량 비율 50%), 압력 0.4Pa, 전극 면적 6000cm²일 때, 전원 전력 0.5kW, 기관 온도 200°C로 한다.

[0204] 또한, 게이트 절연막(404)을 형성한 후, 대기애 폭로시키지 않고 게이트 절연막(404)과 산화물 반도체막(405)을 연속적으로 형성하는 것이 바람직하다. 게이트 절연막(404)을 대기애 폭로시키지 않고 게이트 절연막(404)과 산화물 반도체막(405)을 연속적으로 형성하면, 게이트 절연막(404) 표면에 불순물이 포함되는 것을 방지할 수 있다.

[0205] 여기서 산화물 반도체막(405)에 과잉인 수소(물이나 수산기를 포함함)를 제거(탈수화 또는 탈수소화)하기 위한 가열 처리를 수행하여도 좋다. 가열 처리의 온도는 300°C 이상 700°C 이하, 또는 기관의 변형점 미만으로 한다. 가열 처리는 감압하, 산소 분위기하, 또는 질소 분위기하 등에서 수행할 수 있다. 또한, 산소 분위기는 산화성 가스 분위기라고도 바꿔 읽을 수도 있다. 예를 들어, 산화성 가스인 산소, 산화 이질소(I) 및 오존, 또는 초건조 에어(CRDS(캐비티 링다운 레이저 분광법) 방식의 이슬점 온도계를 사용하여 측정한 경우의 수분량이 20 ppm(이슬점 환산으로 -55°C) 이하, 바람직하게는 1 ppm 이하, 더 바람직하게는 10 ppb 이하의 공기)를 포함하는 분위기라도 좋다.

[0206] 본 실시형태에서는 가열 처리 장치 중 하나인 전기로를 사용하여 산화물 반도체막(405)에 대하여 질소 분위기하 450°C에서 1시간, 더구나 질소 및 산소 분위기하 450°C에서 1시간의 가열 처리를 수행한다.

[0207] 또한, 가열 처리 장치는 전기로에 한정되지 않으며, 저항 발열체 등의 발열체로부터의 열 전도 또는 열 복사에 의하여 피처리물을 가열하는 장치를 사용하여도 좋다. 예를 들어, LRTA 장치, GRTA 장치 등의 RTA 장치를 사용할 수 있다. 예를 들어, 가열 처리로서, 650°C 내지 700°C의 고온으로 가열한 불활성 가스 내에 기관을 넣고, 수분간 가열한 후, 기관을 불활성 가스 내로부터 꺼내는 GRTA를 수행하여도 좋다.

[0208] 또한 가열 처리에서는 질소, 산소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 사용되는 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0209] 또한, 감압하 또는 불활성 분위기하에서 산화물 반도체막(405)을 가열한 후, 산소 분위기하에서 가열하여도 상관없다. 감압하 또는 불활성 분위기하에서의 가열 처리에 의하여 산화물 반도체막(405) 중의 불순물을 배제함과 함께 산소 결손이 생기는 경우, 나중에 수행하는 산소 분위기하의 가열 처리에 의하여 산화물 반도체막(405)의 산소 결손을 저감할 수 있다.

[0210] 또한, 탈수화 또는 탈수소화를 하기 위한 가열 처리는 산화물 반도체막이 섬 형상으로 가공되기 전 또는 섬 형상으로 가공된 후에 수행하면 좋다. 또한, 탈수화 또는 탈수소화를 하기 위한 가열 처리는 복수회 수행하여도 좋고, 다른 가열 처리와 겹하여도 좋다. 또한, 산화물 반도체막(405)에 가열 처리를 수행함으로써 산화물 반도체막(405)의 결정성을 높일 수 있다.

[0211] 탈수화 또는 탈수소화를 하기 위한 가열 처리를 산화물 반도체막(405)이 섬 형상으로 가공되기 전, 즉 산화물 반도체막이 게이트 절연막(404)을 덮은 상태로 수행하면 게이트 절연막(404)에 포함되는 산소가 가열 처리에 의하여 외부로 방출되는 경우를 방지할 수 있다.

- [0212] 다음에, 포토리소그래피 공정에 의하여 산화물 반도체막(405) 위에 레지스트 마스크를 형성하고, 산화물 반도체막(405)을 선택적으로 에칭함으로써 섬 형상 산화물 반도체막(405)을 형성한다(도 8a 참조). 섬 형상 산화물 반도체막(405)을 형성한 후, 레지스트 마스크를 제거한다. 섬 형상 산화물 반도체막(405)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에 제조 비용을 저감시킬 수 있다.
- [0213] 산화물 반도체막(405)의 에칭은 드라이 에칭 및 웨트 에칭 중 어느 쪽을 사용하여도 좋고, 양쪽 모두를 사용하여도 좋다. 예를 들어 산화물 반도체막(405)의 웨트 에칭에 사용되는 에칭액으로서는 인산, 초산, 및 질산을 혼합한 용액 등을 사용할 수 있다. 또한, ITO-07N(Kanto Chemical Co., Inc. 제)을 사용하여도 좋다. 또한, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용한 드라이 에칭에 의하여 에칭 가공하여도 좋다.
- [0214] 산화물 반도체막(405)을 에칭할 때, 게이트 절연막(404)이 지나치게 에칭되지 않도록 충분히 에칭비가 있는 조건으로 수행하는 것이 바람직하다.
- [0215] 다음에, 게이트 절연막(404), 및 산화물 반도체막(405) 위에 나중에 소스 전극층 및 드레인 전극층(이들과 동일한 층으로 형성되는 배선을 포함함)이 되는 도전막을 형성하여, 상기 도전막을 가공하여 소스 전극층(406a) 및 드레인 전극층(406b)을 형성한다(도 8b 참조).
- [0216] 소스 전극층(406a) 및 드레인 전극층(406b)은 스피터링법이나, PECVD법에 의하여 몰리브데넘, 티타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 형성할 수 있다. 또한, 소스 전극층(406a) 및 드레인 전극층(406b)은 질화 텅스텐, 질화 탄탈럼, 질화 티타늄, 질화 몰리브데넘 등의 질화 금속 재료를 사용하여 형성할 수도 있다. 또한, 소스 전극층(406a) 및 드레인 전극층(406b)은 산화 인듐 산화 주석, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 산화 인듐 산화 아연, 산화 실리콘인 첨가된 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다. 또한, 상기 도전 재료와 상기 금속 재료의 적층 구조로 할 수도 있다.
- [0217] 또한, 소스 전극층(406a) 및 드레인 전극층(406b)이 형성됨으로써 노출된 산화물 반도체막(405) 표면에는 소스 전극층(406a) 및 드레인 전극층(406b)을 구성하는 원소나, 처리실 내에 존재하는 원소, 에칭에 사용한 에칭 가스를 구성하는 원소가 불순물로서 부착되는 경우가 있다.
- [0218] 불순물이 부착되면 트랜지스터의 오프 전류 증가, 또는 트랜지스터의 전기적 특성의 열화가 초래되기 쉽다. 또한, 산화물 반도체막(405)에 기생 채널이 형성되기 쉬워져 전기적으로 분리되어야 하는 전극이 산화물 반도체막(405)을 개재하여 전기적으로 접속되기 쉽게 된다.
- [0219] 그래서 소스 전극층(406a) 및 드레인 전극층(406b)을 형성하기 위한 에칭이 종료된 후, 산화물 반도체막(405) 표면이나 측면에 부착된 불순물을 제거하기 위한 세정 처리(불순물 제거 처리)를 수행하여도 좋다.
- [0220] 불순물 제거 처리로서는 플라즈마 처리, 또는 용액에 의한 처리로 수행할 수 있다. 플라즈마 처리로서는 산소 플라즈마 처리 또는 산화 이질소(I) 플라즈마 처리 등을 사용할 수 있다. 또한, 플라즈마 처리로서 희가스(대표적으로는 아르곤)를 사용하여도 좋다.
- [0221] 또한, 용액에 의한 세정 처리로서는 TMAH 용액 등의 알칼리성 용액, 물, 희불화 수소산 등의 산성의 용액을 사용하여 수행할 수 있다. 예를 들어, 희불화 수소산을 사용하는 경우, 50wt%의 불화 수소산을 물로 $1/10^2$ 내지 $1/10^5$ 정도, 바람직하게는 $1/10^3$ 내지 $1/10^5$ 정도로 희석한 희불화 수소산을 사용한다. 즉, 농도가 5×10^{-4} wt% 내지 0.5wt%인 희불화 수소산, 바람직하게는 5×10^{-4} wt% 내지 5×10^{-2} wt%인 희불화 수소산을 세정 처리에 사용하는 것이 바람직하다. 세정 처리에 의하여, 노출된 산화물 반도체막(405) 표면에 부착된 상기 불순물을 제거할 수 있다.
- [0222] 또한, 희불화 수소산 용액을 사용하여 불순물 제거 처리를 수행하면, 노출된 산화물 반도체막(405) 표면을 에칭 할 수 있다. 즉, 노출된 산화물 반도체막(405) 표면에 부착된 불순물이나 산화물 반도체막(405) 내의 표면 근방에 혼입된 불순물을 산화물 반도체막(405)의 일부와 함께 제거한다.
- [0223] 불순물 제거 처리를 수행함으로써 SIMS를 사용한 분석에 의하여 얻어지는 농도의 피크에 있어서 산화물 반도체 막 표면의 염소 농도를 $1 \times 10^{19} / \text{cm}^3$ 이하(바람직하게는 $5 \times 10^{18} / \text{cm}^3$ 이하), 더 바람직하게는 $1 \times 10^{18} / \text{cm}^3$ 이하)로 할

수 있다. 또한, 붕소 농도를 $1 \times 10^{19}/\text{cm}^3$ 이하(바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18}/\text{cm}^3$ 이하)로 할 수 있다. 또한, 알루미늄 농도를 $1 \times 10^{19}/\text{cm}^3$ 이하(바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18}/\text{cm}^3$ 이하)로 할 수 있다.

[0224] 다음에 산화물 반도체막(405), 소스 전극층(406a), 및 드레인 전극층(406b) 위에 게이트 절연막(407)을 형성한다(도 8c 참조). 또한, 게이트 절연막(407)은 제 1 게이트 절연막으로서 기능한다.

[0225] 게이트 절연막(407)의 형성 방법 및 재료는 게이트 절연막(404)과 같기 때문에 자세한 설명은 생략한다. 또한, 게이트 절연막(407)의 막 두께는 1nm 이상 500nm 이하, 바람직하게는 10nm 이상 300nm 이하로 한다.

[0226] 또한, 게이트 절연막(404)과 마찬가지로 게이트 절연막(407)에 대하여 가열 처리를 수행하여도 좋고, 산소를 첨가하는 처리를 수행하여도 좋다.

[0227] 다음에 게이트 절연막(407) 위의 게이트 전극층(402) 및 산화물 반도체막(405)과 중첩되는 영역에 게이트 전극층(이와 같은 층으로 형성되는 배선을 포함함)을 형성하기 위한 도전막을 형성하여 상기 도전막을 가공하여 게이트 전극층(408)을 형성한다(도 8c 참조). 또한, 게이트 전극층(408)은 제 1 게이트 전극으로서 기능한다.

[0228] 게이트 전극층(408)의 형성 방법 및 재료는 게이트 전극층(402)과 같기 때문에 자세한 설명은 생략한다.

[0229] 다음에 게이트 전극층(408)을 마스크로 하여 게이트 절연막(407)을 개재하여 산화물 반도체막(405)에 도편트를 첨가하는 처리를 수행함으로써 도편트를 포함하는 영역(412a) 및 영역(412b)을 형성한다.

[0230] 산화물 반도체막(405)에 첨가하는 도편트로서는 질소, 인, 또는 붕소 등의 15족 원소, 헬륨, 네온, 아르곤, 크립톤, 또는 크세논 등의 희가스 원소, 또는 수소로부터 적어도 하나를 선택하면 좋다. 또한, 도편트를 첨가하는 방법으로서는 이온 도핑법 또는 이온 주입법을 사용할 수 있다. 이온 도핑법 또는 이온 주입법을 사용함으로써 도편트의 첨가 깊이(첨가 영역)를 제어하기 쉬워져 도편트를 고정밀도로 첨가할 수 있다. 또한, 이온 도핑법 또는 이온 주입법에 의하여 도편트를 첨가할 때에 기판을 가열하면서 수행하여도 좋다.

[0231] 더구나, 도편트의 첨가는 이온 도핑법 또는 이온 주입법 외의 방법으로도 수행할 수 있다. 예를 들어, 첨가하는 원소를 포함하는 가스 분위기에서 플라즈마를 발생시켜 피첨가물에 대하여 플라즈마 처리를 수행함으로써 도편트를 첨가할 수 있다. 플라즈마 처리를 수행하는 장치로서는 드라이 에칭 장치나 플라즈마 CVD 장치, 고밀도 플라즈마 CVD 장치 등을 사용할 수 있다. 이때, 산화물 반도체막의 도편트가 첨가되는 영역에 결정부가 포함되어 있는 경우, 도편트의 첨가로 인한 대미지에 의하여 결정성이 저하되어 비정질 영역이 되는 경우가 있다.

[0232] 도편트의 첨가는 가속 전압, 도즈량 등의 주입 조건이나 도편트를 통과시키는 막의 막 두께를 적절히 설정함으로써 제어하면 좋다. 본 실시형태에서는 도편트로서 붕소를 사용하여 이온 주입법에 의하여 붕소 이온을 주입한다. 또한, 도편트의 도즈량은 $1 \times 10^{13}/\text{cm}^2$ 이상 $5 \times 10^{16}/\text{cm}^2$ 이하로 하면 좋다.

[0233] 산화물 반도체막(405)에 도편트를 첨가함으로써 도편트를 포함하는 영역(412a) 및 영역(412b)의 도편트 농도가 $5 \times 10^{18}/\text{cm}^3$ 이상 $1 \times 10^{22}/\text{cm}^3$ 이하가 되는 것이 바람직하다.

[0234] 또한, 산화물 반도체막(405)에 도편트를 도입하는 처리는 복수회 실시하여도 좋고, 복수 종류의 도편트를 사용하여도 좋다.

[0235] 또한, 도편트를 첨가한 후, 가열 처리를 수행하여도 좋다. 가열 조건으로서는 온도를 300°C 이상 700°C 이하, 바람직하게는 300°C 이상 450°C 이하로 하여 산소 분위기하에서 1시간 동안 실시하는 것이 바람직하다. 또한, 질소 분위기하, 감압하, 대기(초건조 에어)하에서 가열 처리를 수행하여도 좋다.

[0236] 상술한 공정에 의하여 트랜지스터(410)를 제작할 수 있다(도 8c 참조).

[0237] 다음에 게이트 절연막(407) 및 게이트 전극층(408) 위에 층간 절연막(보호 절연막, 평탄화 절연막)이 되는 절연막(409)을 형성한다(도 8d 참조).

[0238] 보호 절연막은 절연막(403)과 같은 재료 및 방법을 사용하여 형성할 수 있다. 예를 들어, 스팍터링법에 의하여 형성한 산화 알루미늄막이나 산화 질화 실리콘막을 사용할 수 있다. 또한, 보호 절연막을 형성한 후, 가열 처리를 수행하여도 좋다. 예를 들어, 질소 분위기하에서 300°C로 1시간 가열 처리를 수행한다.

[0239] 또한, 평탄화 절연막을 형성함으로써 트랜지스터에 기인한 표면 요철을 저감할 수 있다. 평탄화 절연막으로서

는 폴리이미드 수지, 아크릴 수지, 벤조사이클로부텐계 수지 등의 유기 재료를 사용할 수 있다. 또한, 상술한 재료 외에 저유전율 재료(low-k 재료) 등을 사용할 수 있다. 또한, 이를 재료로 형성되는 복수의 절연막을 적층시킴으로써 평탄화 절연막을 형성하여도 좋다. 예를 들어, 평탄화 절연막으로서 막 두께가 1.5 μ m인 아크릴 수지막을 형성하면 좋다. 아크릴 수지막은 도포법에 의한 도포 후, 소성(예를 들어, 질소 분위기하에서 250°C로 1시간)하여 형성할 수 있다.

- [0240] 절연막(409)을 형성한 후, 가열 처리를 수행하여도 좋다. 예를 들어, 질소 분위기하에서 250°C로 1시간 가열 처리를 수행한다. 또한, 가열 처리는 복수회 수행하여도 좋다.
- [0241] 다음에 포토리소그래피 공정에 의하여 절연막(409) 위에 레지스트 마스크를 형성하여 선택적으로 절연막(409) 및 게이트 절연막(407)을 에칭함으로써 절연막(409) 및 게이트 절연막(407)에 개구부를 형성한다.
- [0242] 다음에 절연막(409) 위에 나중에 소스 배선층 및 드레인 배선층이 되는 도전막을 형성하여 상기 도전막을 가공하여 소스 전극층(406a) 및 드레인 전극층(406b)과 접속되는 소스 배선층(411a) 및 드레인 배선층(411b)을 형성한다(도 8d 참조).
- [0243] 소스 배선층(411a) 및 드레인 배선층(411b)이 되는 도전막의 형성 방법 및 재료는 소스 전극층(406a) 및 드레인 전극층(406b)과 같기 때문에 자세한 설명은 생략한다.
- [0244] 본 실시형태에 따른 트랜지스터는 산화물 반도체막(405)에서 불순물이 저감되고, 또 산소 결손이 저감됨으로써 고순도화되어 있다. 고순도화된 산화물 반도체(purified OS)는 i형(진성 반도체)이거나 또는 i형에 매우 가깝다. 그러므로 상기 산화물 반도체를 채널이 형성되는 영역에 사용함으로써 트랜지스터의 오프 전류가 현저히 낮고 문턱 값 전압이 마이너스로 시프트되는 것을 억제할 수 있다(즉 노멀리 오프 특성을 얻기 쉽다)는 특성을 갖는다.
- [0245] 구체적으로 산화물 반도체막(405)은 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의한 수소 농도 측정값을 $5 \times 10^{18}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하로 하는 것이 바람직하다. 또한, 홀 효과 측정에 의하여 측정할 수 있는 산화물 반도체막의 캐리어 밀도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만으로 하는 것이 바람직하다. 또한, 산화물 반도체의 밴드 갭(band gap)은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 불순물 농도가 충분히 저감되고 또 산소 결손이 저감됨으로써 고순도화된 산화물 반도체를 채널이 형성되는 영역에 사용함으로써 트랜지스터의 오프 전류를 저감하고 문턱 값 전압이 마이너스 방향으로 시프트되는 일을 억제할 수 있다(즉 노멀리 오프 특성을 얻을 수 있다).
- [0246] 또한, 상기 산화물 반도체를 채널 형성 영역에 포함하는 트랜지스터의 오프 전류는, 채널 폭 $1\mu\text{m}$ 당 100yA(1×10^{-22} A)이하, 바람직하게는 채널 폭 $1\mu\text{m}$ 당 10yA(1×10^{-23} A)이하, 더 바람직하게는 채널 폭 $1\mu\text{m}$ 당 1yA(1×10^{-24} A)이하로 할 수 있다. 또한, 본 명세서 등에서 오프 전류란 트랜지스터가 비도통 상태일 때, 소스와 드레인 사이에 흐르는 전류를 가리킨다. n채널형 트랜지스터(예를 들면, 문턱 값 전압이 0V 내지 2V 정도)에서는, 게이트와 소스 사이에 인가되는 전압이 음 전압인 경우에, 소스와 드레인 사이를 흐르는 전류를 가리킨다.
- [0247] 또한, 산화물 반도체막(405)에서 불순물이나 산소 결손이 저감되는 것에 의하여 캐리어의 발생을 억제할 수 있다. 캐리어 밀도가 높게 되는 것을 억제함으로써 캐리어 밀도로 인하여 트랜지스터의 문턱 값 전압이 마이너스로 시프트되는 것을 억제할 수 있다. 그러므로 트랜지스터의 제 2 게이트 전극에 인가되는 전위에 따라 트랜지스터의 문턱 값 전압을 쉽게 제어할 수 있다.
- [0248] 또한, 제 1 게이트 절연막 및 제 2 게이트 절연막의 재료가 같은 경우에는 트랜지스터의 문턱 값 전압의 시프트량은 막 두께 비율에 따라 제어할 수 있다. 제 1 게이트 절연막 및 제 2 게이트 절연막의 막 두께 비율이 1:10인 경우는 막 두께 비율이 1:1인 경우에 비하여 트랜지스터의 문턱 값 전압의 시프트량이 많아지는 경향이 있다.
- [0249] 또한, 이와 같은 트랜지스터를 사용하여 상술한 실시형태에 따른 인버터 회로(INV)를 구성함으로써 트랜지스터의 제 2 게이트 전극에 인가되는 전위에 따라 트랜지스터의 문턱 값 전압을 쉽게 제어할 수 있다.
- [0250] 또한, 상술한 실시형태에 따른 인버터 회로(INV)를 사용하여 링 오실레이터를 구성함으로써 발진 주파수를 높일 수 있다. 따라서 인버터 회로(INV)의 지연 시간을 짧게 할 수 있다. 또한, 상술한 바와 같이 오프 전류가 낮

은 트랜지스터를 사용함으로써 출력 신호의 진폭을 높일 수 있다.

[0251] 또한, 상술한 산화물 반도체를 사용한 트랜지스터는 실리콘 등을 사용한 트랜지스터 위에 적층시켜 형성하여도 좋다.

[0252] (실시형태 4)

[0253] 본 실시형태에서는 본 발명의 일 형태에 따른 링 오실레이터를 사용한 위상 동기 회로(PLL: Phase Locked Loop)에 대하여 설명한다. 위상 동기 회로는 외부로부터 입력된 주기 신호에 동기한 주기 신호를 생성하는 기능이나, 외부로부터 입력된 주기 신호에 대하여 n배의 주기를 갖는 주기 신호를 생성하는 기능을 갖는다.

[0254] 도 9에 본 실시형태에 따른 위상 동기 회로를 나타낸 블록도를 도시하였다.

[0255] 위상 동기 회로(300)는 위상 비교기(301)(PFD: Phase Frequency Detector), 루프 필터(302)(LPF: Loop Filter), 전압 제어 발진기(303)(VCO: Voltage Controlled Oscillator), 분주기(304), 베피(305)로 구성되어 있다. 또한, 위상 비교기(301)와 루프 필터(302) 사이에 차지 펌프가 형성되어도 좋다.

[0256] 위상 비교기(301)에는, 외부로부터 입력된 주기 신호(REF_CLK)와, 전압 제어 발진기(303)로부터의 출력 신호를 분주기(304)로 분주한 주기 신호의 2개의 주기 신호가 입력되고, 2개의 주기 신호의 위상차에 따른 신호(위상차 신호라고도 함)를 출력한다.

[0257] 위상 비교기(301)로부터 출력되는 위상차 신호는, 루프 필터(302)에 의하여 전압 신호로 변환된다. 그리고 상기 전압 신호가 전압 제어 발진기(303)에 입력된다.

[0258] 전압 제어 발진기(303)에는, 본 발명의 일 형태에 따른 링 오실레이터가 사용된다. 그러므로 루프 필터(302)에 의하여 변환된 전압 신호는 링 오실레이터에 입력된다. 링 오실레이터는 입력된 전압 신호에 따른 주파수를 발진하고, 생성된 신호를 주기 신호로서 분주기(304) 및 베피(305)에 출력한다.

[0259] 위상 동기 회로(300)는 전체적으로 피드백 제어계를 이루고 있고, 상술한 동작이 연속적으로 행해져, 외부로부터 위상 비교기(301)에 입력되는 주기 신호와, 분주기(304)로부터 위상 비교기(301)에 입력되는 주기 신호의 위상차가 0이 된 시점에서, 위상 동기 회로(300)의 제어는 로크(lock)된다. 즉, 전압 제어 발진기(303)에 입력되는 전압 신호가 일정(안정 전압이라고도 함)하게 되어, 전압 제어 발진기(303)로부터 출력되는 주기 신호의 주기(주파수)가 일정하게 된다.

[0260] 전압 제어 발진기(303)로서 본 발명의 일 형태에 따른 링 오실레이터를 사용함으로써 주기 신호의 상승 시간 및 하강 시간을 빠르게 할 수 있기 때문에 발진 주파수를 높일 수 있다. 또한, 출력되는 주기 신호의 주기를 넓은 범위에서 제어할 수 있다. 또한, 저소비 전력으로 하는 것이 가능하다.

[0261] 다음에 본 발명의 일 형태에 따른 위상 동기 회로(300)를 사용한 반도체 장치를, 휴대 전화, 스마트 폰, 전자서적 등의 휴대용 전자 기기에 응용한 경우에 대하여 설명한다.

[0262] 도 10은 휴대용 전자 기기의 블록도다. 도 10에 도시된 휴대용 전자 기기는 RF 회로(421), 아날로그 베이스밴드 회로(422), 디지털 베이스밴드 회로(423), 배터리(424), 전원 회로(425), 애플리케이션 프로세서(426), 플래시 메모리(430), 디스플레이 컨트롤러(431), 메모리 회로(432), 디스플레이(433), 터치 센서(439), 음성 회로(437), 키보드(438) 등으로 구성되어 있다. 디스플레이(433)는 표시부(434), 소스 드라이버(435), 게이트 드라이버(436)에 의하여 구성되어 있다. 애플리케이션 프로세서(426)는 CPU(427), DSP(428), 인터페이스(429)를 갖고 있다.

[0263] 본 발명의 일 형태에 따른 위상 동기 회로는 CPU(427) 등에 적용되는 내부 클럭 생성 회로, RF 회로(421) 등의 주파수 신시사이저, 디지털 베이스밴드 회로(423) 등의 FM 신호 복조기로 채용할 수 있다. 본 발명의 일 형태에 따른 위상 동기 회로를 CPU(427) 등의 내부 클럭을 생성하기 위하여 사용함으로써 안정된 동기 클럭을 생성할 수 있다. 또한, 높은 주파수를 생성할 수 있기 때문에 고속 동작시킬 수 있다.

[0264] 도 11은 전자 서적의 블록도다. 전자 서적은 배터리(451), 전원 회로(452), 마이크로 프로세서(453), 플래시 메모리(454), 음성 회로(455), 키보드(456), 메모리 회로(457), 터치 패널(458), 디스플레이(459), 디스플레이 컨트롤러(460)에 의하여 구성된다. 또한, 마이크로 프로세서(453)는 CPU(461), DSP(462), 인터페이스(463)를 가지고 있다.

[0265] 본 발명의 일 형태에 따른 위상 동기 회로는 CPU(461) 등에 적용되는 내부 클럭 생성 회로 등으로 채용할 수 있

다. 본 발명의 일 형태에 따른 위상 동기 회로를 CPU(461) 등의 내부 클럭을 생성하기 위하여 사용함으로써 안정된 동기 클럭을 생성할 수 있다. 또한, 높은 주파수를 생성할 수 있기 때문에 고속 동작시킬 수 있다.

[0266] 본 실시형태는 상술한 실시형태와 적절히 조합하여 실시할 수 있다.

[0267] (실시예 1)

[0268] 본 실시예에서는 트랜지스터의 전기적 특성에 대하여 평가한 결과에 대하여 설명한다.

[0269] 평가하기 위하여 사용한 2개의 조건의 트랜지스터를 제작하는 방법에 대하여 실시형태 3을 참조하면서 설명한다. 조건 1에서는 제 1 게이트 절연막과 제 2 게이트 절연막의 막 두께 비율을 1:1(제 1 게이트 절연막의 막 두께를 100nm, 제 2 게이트 절연막의 막 두께를 100nm)로 하고, 조건 2에서는 제 1 게이트 절연막과 제 2 게이트 절연막의 막 두께 비율을 1:10(제 1 게이트 절연막의 막 두께를 30nm, 제 2 게이트 절연막의 막 두께를 300nm)으로 하여 각각 트랜지스터를 제작하였다.

[0270] 우선 조건 1의 트랜지스터의 제작 방법에 대하여 설명한다.

[0271] 기판(400)으로서 실리콘 웨이퍼를 사용하고, 상기 실리콘 웨이퍼에 대하여 열 산화 처리를 수행함으로써 실리콘 웨이퍼에 대하여 막 두께 100nm의 산화 실리콘막을 절연막(401)으로서 형성하였다. 산화 실리콘막은 산소에 대하여 HCl가 3volume%의 비율로 포함되는 분위기로 하며 950°C로 3시간 열 산화 처리를 수행하여 형성하였다.

[0272] 다음에 절연막(401) 위에 막 두께 100nm의 텅스텐막을 형성하였다. 텅스텐막은 스퍼터링법에 의하여 아르곤 가스 유량 90sccm, 압력 0.8Pa, 전원 전력 1kW, 설정 온도 230°C로 형성하였다. 다음에 포토리소그래피 공정에 의하여 텅스텐막 위에 레지스트 마스크를 형성하고, 선택적으로 텅스텐막에 대하여 에칭을 수행함으로써 게이트 전극층(402)을 형성하였다. 그 후 레지스트 마스크를 제거하였다.

[0273] 다음에 절연막(401) 및 게이트 전극층(402) 위에 절연막(403)으로서 막 두께 200nm의 산화 실리콘막을 형성하였다. 산화 실리콘막은 스퍼터링법에 의하여 산소 가스 유량 50sccm, 압력 0.4Pa, 전원 전력 1.5kW, T-S간 거리(타깃과 기판간 거리) 60mm, 기판 온도 100°C로 형성하였다.

[0274] 다음에 절연막(403)에 게이트 전극층(402)의 상면이 노출될 때까지 CMP처리를 수행하였다.

[0275] 다음에 절연막(403) 및 게이트 전극층(402) 위에 게이트 절연막(404)으로서 막 두께 100nm의 산화 실리콘막을 형성하였다. 산화 실리콘막은 산소 가스의 유량 50sccm, 압력 0.4Pa, 전원 전력 1.5kW, T-S간 거리 60mm, 기판 온도 100°C로 형성하였다.

[0276] 이어서, 게이트 절연막(404)을 형성한 후, 대기로 폭로되지 않고 In:Ga:Zn=3:1:2[원자수비]의 산화물 타깃을 사용한 스퍼터링법에 의하여 막 두께 20nm의 IGZO막을 산화물 반도체막(405)으로서 형성하였다. IGZO막은 아르곤 및 산소(아르곤/산소=30sccm/10sccm) 분위기하, 압력 0.4Pa, 전원 전력 0.5kW, 기판 온도 200°C로 형성하였다.

[0277] 다음에 포토리소그래피 공정에 의하여 산화물 반도체막(405) 위에 레지스트 마스크를 형성하고 선택적으로 산화물 반도체막(405)에 에칭을 수행함으로써 섬 형상 산화물 반도체막(405)을 형성하였다. 그 후 레지스트 마스크를 제거하였다.

[0278] 다음에 섬 형상 산화물 반도체막(405) 위에 스퍼터링법에 의하여 막 두께 50nm의 텅스텐막을 형성하였다. 텅스텐막은 스퍼터링법에 의하여 아르곤 가스 유량 90sccm, 압력 0.8Pa, 전원 전력 1kW, 설정 온도 230°C로 형성하였다. 다음에 포토리소그래피 공정에 의하여 텅스텐막 위에 레지스트 마스크를 형성하여 선택적으로 텅스텐막에 에칭을 수행하여, 소스 전극층(406a) 및 드레인 전극층(406b)을 형성하였다.

[0279] 다음에 산화물 반도체막(405), 소스 전극층(406a), 및 드레인 전극층(406b) 위에 막 두께 100nm의 산화 실리콘막을 게이트 절연막(407)으로서 형성하였다. 산화 실리콘막은 산소 가스 유량 50sccm, 압력 0.4Pa, 전원 전력 1.5kW, T-S간 거리 60mm, 기판 온도 100°C로 형성하였다.

[0280] 다음에 게이트 절연막(407) 및 산화물 반도체막(405)에 산수를 첨가하는 처리를 수행하였다. 산소 첨가 처리는 이온 주입법에 의하여 가속 전압 25kV, 도즈량 $1.0 \times 10^{16} \text{ cm}^{-2}$ 로 수행하였다.

[0281] 다음에 게이트 절연막(407) 위의 게이트 전극층(402)과 산화물 반도체막(405)이 중첩되는 영역에 막 두께 30nm의 질화 탄탈럼막과 막 두께 135nm의 텅스텐막을 형성하였다. 질화 탄탈럼막은 스퍼터링법에 의하여 아르곤 및 질소(아르곤/질소=50sccm/10sccm) 분위기하, 압력 0.6Pa, 전원 전력 1.0kW로 형성하였다. 또한, 텅스텐막은 스퍼터링법에 의하여 아르곤 가스 유량 110sccm, 압력 2.0Pa, 전원 전력 4kW, 설정 온도 230°C로 형성하였다. 다

음에 포토리소그래피 공정에 의하여 텅스텐막 위에 레지스트 마스크를 형성하고, 선택적으로 텅스텐막 및 질화 탄탈럼막에 에칭을 수행함으로써 게이트 전극층(408)을 형성하였다.

[0282] 다음에 게이트 전극층(408)을 마스크로서 사용하여 게이트 절연막(407)을 개재하여 산화물 반도체막(405)에 봉 소를 첨가하였다. 봉소의 첨가 처리는 이온 주입법에 의하여 가속 전압 30kV, 도즈량 $3.0 \times 10^{15} \text{ cm}^{-2}$ 로 수행하였다.

[0283] 다음에 게이트 절연막(407) 및 게이트 전극층(408) 위에 절연막(409)으로서 막 두께 50nm의 산화 알루미늄막과 막 두께 300nm의 산화 질화 실리콘막을 형성하였다. 산화 알루미늄막은 스퍼터링법에 의하여 아르곤 및 산소 (아르곤/산소=25sccm/25sccm) 분위기하, 압력 0.4Pa, 전원 전력 2.5kW, T-S간 거리 60mm, 기판 온도 250°C로 형성하였다. 또한, 산화 질화 실리콘막은 CVD법으로 형성하였다.

[0284] 다음에 포토리소그래피 공정에 의하여 산화 질화 실리콘막 위에 레지스트 마스크를 형성하고, 선택적으로 산화 질화 실리콘막, 산화 알루미늄막, 및 산화 실리콘막에 에칭을 수행하여 산화 질화 실리콘막, 산화 알루미늄막, 및 산화 실리콘막에 개구부를 형성하였다.

[0285] 다음에 산화 질화 실리콘막 위에 막 두께 50nm의 티타늄막, 막 두께 100nm의 알루미늄막, 막 두께 50nm의 티타늄막을 형성하였다. 티타늄막은 스퍼터링법에 의하여 아르곤 가스 유량 20sccm, 압력 0.1Pa, 전원 전력 12kW, 실온으로 형성하였다. 또한, 알루미늄막은 스퍼터링법에 의하여 아르곤 가스 유량 50sccm, 압력 0.4Pa, 전원 전력 1kW, 실온으로 형성하였다. 다음에 포토리소그래피 공정에 의하여 티타늄막 위에 레지스트 마스크를 형성하고, 선택적으로 티타늄막, 알루미늄막, 티타늄막에 에칭을 수행하여 소스 전극층(406a) 및 드레인 전극층(406b)과 접속되는 소스 배선층(411a) 및 드레인 배선층(411b)을 형성하였다.

[0286] 마지막에 가열 처리를 수행함으로써 조건 1의 트랜지스터를 제작하였다.

[0287] 다음에 조건 2의 트랜지스터를 제작하는 방법에 대하여 설명한다.

[0288] 조건 2의 트랜지스터는 게이트 절연막(404)(제 2 게이트 절연막) 및 게이트 절연막(407)(제 1 게이트 절연막)의 막 두께가 상이한 외는 조건 1의 트랜지스터를 제작하는 방법과 같다. 따라서 조건 1의 트랜지스터와 상이한 제작 공정만을 설명하고, 그 외의 공정을 자세히 설명하는 일은 생략한다.

[0289] 조건 1의 트랜지스터와 같이 기판(400) 위에 절연막(401), 게이트 전극층(402), 절연막(403)을 형성한 후, 절연막(403)에 게이트 전극층(402)의 상면이 노출될 때까지 CMP처리를 수행하였다.

[0290] 다음에 절연막(403) 및 게이트 전극층(402) 위에 막 두께 300nm의 산화 실리콘막을 게이트 절연막(404)으로서 형성하였다. 산화 실리콘막은 산소 가스 유량 50sccm, 압력 0.4Pa, 전원 전력 1.5kW, T-S간 거리 60mm, 기판 온도 100°C로 형성하였다.

[0291] 다음에 게이트 절연막(404)을 형성한 후, 대기해 폭로하지 않으며 산화물 반도체막(405)을 형성하고, 그 후, 섬 형상 산화물 반도체막(405)을 형성하였다.

[0292] 다음에 섬 형상 산화물 반도체막(405) 위에 소스 전극층(406a), 및 드레인 전극층(406b)을 형성하였다.

[0293] 다음에 산화물 반도체막(405), 소스 전극층(406a), 및 드레인 전극층(406b) 위에 게이트 절연막(407)으로서 막 두께 30nm의 산화 실리콘막을 형성하였다. 산화 실리콘막은 산소 가스 유량 50sccm, 압력 0.4Pa, 전원 전력 1.5kW, T-S간 거리 60mm, 기판 온도 100°C로 형성하였다.

[0294] 다음에 게이트 절연막(407) 및 산화물 반도체막(405)에 산소를 첨가하는 처리를 수행하였다. 산소 첨가 처리는 이온 주입법에 의하여 가속 전압 10kV, 도즈량 $5.0 \times 10^{15} \text{ cm}^{-2}$ 로 수행하였다.

[0295] 다음에 게이트 절연막(407) 위에 게이트 전극층(402) 및 산화물 반도체막(405)과 중첩되는 연역에 게이트 전극층(408)을 형성하였다.

[0296] 다음에 게이트 전극층(408)을 마스크로서 사용하여 게이트 절연막(407)을 개재하여 산화물 반도체막(405)에 봉 소를 첨가하였다. 봉소 첨가 처리는 이온 주입법에 의하여 가속 전압 30kV, 도즈량 $3.0 \times 10^{15} \text{ cm}^{-2}$ 로 수행하였다.

[0297] 다음에 게이트 절연막(407), 게이트 전극층(408) 위에 절연막(409)을 형성한 후, 절연막(409)에 개구부를 형성하여 소스 전극층(406a) 및 드레인 전극층(406b)과 접속되는 소스 배선층(411a) 및 드레인 배선층(411b)을 형성

하였다.

[0298] 마지막에 가열 처리를 수행함으로써 조건 2의 트랜지스터를 제작하였다.

[0299] 다음에 2개의 조건하에서 제작한 트랜지스터에 대하여 트랜지스터의 전기적 특성 중 하나인 드레인 전류(ID)-게이트 전압(VG) 측정을 수행하였다. 조건 1 및 조건 2의 트랜지스터에서 드레인 전압(VID)을 10V로 하며 제 1 게이트 전압(VG)을 -10V 내지 +10V 스위핑하였을 때의 드레인 전류(ID[A])의 측정을 수행하였다. 또한, 조건 1에 대해서는 제 2 게이트 전압(VBG)을 -10V 내지 +10V의 범위에서 2V 간격으로 변화시키고, 조건 2에 대해서는 제 2 게이트 전압(VBG)을 -15V 내지 +15V의 범위에서 5V 간격으로 변화시켰다.

[0300] 도 12a에 조건 1의 트랜지스터의 VG-ID 곡선을 도시하였고, 도 12b에 조건 2의 트랜지스터의 VG-ID 곡선을 도시하였다. 가로축은 제 1 게이트 전압(VG[V])이고, 세로축은 드레인 전류(ID[A])를 가리킨다. 또한, 조건 1 및 조건 2의 트랜지스터에서 채널 길이(L)는 3 μ m이고, 채널 폭(W)은 200 μ m이다.

[0301] 도 12a에서 실선(1201)은 제 2 게이트 전극에 인가된 전압(VBG)을 -10V, 실선(1202)은 제 2 게이트 전극에 인가된 전압(VBG)을 -8V, 실선(1203)은 제 2 게이트 전극에 인가된 전압(VBG)을 -6V, 실선(1204)은 제 2 게이트 전극에 인가된 전압(VBG)을 -4V, 실선(1205)은 제 2 게이트 전극에 인가된 전압(VBG)을 -2V, 실선(1206)은 제 2 게이트 전극에 인가된 전압(VBG)을 무인가(즉 0V), 실선(1207)은 제 2 게이트 전극에 인가된 전압(VBG)을 2V, 실선(1208)은 제 2 게이트 전극에 인가된 전압(VBG)을 4V, 실선(1209)은 제 2 게이트 전극에 인가된 전압(VBG)을 6V, 실선(1210)은 제 2 게이트 전극에 인가된 전압(VBG)을 8V, 실선(1211)은 제 2 게이트 전극에 인가된 전압(VBG)을 10V로 한 경우의 드레인 전류(ID)다.

[0302] 또한, 도 12b에서 실선(1221)은 제 2 게이트 전극에 인가된 전압(VBG)을 -15V, 실선(1222)은 제 2 게이트 전극에 인가된 전압(VBG)을 -10V, 실선(1223)은 제 2 게이트 전극에 인가된 전압(VBG)을 -5V, 실선(1224)은 제 2 게이트 전극에 인가된 전압(VBG)을 무인가(즉 0V), 실선(1225)은 제 2 게이트 전극에 인가된 전압(VBG)을 5V, 실선(1226)은 제 2 게이트 전극에 인가된 전압(VBG)을 10V, 실선(1227)은 제 2 게이트 전극에 인가된 전압(VBG)을 15V로 한 경우의 드레인 전류(ID)다.

[0303] 도 12a에 도시된 바와 같이 조건 1의 트랜지스터인 경우에는, 제 2 게이트 전극에 인가된 전압(VBG)이 2V 변동하면 문턱 값 전압은 2V 정도씩 변동하였다. 또한, 도 12b에 도시된 바와 같이, 조건 2의 트랜지스터인 경우에는, 제 2 게이트 전극에 인가된 전압(VBG)이 5V 변동하면 문턱 값 전압은 0.5V 정도씩 변동하였다. 즉 조건 2의 트랜지스터는 제 2 게이트 전극에 인가된 전압(VBG)에 의한 문턱 값 전압의 변동량이 조건 1의 트랜지스터에 비하여 작았다. 또한, 도 12a 및 도 12b에 도시된 바와 같이 조건 1의 트랜지스터 및 조건 2의 트랜지스터의 오프 전류는 반도체 파라미터 애널라이저의 측정 하한(下限)(1×10^{-13} A)이 되어 정확한 값을 어렵잖을 수 없었다.

[0304] 도 12a 및 도 12b의 결과로부터 제 1 게이트 절연막과 제 2 게이트 절연막의 막 두께 비율에 따라 문턱 값 전압의 변동량이 변화하는 것을 알 수 있었다.

[0305] 도 12a 및 도 12b의 결과로부터 트랜지스터의 문턱 값 전압의 변동량은 제 1 게이트 절연막과 제 2 게이트 절연막의 막 두께 비율에 따라 제어할 수 있는 것을 알 수 있다. 따라서 이와 같은 트랜지스터를 사용하여 본 발명의 일 형태에 따른 링 오실레이터를 제작함으로써 양호한 특성을 얻을 수 있는 링 오실레이터를 제작할 수 있다.

[0306] (실시예 2)

[0307] 다음에 실시예 1에 기재된 조건 2의 트랜지스터를 사용하여 제작된 링 오실레이터의 진폭과 주파수를 평가한 결과에 대하여 설명한다.

[0308] 우선, 본 실시예에서 제작한 링 오실레이터에 대하여 설명한다.

[0309] 본 실시예에서 제작한 링 오실레이터는 인버터 회로로서 도 13a에 도시된 인버터 회로(INV)를 사용하여 상기 인버터 회로(INV)를 7단 고리 형상으로 접속시켰다.

[0310] 또한, 도 13a에서 트랜지스터(1011) 및 트랜지스터(1012)는 실시예 1에 기재된 조건 2(제 1 게이트 절연막과 제 2 게이트 절연막의 막 두께 비율이 1:10)에 따라 도 14a에 도시된 트랜지스터로서 제작하였다. 또한, 채널 길이(L)는 양쪽 3 μ m로 하고, 채널 폭(W)은 트랜지스터(1011)가 20 μ m, 트랜지스터(1012)가 200 μ m로 하였다.

- [0311] 다음에 비교예로서 제작한 링 오실레이터에 대하여 설명한다.
- [0312] 비교예로서 제작한 링 오실레이터는 인버터 회로로서 도 13b에 도시된 인버터 회로(INV)를 사용하여 상기 인버터 회로(INV)를 7단 고리 형상으로 접속시켰다.
- [0313] 또한, 도 13b에서 트랜지스터(1021) 및 트랜지스터(1022)는 제 2 게이트 전극총을 형성하지 않은 것 외는 실시예 1에 기재된 조건 2에 따라 도 14b에 도시된 트랜지스터로서 제작하였다. 또한, 채널 길이(L)는 양쪽 $3 \mu\text{m}$ 로 하고, 채널 폭(W)은 트랜지스터(1021)가 $20 \mu\text{m}$, 트랜지스터(1022)가 $200 \mu\text{m}$ 로 하였다.
- [0314] 다음에 본 실시예에서 제작한 링 오실레이터 및 비교예로서 제작한 링 오실레이터에 대하여 진폭과 주파수를 측정하였다. n수는 모두 3이다.
- [0315] 도 15a에 본 실시예에서 제작한 링 오실레이터의 진폭[V]을 도시하고, 도 15b에 본 실시예에서 제작한 링 오실레이터의 주파수[MHz]를 도시하였다. 또한, 도 16a에 비교예로서 제작한 링 오실레이터의 진폭[V]을 도시하고, 도 16b에 비교예로서 제작한 링 오실레이터의 주파수[MHz]를 도시하였다. 또한, 도 15a 및 도 15b에서는 본 실시예에서 제작한 링 오실레이터를 R0라고 약기하고, 도 16a 및 도 16b에서는 비교예로서 제작한 링 오실레이터를 refR0라고 약기하였다.
- [0316] 도 15b에 도시된 바와 같이 본 실시예에서 제작한 링 오실레이터는 도 16b에 도시된 비교예로서 제작한 링 오실레이터보다 발진 주파수를 높일 수 있었다.
- [0317] 도 15a 내지 도 16b에 도시된 결과로부터 인버터 회로가 갖는 트랜지스터에 제2 게이트 전극을 형성하여 전위를 제어함으로써 링 오실레이터의 발진 주파수를 향상시킨다는 것을 알 수 있었다. 따라서 인버터 회로의 지연 시간을 짧게 할 수 있다는 것을 알 수 있었다.
- [0318] (실시예 3)
- [0319] 다음에 실시예 1에 기재된 조건 1의 트랜지스터를 사용하여 제작된 링 오실레이터의 진폭과 주파수를 평가한 결과에 대하여 설명한다.
- [0320] 우선 본 실시예에서 제작한 링 오실레이터에 대하여 설명한다. 본 실시예에서는 6 종류의 링 오실레이터를 제작하였다.
- [0321] 본 실시예에서 제작한 링 오실레이터 A, 링 오실레이터 B, 및 링 오실레이터 C에서는 인버터 회로로서 도 17a에 도시된 인버터 회로(INV)를 사용하여 상기 인버터 회로(INV)를 7단 고리 형상으로 접속시켰다.
- [0322] 또한, 도 17a에서 트랜지스터(1031) 및 트랜지스터(1032)는 실시예 1에 기재된 조건 1(제 1 게이트 절연막과 제 2 게이트 절연막의 막 두께 비율이 1:1)에 따라 도 14a에 도시된 트랜지스터로서 제작하였다.
- [0323] 또한, 비교예로서 제작한 링 오실레이터 D, 링 오실레이터 E, 및 링 오실레이터 F에서는 인버터 회로로서 도 17b에 도시된 인버터 회로(INVa) 및 제어용 인버터 회로(INVb)를 사용하여 상기 인버터 회로(INVa)를 7단 고리 형상으로 접속시켰다.
- [0324] 또한, 도 17b에서 트랜지스터(1041) 내지 트랜지스터(1044)는 도 14a에 도시된 트랜지스터로서 실시예 1에 기재된 조건 1에 따라 제작하였다.
- [0325] 다음에 링 오실레이터 A, 링 오실레이터 B, 및 링 오실레이터 C의 트랜지스터(1031) 및 트랜지스터(1032), 또 링 오실레이터 D, 링 오실레이터 E, 및 링 오실레이터 F의 트랜지스터(1041) 내지 트랜지스터(1044)의 채널 길이(L)와 채널 폭(W)에 대하여 표 1 및 표 2에 나타냈다.

표 1

	링 오실레이터 A		링 오실레이터 B		링 오실레이터 C	
	채널 폭(W) [μm]	채널 길이(L) [μm]	채널 폭(W) [μm]	채널 길이(L) [μm]	채널 폭(W) [μm]	채널 길이(L) [μm]
트랜지스터(1031)	20	3	20	1	20	0.5
트랜지스터(1032)	200	3	200	1	200	0.5

표 2

[0327]	링 오실레이터 D		링 오실레이터 E		링 오실레이터 F	
	채널 폭(W) [μ m]	채널 길이(L) [μ m]	채널 폭(W) [μ m]	채널 길이(L) [μ m]	채널 폭(W) [μ m]	채널 길이(L) [μ m]
트랜지스터(1041)	20	3	20	1	20	0.5
트랜지스터(1042)	200	3	200	1	200	0.5
트랜지스터(1043)	20	3	20	1	20	0.5
트랜지스터(1044)	200	3	200	1	200	0.5

[0328] 다음에 본 실시예에서 제작한 링 오실레이터 A 내지 링 오실레이터 C, 및 비교예로서 제작한 링 오실레이터 D 내지 링 오실레이터 F에 대하여 진폭과 주파수를 측정하였다. n수는 모두 3이다.

[0329] 도 18a에 본 실시예에서 제작한 링 오실레이터 A 내지 링 오실레이터 C의 진폭[V]을 도시하고, 도 18b에 본 실시예에서 제작한 링 오실레이터 A 내지 링 오실레이터 C의 주파수[MHz]를 도시하였다. 또한, 도 19a에 비교예로서 제작한 링 오실레이터 D 내지 링 오실레이터 F의 진폭[V]을 도시하고, 도 19b에 비교예로서 제작한 링 오실레이터 D 내지 링 오실레이터 F의 주파수[MHz]를 도시하였다. 또한, 도 18a 내지 도 19b에서는 링 오실레이터를 R0라고 약기하였다.

[0330] 도 18a 및 도 19a에 도시된 바와 같이 링 오실레이터 D 내지 링 오실레이터 F는 링 오실레이터 A 내지 링 오실레이터 C에 비하여 진폭[V]이 증가하였다. 또한, 도 18b 및 도 19b에 도시된 바와 같이 링 오실레이터 A 내지 링 오실레이터 C, 링 오실레이터 D 내지 링 오실레이터 F는 높은 주파수를 얻을 수 있었다.

[0331] 링 오실레이터 D 내지 링 오실레이터 F에서는 인버터 회로(INVa)의 트랜지스터(1041)의 제 2 게이트 전극에 제어용 인버터 회로(INVb)의 출력 신호(전위)가 인가되어 있다. 그러므로 트랜지스터(1042)의 제 1 게이트 전극에 인가되는 전위와는 반대인 전위가 트랜지스터(1041)의 제 2 게이트 전극에 인가되어 있다. 이로써 트랜지스터(1041)의 특성을 노멀리 온 또는 노멀리 오프로 제어할 수 있다. 이로써 트랜지스터(1041)의 특성을 노멀리 오프로 함으로써 관통 전류를 억제할 수 있기 때문에 링 오실레이터 D 내지 링 오실레이터 F의 진폭이 향상되었다고 생각될 수 있다.

[0332] 도 19a 및 도 19b에 도시된 결과로부터 인버터 회로(INVa)의 트랜지스터(1041)의 제 2 게이트 전극에 반전 신호를 입력함으로써 링 오실레이터의 진폭을 향상시킬 수 있다는 것을 알 수 있었다. 또한, 인버터 회로가 갖는 트랜지스터에 제 2 게이트 전극을 형성하여 전위를 제어함으로써 링 오실레이터의 주파수를 높일 수 있다는 것을 알 수 있었다.

부호의 설명

[0333] 101: 트랜지스터

102: 트랜지스터

103: 트랜지스터

104: 트랜지스터

300: 위상 동기 회로

301: 위상 비교기

302: 루프 필터

303: 전압 제어 발진기

304: 분주기

305: 버퍼

400: 기판

- 401: 절연막
- 402: 게이트 전극층
- 403: 절연막
- 404: 게이트 절연막
- 405: 산화물 반도체막
- 406a: 소스 전극층
- 406b: 드레인 전극층
- 407: 게이트 절연막
- 408: 게이트 전극층
- 409: 절연막
- 410: 트랜지스터
- 411a: 소스 배선층
- 411b: 드레인 배선층
- 412a: 영역
- 412b: 영역
- 421: RF 회로
- 422: 아날로그 베이스밴드 회로
- 423: 디지털 베이스밴드 회로
- 424: 배터리
- 425: 전원 회로
- 426: 애플리케이션 프로세서
- 427: CPU
- 428: DSP
- 429: 인터페이스
- 430: 플래시 메모리
- 431: 디스플레이 컨트롤러
- 432: 메모리 회로
- 433: 디스플레이
- 434: 표시부
- 435: 소스 드라이버
- 436: 게이트 드라이버
- 437: 음성 회로
- 438: 키보드
- 439: 터치 센서
- 451: 배터리
- 452: 전원 회로

453: 마이크로 프로세서

454: 플래시 메모리

455: 음성 회로

456: 키보드

457: 메모리 회로

458: 터치 패널

459: 디스플레이

460: 디스플레이 컨트롤러

461: CPU

462: DSP

463: 인터페이스

1011: 트랜지스터

1012: 트랜지스터

1021: 트랜지스터

1022: 트랜지스터

1031: 트랜지스터

1032: 트랜지스터

1041: 트랜지스터

1042: 트랜지스터

1044: 트랜지스터

1201: 실선

1202: 실선

1203: 실선

1204: 실선

1205: 실선

1206: 실선

1207: 실선

1208: 실선

1209: 실선

1210: 실선

1211: 실선

1221: 실선

1222: 실선

1223: 실선

1224: 실선

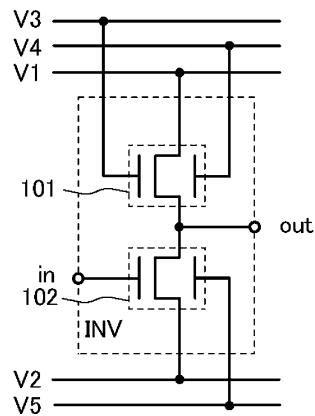
1225: 실선

1226: 실선

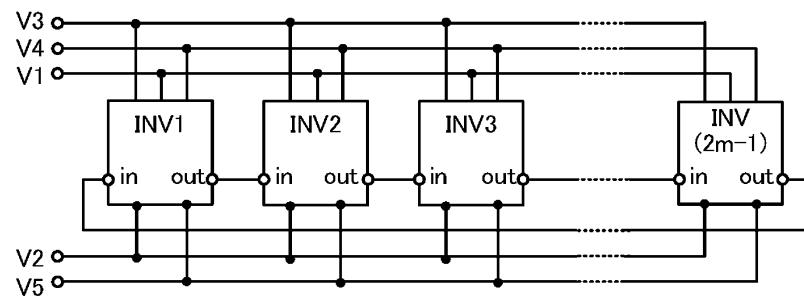
1227: 실선

도면

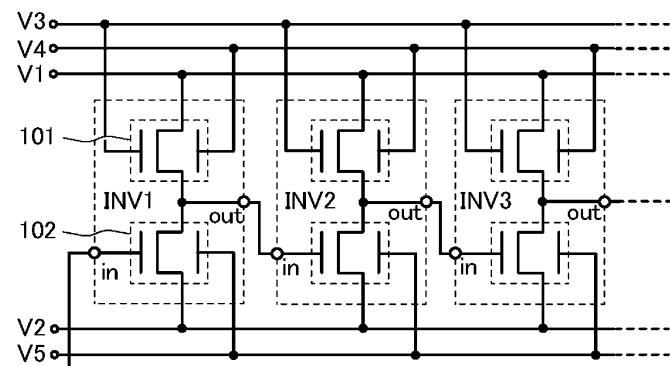
도면1a



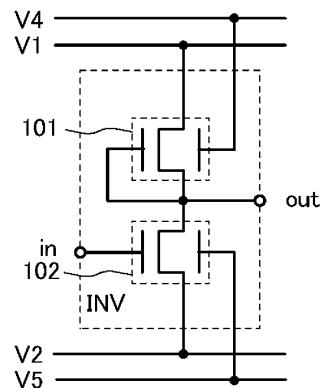
도면1b



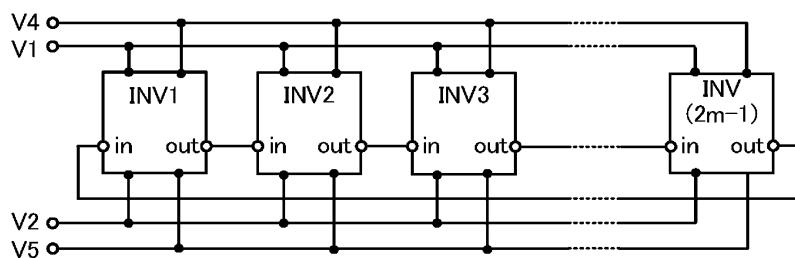
도면 1c



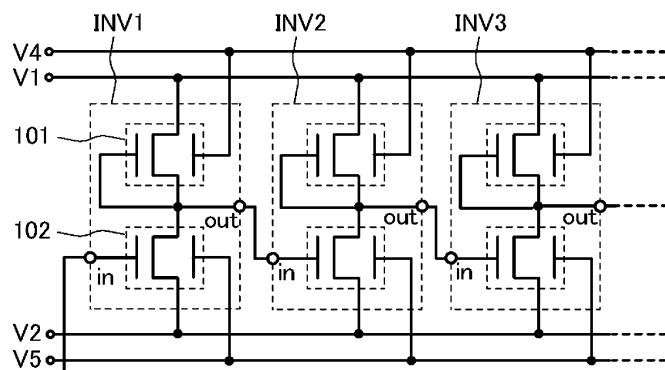
도면2a



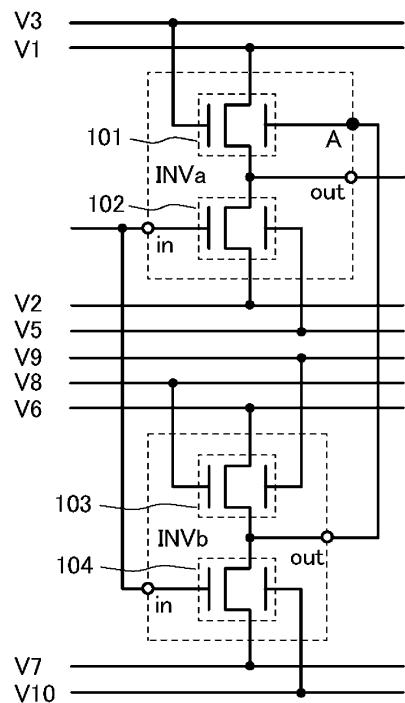
도면2b



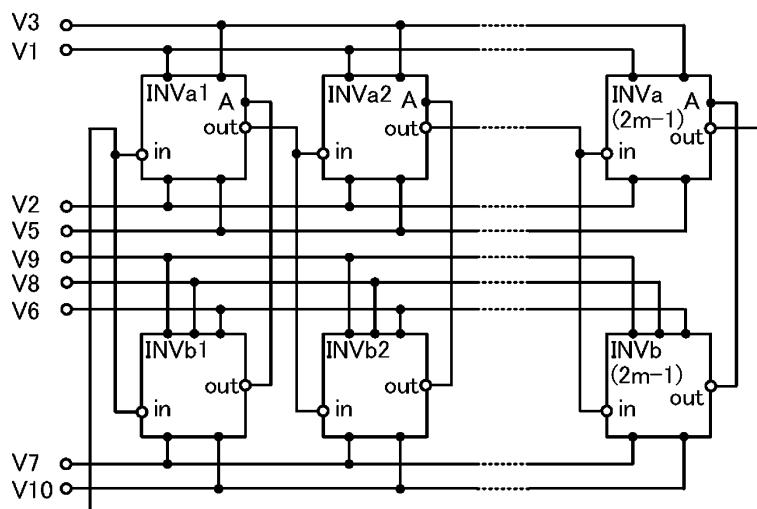
도면2c



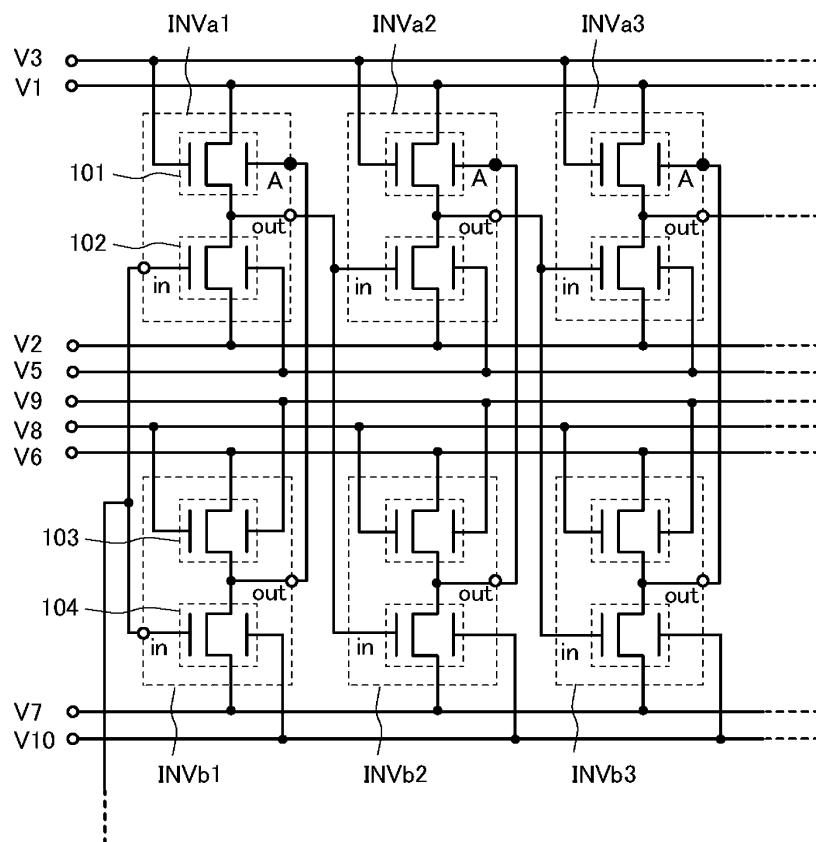
도면3a



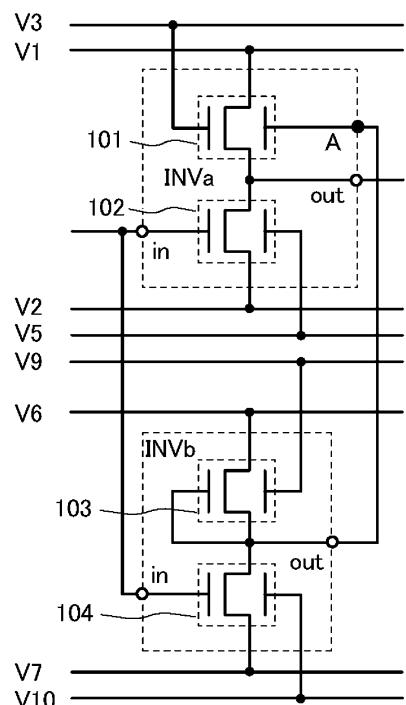
도면3b



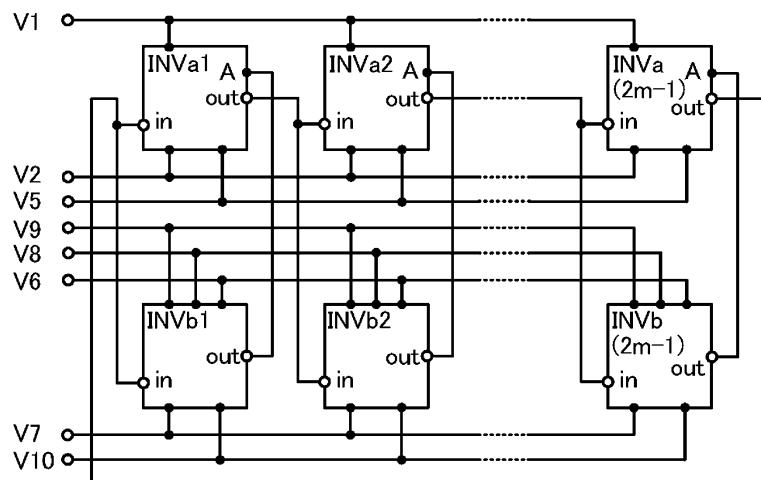
도면4



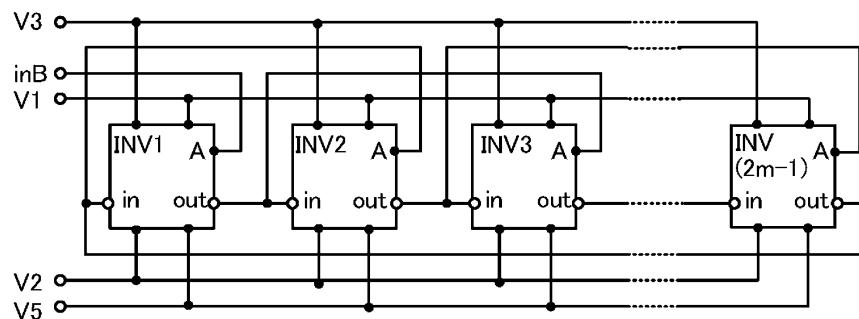
도면5a



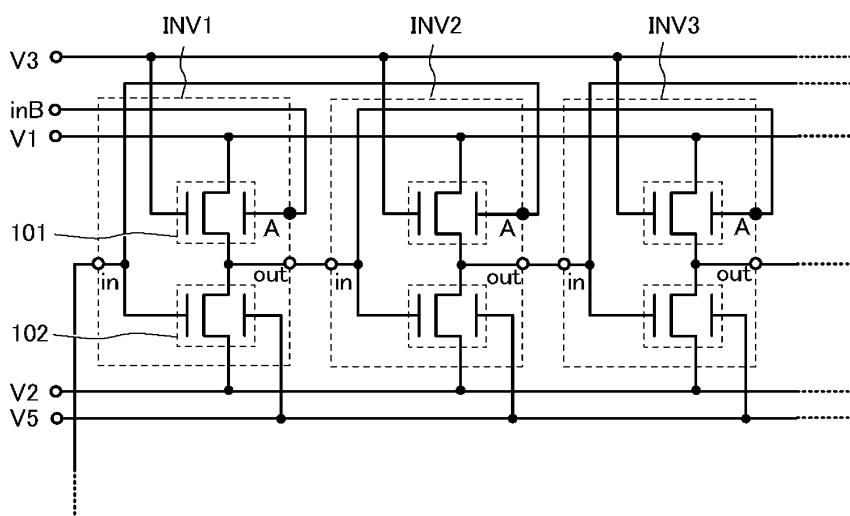
도면5b



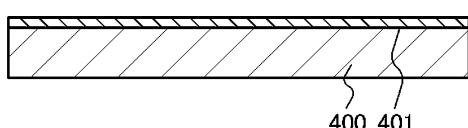
도면6a



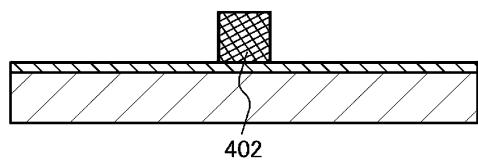
도면6b



도면7a

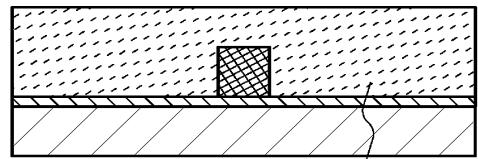


도면7b



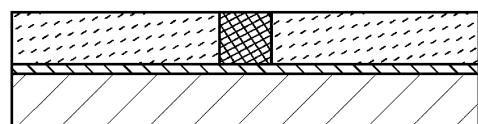
402

도면7c

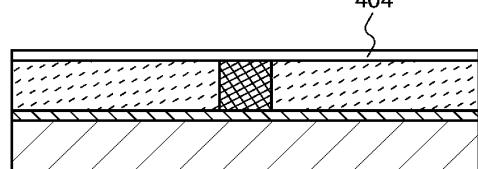


403

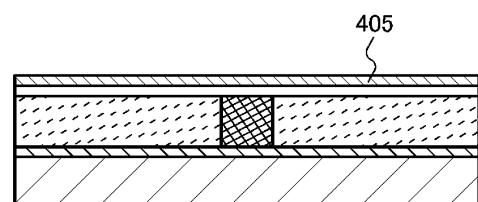
도면7d



도면7e

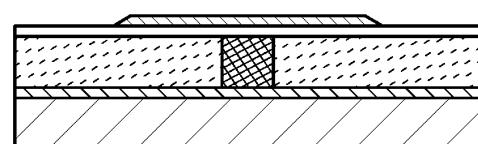


도면7f

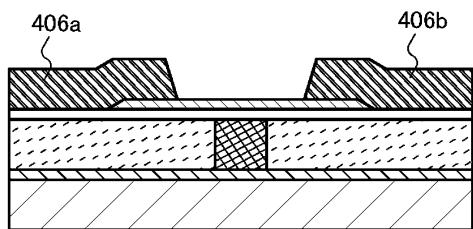


405

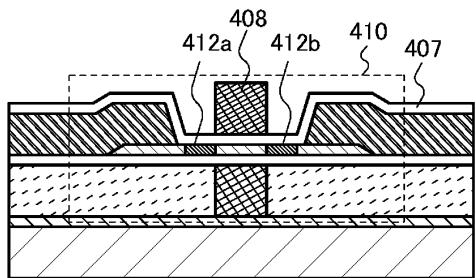
도면8a



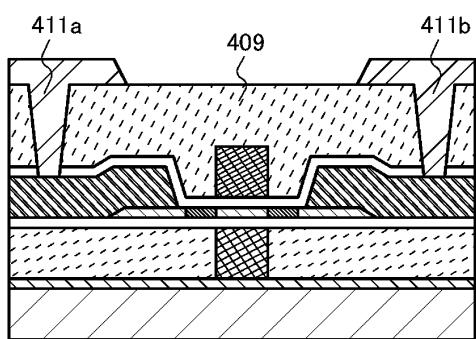
도면8b



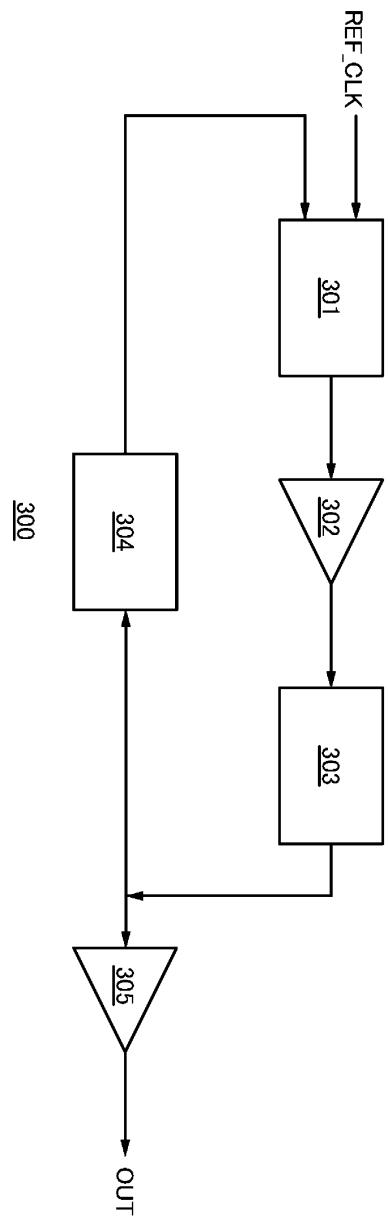
도면8c



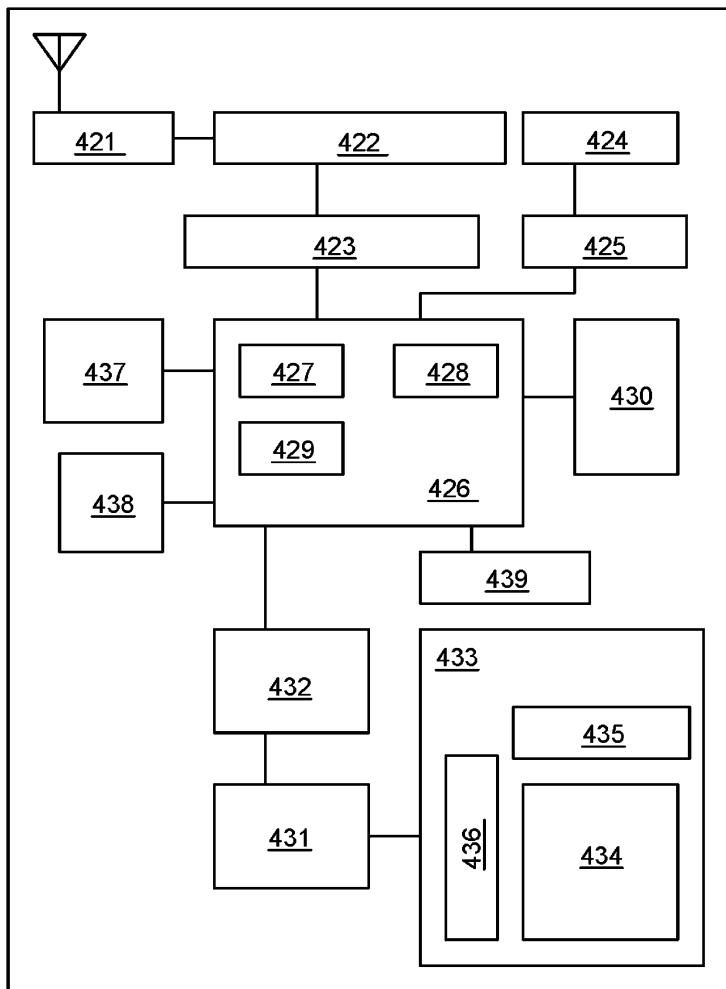
도면8d



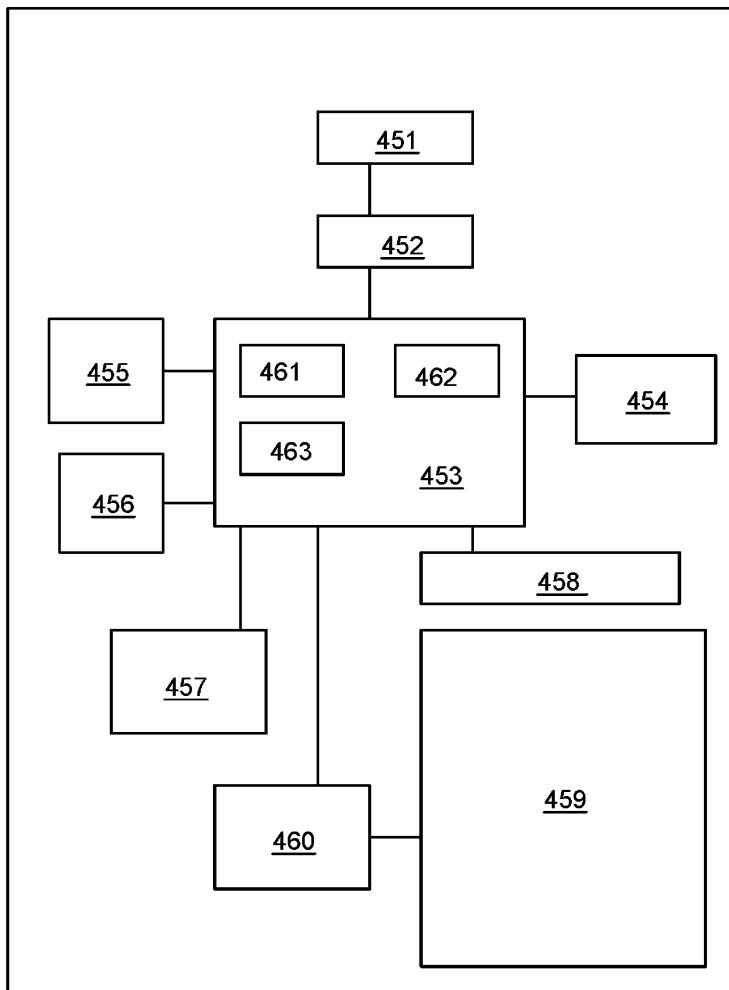
도면9



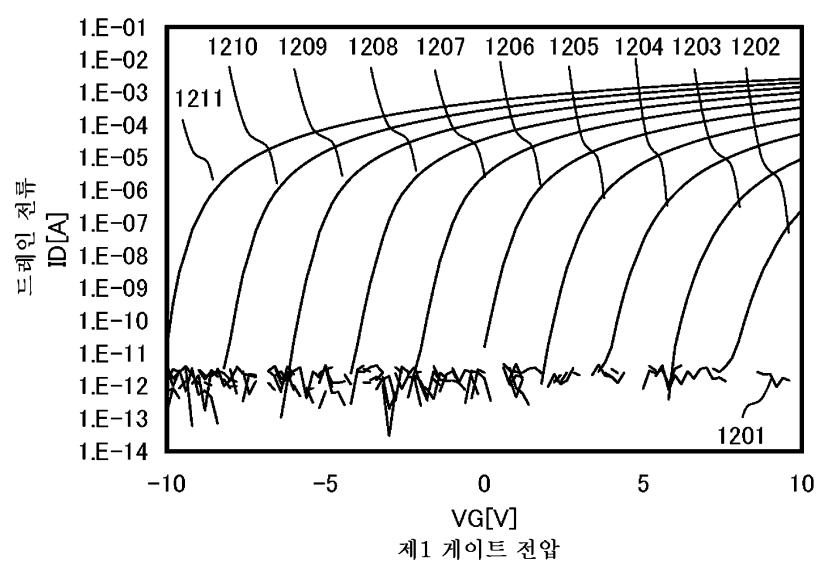
도면10



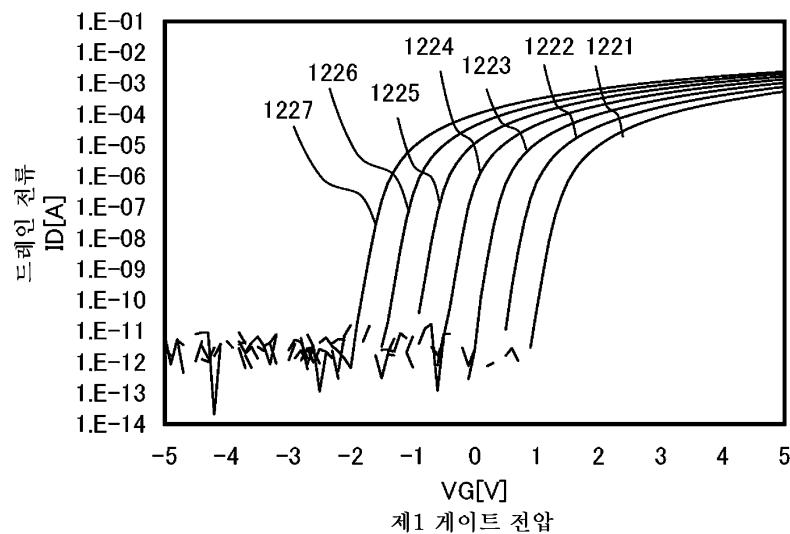
도면11



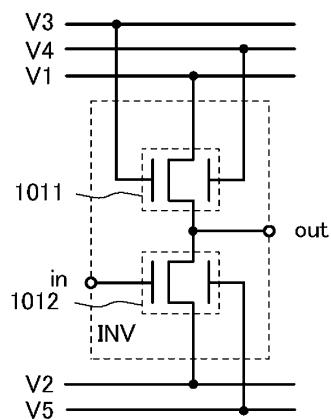
도면12a



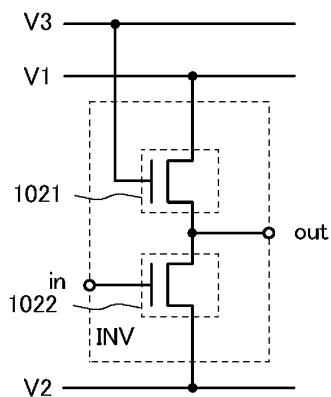
도면12b



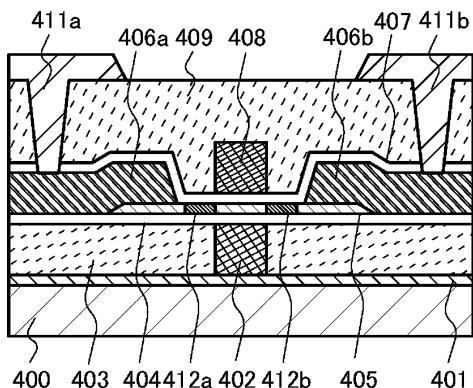
도면13a



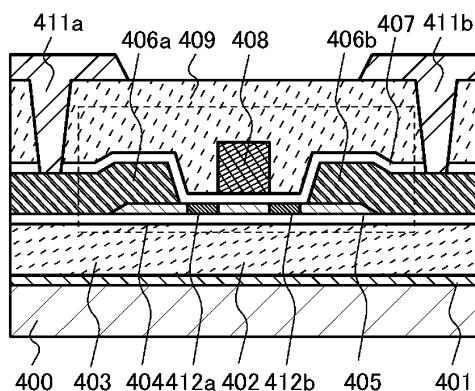
도면13b



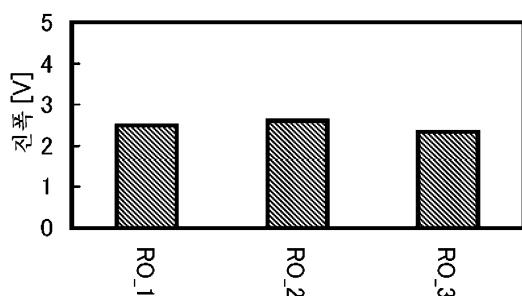
도면14a



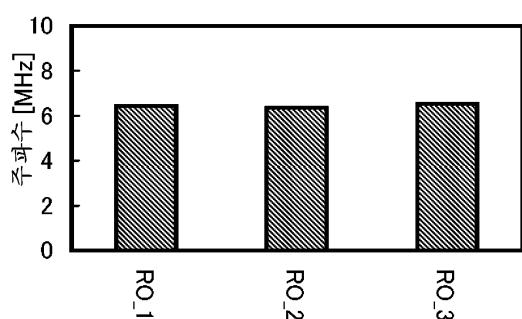
도면14b



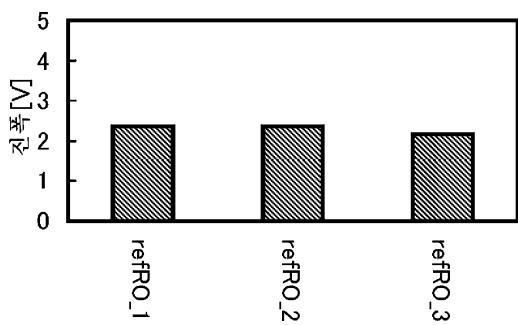
도면15a



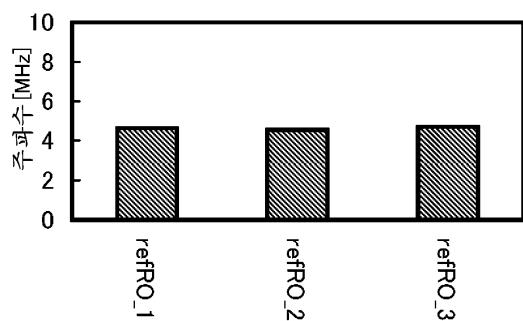
도면15b



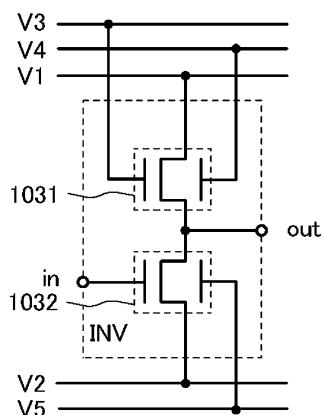
도면 16a



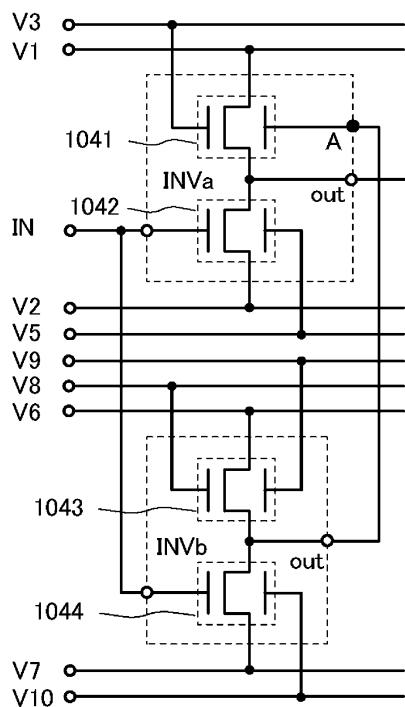
도면 16b



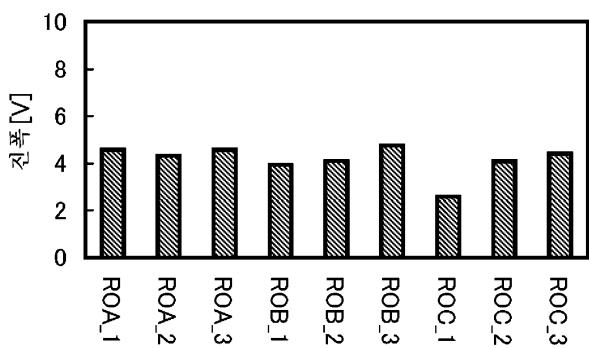
도면 17a



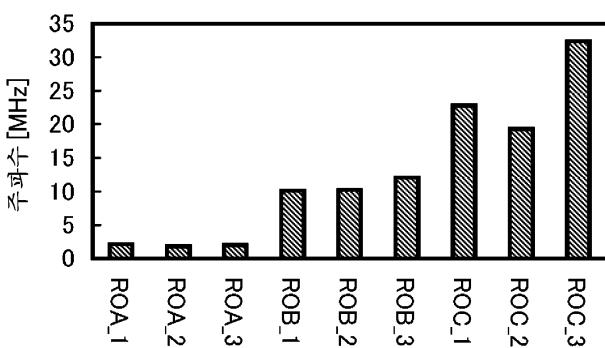
દોર્ય 17b



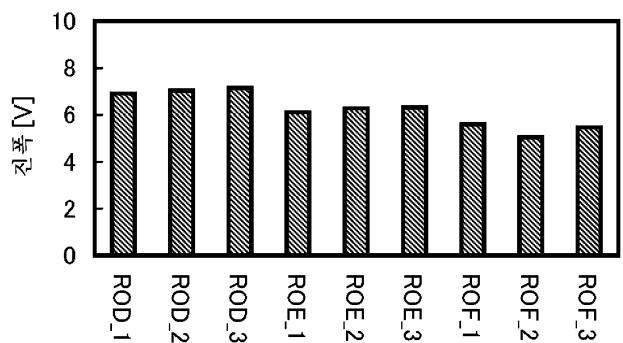
દોર્ય 18a



દોર્ય 18b



દોર્ય 19a



દોર્ય 19b

