



Erfindungspatent für die Schweiz und Liechtenstein

Schweizerisch-lichtensteinischer Patentschutzvertrag vom 22. Dezember 1978



(12) PATENTSCHRIFT A5

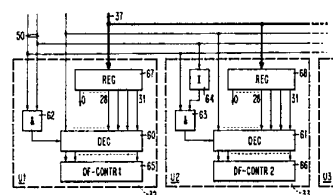
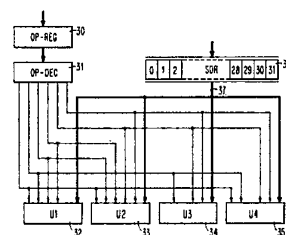
11

632 349

- | | | | | |
|----|----------------------------------|-----------------------|----|--|
| ②1 | Gesuchsnummer: | 10010/78 | ⑦3 | Inhaber:
International Business Machines Corporation,
Armonk/NY (US) |
| ②2 | Anmeldungsdatum: | 26.09.1978 | ⑦2 | Erfinder:
Dieter Bazlen, Stuttgart (DE)
Rolf Berger, Schönaich (DE)
Arnold Blum, Gechingen (DE)
Dietrich W. Bock, Böblingen (DE)
Herbert Chilinski, Schönaich (DE)
Hellmuth Roland Geng, Herrenberg (DE)
Johann Hajdu, Böblingen (DE)
Fritz Irro, Böblingen (DE)
Siegfried Neuber, Sindelfingen (DE)
Udo Wille, Böblingen (DE) |
| ③0 | Priorität(en): | 21.10.1977 DE 2747304 | ⑦4 | Vertreter:
Dipl.-Ing. Wolfgang Möhlen, c/o IBM Corp.,
Rüschlikon |
| ②4 | Patent erteilt: | 30.09.1982 | | |
| ④5 | Patentschrift
veröffentlicht: | 30.09.1982 | | |

(54) Einrichtung zur Mikrobefehlssteuerung.

(57) In einer modular aufgebauten Datenverarbeitungsanlage mit zentralem Operationscode-Decoderierer (31) für Mikrobefehle sind in den Verarbeitungsmodulen (32, 33, 34, 35) Zusatzdecoderierer (60, 61) vorgesehen, um die Anzahl von Steuerleitungen zu verringern, welche vom zentralen Decoderierer zu den Verarbeitungsmodulen führen. Von den Eingängen der Zusatzdecoderierer ist nur ein Teil an den zentralen Decoderierer angeschlossen, während der andere Teil der Eingänge mit bestimmten Bitpositionen (Bit 28...Bit 31) eines Datenregisters (67, 68) des betreffenden Verarbeitungsmoduls verbunden ist. Auf diese Weise können jeweils nicht benötigte Bitstellen von Operanden zur Übertragung von Operationscode-Steuerbits verwendet werden. Die Mikrobefehls-Steuerinformation wird also zum einen Teil über eine reduzierte Anzahl von Decoder-Ausgangsleitungen und zum anderen Teil über bestehende Operanden- oder Datenleitungen (37) übertragen.



PATENTANSPRÜCHE

1. Einrichtung in einer modular aufgebauten Datenverarbeitungsanlage zur Mikrobefehlssteuerung mit einem Operationscode-Register, einem Operationscode-Decodierer und einer Datenflussteuerung, dadurch gekennzeichnet, dass zur Reduktion der Zahl der Operationssteuerleitungen (53; Fig. 5) zwischen dem zentralen Operationscode-Decodierer (31) und bestimmten Verarbeitungsmoduln der Datenflussteuerung (65, 66; Fig. 6), welche Mikrobefehle auszuführen haben, die sich auf mindestens einen Operanden beziehen, dessen Bitbreite nicht voll ausgenutzt ist, jeweils ein Zusatzdecodierer (60, 61) vorgesehen ist, der Datenflussteuersignale aus einem ersten Teil von Operationssteuersignalen vom zentralen Operationscode-Decodierer und einem zweiten Teil von Operationssteuersignalen erzeugt, die im nicht benutzten Teil des genannten Operanden untergebracht sind.

2. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, dass der erste Teil der Operationssteuersignale, die zu den entsprechenden Verarbeitungsmoduln (32, 33; Fig. 6) übertragen werden, als Adressensignale zur Einschaltung eines ausgewählten Zusatzdecodierers (60, 61) verwendet werden.

3. Einrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der zweite Teil der Operationssteuersignale in einem Datenregister (67, 68; Fig. 6) zwischengespeichert wird.

4. Einrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der zweite Teil der Operationssteuersignale einem zusätzlichen Operationssteuersignalspeicher (70; Fig. 7) mit dem Operationscode als Adresse entnommen und in einen, durch den genannten Operanden nicht benutzten Teil eines Registers (36) übertragen wird.

Die Erfindung betrifft eine Einrichtung in einer modular aufgebauten Datenverarbeitungsanlage zur Mikrobefehlssteuerung nach den Oberbegriff des Anspruchs 1.

Elektronische Digitalrechner bestehen im allgemeinen, wie Fig. 1 zeigt, aus einem Speicher (ST) 1, einem Rechenwerk (ALU) 2, einem Steuerwerk (CTR) 3, den peripheren Ein-/Ausgabegeräten (I/O) 4 sowie einem diese genannten Einheiten verbindenden Leitungssystem 5.

Moderne Steuerwerke sind meist so aufgebaut, dass sie die Befehle der Maschinensprache, also die Maschinenbefehle, interpretativ, d. h. aufgelöst in eine Folge von Mikrobefehlen ausführen. Die Gesamtheit der Mikrobefehle oder das Mikroprogramm ist allgemein, wie Fig. 2 zeigt, in einem Mikroprogrammspeicher (μ -ST) 20 gespeichert. Zur Ansteuerung dieses Mikroprogrammspeichers 20 über ein Adressenregister 21 gibt es verschiedene Methoden. Nach einer dieser Methoden wird beispielsweise der Maschinenbefehl als Adresse zur Ansteuerung einer bestimmten Speicherstelle im Mikroprogrammspeicher 20 verwendet, in der dann der erste Mikrobefehl für die Interpretation dieses Maschinenbefehls gespeichert ist. Die Adressen für die Folgebefehle können hierbei in dem jeweils ausgelesenen Mikrobefehl enthalten sein, so dass auf diese Weise die Mikrobefehle für die Interpretation eines Maschinenbefehls aneinander gereiht werden können.

Ein Mikrobefehl besteht meistens aus einem Operationscode zur Angabe der auszuführenden Operation sowie aus Adressenfeldern für die beiden Operanden OPD 1 und OPD 2 sowie, wenn beim vorher erwähnten Beispiel geblieben wird, ein Adressenfeld zur Aufnahme der Adresse des nächsten Mikrobefehls aus dem Mikroprogrammspeicher 20. Im folgenden sei nun die weitere Behandlung des Operationscodes betrachtet, der aus dem Mikroprogrammspeicher 20 in ein Operationscoderegister (OP-REG) 22 gelangt. Von dort wird

er einem Operationsdecodierer (OP-DEC) 23 zugeführt, der den Operationscode in Operationssteuersignale umsetzt, die an seinem Ausgang auf einer Anzahl von Steuerleitungen bereitgestellt werden, die zu den Steuerelementen des Datenflusses (im wesentlichen Ein- und Ausgangstorschaltungen, die bestimmten Systemkomponenten vor- oder nachgeschaltet sind) führen, welche dann mit Hilfe dieser Operationssteuersignale gesteuert, d. h. geöffnet oder geschlossen werden.

In Fig. 2 sind die Steuerelemente des Datenflusses (DF-CONTR) 24 als eine kompakte Einheit dargestellt. In Wirklichkeit sind sie jedoch verstreut an vielen Stellen in einer Datenverarbeitungsanlage angeordnet.

Insbesondere bei einem modularen Aufbau einer digitalen Datenverarbeitungsanlage kann auch der Datenflussteuerung 24 ein modularer Aufbau gegeben werden, wie er beispielsweise in Fig. 3 dargestellt ist. Hier besteht die Datenverarbeitungsanlage aus den Verarbeitungsmoduln (U1 bis U1) 32 bis 35. Es ist in dieser Figur zu erkennen, dass zwischen dem an das Operationscoderegister 30 angeschlossenen Operationsdecodierer 31 und der Datenflussteuerung in den Verarbeitungsmoduln ein weit verzweigtes Steuerleitungsnetz vorgesehen werden muss, um alle Steuerungsaufgaben des Steuerwerkes durchführen zu können. Bei weiter von dem Operationsdecodierer 31 entfernt liegenden modularen Einheiten der Datenflussteuerung in den Verarbeitungsmoduln ergibt sich hier durch eine unter Umständen ungünstige Leitungsführung ein Nachteil in konstruktiver Hinsicht, der weiterhin noch dann vergrößert wird, wenn bei einem Aufbau einer solchen digitalen Datenverarbeitungsanlage aus Halbleitermoduln, die in höchster Integrationsdichte die erforderlichen Schaltkreise tragen, die Anzahl der Anschlussstifte, die die Verbindung der integrierten Schaltkreise mit der äusseren Welt herstellen, nicht beliebig gross gemacht werden kann, da konstruktive Restriktionen dieses verbieten.

Die Aufgabe der vorliegenden Erfindung ist es daher, eine Lösung anzugeben, die diese nachteiligen konstruktiven Bedingungen für die Leitungsführung zwischen dem Operationsdecodierer einer elektronischen Datenverarbeitungsanlage einerseits und den Elementen der Datenflussteuerung andererseits überwindet.

Gelöst wird diese Aufgabe der Erfindung durch die im Patentanspruch 1 angegebenen Merkmale.

Vorteilhafte Weiterbildungen und Ausgestaltungen sowie weitere technische Merkmale des Gegenstandes der Erfindung sind den abhängigen Ansprüchen zu entnehmen.

Durch die vorliegende Erfindung wird also der Vorteil erzielt, dass die durch Konstruktion und Technologie bedingte ungünstige Leitungsführung der Operationssteuerleitungen bei bekannten elektronischen Datenverarbeitungsanlagen insbesondere der unteren Leistungsklasse verbessert werden konnte.

Im folgenden wird ein Ausführungsbeispiel der Erfindung beschrieben. Die hierzu verwendeten Fig. 1 bis 3 dienen zur Veranschaulichung der Nachteile bekannter modular aufgebauter digitaler Datenverarbeitungsanlagen und somit zum besseren Verständnis der Erfindung, die Fig. 4 bis 7 zur Erläuterung eines Ausführungsbeispiels.

Es zeigen im einzelnen:

Fig. 1 das Blockschaltbild bekannter elektronischer Datenverarbeitungsanlagen,

Fig. 2 und 3 Blockschaltbilder des Steuerwerks von elektronischen Datenverarbeitungsanlagen beispielsweise nach Fig. 1,

Fig. 4 in schematischer Darstellung einen Operanden im Speicherdatenregister, bei dem nicht alle Bitstellen für die Durchführung eines bestimmten Mikrobefehls benötigt werden,

Fig. 5 bis 7 Blockschaltbilder der Datenflussteuerung gemäss der vorliegenden Erfindung.

Fig. 2 verdeutlicht im wesentlichen das Prinzip von Steuerwerken bekannter elektronischer Datenverarbeitungsanlagen, die Maschinenbefehle mittels einer Folge von Mikrobefehlen ausführen. Die Mikrobefehle sind im Mikroprogrammspeicher 20 untergebracht, der über ein Adressenregister 21 im allgemeinen nur zum Auslesen der Befehle angesteuert wird. Die Adresse wird über das ODER-Tor 28 in das Adressenregister 21 übertragen. Handelt es sich um die erste Adresse einer Mikrobefehlsfolge, so wird diese im allgemeinen über die Leitung 29a von einem nicht dargestellten Maschinenbefehlsspeicher her übertragen. Bei bestimmten Steuerwerkstypen gelangen dann die Adressen der Folgebefehle, die eine Mikrobefehlsroutine bilden, über die Leitung 29b und das ODER-Tor 28 in das Adressenregister 21 des Mikroprogrammspeichers 20. Es ist hierbei vorausgesetzt, dass der jeweils aus dem Mikroprogrammspeicher 20 ausgelesene Mikrobefehl die Folgeadresse in einem besonderen Adressenfeld enthält, das seinen festen Platz im Mikrobefehlsformat hat. Dieses Adressenfeld ist mit einem Befehlsadressenregister (NI-ADR) 27 für die temporäre Aufnahme der Adresse des nächsten Mikrobefehls verbunden.

Der Vollständigkeit halber sei erwähnt, dass auch die Felder für die Operandenadressen mit entsprechenden Registern (OPD1-ADR) 25 und (OPD2-ADR) 26 für die Zwischenspeicherung der Operandenadressen verbunden sind. Der Inhalt der Register 22, 25, 26 und 27 stellt somit ein vollständiges Mikrobefehlswort μ -INST dar.

Der für die Erfindung wesentliche Teil steht jedoch im Zusammenhang mit dem Operationscodeteil des Mikrobefehlswortes μ -INST, der nach seinem Auslesen aus dem Mikroprogrammspeicher 20 im Operationscoderegister (OP-REG) 22 zwischengespeichert wird. Von dort gelangt der Operationscode in den Operationscodedecodierer (OP-DEC) 23. Die Aufgabe dieses Operationscodedecodierers 23 besteht darin, den Operationscode in Steuersignale umzusetzen, die auf individuellen Ausgangsleitungen dieses Operationscodedecodierers erscheinen und zu den Steuertoren des Datenflusses übertragen werden, die in Fig. 2 pauschal als Datenflusssteuerung (DF-CONTR) 24 dargestellt sind. Diese Tore sind beispielsweise Ein- und Ausgangstore einer arithmetischen und logischen Einheit.

Wie in der Einleitung bereits erwähnt wurde, ergibt sich, insbesondere bei einem modularen Aufbau der Datenverarbeitungsanlage ein kompliziertes Leitungsnetz, das die Ausgänge des Operationscodedecodierers mit den verschiedenen Steuertoren des Datenflusses, wie Fig. 3 zeigt, verbindet. Die hier dargestellten Moduln 32 bis 35 sind Bausteine der Datenverarbeitungsanlage, die jeweils auch Steuerelemente der Datenflusssteuerung 24 beinhalten. Aus diesem Grunde ergibt sich, wie Fig. 3 zeigt, ein ganz bestimmtes Steuerleitungssystem, das sich von dem an das Operationscoderegister 30 angeschlossenen Operationscodedecodierer 31 zu den Verarbeitungsmoduln 32 bis 35 erstreckt. Die genannten Verarbeitungsmoduln sind ferner mit einer Datensammelleitung 37 verbunden, die den Informationsfluss zwischen dem Speicherdatenregister (SDR) 36 und den Verarbeitungsmoduln 32 bis 35 in beiden Richtungen übernimmt. Die Breite dieser Datensammelleitung 37, die der Breite des Speicherdatenregisters 36 angepasst ist, kann beispielsweise den in Fig. 4 dargestellten Umfang von 32 Bits aufweisen. Im allgemeinen verfügen auch die über die Datensammelleitung 37 übertragenen Operanden über diese Breite, wie Fig. 4 ebenfalls zeigt.

In jeder Datenverarbeitungsanlage gibt es eine Gruppe von Mikrobefehlen, beispielsweise solche, die sich mit Speicherschuttschlüsseln oder dem Aufbereiten virtueller Speicheradressen in Anlagen mit virtuellem Speicherkonzept befassen, bei denen nicht alle Bits eines Operanden voll ausgenutzt werden. Geht man von einem Beispiel aus, wie es in Fig. 4 gezeigt ist, dann stehen bei Mikrobefehlen derartiger Gruppen Ope-

randen zur Verfügung, deren Bits 28 bis 31 für die Operandendarstellung nicht benötigt werden und daher für weitere Steueraufgaben verwendet werden können. Da diese Datensammelleitung zu allen Verarbeitungsmoduln 32 bis 35 führt, können diese nicht benutzten Bitstellen 28 bis 31 auch in allen diesen Verarbeitungsmoduln ausgewertet werden.

In Fig. 5 ist nun dargestellt, wie Steuerleitungen des Operationscodedecodierers 31 bei bestimmten Verarbeitungsmoduln, z. B. 32a eingespart werden können, wenn die den Bitstellen 28 bis 31 zugeordneten Leitungen der Datensammelleitung 37 bei Mikrobefehlen bestimmter, bereits erwähnter Gruppen, für die Übertragung von Operationssteuersignalen mitbenutzt werden. Es kann hierbei so vorgegangen werden, dass beispielsweise zwei Ausgangsleitungen 50 von den Ausgangsleitungen 53 des Operationscodedecodierers 31 quasi zur Adressierung eines zusätzlichen Decodierers in allen Verarbeitungsmoduln 32 bis 35 verwendet werden. In diesem Falle gelangen vier Steuerbits, die in den nicht benutzten Bitstellen 28 bis 31 eines Operanden untergebracht sind, zu dem Zusatzdecodierer 51, und sie werden dort in Signale zur Steuerung eines Teildatenflusses der Datenverarbeitungsanlage verwendet. Die Eingangsdaten der Datensammelleitung 37 werden in dem Verarbeitungsmodul 32a im Register 52 zwischengespeichert, dessen letzte vier Bitstellen 28 bis 31 mit dem Zusatzdecodierer 51 verbunden sind. Diese vier Steuerbits werden im Decodierungsvorgang des Decodierers zur Bildung der Steuersignale für die entsprechenden Torschaltungen im Datenfluss des Verarbeitungsmoduls 32a mit verwendet. Die Ausgangsleitungen des Operationscodedecodierers 31 werden, wie Fig. 5 zeigt, als Vielfachverzweigung auch zu den Verarbeitungsmoduln 33 bis 35 geführt, so dass die Steuersignale auch zu diesen gelangen können.

Fig. 6 zeigt weiter, wie zwei Steuerbits des Operationscodedecodierers, die über die Leitungen 50 übertragen werden, zur Selektion von Zusatzdecodierern 60, 61 in den verschiedenen Moduln 32, 33 usw. eingesetzt werden können. Der Zusatzdecodierer 60 im Verarbeitungsmodul 32 ist dann über das UND-Tor 62 adressiert, wenn die beiden Steuerleitungen 50 eine binäre Eins führen. Der Zusatzdecodierer 61 im Modul 33 ist dagegen über das UND-Tor 63 und den Inverter 64 adressiert, wenn die rechte Steuerleitung 50 eine binäre Null und die linke Steuerleitung 50 eine binäre Eins führt. Die Register 67 und 68 haben die gleiche Funktion wie das Register 52 in Fig. 5, die darin besteht, die über die Datensammelleitung 37 übertragenen Daten, beispielsweise die Operanden, zwischenzuspeichern. Die jeweiligen Ausgangssignale der Zusatzdecodierer 60 und 61 gelangen zu den Teildatenfluss-Steuerungen 65 und 66 in den einzelnen Moduln.

Die zuvor erwähnte Adressierung der verschiedenen Zusatzdecodierer 60 und 61 über die Steuerleitungen 50, die UND-Tore 62 und 63 sowie den Inverter 64 ist von der verwendeten Datenverarbeitungsanlage abhängig und nicht in allen Fällen erforderlich, wie beispielsweise aus Fig. 5 hervorgeht, wo nämlich die Ausgangsleitungen des Operationscodedecodierers 31 im Leitungsvielfach zu allen Verarbeitungsmoduln 32 bis 35 geführt sind. Die Operationssteuersignale bilden bei der genannten Art von Mikrobefehlen zusammen mit den Steuersignalen in den Bitpositionen 28 bis 31 der nicht voll ausgenutzten Operanden die Eingangsinformation des jeweiligen Zusatzdecodierers.

Die Operationssteuersignale für die Steuerung des Teildatenflusses in den einzelnen Verarbeitungsmoduln 32 bis 35 umfassen somit einen ersten Teil von Operationssteuersignalen, die vom Operationscodedecodierer 31 geliefert werden. Der zweite Teil der Operationssteuersignale wird über die nicht benutzten Bitstellen bestimmter Operanden bestimmter Mikrobefehle übertragen.

Der zweite Teil der Operationssteuersignale kann nun auch

bei der Programmierung erstellt und bei der Anfangsprogramm-
 ladung in die für die Operationssteuerung zur Verfügung
 gestellten Bitstellen der Operanden eingegeben werden.

Eine schaltkreisgesteuerte Lösung für die Eingabe des zweiten Teils der Operationssteuersignale in diese leeren Operandenbitstellen zeigt Fig. 7. An die Ausgangsleitung des Operationscoderegisters 30, die zum Operationscodedecodierers 31 führt, ist eine Zweigleitung angeschlossen, die mit einem Adressenregister 71 verbunden ist. In dieses Register gelangt also der Operationscode eines Mikrobefehls, der bezüglich des Operationssteuersignalspeichers (OP-S) 70 als Adresse aufzufassen ist. Mit dem Operationscode als Adresse wird somit dieser Operationssteuersignalspeicher 70 adressiert, und an der adressierten Speicherstelle werden die vier Bits ausgelesen, die die Bits 28 bis 31 des Operanden bilden sollen, der zum Transport des zweiten Teiles der Operationssteuersignale zu den entsprechenden Verarbeitungsmoduln dienen soll.

Während also der operandensignifikante Teil, das sind im vorliegenden Beispiel die Bits 0 bis 27, aus dem Speicher der Datenverarbeitungsanlage in das Speicherdatenregister 36

gelangt, werden die Operationssteuersignale, die den zweiten Teil der Operationssteuersignale bilden, über ein ODER-Tor 72 in die Bitstellen 28 bis 31 des Speicherdatenregisters übertragen. Von dort gelangen sie, wie bereits ausführlich erläutert wurde, zu den gewünschten Verarbeitungsmoduln 32 bis 35. Werden dagegen vom Speicher der Datenverarbeitungsanlage Operanden übertragen, deren volle Bitbreite von 0 bis 31 für ihre Darstellung benötigt wird, die also für Steuerungsaufgaben, wie sie zuvor beschrieben werden, nicht brauchbar sind, dann gelangen, wie Fig. 7 zeigt, die Bits 28 bis 31 über den anderen Eingang des ODER-Tores 72 aus dem Speicher in das Speicherdatenregister 36.

Je nach System und Anordnung der verwendeten elektronischen Datenverarbeitungsanlage kann es erforderlich sein, dem Adressenregister 71 einen Decodierer vorzuschalten, um einmal zu verhindern, dass unerwünschte Kombinationen des Operationscodes zu gültigen Adressen des Operationssteuersignalspeichers 70 führen und zum anderen, um zu einer kompakteren Darstellung der Adressen für den Operationssteuersignalspeicher 70 zu gelangen.

FIG.1

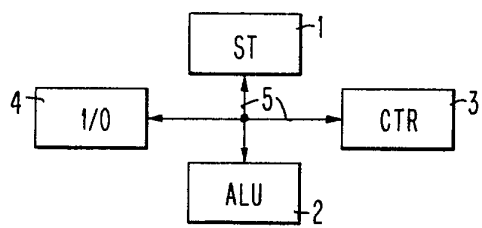


FIG.4

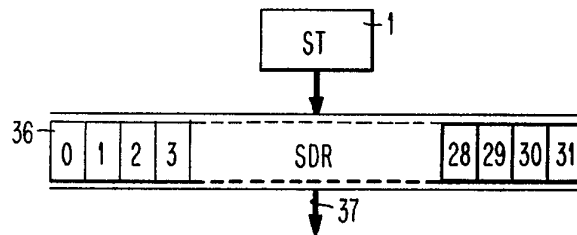


FIG.2

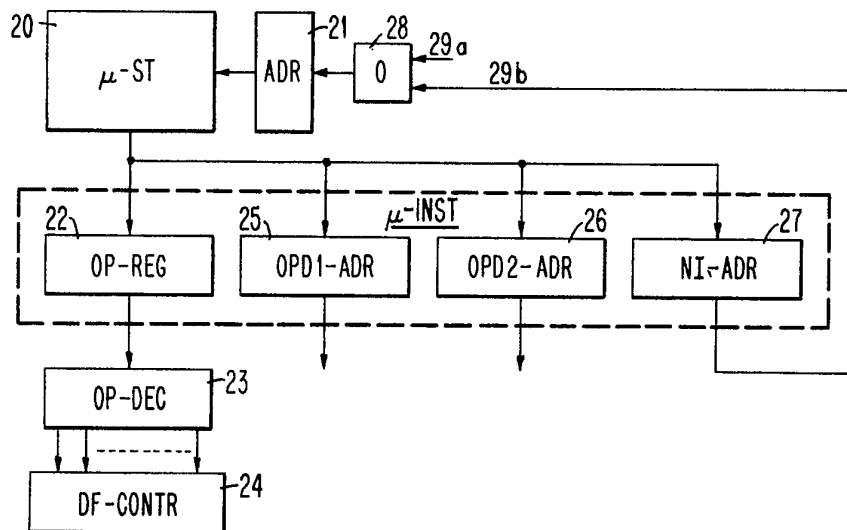


FIG.3

