

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年1月12日(12.01.2017)



(10) 国際公開番号

WO 2017/006468 A1

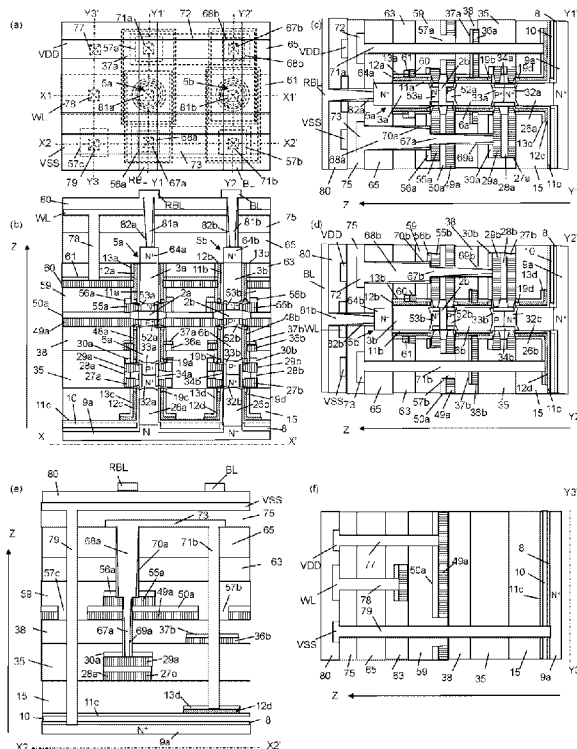
- (51) 国際特許分類:
H01L 21/8244 (2006.01) H01L 27/11 (2006.01)
- (21) 国際出願番号: PCT/JP2015/069689
- (22) 国際出願日: 2015年7月8日(08.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニサンティス エレクトロニクス シンガポール プライベート リミテッド(UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098 ノースブリッジロード 111、ペニンシュラ プラザ #16-04 Singapore (SG).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 舩岡 富士雄(MASUOKA Fujio) [JP/JP]; 〒1020072 東京都千代田区飯田橋1-12-13 いずみ九段ビル5F Semicon Consulting株式会社内 Tokyo (JP). 原田 望(HARADA Nozomu) [JP/JP]; 〒1020072 東京都千代田区飯田橋1-12-1
- 3 いずみ九段ビル5F Semicon Consulting株式会社内 Tokyo (JP).
- (74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東京都千代田区神田錦町二丁目7番地 協販ビル2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: COLUMNAR SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 柱状半導体メモリ装置と、その製造方法

[図2S]



(57) Abstract: An SRAM is provided with two Si columns (5a, 5b) on a substrate. An inverter circuit is formed in each of the Si columns, said circuit comprising a drive N-channel SGT that has a first N⁺ layer (9a) and a second N⁺ layer (32a, 32b) as a source and a drain, and a load SGT that has a first P⁺ layer (52a, 52b) and a second P⁺ layer (33a, 33b) as a source and a drain. A selection SGT having a third N⁺ layer (64a, 64b) and a fourth N⁺ layer (53a, 53b) is formed on the top of an SiO₂ layer (2a, 2b) provided on the top of the inverter circuit. The first N⁺ layer is connected to a ground wiring metal layer (VSS), the first P⁺ layer is connected to a power source wiring metal layer (VDD) with a NiSi layer (49a) interposed therebetween, a gate TiN layer (12a, 12b) is connected to a word wiring metal layer (WL) with a NiSi layer (60) interposed therebetween, and the third N⁺ layer is connected to a reverse bit metal layer (RBL) and a bit metal layer (BL).

(57) 要約: SRAMは、基板上に2つのSi柱(5a、5b)を備えている。Si柱のそれぞれにおいて、第1のN

[続葉有]

WO 2017/006468 A1



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

+層 (9 a) 及び第 2 の N⁺層 (3 2 a、3 2 b) をソース、ドレインとした駆動用 N チャネル SGT と、第 1 の P⁺層 (5 2 a、5 2 b) 及び第 2 の P⁺層 (3 3 a、3 3 b) をソース、ドレインとした負荷用 SGT とからなるインバータ回路が形成されており、このインバータ回路上方に設けた SiO₂ 層 (2 a、2 b) の上方に、第 3 の N⁺層 (6 4 a、6 4 b) 及び第 4 の N⁺層 (5 3 a、5 3 b) をソース、ドレインとした選択用 SGT が形成されている。第 1 の N⁺層は、グランド配線金属層 (VSS) に接続し、第 1 の P⁺層は、NiSi 層 (4 9 a) を介して電源配線金属層 (VDD) に接続し、ゲート TiN 層 (1 2 a、1 2 b) は NiSi 層 (6 0) を介してワード配線金属層 (WL) に接続し、第 3 の N⁺層は反転ビット配線金属層 (RBL)、ビット配線金属層 (BL) に接続している。

明 細 書

発明の名称：柱状半導体メモリ装置と、その製造方法

技術分野

[0001] 本発明は、柱状半導体メモリ装置と、その製造方法に関する。

背景技術

[0002] 近年、代表的な柱状半導体装置であるSGT (Surrounding Gate MOS Transistor) は、高集積な半導体装置を提供する半導体素子として注目されている。そして、SGTを有する半導体メモリ装置の更なる高集積化、高性能化が求められている。

[0003] 通常のプレナー型MOSトランジスタでは、チャンネルが半導体基板の上表面に沿う水平方向に存在する。これに対して、SGTのチャンネルは、半導体基板の上表面に対して垂直な方向に存在する（例えば、特許文献1、非特許文献1を参照）。このため、SGTはプレナー型MOSトランジスタと比べ、半導体装置の高密度化が可能である。

[0004] 図6に、NチャンネルSGTの構造模式図を示す。P型又はi型（真性型）の導電型を有するSi柱100（以下、シリコン半導体柱を「Si柱」と称する。）内の上下の位置に、一方がソースとなる場合に、他方がドレインとなるN⁺層101a、101b（以下、ドナー不純物を高濃度で含む半導体領域を「N⁺層」と称する。）が形成されている。このソース、ドレインとなるN⁺層101a、101b間のSi柱100の部分がチャンネル領域102となる。このチャンネル領域102を囲むようにゲート絶縁層103が形成されている。このゲート絶縁層103を囲むようにゲート導体層104が形成されている。SGTでは、ソース、ドレインとなるN⁺層101a、101b、チャンネル領域102、ゲート絶縁層103、ゲート導体層104が、単一のSi柱100内に形成される。このため、平面視において、SGTの占有面積は、プレナー型MOSトランジスタの単一のソース又はドレインN⁺層の占有面積に相当する。そのため、SGTを有する回路チップは、プレナー型MO

Sトランジスタを有する回路チップと比較して、更なるチップサイズの縮小化が実現できる。

[0005] SGTを有するSRAM (Static Random Access Memory) 回路の1つのメモリセルは、6個のSGTを用いて形成される（例えば、特許文献2を参照）。通常、SRAMのメモリセルを構成するSGTは、それぞれ、異なる半導体柱に形成されている。

[0006] SRAMメモリセルの高密度化は、SRAM回路が組み込まれた半導体メモリ装置チップの低コスト化に繋がる。

[0007] このため、高密度SRAMセル回路の実現が求められている。また、SRAMセル回路の高速化などの半導体メモリ装置チップの高性能化も求められている。

先行技術文献

特許文献

[0008] 特許文献1：特開平2－188966号公報

特許文献2：米国特許出願公開第2010／0219483号明細書

非特許文献

[0009] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非特許文献2：Tadashi Shibata, Susumu Kohyama and Hisakazu Iizuka: "A New Field Isolation Technology for High Density MOS LSI", Japanese Journal of Applied Physics, Vol.18, pp.263-267 (1979)

非特許文献3：T.Morimoto, T.Ohguro, H.Sasaki, M.S.Momose, T.Iinuma, I. Kunishima, K.Suguro, I.Katakabe, H.Nakajima, M.Tsuchiaki, M.Ono, Y.Katsumata, and H.Iwai: "Self-Aligned Nickel-Mono-Silicide Technology for High-Speed Deep Submicrometer Logic CMOS ULSI" IEEE Transaction on Electron Devices, Vol.42, No.5, pp.915-922 (1995)

非特許文献4：R.Gandhi, Z. Chen, N Singh, K. Banerjee, S. Lee: "Verti

cal Si-Nanowire n-Type Tunneling FETs With Low Subthreshold Swing(<50 mV/decade) at Room Temperature”, IEEE Electron Device Letter, Vol.32, no.4, pp.437-439(2011)

発明の概要

発明が解決しようとする課題

[0010] S R A Mセル回路の高密度化、高性能化の実現が求められている。

課題を解決するための手段

[0011] 本発明の第1の観点に係る、柱状半導体メモリ装置は、
基板上に、前記基板表面に対して垂直方向に立った第1の半導体柱および第2の半導体柱と、
前記第1の半導体柱内に互いに離れて形成された、ソースとなる第1の不純物領域およびドレインとなるドナー不純物を含む第2の不純物領域と、
前記垂直方向において、前記第1の不純物領域と前記第2の不純物領域との間の前記第1の半導体柱の部分を囲んだ第1のゲート絶縁層と、
前記第1のゲート絶縁層を囲んだ第1のゲート導体層と、
前記第1の半導体柱内で前記第1の不純物領域及び前記第2の不純物領域より上方または下方に互いに離れて形成された、ドレインとなるアクセプタ不純物を含む第3の不純物領域およびソースとなるアクセプタ不純物を含む第4の不純物領域と、
前記垂直方向において、前記第3の不純物領域と前記第4の不純物領域との間の前記第1の半導体柱の部分を囲んだ第2のゲート絶縁層と、
前記第2のゲート絶縁層を囲んだ第2のゲート導体層と、
前記第1の半導体柱内で前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、及び前記第4の不純物領域より上方に形成された第1の絶縁層と、
前記第1の半導体柱内で前記第1の絶縁層より上方に互いに離れて形成された、ドレインとなるドナー不純物を含んだ第5の不純物領域およびソースとなるドナー不純物を含んだ第6の不純物領域と、

前記垂直方向において、前記第 5 の不純物領域と前記第 6 の不純物領域との間の前記第 1 の半導体柱の部分を囲んだ第 3 のゲート絶縁層と、

前記第 3 のゲート絶縁層を囲んだ第 3 のゲート導体層と、

前記第 2 の半導体柱内に互いに離れて形成された、ソースとなる第 7 の不純物領域およびドレインとなるドナー不純物を含む第 8 の不純物領域と、

前記垂直方向において、前記第 7 の不純物領域と前記第 8 の不純物領域との間の前記第 2 の半導体柱の部分を囲んだ第 4 のゲート絶縁層と、

前記第 4 のゲート絶縁層を囲んだ第 4 のゲート導体層と、

前記第 2 の半導体柱内で前記第 7 の不純物領域及び前記第 8 の不純物領域より上方または下方に互いに離れて形成された、ドレインとなるアクセプタ不純物を含む第 9 の不純物領域およびソースとなるアクセプタ不純物を含む第 10 の不純物領域と、

前記垂直方向において、前記第 9 の不純物領域と前記第 10 の不純物領域との間の前記第 1 の半導体柱の部分を囲んだ第 5 のゲート絶縁層と、

前記第 5 のゲート絶縁層を囲んだ第 5 のゲート導体層と、

前記第 2 の半導体柱内で、前記第 7 の不純物領域、前記第 8 の不純物領域、前記第 9 の不純物領域、及び前記第 10 の不純物領域より上方に形成された第 2 の絶縁層と、

前記第 2 の半導体柱内で前記第 2 の絶縁層より上方に互いに離れて形成された、ドレインとなるドナー不純物を含んだ第 11 の不純物領域およびソースとなるドナー不純物を含んだ第 12 の不純物領域と、

前記垂直方向において、前記第 11 の不純物領域と前記第 12 の不純物領域との間の前記第 2 の半導体柱の部分を囲んだ第 6 のゲート絶縁層と、

前記第 6 のゲート絶縁層を囲んだ第 6 のゲート導体層と、

前記第 1 のゲート導体層に接続している第 1 の配線導体層と、

前記第 2 の不純物領域に接続している第 2 の配線導体層と、

前記第 3 の不純物領域に接続している第 3 の配線導体層と

前記第 2 のゲート導体層に接続している第 4 の配線導体層と、

前記第 5 の不純物領域に接続している第 5 の配線導体層と、
前記第 3 のゲート導体層と前記第 6 のゲート導体層とに接続している第 6 の配線導体層と、
前記第 4 のゲート導体層に接続している第 7 の配線導体層と、
前記第 8 の不純物領域に接続している第 8 の配線導体層と、
前記第 9 の不純物領域に接続している第 9 の配線導体層と、
前記第 5 のゲート導体層に接続している第 10 の配線導体層と、
前記第 11 の不純物領域に接続している第 11 の配線導体層と、を備え、
前記第 1 の不純物領域と、前記第 2 の不純物領域と、前記第 1 のゲート絶縁層と、前記第 1 のゲート導体層とより、第 1 の SGT (Surrounding Gate MOS Transistor) が構成され、
前記第 3 の不純物領域と、前記第 4 の不純物領域と、前記第 2 のゲート絶縁層と、前記第 2 のゲート導体層とより、第 2 の SGT が構成され、
前記第 5 の不純物領域と、前記第 6 の不純物領域と、前記第 3 のゲート絶縁層と、前記第 3 のゲート導体層とより、第 3 の SGT が構成され、
前記第 7 の不純物領域と、前記第 8 の不純物領域と、前記第 4 のゲート絶縁層と、前記第 4 のゲート導体層とより、第 4 の SGT が構成され、
前記第 9 の不純物領域と、前記第 10 の不純物領域と、前記第 5 のゲート絶縁層と、前記第 5 のゲート導体層とより、第 5 の SGT が構成され、
前記第 11 の不純物領域と、前記第 12 の不純物領域と、前記第 6 のゲート絶縁層と、前記第 6 のゲート導体層とより、第 6 の SGT が構成され、
前記第 1 の SGT および前記第 4 の SGT が水平方向に並んで形成され、
前記第 2 の SGT および前記第 5 の SGT が水平方向に並んで形成され、
前記第 3 の SGT および前記第 6 の SGT が水平方向に並んで形成され、
前記第 2 の不純物領域と、前記第 3 の不純物領域と、前記第 5 の不純物領域と、前記第 4 のゲート導体層と、前記第 5 のゲート導体層とが、電氣的に接続し、
前記第 8 の不純物領域と、前記第 9 の不純物領域と、前記第 11 の不純物

領域と、前記第 1 のゲート導体層と、前記第 2 のゲート導体層とが、電氣的に接続し、

前記第 1 の不純物領域と、前記第 7 の不純物領域とが、グランド配線導体層に接続し、

前記第 4 の不純物領域と、前記第 10 の不純物領域とが、電源配線導体層に接続し、

前記第 3 のゲート導体層と、前記第 6 のゲート導体層とが、ワード配線導体層に接続し、

前記第 6 の不純物領域と、前記第 7 の不純物領域とが、一方がビット配線導体層に接続すると、他方が反転ビット配線導体層に接続して、

S R A Mセル回路が形成されている、

ことを特徴とする。

- [0012] 前記第 1 の不純物領域がドナー不純物を含み、
前記第 7 の不純物領域がドナー不純物を含む、
ことが望ましい。

- [0013] 前記第 1 の半導体柱の底部から上方に順番に、前記第 1 の不純物領域と、
前記第 2 の不純物領域と、前記第 3 の不純物領域と、前記第 4 の不純物領域と、
前記第 5 の不純物領域と、前記第 6 の不純物領域とが、形成され、

前記第 2 の半導体柱の底部から上方に順番に、前記第 7 の不純物領域と、
前記第 8 の不純物領域と、前記第 9 の不純物領域と、前記第 10 の不純物領域と、
前記第 11 の不純物領域と、前記第 12 の不純物領域とが、形成され、

前記第 1 の不純物領域および前記第 7 の不純物領域に接続し、且つ前記第 1 の半導体柱および前記第 2 の半導体柱の外周部に連続して形成された第 1 の底部導体層と、

前記第 4 の不純物領域および前記第 10 の不純物領域に接続し、且つ前記第 1 の半導体柱および前記第 2 の半導体柱を囲む第 12 の配線導体層と、をさらに備え、

前記第 1 の底部導体層と、前記グランド配線導体層とが接続され、
前記第 1 2 の配線導体層が、前記電源配線導体層に接続されている、
ことが望ましい。

[0014] 前記第 1 の半導体柱の底部から上方に順番に、前記第 4 の不純物領域と、
前記第 3 の不純物領域と、前記第 2 の不純物領域と、前記第 1 の不純物領域
と、前記第 5 の不純物領域と、前記第 6 の不純物領域とが、形成され、

前記第 2 の半導体柱の底部から上方に順番に、前記第 1 0 の不純物領域と
、前記第 9 の不純物領域と、前記第 8 の不純物領域と、前記第 7 の不純物領
域と、前記第 1 1 の不純物領域と、前記第 1 2 の不純物領域とが、形成され
、

前記第 4 の不純物領域および前記第 1 0 の不純物領域に接続し、且つ前記
第 1 の半導体柱および前記第 2 の半導体柱の外周部に連続して形成された第
2 の底部導体層と、

前記第 1 の不純物領域および前記第 7 の不純物領域に接続し、且つ前記第
1 の半導体柱および前記第 2 の半導体柱を囲む第 1 3 の配線導体層と、をさ
らに備え、

前記第 2 の底部導体層と、前記電源配線導体層とが接続され、
前記第 1 3 の配線導体層が、前記グランド配線導体層に接続されている、
ことが望ましい。

[0015] 平面視において、前記第 2 の配線導体層と、前記第 3 の配線導体層と、前
記第 5 の配線導体層とが、前記第 1 の半導体柱を囲み、一方向に延び、且つ
重なって形成され、

平面視において、前記第 7 の配線導体層と、前記第 1 0 の配線導体層とが
、前記第 2 の半導体柱を囲み、前記一方向に延び、且つ重なって形成され、

平面視において、前記第 8 の配線導体層と、前記第 9 の配線導体層と、前
記第 1 1 の配線導体層とが、前記第 2 の半導体柱を囲み、前記一方向とは反
対の方向に延び、且つ重なって形成され、

平面視において、前記第 1 の配線導体層と、前記第 4 の配線導体層とが、

前記第 1 の半導体柱を囲み、前記一方向とは反対の方向に延び、且つ重なって形成され、

前記第 2 の配線導体層と、前記第 3 の配線導体層と、前記第 5 の配線導体層とを接続する第 1 のコンタクトホールと、

前記第 7 の配線導体層と、前記第 10 の配線導体層とを接続する第 2 のコンタクトホールと、

前記第 8 の配線導体層と、前記第 9 の配線導体層と、前記第 11 の配線導体層とを接続する第 3 のコンタクトホールと、

前記第 1 の配線導体層と、前記第 4 の配線導体層とを接続する第 4 のコンタクトホールと、

前記第 1 のコンタクトホールと、前記第 2 のコンタクトホールとを介して、前記第 2 の配線導体層と、前記第 3 の配線導体層と、前記第 5 の配線導体層と、前記第 7 の配線導体層と、前記第 10 の配線導体層とを接続する、第 1 の内部配線導体層と、

前記第 3 のコンタクトホールと、前記第 4 のコンタクトホールとを介して、前記第 8 の配線導体層と、前記第 9 の配線導体層と、前記第 11 の配線導体層と、前記第 1 の配線導体層と、前記第 4 の配線導体層とを接続する、第 2 の内部配線導体層と、をさらに備える、

ことが望ましい。

[0016] 前記第 1 の半導体柱の外周表層にあって、前記第 2 の不純物領域と前記第 3 の不純物領域とに繋がって形成された第 1 のシリサイド層と、

前記第 2 の半導体柱の外周表層にあって、前記第 8 の不純物領域と前記第 9 の不純物領域とに繋がって形成された第 2 のシリサイド層と、をさらに備える、

ことが望ましい。

[0017] 前記第 2 の配線導体層と前記第 3 の配線導体層との間に形成した、第 1 の層間絶縁層と、

前記第 8 の配線導体層と前記第 9 の配線導体層との間に形成した、第 2 の

層間絶縁層と、

前記第2の配線導体層と、前記第1の層間絶縁層と、前記第3の配線導体層とを貫通した第1の貫通コンタクトホールと、

前記第8の配線導体層と、前記第2の層間絶縁層と、前記第9の配線導体層とを貫通した第2の貫通コンタクトホールと、

前記第1の貫通コンタクトホールに埋め込まれた第1の埋め込み導体層と、

前記第2の貫通コンタクトホールに埋め込まれた第2の埋め込み導体層と、をさらに備える、

ことが望ましい。

- [0018] 前記第1の不純物領域がアクセプタ不純物を含み、
前記第7の不純物領域がアクセプタ不純物を含み、
前記第1のSGTが、第1のトンネル動作SGTであり、
前記第4のSGTが、第2のトンネル動作SGTである、
ことが望ましい。

- [0019] 本発明の第2の観点に係る、柱状半導体メモリ装置の製造方法は、
基板上に、前記基板平面に対して垂直方向に立ち、その上下の半導体層を分離する内部絶縁層を有し、且つ隣接して並ぶ第1の半導体柱および第2の半導体柱を形成する工程と、

前記第1の半導体柱および前記第2の半導体柱のそれぞれを囲んでゲート絶縁層を形成する工程と、

前記ゲート絶縁層を囲んでゲート導体層を形成する工程と、

前記ゲート導体層を覆って被覆絶縁層を形成する工程と、

前記第1の半導体柱の底部にドナーまたはアクセプタ不純物を含む第1の不純物領域、および前記第2の半導体柱の底部に前記第1の不純物領域と同じ極性の不純物を含む第2の不純物領域を形成する工程と、

前記被覆絶縁層と前記ゲート導体層とをそれぞれエッチングして、前記第1の半導体柱を囲んで互いに重なった、前記被覆絶縁層の一部からなる第1

の被覆絶縁層と、前記ゲート導体層の一部からなる第1のゲート導体層と、前記第2の半導体柱を囲んで互いに重なった、前記被覆絶縁層の別の一部からなる第2の被覆絶縁層と、前記ゲート導体層の別の一部からなる第2のゲート導体層とを形成する工程と、

前記第1の被覆絶縁層と、前記第2の被覆絶縁層と、前記第1のゲート導体層と、前記第2のゲート導体層と、前記ゲート絶縁層とのエッチングを行って、前記第1の半導体柱および前記第2の半導体柱の外周で前記内部絶縁層より下方に第1の開口部を形成する工程と、

第1の配線導体層と、第2の配線導体層と、第3の配線導体層と、第4の配線導体層とを形成する工程であって、前記第1の配線導体層および前記第2の配線導体層は、共に前記第1の開口部を囲み、共に前記第1の半導体柱の側面に接触し、平面視において互いに重なり、且つ互いに絶縁されており、前記第2の配線導体層は、前記第1の配線導体層の上方に位置し、前記第3の配線導体層および前記第4の配線導体層は、共に前記第1の開口部を囲み、共に前記第2の半導体柱の側面に接触し、平面視において互いに重なり、且つ互いに絶縁されており、前記第4の配線導体層は、前記第3の配線導体層の上方に位置する、工程と、

ドナーまたはアクセプタ不純物原子を前記第1の配線導体層から前記第1の半導体柱内部に熱拡散させて第3の不純物領域を形成し、ドナーまたはアクセプタ不純物原子を前記第3の配線導体層から前記第2の半導体柱内部に熱拡散させて第4の不純物領域を形成し、ドナーまたはアクセプタ不純物原子を前記第2の配線導体層から前記第1の半導体柱内部に熱拡散させて第5の不純物領域を形成し、ドナーまたはアクセプタ不純物原子を前記第4の配線導体層から前記第2の半導体柱内部に熱拡散させて第6の不純物領域を形成する工程と、

前記第2の配線導体層より上方で前記内部絶縁層より下方の前記第1の被覆絶縁層と、前記第4の配線導体層より上方で前記内部絶縁層より下方の前記第2の被覆絶縁層とをエッチングして、第2の開口部を形成する工程と、

前記第 2 の開口部を囲み、且つ前記第 1 のゲート導体層の側面に接触した第 5 の配線導体層と、前記第 2 の開口部を囲み、且つ前記第 2 のゲート導体層の側面に接触した第 6 の配線導体層とを形成する工程と、

前記第 1 の被覆絶縁層と、前記第 2 の被覆絶縁層と、前記第 1 のゲート導体層と、前記第 2 のゲート導体層と、前記ゲート絶縁層のエッチングを行って、前記内部絶縁層の上下の半導体層にまたがる前記第 1 の半導体柱および前記第 2 の半導体柱の外周に第 3 の開口部を形成する工程と、

第 7 の配線導体層と、第 8 の配線導体層と、第 9 の配線導体層と、第 10 の配線導体層とを形成する工程であって、前記第 7 の配線導体層および前記第 8 の配線導体層は、共に前記第 3 の開口部を囲み、共に前記第 1 の半導体柱の側面に接触し、平面視において互いに重なり、且つ互いに絶縁されており、前記第 8 の配線導体層は、前記第 1 の配線導体層の上方に位置し、前記第 9 の配線導体層および前記第 10 の配線導体層は、共に前記第 3 の開口部を囲み、共に前記第 2 の半導体柱の側面に接触し、平面視において互いに重なり、且つ互いに絶縁されており、前記第 10 の配線導体層は、前記第 3 の配線導体層の上方に位置する、工程と、

ドナーまたはアクセプタ不純物原子を前記第 7 の配線導体層から前記第 1 の半導体柱内部に熱拡散させて第 7 の不純物領域を形成し、ドナーまたはアクセプタ不純物原子を前記第 9 の配線導体層から前記第 2 の半導体柱内部に熱拡散させて第 8 の不純物領域を形成し、ドナー不純物原子を前記第 8 の配線導体層から前記第 1 の半導体柱内部に熱拡散させて第 9 の不純物領域を形成し、ドナー不純物原子を前記第 10 の配線導体層から前記第 2 の半導体柱内部に熱拡散させて第 10 の不純物領域を形成する工程と、

前記第 8 の配線導体層および前記第 10 の配線導体層より上方に、前記第 1 の半導体柱および前記第 2 の半導体柱の外周を囲み、且つ前記第 1 の半導体柱および前記第 2 の半導体柱上の前記ゲート導体層同士を接続する第 11 の配線導体層を形成する工程と、

前記第 1 の半導体柱の頂部にドナー不純物を含む第 11 の不純物領域を形

成し、前記第2の半導体柱の頂部にドナー不純物を含む第12の不純物領域を形成する工程と、

前記第1の配線導体層と、前記第2の配線導体層と、前記第8の配線導体層と、前記第2のゲート導体層と、前記第6の配線導体層とを接続する工程と、

前記第3の配線導体層と、前記第4の配線導体層と、前記第10の配線導体層と、前記第1のゲート導体層と、前記第5の配線導体層とを接続する工程と、を備える、

ことを特徴とする。

[0020] 前記第1の不純物領域から前記第8の不純物領域までを形成する各前記工程では、

前記第1の半導体柱内に、ドナー不純物原子を含んだ前記第1の不純物領域と、ドナー不純物原子を含んだ前記第3の不純物領域と、アクセプタ不純物原子を含んだ前記第5の不純物領域と、アクセプタ不純物原子を含んだ前記第7の不純物領域を形成し、

前記第2の半導体柱内に、ドナー不純物原子を含んだ前記第2の不純物領域と、ドナー不純物原子を含んだ前記第4の不純物領域と、アクセプタ不純物原子を含んだ前記第6の不純物領域と、アクセプタ不純物原子を含んだ前記第8の不純物領域を形成し、

前記第1の不純物領域と、前記第2の不純物領域とを、第1のグランド配線導体層に接続する工程と、

前記第7の不純物領域と、前記第8の不純物領域とを、第1の電源配線導体層に接続する工程と、

前記第11の配線導体層を、第1のワード配線導体層に接続する工程と、

前記第11の不純物領域および前記第12の不純物領域の一方を第1のビット配線導体層に接続し、他方を第1の反転ビット配線導体層に接続する工程と、をさらに備える、

ことが望ましい。

[0021] 前記第1の不純物領域から前記第8の不純物領域までを形成する各前記工程では、

前記第1の半導体柱内に、アクセプタ不純物原子を含んだ前記第1の不純物領域と、アクセプタ不純物原子を含んだ前記第3の不純物領域と、ドナー不純物原子を含んだ前記第5の不純物領域と、ドナー不純物原子を含んだ前記第7の不純物領域を形成し、

前記第2の半導体柱内に、アクセプタ不純物原子を含んだ前記第2の不純物領域と、アクセプタ不純物原子を含んだ前記第4の不純物領域と、ドナー不純物原子を含んだ前記第6の不純物領域と、ドナー不純物原子を含んだ前記第8の不純物領域を形成し、

前記第1の不純物領域と、前記第2の不純物領域とを、第2の電源配線導体層に接続する工程と、

前記第7の不純物領域と、前記第8の不純物領域とを、第2のグランド配線導体層に接続する工程と、

前記第11の配線導体層を、第2のワード配線導体層に接続する工程と、

前記第11の不純物領域および前記第12の不純物領域の一方を第2のビット配線導体層に接続し、他方を第2の反転ビット配線導体層に接続する工程と、をさらに備える、

ことが望ましい。

[0022] 前記第1の半導体柱の側面に、前記第3の不純物領域と、前記第5の不純物領域とに繋がった第1のシリサイド領域を形成する工程と、

前記第2の半導体柱の側面に、前記第4の不純物領域と、前記第6の不純物領域とに繋がった第2のシリサイド領域を形成する工程と、

前記第1のゲート導体層上に、前記第5の配線導体層を貫通する第1のコンタクトホールを形成する工程と、

前記第2のゲート導体層上に、前記第6の配線導体層を貫通する第2のコンタクトホールを形成する工程と、

前記第1の半導体柱を囲む前記第2の配線導体層上に、前記第7の配線導

体層と、前記第 8 の配線導体層とを、貫通する第 3 のコンタクトホールを形成する工程と、

前記第 2 の半導体柱を囲む前記第 4 の配線導体層上に、前記第 9 の配線導体層と、前記第 10 の配線導体層とを、貫通する第 4 のコンタクトホールを形成する工程と、

平面視において、前記第 3 のコンタクトホールの外周を囲み、且つ前記第 2 の配線導体層上に第 5 のコンタクトホールを形成する工程と、

平面視において、前記第 4 のコンタクトホールの外周を囲み、且つ前記第 10 の配線導体層上に第 6 のコンタクトホールを形成する工程と、

前記第 3 のコンタクトホールおよび前記第 5 のコンタクトホールの内部側面に第 1 のコンタクトホール側面絶縁層を形成する工程と、

前記第 4 のコンタクトホールおよび前記第 6 のコンタクトホールの内部側面に第 2 のコンタクトホール側面絶縁層を形成する工程と、

前記第 1 のコンタクトホールと、前記第 4 のコンタクトホールと、前記第 6 のコンタクトホールとを介して、前記第 1 のゲート導体層と、前記第 5 の配線導体層と、前記第 3 の配線導体層と、前記第 4 の配線導体層とを、接続する第 1 の配線導体層接続導体層を形成する工程と、

前記第 2 のコンタクトホールと、前記第 3 のコンタクトホールと、前記第 5 のコンタクトホールとを介して、前記第 2 のゲート導体層と、前記第 6 の配線導体層と、前記第 1 の配線導体層と、前記第 2 の配線導体層とを、接続する第 2 の配線導体層接続導体層を形成する工程と、をさらに備える、

ことが望ましい。

[0023] 前記第 1 の配線導体層と、前記第 2 の配線導体層とを貫通する第 7 のコンタクトホールを形成する工程と、

前記第 3 の配線導体層と、前記第 4 の配線導体層とを貫通する第 8 のコンタクトホールを形成する工程と、

前記第 7 のコンタクトホールと、前記第 8 のコンタクトホールとの内部に埋め込み導体層を充填させる工程と、をさらに備える、

ことが望ましい。

発明の効果

[0024] 本発明によれば、SGTを有する柱状半導体メモリ装置において、1つのメモリセルが少なくとも2個の半導体柱より形成される。これにより、高密度のSRAMセル回路が実現する。

図面の簡単な説明

[0025] [図1A]図1Aは、本発明の第1実施形態に係るSGTを有する柱状半導体メモリ装置を説明するためのSRAMセル回路図である。

[図1B]図1Bは、第1実施形態に係るSGTを有する柱状半導体メモリ装置を説明するためのSRAMセル回路模式構造図である。

[図2A]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2B]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2C]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2D]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2E]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2F]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2G]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2H]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2I]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2J]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2K]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2L]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)である。

[図2M]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)、(e)である。

[図2N]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)、(e)である。

[図2P]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図(a)と断面構造図(b)、(c)、(d)、(e)である。

[図2Q]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法

を説明するための平面図（a）と断面構造図（b）、（c）、（d）、（e）である。

[図2R]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）、（e）、（f）である。

[図2S]第1実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）、（e）、（f）である。

[図3A]第2実施形態に係るSGTを有する柱状半導体メモリ装置を説明するためのSRAMセル回路模式構造図である。

[図3B]第2実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）、（e）、（f）である。

[図4]第3実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）である。

[図5]第4実施形態に係るSGTを有する柱状半導体メモリ装置の製造方法を説明するための平面図（a）と断面構造図（b）、（c）、（d）、（e）、（f）である。

[図6]従来例のSGTを示す模式構造図である。

発明を実施するための形態

[0026] 以下、本発明の実施形態に係る、SGTを有する柱状半導体メモリ装置の製造方法について、図面を参照しながら説明する。

[0027] （第1実施形態）

以下、図1A、図1B、図2A～図2Sを参照しながら、本発明の第1実施形態に係る、SGTを有する柱状半導体メモリ装置の製造方法について説明する。

[0028] 図1Aに、本実施形態のSRAMセル回路図を示す。本SRAMセル回路は2個のインバータ回路を含んでいる。1つのインバータ回路は負荷用Pチ

ャネルSGT_LP1と、駆動用NチャネルSGT_DN1と、から構成されている。もう1つのインバータ回路は負荷用PチャネルSGT_LP2と、駆動用NチャネルSGT_DN2と、から構成されている。PチャネルSGT_LP1のゲートとNチャネルSGT_DN1のゲートが接続されている。PチャネルSGT_LP2のゲートとNチャネルSGT_DN2のゲートが接続されている。PチャネルSGT_LP1のドレインとNチャネルSGT_DN1のドレインが接続されている。PチャネルSGT_LP2のドレインとNチャネルSGT_DN2のドレインが接続されている。

[0029] 図1Aに示すように、PチャネルSGT_LP1、LP2のソースは電源端子V_{dd}に接続されている。そして、NチャネルSGT_DN1、DN2のソースはグランド端子V_{ss}に接続されている。選択トランジスタとしてのNチャネルSGT_SN1、SN2が2つのインバータ回路の両側に配置されている。NチャネルSGT_SN1、SN2のゲートはワード線端子WL_tに接続されている。NチャネルSGT_SN1のドレインは、NチャネルSGT_DN1、PチャネルSGT_LP1のドレインと接続され、NチャネルSGT_SN1のソースは反転ビット線端子RBL_tに接続されている。NチャネルSGT_SN2のドレインは、NチャネルSGT_DN2、PチャネルSGT_LP2のドレインと接続され、NチャネルSGT_SN2のソースはビット線端子BL_tに接続されている。

このように、本実施形態のSRAMセルを有する回路（以下、「SRAMセル回路」という。）は、2個のPチャネルSGT_LP1、LP2と、4個のNチャネルSGT_DN1、DN2、SN1、SN2とからなる合計6個のSGTから構成されている。そして、このSRAMセル回路は、PチャネルSGT_LP1、NチャネルSGT_DN1、SN1よりなる回路領域C1と、PチャネルSGT_LP2、NチャネルSGT_DN2、SN2よりなる回路領域C2とから構成されている。

[0030] 図1Bに第1実施形態に係るSRAMセル回路の模式構造図を示す。このSRAMセル回路は2個のSi柱SP1、SP2より構成されている。

S i 柱 S P 1 には、図 1 A で示した N チャネル S G T _ D N 1 が底部に形成され、N チャネル S G T _ D N 1 の上部に P チャネル S G T _ L P 1 が形成され、P チャネル S G T _ L P 1 の上部に N チャネル S G T _ S N 1 が形成されている。そして、S i 柱 S P 2 には、図 1 A で示した N チャネル S G T _ D N 2 が底部に形成され、N チャネル S G T _ D N 2 の上部に P チャネル S G T _ L P 2 が形成され、P チャネル S G T _ L P 2 の上部に N チャネル S G T _ S N 2 が形成されている。

N チャネル S G T _ D N 1 は、ゲート G 1 1 で囲まれたチャネルとして機能する S i 柱 S P 1 の一部と、ゲート G 1 1 と、ゲート G 1 1 の上下の S i 柱 S P 1 内にあるソース N⁺層 N 1 1 とドレイン N⁺層 N 1 2 とにより形成されている。そして、P チャネル S G T _ L P 1 は、ゲート G 1 2 で囲まれたチャネルとして機能する S i 柱 S P 1 の一部と、ゲート G 1 2 と、ゲート G 1 2 の上下の S i 柱 S P 1 内にあるドレイン P⁺層 P 1 1 とソース P⁺層 P 1 2 とにより形成されている。N チャネル S G T _ S N 1 は、ゲート G 1 3 で囲まれたチャネルとして機能する S i 柱 S P 1 の一部と、ゲート G 1 3 と、ゲート G 1 3 の上下の S i 柱 S P 1 内にあるドレイン N⁺層 N 1 3 とソース N⁺層 N 1 4 とにより形成されている。そして、N⁺層 N 1 2 と P⁺層 P 1 1 が接続されている。そして、N⁺層 N 1 3 と P⁺層 P 1 2 の間に S i O₂ 層 O x 1 が形成されている。

N チャネル S G T _ D N 2 は、ゲート G 2 1 で囲まれたチャネルとして機能する S i 柱 S P 2 の一部と、ゲート G 2 1 と、ゲート G 2 1 の上下の S i 柱 S P 2 内にあるソース N⁺層 N 2 1 とドレイン N⁺層 N 2 2 とにより形成されている。そして、P チャネル S G T _ L P 2 は、ゲート G 2 2 で囲まれたチャネルとして機能する S i 柱 S P 2 の一部と、ゲート G 2 2 と、ゲート G 2 2 の上下の S i 柱 S P 2 内にあるドレイン P⁺層 P 2 1 とソース P⁺層 P 2 2 とにより形成されている。N チャネル S G T _ S N 2 は、ゲート G 2 3 で囲まれたチャネルとして機能する S i 柱 S P 2 の一部と、ゲート G 2 3 と、ゲート G 2 3 の上下の S i 柱 S P 2 内にあるドレイン N⁺層 N 2 3 とソース N⁺層 N 2 4

とにより形成されている。そして、N⁺層N 2 2とP⁺層P 2 1が接続されている。そして、N⁺層N 2 3とP⁺層P 2 2の間にS i O₂層O x 2が形成されている。

[0031] 図1 Bに示すように、N⁺層N 1 2と、P⁺層P 1 1と、N⁺層N 1 3と、ゲートG 2 1とゲートG 2 2とが接続され、N⁺層N 2 2と、P⁺層P 2 1と、N⁺層N 2 3と、ゲートG 1 1とゲートG 1 2とが接続されている。そして、N⁺層N 1 1と、N⁺層N 2 1とがグランド端子V s sに接続され、P⁺層P 1 2とP⁺層P 2 2が電源端子V d dに接続され、ゲートG 1 3とゲートG 2 3とがワード線端子W L tに接続されている。そして、N⁺層N 2 4はビット線端子B L tに接続され、N⁺層N 1 4は反転ビット線端子R B L tに接続されている。これにより、図1 Aに示したS R A Mセル回路が形成される。図1 Bに示すように、図1 Aにおける回路領域C 1がS i 柱S P 1に形成され、回路領域C 2がS i 柱S P 2に形成される。

[0032] 本実施形態では、図1 Bに示すように、回路領域C 1及び回路領域C 2が、S i 柱S P 1及びS i 柱S P 2に同じ配置構成をして形成される。

[0033] 図2 A～2 Sに、本実施形態のS G Tを有する柱状半導体メモリ装置の製造工程を説明するための、平面図及び断面図を示す。(a)は平面図、(b)は(a)のX 1－X 1'線に沿う断面構造図、(c)は(a)のY 1－Y 1'線に沿う断面構造図、(d)は(a)のY 2－Y 2'線に沿う断面構造図を示す。存在するならば、(e)は、(a)のX 2－X 2'線に沿う断面構造図を示し、(f)は、(a)のY 3－Y 3'線に沿う断面構造図を示す。

[0034] 図2 Aに示すように、S i 層基板1 (以下、i 層基板1と呼ぶ) 上に、積層されたS i O₂層2、i 層3、S i O₂層4を形成する。

[0035] 次に、図2 Bに示すように、レジスト層(図示せず)をマスクに、リソグラフィ法とR I E (Reactive Ion Etching) 法を用いて、平面視において円形状のS i O₂層4 a、4 bを形成する。次に、レジスト層、S i O₂層4 a、4 bをマスクに、R I E法を用いて、i 層基板1、S i O₂層2、i 層3を

エッチングして、 i 層基板1上に i 層基板1aを残して、 Si 柱5a、5bを形成する。この結果、 Si 柱5aは、 i 層6a、 SiO_2 層2a、 i 層3a、 SiO_2 層4aを含み、 Si 柱5bは、 i 層6b、 SiO_2 層2b、 i 層3b、 SiO_2 層4bを含む。

[0036] 次に、図2Cに示すように、例えば熱酸化により、 Si 柱5aの i 層6a、3aの側面と、 Si 柱5bの i 層6b、3bの側面と、 i 層基板1a上とに SiO_2 層8を形成する。そして、イオン注入法を用いて、 Si 柱5a、5bの外周部の i 層基板1a表層に N^+ 層9を形成する。そして、 Si 柱5a、5bの外周部の SiO_2 層8上に、 SiO_2 層10を形成する。

[0037] 次に、図2Dに示すように、熱処理を行い、 N^+ 層9内のドナー不純物を熱拡散させて、 N^+ 層9aを形成する。そして、 SiO_2 層10より上の SiO_2 層8を除去した後に、 Si 柱5a、5bと、 SiO_2 層10を覆って、例えばALD (Atomic Layer Deposition) 法により、酸化ハフニウム (HfO_2) 層11と、窒化チタン (TiN) 層12と、 SiO_2 層13とを順次形成する。最終的に、 HfO_2 層11はSGTのゲート絶縁層となり、 TiN 層12はSGTのゲート導体層となる。

[0038] 次に、図2Eに示すように、リソグラフィ法とRIE法を用いて、 TiN 層12aと SiO_2 層13aを、 Si 柱5aの底部の外周を囲み、且つ平面視において、垂直方向 ($Y1-Y1'$ 線方向) に延びるように形成し、 TiN 層12bと SiO_2 層13bを、 Si 柱5bの底部の外周を囲み、且つ、平面視において、垂直方向 ($Y2-Y2'$ 線方向) に延びるように形成する。平面視において、 Si 柱5aの底部の外周で TiN 層12aと SiO_2 層13aが延びる方向は、 Si 柱5bの底部の外周で TiN 層12bと SiO_2 層13bが延びる方向とは、反対である。

[0039] 次に、図2Fに示すように、 Si 柱5a、5bの外周に窒化シリコン (SiN) 層15を形成する。続いて、 SiN 層15上にレジスト層16を形成する。レジスト層16は、レジスト材料を Si 柱5a、5bと SiN 層15との上表面に塗布した後、例えば200℃の熱処理を行ってレジスト材料の

流動性を大きくし、レジスト材料がSi柱5a、5bの外側のSiN層15上で均質に溜まるようにして形成する。続いて、フッ化水素ガス（以下、「HFガス」と称する。）を全体に供給する。続いて、例えば180℃の加熱環境とすることで、HFガスがレジスト層16内に含まれた水分によって電離され、フッ化水素イオン（ HF_2^+ ）（以下、「HFイオン」と称する。）が形成される。このHFイオンがレジスト層16内を拡散して、レジスト層16に接触する SiO_2 層13a、13bをエッチングする（ここでのエッチングのメカニズムは非特許文献2を参照のこと。）。一方、レジスト層16に接触していない SiO_2 層13a、13bは、殆どエッチングされずに残存する。その後、レジスト層16を除去する。

[0040] 以上の結果、図2Gに示すように、 SiO_2 層13a、は、SiN層15に覆われた SiO_2 層13cと、Si柱5aの上部領域の SiO_2 層13aに分離され、 SiO_2 層13bは、SiN層15に覆われた SiO_2 層13dと、Si柱5bの上部領域の SiO_2 層13bに分離される。続いて、 SiO_2 層13a、13b、13c、13d、SiN層15をマスクとして用い、TiN層12a、12bをエッチングすることで、Si柱5aの下方領域のSiN層15で覆われたTiN層12cが、 SiO_2 層13aで覆われたTiN層12aから分離され、同じくSi柱5bの下方領域のSiN層15で覆われたTiN層12dが、 SiO_2 層13bで覆われたTiN層12bから分離される。次に、 SiO_2 層13a、13bと、TiN層12a、12bと、 SiO_2 層13c、13dと、TiN層12c、12dと、SiN層15とをマスクとして用い、 HfO_2 層11をエッチングすることで、 HfO_2 層11が、Si柱5a、5bの下方領域において HfO_2 層11cと、Si柱5a、5bの上方部の HfO_2 層11a、11bに分離される。その後、Si柱5aのTiN層12a、12cの露出部、同じくSi柱5bのTiN層12b、12dの露出部をそれぞれ酸化することで、TiO（酸化チタン）層19a、19c、19b、19dを形成する。こうして、Si柱5a、5b上に開口部18a、18bが形成される。

[0041] 次に、図2Hに示すように、例えば、*i*層基板1a（図示せず、図2Bにおける*i*層基板1aに対応する）を配置した基板金属板と、この基板金属板から離間した対向金属板とを用意し、基板金属板に直流電圧を印加し、これら2枚の平行金属板にRF高周波電圧を印加することで対向金属板の材料原子をスパッタして*i*層基板1a上に堆積させるバイアス・スパッタ法を用いて、Ni原子を*i*層基板1aの上表面に垂直な方向から入射させ、SiN層15上にNi層20aを形成する。同様に、バイアス・スパッタ法により、砒素（As）不純物を含んだN型ポリSi層21a、SiO₂層22a、Ni層20b、ボロンB不純物を含んだP型ポリSi層21b、SiO₂層22bを順次積層する。ここで、SiO₂層22bの上面は、Si柱5a、5bの上部を覆ったSiO₂層13a、13bと接するように形成する。Ni原子、ポリSi原子、SiO₂原子は、*i*層基板1aの上表面に対して垂直な方向から入射するので、Si柱5a、5bの外周部側面とNi層20a、20b、ポリSi層21a、21b、SiO₂層22a、22bとの間に、密閉された空間24a、24bが形成される。その後、Ni層20a、20b、ポリSi層21a、21b、SiO₂層22a、22bよりなる積層膜と同時にSi柱5a、5b頂部上に形成された積層膜（図示せず）を除去する。

[0042] 次に、図2Iに示すように、例えば550℃の熱処理を行うことで、Ni層20a、20bのNi原子をN型ポリSi層21a、P型ポリSi層21b内に拡散させてニッケルシリサイド（NiSi）層25a、25bをそれぞれ形成する。NiSi層25a、25bは、N型ポリSi層21a、P型ポリSi層21bの体積より膨張する（この体積膨張については非特許文献3を参照のこと）。N型ポリSi層21a、P型ポリSi層21bはSiN層15、SiO₂層22a、22bにより挟まれているので、NiSi層25a、25bは、主に空間24a、24b内に突出する。N型ポリSi層21aに含まれているAs原子と、P型ポリSi層21bに含まれているB原子は、NiSi層25a、25bより外側に押し出される（この押し出し現象については非特許文献3を参照のこと）。この不純物原子押し出し効果によ

り、空間24a、24b内に突き出したNiSi層25a、25bの側面表層に不純物原子を多く含んだ突起部（図示せず）が形成される。そして、突起部側面がSi柱5a、5b側面の表面に接触する。

[0043] 次に、図2Jに示すように、熱処理を行って、NiSi層25a、25bのシリサイド化を拡張すると共に、不純物押し出し効果により突起部からAs原子、B原子をSi柱5a、5b内に拡散させる。こうして、NiSi層25a、25bに接したSi柱5a、5bの側面表層にそれぞれNiSi層34a、34bが形成されると共に、B原子及びAs原子が不純物押し出し効果によりSi柱5a、5b内部に拡散されてSi柱5a、5b内部にそれぞれ、N⁺層32a、32b、P⁺層33a、33bが形成される。これにより、i層6a、6bから、N⁺層32a、32bとN⁺層9aとの間のi層26a、26bが分離される。次に、リソグラフィ法とRIE法とを用いて、NiSi層25a、25b、SiO₂層22a、22bをパターン加工することで、Si柱5aの外周部に残存し、且つ平面視において垂直方向（Y1-Y1'線方向）に延びたNiSi層27a、29a、SiO₂層28a、30aと、Si柱5bの外周部に残存し、且つ平面視において垂直方向（Y2-Y2'線方向）に延びたNiSi層27b、29b、SiO₂層28b、30bとを、それぞれ形成する。NiSi層27a、29a、SiO₂層28a、30aの延びる方向は、TiN層12cと反対方向であり、NiSi層27b、29b、SiO₂層28b、30bの延びる方向は、TiN層12dと反対方向である。

[0044] 次に、図2Kに示すように、SiN層15を形成した方法と同じ方法を用いることで、その上表面が、SiO₂層30a、30bとSiO₂層2a、2bとの高さ方向の中間に位置するように、SiN層35を形成する。続いて、空間24a、24bを形成した方法と同じ方法を用いることで、TiN層12a、12bの外周に開口部を形成する。続いて、TiN層12aに接触したNiSi層36aと、SiO₂層13aに接触したSiO₂層37aと、TiN層12bに接触したNiSi層36bと、SiO₂層13bに接触した

SiO₂層37bとを形成する。

[0045] 次に、図2Lに示すように、SiN層35上に、その上表面が、SiO₂層2a、2bより下部に位置するように、SiN層38を形成する。続いて、空間24a、24bを形成した方法と同じ方法を用いることで、SiO₂層2a、2bの上下に上下端を持つ開口部をSi柱5a、5bの外周部に形成する。そして、NiSi層25a、25b、SiO₂層22a、22bを形成したのと同じ方法を用いて、突起部にアクセプタ不純物が押し出されたNiSi層49a、SiO₂層50a、突起部にドナー不純物が押し出されたNiSi層49b、SiO₂層50bを形成する。そして、NiSi層49a、49bからSi柱5a、5bへのドナー不純物、アクセプタ不純物の熱拡散により、Si柱5a、5b内にP⁺層52a、52b、N⁺層53a、53bを形成し、P⁺層52a、52b、N⁺層53a、53bの側面表層にNiSi層を形成する。SiO₂層2a、2bではドナー不純物、アクセプタ不純物の熱拡散、およびNiシリサイド化がほとんどなされないので、Si柱5aでのP⁺層52aとN⁺層53aとは、SiO₂層2aにより分離され、同様に、Si柱5bでのP⁺層52bとN⁺層53bとは、SiO₂層2bにより分離される。また、上記の開口部の形成により、TiN層12a、12bから、P⁺層33a、33bとP⁺層52a、52bとの間のTiN層48a、48bが分離される。

[0046] 図2Mに示すように、リソグラフィ法とRIEエッチングにより、NiSi層49b、SiO₂層50bのパターンニング加工を行い、Si柱5aを囲み、且つ平面視において、NiSi層27a、29a、SiO₂層28a、30aと重なったNiSi層55a、SiO₂層56aを形成する。また、同様に、Si柱5bを囲み、且つ平面視において、NiSi層27b、29b、SiO₂層28b、30bと重なったNiSi層55b、SiO₂層56bを形成する。そして、リソグラフィ法とRIEエッチングにより、NiSi層49aとSiO₂層50aとに、開口部57a、57b、57cを形成する。開口部57aは、平面視において、TiN層12c、SiO₂層13c、Si

N層15、35、NiSi層36a、SiO₂層37a、SiN層38が重なっている場所の上に形成される。開口部57bは、平面視において、TiN層12d、SiO₂層13d、SiN層15、35、NiSi層36b、SiO₂層37b、SiN層38が重なっている場所の上に形成される。開口部57cは、N⁺層9a、SiO₂層8、10、HfO₂層11c、SiN層15、35、38が重なっている場所の上に形成される。最後に、SiN層59（図示せず）を、その上表面の位置が、SiO₂層56a、56bの表面よりも高く、かつSi柱5a、5bの頂部よりも低くなるように形成する。

[0047] 次に、図2Nに示すように、NiSi層36a、36b、SiO₂層37a、37bを形成したのと同様の方法を用いて、Si柱5a、5bの外周を囲み、TiN層12a、12bと接続したNiSi層60と、Si柱5a、5bの外周を囲み、SiO₂層13a、13bと接したSiO₂層61を形成する。NiSi層60と、SiO₂層61は、平面視において、X1-X1'線方向に延びている。

[0048] 次に、図2Pに示すように、SiO₂層63を、その上表面の位置が、SiO₂層61の表面よりも高く、かつSi柱5a、5bの頂部よりも低くなるように形成する。その後、SiO₂層63をマスクとして用い、Si柱5a、5bの頂部のSiO₂層4a、4b、13a、13b、TiN層12a、12b、HfO₂層11a、11bをエッチングする。次に、SiO₂層63、13a、13b、TiN層12a、12b、HfO₂層11a、11bをマスクにして、リソグラフィ法とイオン注入法を用いて、Si柱5a、5bの頂部に砒素（As）をイオン注入してN⁺層64a、64bをそれぞれ形成する。

[0049] 次に、図2Qに示すように、SiO₂層65をCVD法、MCP法によって全体に形成する。

続いて、リソグラフィ法とRIE法とを用いて、NiSi層29a上に、SiO₂層65、63、SiN層59、SiO₂層56a、NiSi層55a、SiO₂層50a、NiSi層49a、SiN層38、35、SiO₂層30aを貫通させて、コンタクトホール67aを形成する。同じく、リソグラ

フィ法とRIE法とを用いて、NiSi層29b上に、SiO₂層65、63、SiN層59、SiO₂層56b、NiSi層55b、SiO₂層50b、NiSi層49a、SiN層38、35、SiO₂層30bを貫通させて、コンタクトホール67bを形成する。

続いて、平面視においてコンタクトホール67aの外側を囲んで、NiSi層55a上に、SiO₂層65、63、SiN層59、SiO₂層56aを貫通させて、コンタクトホール68aを形成する。同じく、平面視においてコンタクトホール67bの外側を囲んで、NiSi層55b上に、SiO₂層65、63、SiN層59、SiO₂層56bを貫通させて、コンタクトホール68bを形成する。

続いて、ALD法によりコンタクトホール67a、68aの内部全体にSiO₂層（図示せず）を被覆し、その後にRIE法によりNiSi層29a、55a上面のSiO₂層を除去して、コンタクトホール67a、68aの側面にSiO₂層69a、70aを残存させる。また、SiO₂層69a、70aを形成したのと同じ方法を用いて、コンタクトホール67bの側面にSiO₂層69bと、コンタクトホール68bの側面にSiO₂層70bとを形成する。

続いて、リソグラフィ法とRIE法とを用いて、平面視において開口部57aの内側に位置させて、TiN層12c上に、SiO₂層65、63、SiN層59、38、SiO₂層37a、NiSi層36a、SiN層35、15、SiO₂層13cを貫通させて、コンタクトホール71aを形成する。また、同様に、平面視において開口部57bの内側に位置させて、TiN層12d上に、SiO₂層65、63、SiN層59、38、SiO₂層37b、NiSi層36b、SiN層35、15、SiO₂層13cを貫通させて、コンタクトホール71bを形成する。

続いて、コンタクトホール71aとコンタクトホール67b、68bとを介して、TiN層12cとNiSi層36aと、NiSi層29bと、NiSi層55bとを接続する配線金属層72をSiO₂層65上に形成する。こ

ここでは、コンタクトホール67b内側のNiSi層49a側面にSiO₂層69bが被覆されているので、配線金属層72とNiSi層49aはSiO₂層69bにより絶縁されている。また、同様に、コンタクトホール71bとコンタクトホール67a、68aとを介して、TiN層12dとNiSi層36bと、NiSi層29aと、NiSi層55aとを接続する配線金属層73を形成する。ここでは、コンタクトホール67a内側のNiSi層49a側面にSiO₂層69aが被覆されているので、配線金属層73とNiSi層49aはSiO₂層69aにより絶縁されている。

[0050] 図2Rに示すように、全体にSiO₂層75を形成する。その後、SiO₂層75、65、63、SiN層59、SiO₂層50aを貫通させて、NiSi層49a上に形成したコンタクトホール77と、SiO₂層75、65、63、61を貫通させて、NiSi層60上に形成したコンタクトホール78と、SiO₂層75、65、63、SiN層59、38、35、15、HfO₂層11c、SiO₂層10、8を貫通させて、N⁺層9a上に形成したコンタクトホール79とを形成する。そして、コンタクトホール77を介して、NiSi層49aと接続した電源配線金属層VDDと、コンタクトホール78を介して、NiSi層60と接続したワード配線金属層WLと、コンタクトホール79を介して、N⁺層9aと接続したグランド配線金属層VSSとを形成する。電源配線金属層VDD、ワード配線金属層WL、グランド配線金属層VSSは、平面視において、X1-X1'線方向に延びている。

[0051] 次に、図2Sに示すように、全体にSiO₂層80を形成した後、SiO₂層80、ワード配線金属層WL、SiO₂層75、65を貫通させて、Si柱5aの頂部のN⁺層64a上にコンタクトホール81aを形成し、同様に、SiO₂層80、ワード配線金属層WL、SiO₂層75、65を貫通させて、Si柱5bの頂部のN⁺層64b上にコンタクトホール81bを形成する。そして、ALD法により、SiO₂層（図示せず）をSiO₂層80上とコンタクトホール81a、81b内部に形成する。そして、RIE法により、SiO₂層80上と、N⁺層64a、64b上とのSiO₂層を除去する。そして、

コンタクトホール81aを介して、N⁺層64aと接続した反転ビット配線金属層RBLと、コンタクトホール81bを介して、N⁺層64bと接続したビット配線金属層BLとをSiO₂層80上に形成する。ここでは、ワード配線金属層WLと、反転ビット配線金属層RBLと、ビット配線金属層BLは、それぞれSiO₂層82a、82bにより絶縁されている。これにより、図1Bに示したSRAMセル回路が形成される。

[0052] 図2Sに示すように、Si柱5aの下部には、N⁺層9a、32aをソース、ドレインとし、TiN層12cをゲートとし、N⁺層9a、32a間のi層26aをチャンネルにしたSGT（図1BのNチャンネルSGT_DN1に対応する）が形成され、Si柱5aの中間部には、P⁺層33a、52aをドレイン、ソースとし、TiN層48aをゲートとし、P⁺層33a、52a間のi層6aをチャンネルにしたSGT（図1BのPチャンネルSGT_LP1に対応する）が形成され、Si柱5aの上部には、N⁺層53a、64aをドレイン、ソースとし、TiN層12aをゲートとし、N⁺層53a、64a間のi層3aをチャンネルにしたSGT（図1BのNチャンネルSGT_SN1に対応する）が形成される。

同じく、Si柱5bの下部には、N⁺層9a、32bをソース、ドレインとし、TiN層12dをゲートとし、N⁺層9a、32b間のi層26bをチャンネルにしたSGT（図1BのNチャンネルSGT_DN2に対応する）が形成され、Si柱5bの中間部には、P⁺層33b、52bをドレイン、ソースとし、TiN層48bをゲートとし、P⁺層33b、52b間のi層6bをチャンネルにしたSGT（図1BのPチャンネルSGT_LP2に対応する）が形成され、Si柱5bの上部には、N⁺層53b、64bをドレイン、ソースとし、TiN層12bをゲートとし、N⁺層53b、64b間のi層3bをチャンネルにしたSGT（図1BのNチャンネルSGT_SN2に対応する）が形成される。

これらSGT（図1BのSGT_DN1、LP1、SN1、DN2、LP2、SN2に対応する）が接続配線されて、図1Bに模式構造図として示したSRAMセル回路が形成される。

[0053] 第1実施形態の柱状半導体メモリ装置、及びその製造方法によれば、以下の効果が奏される。

1. 図2Sに示すように、6個のSGTよりなるSRAMセル回路が、2個のSi柱5a、5bに形成される。これにより、SRAMセル回路の更なる高密度化が図れる。

2. 図2Sに示すように、グランド配線金属層VSSに繋がったN⁺層9aには、Si柱5a、5b間に素子分離領域を必要としない。これにより、SRAMセル回路の更なる高密度化が図れる。

3. 図2Sに示すように、N⁺層32a、P⁺層33aの外周に繋がったNiSi層34aと、N⁺層32b、P⁺層33bの外周に繋がったNiSi層34bとを形成した。これにより、NiSi層27aとNiSi層29aとが電氣的に接続され、同じくNiSi層27bとNiSi層29bとが電氣的に接続される。これにより、NiSi層29a上に形成した、互いに重なったコンタクトホール67a、68aだけで、配線金属層73と、NiSi層27a、29aとの電氣的な接続がなされる、同様に、NiSi層29b上に形成した、互いに重なったコンタクトホール67b、68bだけで、配線金属層72と、NiSi層27b、29bとの電氣的な接続がなされる。これは、NiSi層27a、27b上のそれぞれに、コンタクトホールを形成して、配線金属層73、72のそれぞれとの接続を行う場合と比べて、SRAMセル回路の高密度化が図れる。

4. 図2Sに示すように、平面視において、NiSi層29a、49a、55aが重なった領域のNiSi層29a上にコンタクトホール67aを形成し、このコンタクトホール67aを囲んで、底部のNiSi層55aの上部表面が露出したコンタクトホール68aを形成し、コンタクトホール67a側面にSiO₂層69aを形成することにより、配線金属層73によるNiSi層29a、55aの接続を行った。これにより、平面視において、NiSi層49aと重ならない領域を設けたNiSi層29a上に別のコンタクトホールを設けて配線金属層73との接続を行う場合と比べて、SRAMセル

回路の高密度化が図れる。同じく、コンタクトホール67b、68bを介して、配線金属層72とNiSi層29b、55bとの接続においても、SRAMセル回路の高密度化が図れる。そして、平面視において、ワード配線金属層WLと重なって形成したコンタクトホール81a、81bを介して行った、N⁺層64aと反転ビット配線金属層RBLとの接続と、N⁺層64bとビット配線金属層BLとの接続においても、同じくSRAMセル回路の高密度化が図れる。

[0054] (第2実施形態)

以下、図3A、図3Bを参照しながら、本発明の第2実施形態に係る、SGTを有する柱状半導体メモリ装置について説明する。図3Aは本第2実施形態のSRAMセル回路の模式構造図を示す。図3Bは第2実施形態のSRAMセル回路の平面図及び断面構造図を示す。(a)は平面図、(b)は(a)のX1-X1'線に沿う断面構造図、(c)は(a)のY1-Y1'線に沿う断面構造図、(d)は(a)のY2-Y2'線に沿う断面構造図、(e)は(a)のX2-X2'線に沿う断面構造図、(f)は(a)のY3-Y3'線に沿う断面構造図を示す。

[0055] 図3Aに示すように、第1実施形態の図1Bと比較すると、Si柱SP1における、駆動用NチャネルSGT_DN1と負荷用PチャネルSGT_LP1との垂直方向における位置が逆になっている。同様に、Si柱SP2における、駆動用NチャネルSGT_DN2と負荷用PチャネルSGT_LP2との垂直方向における位置が逆になっている。これにより、Si柱SP1、SP2の底部にあるP⁺層P12、P21が電源端子V_{dd}に接続され、Si柱SP1、SP2の上部にあるN⁺層N11、N22はグランド端子V_{ss}に接続されている。これ以外は、図1Bと同じである。

[0056] 図3Bに示すように、Si柱5aの垂直方向において、Si柱5aの底部にP⁺層85があり(図2SではN⁺層9aがある)、ゲートTiN層12cの上端部の位置にP⁺層86aがあり(図2SではN⁺層32aがある)、このP⁺層86aの上にN⁺層87aがあり(図2SではP⁺層33aがある)、

ゲートT i N層48aの上端部の位置にN⁺層88aがある（図2SではP⁺層52aがある）。同じく、S i柱5bの垂直方向において、その底部にP⁺層85があり（図2SではN⁺層9aがある）、ゲートT i N層12dの上端部の位置にP⁺層86bがあり（図2SではN⁺層32bがある）、このP⁺層86bの上にN⁺層87bがあり（図2SではP⁺層33bがある）、ゲートT i N層48bの上端部の位置にN⁺層88bがある（図2SではP⁺層52bがある）。そして、P⁺層85はコンタクトホール79を介して電源配線金属層VDDに接続され（図2Sではグランド配線金属層VSSに接続される）、NiSi層49aはコンタクトホール77を介してグランド配線金属層VSSに接続される（図2Sでは電源配線金属層VDDに接続される）。

[0057] 本第2実施形態では図3Aに示すように、第1実施形態と比べて、S i柱5a、5bに形成するインバータ回路が、垂直方向において上下が逆になっているだけで、図3Bに示すように、第1実施形態と、S i柱5a、5bにおけるインバータ回路のSGT配置の変更があるも、平面図、断面構造図ともに同じである。これにより、第1実施形態と同じく、SRAMセル回路の高密度化が実現できる。

[0058] （第3実施形態）

以下、図4を参照しながら、本発明の第3実施形態に係る、SGTを有する柱状半導体メモリ装置について説明する。（a）は平面図、（b）は（a）のX1-X1'線に沿う断面構造図、（c）は（a）のY1-Y1'線に沿う断面構造図、（d）は（a）のY2-Y2'線に沿う断面構造図を示す。

[0059] 図4に示すように、S i柱5aにおけるN⁺層32aとP⁺層33aとの間にSiO₂層90aを形成し、コンタクトホール67a底部に接し、NiSi層27a、29a、SiO₂層30a、28aを貫通して、繋がった例えばタングステン（W）導体層91aを形成する。同じく、S i柱5bにおけるN⁺層32bとP⁺層33bとの間にSiO₂層90bを形成し、コンタクトホール67b底部に接し、NiSi層27b、29b、SiO₂層30b、28b

を貫通して、繋がった例えばタングステン（W）導体層91bを形成する。
それ以外の工程は、第1実施形態において、説明したものと同一である。

[0060] 図4に示すように、W導体層91aによりNiSi層27a、29aが接続され、W導体層91bによりNiSi層27b、29bが接続される。これにより、Si柱5aではSiO₂層90aによりN⁺層32aとP⁺層33aとが、分離されても、W導体層91aを介して、NiSi層27a、29aが接続される。同じく、Si柱5bではSiO₂層90bによりN⁺層32bとP⁺層33bとが、分離されても、W導体層91bを介して、NiSi層27b、29bが接続される。

[0061] 本第3実施形態によれば、図4に示すように、SiO₂層90a、90b、およびW導体層91a、91bが形成されるに伴うSRAMセル回路の平面視における減少は生じない。これにより、第1実施形態と同じく、SRAMセル回路の高密度化が実現できる。

[0062] そして、本第3実施形態による、Si柱5a、5bにSiO₂層90a、90bを設けることは、SRAMセル回路領域の周辺に、例えばロジック回路を形成する場合において、1つのSi柱に独立した3個のSGTを形成できるので、高密度ロジック回路を設計できる利点がある。

[0063] （第4実施形態）

以下、図5を参照しながら、本発明の第4実施形態に係る、SGTを有する柱状半導体メモリ装置について説明する。（a）は平面図、（b）は（a）のX1-X1'線に沿う断面構造図、（c）は（a）のY1-Y1'線に沿う断面構造図、（d）は（a）のY2-Y2'線に沿う断面構造図、（e）は（a）のX2-X2'線に沿う断面構造図、（f）は（a）のY3-Y3'線に沿う断面構造図を示す。

[0064] 図5に示すように、図2Sとくらべて、Si柱5a、5bの底部にあるN⁺層9aが、P⁺層94に置き換わり、Si柱5aにおけるP⁺層94をソースとし、N⁺層32aをドレインとしたSGTと、Si柱5bにおけるP⁺層94をソースとし、N⁺層32bをドレインとしたSGTとが、トンネル動作S

G Tとなっている（トンネル動作S G Tについては非参考文献4を参照）。

[0065] 本第4実施形態によれば、駆動用S G Tがトンネル動作S G Tになることにより、より低電圧駆動、または高速動作の高密度S R A Mセル回路が実現する。

[0066] なお、第1実施形態では、i層基板1上にS i柱5 a、5 bを形成してS R A Mセル回路を形成したが、i層基板1の代わりにS i O₂基板を有するS O I（Silicon on Insulator）基板を用いてもよい。S O I基板は、S i O₂以外の絶縁材料層であってもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0067] なお、第1実施形態では、ゲートT i N層1 2 c、1 2 dはS i柱5 a、5 bを囲んだゲート導体層の部分と、S i柱5 a、5 bの底部の外周に水平に延びるゲート配線導体層の部分とからなっている。S i柱5 a、5 bの外周部に繋がった配線導体層は、T i N層1 2 a、1 2 bに接続したN i S i層6 0、T i N層4 8 a、4 8 bに接続したN i S i層3 6 a、3 6 bのように、ゲート導体層部分とゲート配線導体層部分を別々に形成してもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0068] なお、第1実施形態では、ゲート導体層として機能するT i N層1 2 a、1 2 bとこれらを接続するゲート配線導体層として機能するN i S i層6 0を別々に形成したが、一体に形成してもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0069] また、第1実施形態において、S i柱5 a、5 bの間に存在する底部N⁺層9 a表層にシリサイド層、またはタングステン（W）のような金属層を形成して、S i柱5 a、5 b底部のN⁺層9 a間の低抵抗化を行ってもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0070] また、第1実施形態では、N i層2 0 a、2 0 bのN i原子によるN型ポリS i層2 1 a、P型ポリS i層2 1 bのシリサイド化に伴ってN i S i層2 5 a、2 5 bを空間2 4 a、2 4 b内へ突起させた。このN i層2 0 a、

20bの代わりに、チタン（Ti）、コバルト（Co）などの他の金属層を用いてシリサイド層の空間24a、24b内への突起を行ってもよい。このことは、NiSi層36a、36b、49a、49b、60の形成においても同様である。また、このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0071] また、第1実施形態では、Ni層20a、20bの上にドナー不純物を含んだN型ポリSi層21aと、アクセプタ不純物を含んだP型ポリSi層21bとを形成したが、Ni層20aとN型ポリSi層21aとの上下関係と、Ni層20bとP型ポリSi層21bとの上下関係は、どちらでもよい。このことは、NiSi層49a、49bの形成においても同様である。また、複数層のNi層とポリSi層からNiSi層を形成してもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0072] また、第1実施形態では、砒素（As）不純物を含んだN型ポリSi層21a、ボロンB不純物を含んだP型ポリSi層21bを形成したが、As原子以外のドナー不純物、B原子以外のアクセプタ不純物を、イオン注入法などによりポリSi層に導入してもよい。このことは、NiSi層49a、49bの形成においても同様である。また、このことは、本発明に係るその他の実施形態においても適用可能である。

[0073] また、第1実施形態では、Si柱5a、5b側面表面とNiSi層25a、25bとの接続、Si柱5a、5b内でのNiSi層34a、34bの形成、N⁺層32a、32b、P⁺層33a、33bの形成は、図2I及び図2Jにおける熱処理によって行った。これら、Si柱5a、5b側面表面とNiSi層34a、34bとの接続、Si柱5a、5b内のNiSi層34a、34bの形成、N⁺層32a、32b、P⁺層33a、33bの形成は、SRAMセル回路を製造する最終工程までに行われればよい。このことは、外周部にNiSi層を有したP⁺層52a、52b、N⁺層53a、53bの形成においても同様である。このことは、本発明に係るその他の実施形態においても適用可能である。

[0074] また、第1実施形態では、N型ポリSi層21a、P型ポリSi層21bを用いたが、アモルファス層であってもよい。このことは、NiSi層49a、49bの形成においても同様である。また、このことは、本発明に係るその他の実施形態においても適用可能である。

[0075] また、第1実施形態では、SiN層15、35、38、59はSiN単体材料層を用いて説明したが、複合材料層、例えば、下部にSiO₂層、上部にSiN層を有する複合材料層を用いてもよい。また、SiN層15、35、38、59に換えて、HFイオンの拡散係数が小さい絶縁材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても適用可能である。

[0076] また、第1実施形態では、平面視において、Si柱5a、5bに重なって、X1-X1'線方向に繋がったワード配線金属層WLを形成し、その後にSiO₂層80を形成し、そして、Si柱5a、5bの頂部のN⁺層64a、64bと、反転ビット配線金属層RBLと、ビット配線金属層BLとを、内部側面にSiO₂層82a、82bを形成したコンタクトホール81a、81bを介して、接続した。これに対し、N⁺層64a、64b上に、反転ビット配線金属層RBLと、ビット配線金属層BLとを形成した後に、SiO₂層の被覆、コンタクトホールの形成、ワード配線金属層WLの形成を行っても、SRAMセル回路の集積度は減少しない。このことは、本発明に係るその他の実施形態においても適用可能である。

[0077] また、第1実施形態では、図2Qに示したように、ALD法によりコンタクトホール67a、68aの内部全体にSiO₂層（図示せず）を被覆し、その後にRIE法によりNiSi層29a、55a上面のSiO₂層を除去して、コンタクトホール67a、68aの側面にSiO₂層69a、70aを残存させた。これに対して、RIE法を用いてコンタクトホール67a、68a形成する時に、エッチングガスに酸素を混入させて、コンタクトホール67a、68aの側面にSiO₂層69a、70aを残存させてもよい。このことは、本発明に係るその他の実施形態においても適用可能である。

[0078] また、第1実施形態では、ゲート導体層がTiN層12c、12d、48a、48b、12a、12bからなる形態とした。しかしこれに限られず、ゲート導体層は、他の金属材料からなる形態でもよい。また、ゲート導体層は、金属層と例えばポリSi層などからなる多層構造からなる形態でもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0079] また、第1実施形態では、2つのSi柱5a、5bのそれぞれに3つのSGTを形成した。これに対し、Si柱5a、5bのそれぞれに、例えば駆動用SGTを新たに加えて形成しても良い。駆動用SGTを新たに追加することにより、集積度の低下なく、SRAMセル回路の高速化が図れる。このように、Si柱5a、5bのそれぞれに3個以上のSGTを形成してもよい。このことは、本発明に係るその他の実施形態においても適用可能である。

[0080] また、第1実施形態では、TiN層48a、48b、12a、12bにNiSi層36a、36b、60を接続させた場合について説明したが、NiSi層は、例えばTiN層のような金属層を用いて、熱処理による金属層の塑性変形による水平方向への突き出しによる、金属層とTiN層との接続を行ってもよい。このことは、本発明に係るその他の実施形態においても適用可能である。

[0081] なお、第3実施形態では、W導体層91a、91bとコンタクトホール67a、67bとは直接接続されているが、コンタクトホール67a、67bをSiO₂層30a、30bまで貫通させた上で、コンタクトホール67a、67bをNiSi層29a、29bを介して間接的にW導体層91a、91bに接続してもよい。この場合でも、NiSi層27a、29a、27b、29bは低抵抗であるので、NiSi層27a、29aと配線金属層73との接続、及びNiSi層27b、29bと配線金属層72との接続を低抵抗で行うことができる。

[0082] また、第4実施形態では、第1実施形態における駆動用SGTをトンネル動作SGTとした場合について説明したが、このことは、本発明に係るその

他の実施形態においても適用可能である。

[0083] また、上記各実施形態では、半導体柱としてSi（シリコン）柱を用いた例について説明した。しかしこれに限られず、本発明の技術思想は、シリコン以外の半導体材料からなる半導体柱を用いた、トンネル動作SGTを含めたSGTを有する半導体装置にも適用可能である。

[0084] また、上記各実施形態でのSRAMセル回路は、回路領域C1、C2が、CMOSインバータ回路と選択NチャネルSGTからなる回路構成の場合であるが、他の回路構成であっても、回路領域C1、C2が同じ回路構成でSRAMセル回路を形成するものであれば、本発明を適用することができる。

[0085] 本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0086] 本発明に係る、柱状半導体メモリ装置の製造方法によれば、高集積度な半導体装置が得られる。

符号の説明

[0087] LP1、LP2 PチャネルSGT
DN1、DN2、SN1、SN2 NチャネルSGT
BLt ビット線端子
RBLt 反転ビット線端子
WLt ワード線端子
Vss グランド端子
Vdd 電源端子
C1、C2 回路領域
G11、G12、G13、G21、G22、G23 ゲート

1、1 a i 層基板

3、3 a、3 b、6 a、6 b、26 a、26 b i 層

N11、N12、N13、N14、N21、N22、N23、N24、9、
9 a、32 a、32 b、53 a、53 b、64 a、64 b、87 a、87 b
、88 a、88 b N⁺層

P11、P12、P21、P22、33 a、33 b、52 a、52 b、85
、86 a、86 b、94 P⁺層

Ox1、Ox2、2、2 a、2 b、4、4 a、4 b、8、10、13、13
a、13 b、13 c、13 d、22 a、22 b、28 a、28 b、30 a、
30 b、37 a、37 b、50 a、50 b、56 a、56 b、61、63、
65、69 a、69 b、70 a、70 b、75、80、82 a、82 b、9
0 a、90 b SiO₂層

SP1、SP2、5 a、5 b Si 柱

11、11 a、11 b、11 c HfO₂層

12、12 a、12 b、12 c、12 d、48 a、48 b TiN層

15、35、38、59 SiN層

25 a、25 b、27 a、27 b、29 a、29 b、34 a、34 b、36
a、36 b、49 a、49 b、55 a、55 b、60 NiSi層

16 レジスト層

19 a、19 b、19 c、19 d TiO層

24 a、24 b 空間

18 a、18 b、57 a、57 b、57 c 開口部

20 a、20 b Ni層

21 a N型ポリSi層

21 b P型ポリSi層

67 a、67 b、68 a、68 b、71 a、71 b、77、78、79、8
1 a、81 b コンタクトホール

72、73 配線金属層

9 1 a、9 1 b W導体層

V D D 電源配線金属層

V S S グランド配線金属層

W L ワード配線金属層

B L ビット配線金属層

R B L 反転ビット配線金属層

請求の範囲

[請求項1] 基板上に、前記基板表面に対して垂直方向に立った第1の半導体柱および第2の半導体柱と、

前記第1の半導体柱内に互いに離れて形成された、ソースとなる第1の不純物領域およびドレインとなるドナー不純物を含む第2の不純物領域と、

前記垂直方向において、前記第1の不純物領域と前記第2の不純物領域との間の前記第1の半導体柱の部分を囲んだ第1のゲート絶縁層と、

前記第1のゲート絶縁層を囲んだ第1のゲート導体層と、

前記第1の半導体柱内で前記第1の不純物領域及び前記第2の不純物領域より上方または下方に互いに離れて形成された、ドレインとなるアクセプタ不純物を含む第3の不純物領域およびソースとなるアクセプタ不純物を含む第4の不純物領域と、

前記垂直方向において、前記第3の不純物領域と前記第4の不純物領域との間の前記第1の半導体柱の部分を囲んだ第2のゲート絶縁層と、

前記第2のゲート絶縁層を囲んだ第2のゲート導体層と、

前記第1の半導体柱内で前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、及び前記第4の不純物領域より上方に形成された第1の絶縁層と、

前記第1の半導体柱内で前記第1の絶縁層より上方に互いに離れて形成された、ドレインとなるドナー不純物を含んだ第5の不純物領域およびソースとなるドナー不純物を含んだ第6の不純物領域と、

前記垂直方向において、前記第5の不純物領域と前記第6の不純物領域との間の前記第1の半導体柱の部分を囲んだ第3のゲート絶縁層と、

前記第3のゲート絶縁層を囲んだ第3のゲート導体層と、

前記第 2 の半導体柱内に互いに離れて形成された、ソースとなる第 7 の不純物領域およびドレインとなるドナー不純物を含む第 8 の不純物領域と、

前記垂直方向において、前記第 7 の不純物領域と前記第 8 の不純物領域との間の前記第 2 の半導体柱の部分を囲んだ第 4 のゲート絶縁層と、

前記第 4 のゲート絶縁層を囲んだ第 4 のゲート導体層と、

前記第 2 の半導体柱内で前記第 7 の不純物領域及び前記第 8 の不純物領域より上方または下方に互いに離れて形成された、ドレインとなるアクセプタ不純物を含む第 9 の不純物領域およびソースとなるアクセプタ不純物を含む第 10 の不純物領域と、

前記垂直方向において、前記第 9 の不純物領域と前記第 10 の不純物領域との間の前記第 1 の半導体柱の部分を囲んだ第 5 のゲート絶縁層と、

前記第 5 のゲート絶縁層を囲んだ第 5 のゲート導体層と、

前記第 2 の半導体柱内で、前記第 7 の不純物領域、前記第 8 の不純物領域、前記第 9 の不純物領域、及び前記第 10 の不純物領域より上方に形成された第 2 の絶縁層と、

前記第 2 の半導体柱内で前記第 2 の絶縁層より上方に互いに離れて形成された、ドレインとなるドナー不純物を含んだ第 11 の不純物領域およびソースとなるドナー不純物を含んだ第 12 の不純物領域と、

前記垂直方向において、前記第 11 の不純物領域と前記第 12 の不純物領域との間の前記第 2 の半導体柱の部分を囲んだ第 6 のゲート絶縁層と、

前記第 6 のゲート絶縁層を囲んだ第 6 のゲート導体層と、

前記第 1 のゲート導体層に接続している第 1 の配線導体層と、

前記第 2 の不純物領域に接続している第 2 の配線導体層と、

前記第 3 の不純物領域に接続している第 3 の配線導体層と

前記第2のゲート導体層に接続している第4の配線導体層と、
前記第5の不純物領域に接続している第5の配線導体層と、
前記第3のゲート導体層と前記第6のゲート導体層とに接続している第6の配線導体層と、

前記第4のゲート導体層に接続している第7の配線導体層と、
前記第8の不純物領域に接続している第8の配線導体層と、
前記第9の不純物領域に接続している第9の配線導体層と、
前記第5のゲート導体層に接続している第10の配線導体層と、
前記第11の不純物領域に接続している第11の配線導体層と、を
備え、

前記第1の不純物領域と、前記第2の不純物領域と、前記第1のゲート絶縁層と、前記第1のゲート導体層とより、第1のSGT (Surrounding Gate MOS Transistor)が構成され、

前記第3の不純物領域と、前記第4の不純物領域と、前記第2のゲート絶縁層と、前記第2のゲート導体層とより、第2のSGTが構成され、

前記第5の不純物領域と、前記第6の不純物領域と、前記第3のゲート絶縁層と、前記第3のゲート導体層とより、第3のSGTが構成され、

前記第7の不純物領域と、前記第8の不純物領域と、前記第4のゲート絶縁層と、前記第4のゲート導体層とより、第4のSGTが構成され、

前記第9の不純物領域と、前記第10の不純物領域と、前記第5のゲート絶縁層と、前記第5のゲート導体層とより、第5のSGTが構成され、

前記第11の不純物領域と、前記第12の不純物領域と、前記第6のゲート絶縁層と、前記第6のゲート導体層とより、第6のSGTが構成され、

前記第 1 の S G T および前記第 4 の S G T が水平方向に並んで形成され、

前記第 2 の S G T および前記第 5 の S G T が水平方向に並んで形成され、

前記第 3 の S G T および前記第 6 の S G T が水平方向に並んで形成され、

前記第 2 の不純物領域と、前記第 3 の不純物領域と、前記第 5 の不純物領域と、前記第 4 のゲート導体層と、前記第 5 のゲート導体層とが、電氣的に接続し、

前記第 8 の不純物領域と、前記第 9 の不純物領域と、前記第 11 の不純物領域と、前記第 1 のゲート導体層と、前記第 2 のゲート導体層とが、電氣的に接続し、

前記第 1 の不純物領域と、前記第 7 の不純物領域とが、グランド配線導体層に接続し、

前記第 4 の不純物領域と、前記第 10 の不純物領域とが、電源配線導体層に接続し、

前記第 3 のゲート導体層と、前記第 6 のゲート導体層とが、ワード配線導体層に接続し、

前記第 6 の不純物領域と、前記第 7 の不純物領域とが、一方がビット配線導体層に接続すると、他方が反転ビット配線導体層に接続して、

S R A Mセル回路が形成されている、

ことを特徴とする柱状半導体メモリ装置。

[請求項2]

前記第 1 の不純物領域がドナー不純物を含み、

前記第 7 の不純物領域がドナー不純物を含む、

ことを特徴とする請求項 1 に記載の柱状半導体メモリ装置。

[請求項3]

前記第 1 の半導体柱の底部から上方に順番に、前記第 1 の不純物領域と、前記第 2 の不純物領域と、前記第 3 の不純物領域と、前記第 4

の不純物領域と、前記第 5 の不純物領域と、前記第 6 の不純物領域とが、形成され、

前記第 2 の半導体柱の底部から上方に順番に、前記第 7 の不純物領域と、前記第 8 の不純物領域と、前記第 9 の不純物領域と、前記第 10 の不純物領域と、前記第 11 の不純物領域と、前記第 12 の不純物領域とが、形成され、

前記第 1 の不純物領域および前記第 7 の不純物領域に接続し、且つ前記第 1 の半導体柱および前記第 2 の半導体柱の外周部に連続して形成された第 1 の底部導体層と、

前記第 4 の不純物領域および前記第 10 の不純物領域に接続し、且つ前記第 1 の半導体柱および前記第 2 の半導体柱を囲む第 12 の配線導体層と、をさらに備え、

前記第 1 の底部導体層と、前記グランド配線導体層とが接続され、前記第 12 の配線導体層が、前記電源配線導体層に接続されている

、

ことを特徴とする請求項 2 に記載の柱状半導体メモリ装置。

[請求項 4]

前記第 1 の半導体柱の底部から上方に順番に、前記第 4 の不純物領域と、前記第 3 の不純物領域と、前記第 2 の不純物領域と、前記第 1 の不純物領域と、前記第 5 の不純物領域と、前記第 6 の不純物領域とが、形成され、

前記第 2 の半導体柱の底部から上方に順番に、前記第 10 の不純物領域と、前記第 9 の不純物領域と、前記第 8 の不純物領域と、前記第 7 の不純物領域と、前記第 11 の不純物領域と、前記第 12 の不純物領域とが、形成され、

前記第 4 の不純物領域および前記第 10 の不純物領域に接続し、且つ前記第 1 の半導体柱および前記第 2 の半導体柱の外周部に連続して形成された第 2 の底部導体層と、

前記第 1 の不純物領域および前記第 7 の不純物領域に接続し、且つ

前記第 1 の半導体柱および前記第 2 の半導体柱を囲む第 1 3 の配線導体層と、をさらに備え、

前記第 2 の底部導体層と、前記電源配線導体層とが接続され、

前記第 1 3 の配線導体層が、前記グランド配線導体層に接続されている、

ことを特徴とする請求項 2 に記載の柱状半導体メモリ装置。

[請求項 5]

平面視において、前記第 2 の配線導体層と、前記第 3 の配線導体層と、前記第 5 の配線導体層とが、前記第 1 の半導体柱を囲み、一方向に延び、且つ重なって形成され、

平面視において、前記第 7 の配線導体層と、前記第 1 0 の配線導体層とが、前記第 2 の半導体柱を囲み、前記一方向に延び、且つ重なって形成され、

平面視において、前記第 8 の配線導体層と、前記第 9 の配線導体層と、前記第 1 1 の配線導体層とが、前記第 2 の半導体柱を囲み、前記一方向とは反対の方向に延び、且つ重なって形成され、

平面視において、前記第 1 の配線導体層と、前記第 4 の配線導体層とが、前記第 1 の半導体柱を囲み、前記一方向とは反対の方向に延び、且つ重なって形成され、

前記第 2 の配線導体層と、前記第 3 の配線導体層と、前記第 5 の配線導体層とを接続する第 1 のコンタクトホールと、

前記第 7 の配線導体層と、前記第 1 0 の配線導体層とを接続する第 2 のコンタクトホールと、

前記第 8 の配線導体層と、前記第 9 の配線導体層と、前記第 1 1 の配線導体層とを接続する第 3 のコンタクトホールと、

前記第 1 の配線導体層と、前記第 4 の配線導体層とを接続する第 4 のコンタクトホールと、

前記第 1 のコンタクトホールと、前記第 2 のコンタクトホールとを介して、前記第 2 の配線導体層と、前記第 3 の配線導体層と、前記第

5の配線導体層と、前記第7の配線導体層と、前記第10の配線導体層とを接続する、第1の内部配線導体層と、

前記第3のコンタクトホールと、前記第4のコンタクトホールとを介して、前記第8の配線導体層と、前記第9の配線導体層と、前記第11の配線導体層と、前記第1の配線導体層と、前記第4の配線導体層とを接続する、第2の内部配線導体層と、をさらに備える、

ことを特徴とする請求項2に記載の柱状半導体メモリ装置。

[請求項6] 前記第1の半導体柱の外周表層にあって、前記第2の不純物領域と前記第3の不純物領域とに繋がって形成された第1のシリサイド層と、

前記第2の半導体柱の外周表層にあって、前記第8の不純物領域と前記第9の不純物領域とに繋がって形成された第2のシリサイド層と、をさらに備える、

ことを特徴とする請求項2に記載の柱状半導体メモリ装置。

[請求項7] 前記第2の配線導体層と前記第3の配線導体層との間に形成した、第1の層間絶縁層と、

前記第8の配線導体層と前記第9の配線導体層との間に形成した、第2の層間絶縁層と、

前記第2の配線導体層と、前記第1の層間絶縁層と、前記第3の配線導体層とを貫通した第1の貫通コンタクトホールと、

前記第8の配線導体層と、前記第2の層間絶縁層と、前記第9の配線導体層とを貫通した第2の貫通コンタクトホールと、

前記第1の貫通コンタクトホールに埋め込まれた第1の埋め込み導体層と、

前記第2の貫通コンタクトホールに埋め込まれた第2の埋め込み導体層と、をさらに備える、

ことを特徴とする請求項2に記載の柱状半導体メモリ装置。

[請求項8] 前記第1の不純物領域がアクセプタ不純物を含み、

前記第 7 の不純物領域がアクセプタ不純物を含み、
前記第 1 の S G T が、第 1 のトンネル動作 S G T であり、
前記第 4 の S G T が、第 2 のトンネル動作 S G T である、
ことを特徴とする請求項 1 に記載の柱状半導体メモリ装置。

[請求項 9]

基板上に、前記基板平面に対して垂直方向に立ち、その上下の半導体層を分離する内部絶縁層を有し、且つ隣接して並ぶ第 1 の半導体柱および第 2 の半導体柱を形成する工程と、

前記第 1 の半導体柱および前記第 2 の半導体柱のそれぞれを囲んでゲート絶縁層を形成する工程と、

前記ゲート絶縁層を囲んでゲート導体層を形成する工程と、

前記ゲート導体層を覆って被覆絶縁層を形成する工程と、

前記第 1 の半導体柱の底部にドナーまたはアクセプタ不純物を含む第 1 の不純物領域、および前記第 2 の半導体柱の底部に前記第 1 の不純物領域と同じ極性の不純物を含む第 2 の不純物領域を形成する工程と、

前記被覆絶縁層と前記ゲート導体層とをそれぞれエッチングして、前記第 1 の半導体柱を囲んで互いに重なった、前記被覆絶縁層の一部からなる第 1 の被覆絶縁層と、前記ゲート導体層の一部からなる第 1 のゲート導体層と、前記第 2 の半導体柱を囲んで互いに重なった、前記被覆絶縁層の別の一部からなる第 2 の被覆絶縁層と、前記ゲート導体層の別の一部からなる第 2 のゲート導体層とを形成する工程と、

前記第 1 の被覆絶縁層と、前記第 2 の被覆絶縁層と、前記第 1 のゲート導体層と、前記第 2 のゲート導体層と、前記ゲート絶縁層とのエッチングを行って、前記第 1 の半導体柱および前記第 2 の半導体柱の外周で前記内部絶縁層より下方に第 1 の開口部を形成する工程と、

第 1 の配線導体層と、第 2 の配線導体層と、第 3 の配線導体層と、第 4 の配線導体層とを形成する工程であって、前記第 1 の配線導体層および前記第 2 の配線導体層は、共に前記第 1 の開口部を囲み、共に

前記第 1 の半導体柱の側面に接触し、平面視において互いに重なり、且つ互いに絶縁されており、前記第 2 の配線導体層は、前記第 1 の配線導体層の上方に位置し、前記第 3 の配線導体層および前記第 4 の配線導体層は、共に前記第 1 の開口部を囲み、共に前記第 2 の半導体柱の側面に接触し、平面視において互いに重なり、且つ互いに絶縁されており、前記第 4 の配線導体層は、前記第 3 の配線導体層の上方に位置する、工程と、

ドナーまたはアクセプタ不純物原子を前記第 1 の配線導体層から前記第 1 の半導体柱内部に熱拡散させて第 3 の不純物領域を形成し、ドナーまたはアクセプタ不純物原子を前記第 3 の配線導体層から前記第 2 の半導体柱内部に熱拡散させて第 4 の不純物領域を形成し、ドナーまたはアクセプタ不純物原子を前記第 2 の配線導体層から前記第 1 の半導体柱内部に熱拡散させて第 5 の不純物領域を形成し、ドナーまたはアクセプタ不純物原子を前記第 4 の配線導体層から前記第 2 の半導体柱内部に熱拡散させて第 6 の不純物領域を形成する工程と、

前記第 2 の配線導体層より上方で前記内部絶縁層より下方の前記第 1 の被覆絶縁層と、前記第 4 の配線導体層より上方で前記内部絶縁層より下方の前記第 2 の被覆絶縁層とをエッチングして、第 2 の開口部を形成する工程と、

前記第 2 の開口部を囲み、且つ前記第 1 のゲート導体層の側面に接触した第 5 の配線導体層と、前記第 2 の開口部を囲み、且つ前記第 2 のゲート導体層の側面に接触した第 6 の配線導体層とを形成する工程と、

前記第 1 の被覆絶縁層と、前記第 2 の被覆絶縁層と、前記第 1 のゲート導体層と、前記第 2 のゲート導体層と、前記ゲート絶縁層のエッチングを行って、前記内部絶縁層の上下の半導体層にまたがる前記第 1 の半導体柱および前記第 2 の半導体柱の外周に第 3 の開口部を形成する工程と、

第7の配線導体層と、第8の配線導体層と、第9の配線導体層と、第10の配線導体層とを形成する工程であって、前記第7の配線導体層および前記第8の配線導体層は、共に前記第3の開口部を囲み、共に前記第1の半導体柱の側面に接触し、平面視において互いに重なり、且つ互いに絶縁されており、前記第8の配線導体層は、前記第1の配線導体層の上方に位置し、前記第9の配線導体層および前記第10の配線導体層は、共に前記第3の開口部を囲み、共に前記第2の半導体柱の側面に接触し、平面視において互いに重なり、且つ互いに絶縁されており、前記第10の配線導体層は、前記第3の配線導体層の上方に位置する、工程と、

ドナーまたはアクセプタ不純物原子を前記第7の配線導体層から前記第1の半導体柱内部に熱拡散させて第7の不純物領域を形成し、ドナーまたはアクセプタ不純物原子を前記第9の配線導体層から前記第2の半導体柱内部に熱拡散させて第8の不純物領域を形成し、ドナー不純物原子を前記第8の配線導体層から前記第1の半導体柱内部に熱拡散させて第9の不純物領域を形成し、ドナー不純物原子を前記第10の配線導体層から前記第2の半導体柱内部に熱拡散させて第10の不純物領域を形成する工程と、

前記第8の配線導体層および前記第10の配線導体層より上方に、前記第1の半導体柱および前記第2の半導体柱の外周を囲み、且つ前記第1の半導体柱および前記第2の半導体柱上の前記ゲート導体層同士を接続する第11の配線導体層を形成する工程と、

前記第1の半導体柱の頂部にドナー不純物を含む第11の不純物領域を形成し、前記第2の半導体柱の頂部にドナー不純物を含む第12の不純物領域を形成する工程と、

前記第1の配線導体層と、前記第2の配線導体層と、前記第8の配線導体層と、前記第2のゲート導体層と、前記第6の配線導体層とを接続する工程と、

前記第3の配線導体層と、前記第4の配線導体層と、前記第10の配線導体層と、前記第1のゲート導体層と、前記第5の配線導体層とを接続する工程と、を備える、

ことを特徴とする柱状半導体メモリ装置の製造方法。

[請求項10]

前記第1の不純物領域から前記第8の不純物領域までを形成する各前記工程では、

前記第1の半導体柱内に、ドナー不純物原子を含んだ前記第1の不純物領域と、ドナー不純物原子を含んだ前記第3の不純物領域と、アクセプタ不純物原子を含んだ前記第5の不純物領域と、アクセプタ不純物原子を含んだ前記第7の不純物領域を形成し、

前記第2の半導体柱内に、ドナー不純物原子を含んだ前記第2の不純物領域と、ドナー不純物原子を含んだ前記第4の不純物領域と、アクセプタ不純物原子を含んだ前記第6の不純物領域と、アクセプタ不純物原子を含んだ前記第8の不純物領域を形成し、

前記第1の不純物領域と、前記第2の不純物領域とを、第1のグラウンド配線導体層に接続する工程と、

前記第7の不純物領域と、前記第8の不純物領域とを、第1の電源配線導体層に接続する工程と、

前記第11の配線導体層を、第1のワード配線導体層に接続する工程と、

前記第11の不純物領域および前記第12の不純物領域の一方を第1のビット配線導体層に接続し、他方を第1の反転ビット配線導体層に接続する工程と、をさらに備える、

ことを特徴とする請求項9に記載の柱状半導体メモリ装置の製造方法。

[請求項11]

前記第1の不純物領域から前記第8の不純物領域までを形成する各前記工程では、

前記第1の半導体柱内に、アクセプタ不純物原子を含んだ前記第1

の不純物領域と、アクセプタ不純物原子を含んだ前記第3の不純物領域と、ドナー不純物原子を含んだ前記第5の不純物領域と、ドナー不純物原子を含んだ前記第7の不純物領域を形成し、

前記第2の半導体柱内に、アクセプタ不純物原子を含んだ前記第2の不純物領域と、アクセプタ不純物原子を含んだ前記第4の不純物領域と、ドナー不純物原子を含んだ前記第6の不純物領域と、ドナー不純物原子を含んだ前記第8の不純物領域を形成し、

前記第1の不純物領域と、前記第2の不純物領域とを、第2の電源配線導体層に接続する工程と、

前記第7の不純物領域と、前記第8の不純物領域とを、第2のグラウンド配線導体層に接続する工程と、

前記第11の配線導体層を、第2のワード配線導体層に接続する工程と、

前記第11の不純物領域および前記第12の不純物領域の一方を第2のビット配線導体層に接続し、他方を第2の反転ビット配線導体層に接続する工程と、をさらに備える、

ことを特徴とする請求項9に記載の柱状半導体メモリ装置の製造方法。

[請求項12]

前記第1の半導体柱の側面に、前記第3の不純物領域と、前記第5の不純物領域とに繋がった第1のシリサイド領域を形成する工程と、

前記第2の半導体柱の側面に、前記第4の不純物領域と、前記第6の不純物領域とに繋がった第2のシリサイド領域を形成する工程と、

前記第1のゲート導体層上に、前記第5の配線導体層を貫通する第1のコンタクトホールを形成する工程と、

前記第2のゲート導体層上に、前記第6の配線導体層を貫通する第2のコンタクトホールを形成する工程と、

前記第1の半導体柱を囲む前記第2の配線導体層上に、前記第7の配線導体層と、前記第8の配線導体層とを、貫通する第3のコンタク

トホールを形成する工程と、

前記第2の半導体柱を囲む前記第4の配線導体層上に、前記第9の配線導体層と、前記第10の配線導体層とを、貫通する第4のコンタクトホールを形成する工程と、

平面視において、前記第3のコンタクトホールの外周を囲み、且つ前記第2の配線導体層上に第5のコンタクトホールを形成する工程と、

平面視において、前記第4のコンタクトホールの外周を囲み、且つ前記第10の配線導体層上に第6のコンタクトホールを形成する工程と、

前記第3のコンタクトホールおよび前記第5のコンタクトホールの内部側面に第1のコンタクトホール側面絶縁層を形成する工程と、

前記第4のコンタクトホールおよび前記第6のコンタクトホールの内部側面に第2のコンタクトホール側面絶縁層を形成する工程と、

前記第1のコンタクトホールと、前記第4のコンタクトホールと、前記第6のコンタクトホールとを介して、前記第1のゲート導体層と、前記第5の配線導体層と、前記第3の配線導体層と、前記第4の配線導体層とを、接続する第1の配線導体層接続導体層を形成する工程と、

前記第2のコンタクトホールと、前記第3のコンタクトホールと、前記第5のコンタクトホールとを介して、前記第2のゲート導体層と、前記第6の配線導体層と、前記第1の配線導体層と、前記第2の配線導体層とを、接続する第2の配線導体層接続導体層を形成する工程と、をさらに備える、

ことを特徴とする請求項9に記載の柱状半導体メモリ装置の製造方法。

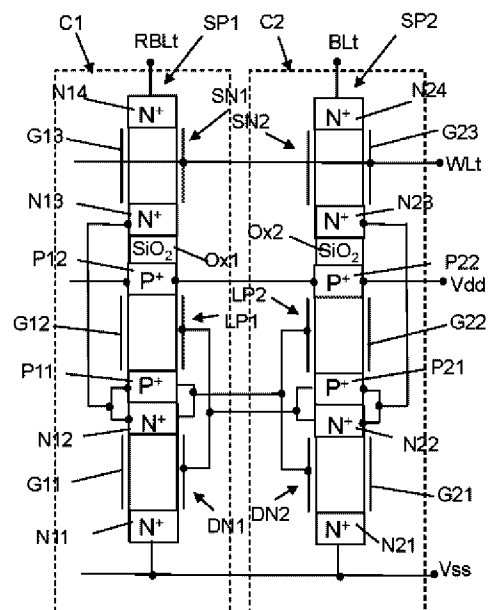
[請求項13]

前記第1の配線導体層と、前記第2の配線導体層とを貫通する第7のコンタクトホールを形成する工程と、

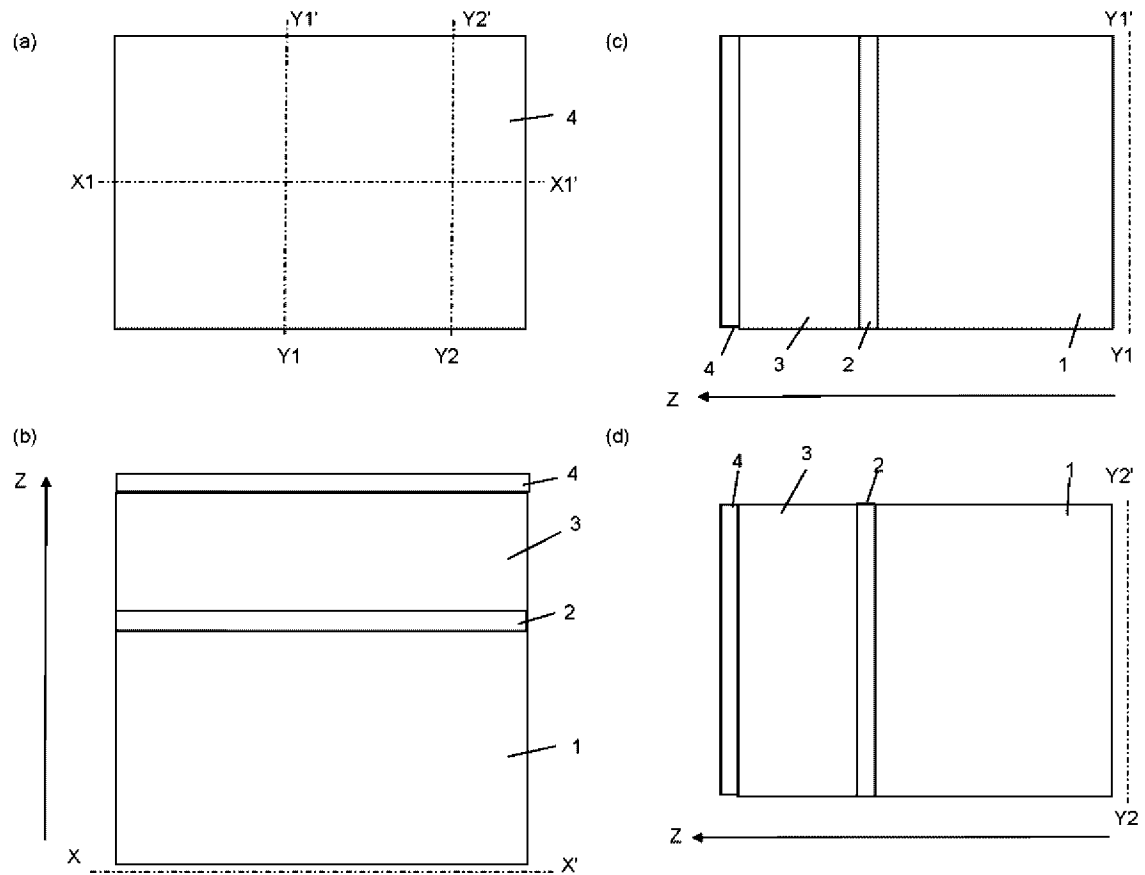
前記第 3 の配線導体層と、前記第 4 の配線導体層とを貫通する第 8 のコンタクトホールを形成する工程と、

前記第 7 のコンタクトホールと、前記第 8 のコンタクトホールとの内部に埋め込み導体層を充満させる工程と、をさらに備える、

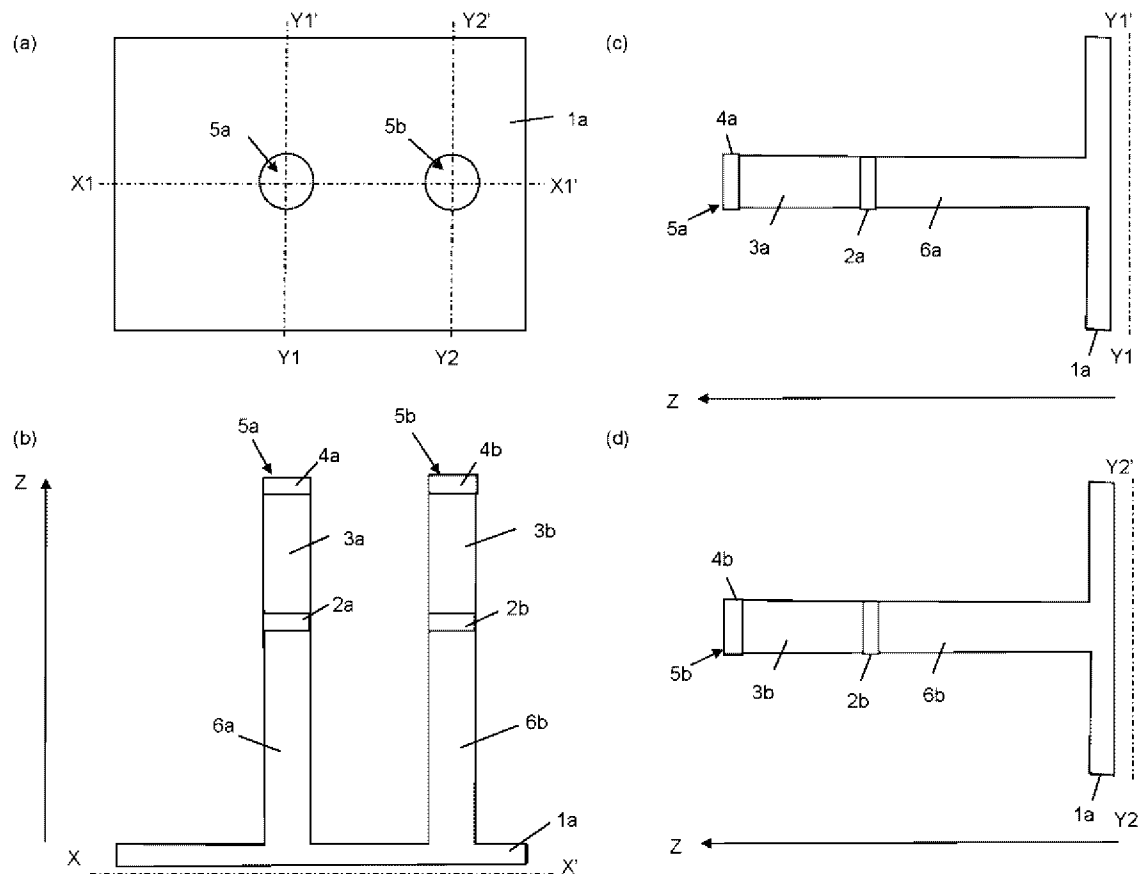
ことを特徴とする請求項 9 に記載の柱状半導体メモリ装置の製造方法。



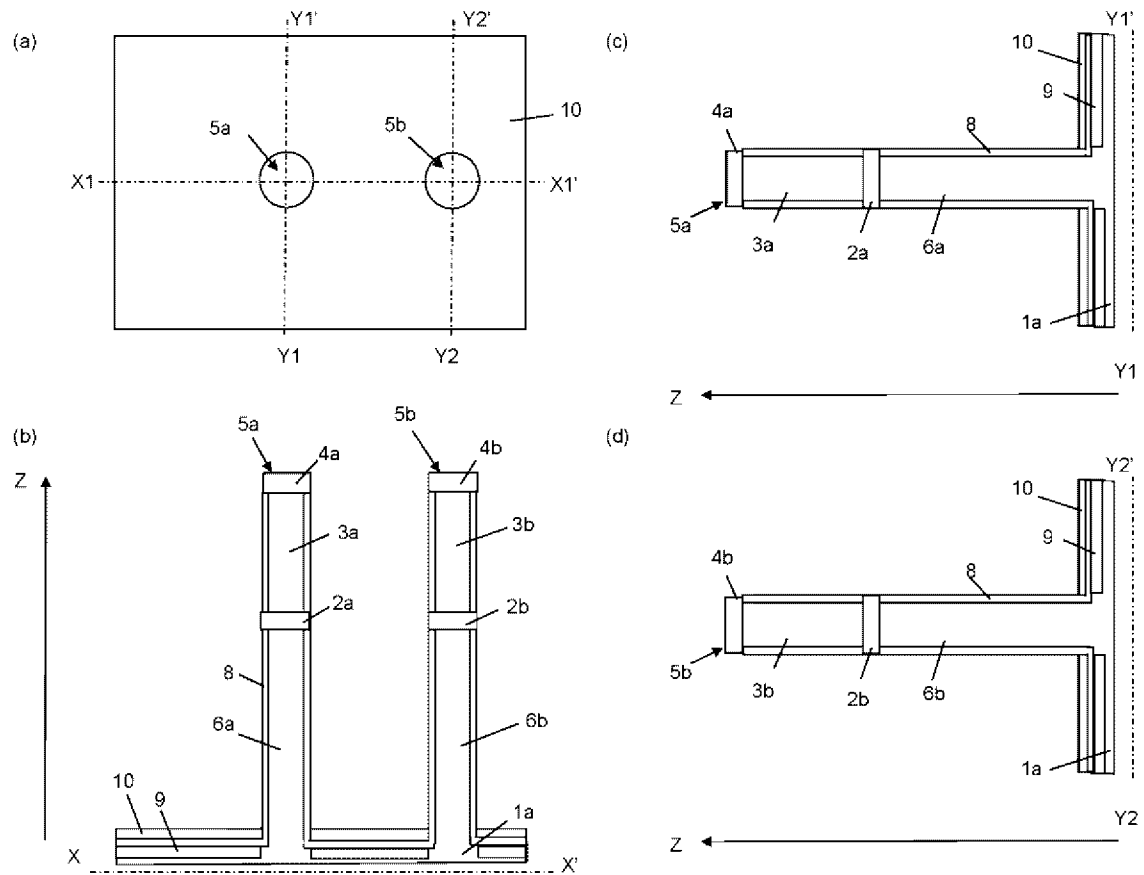
[図2A]



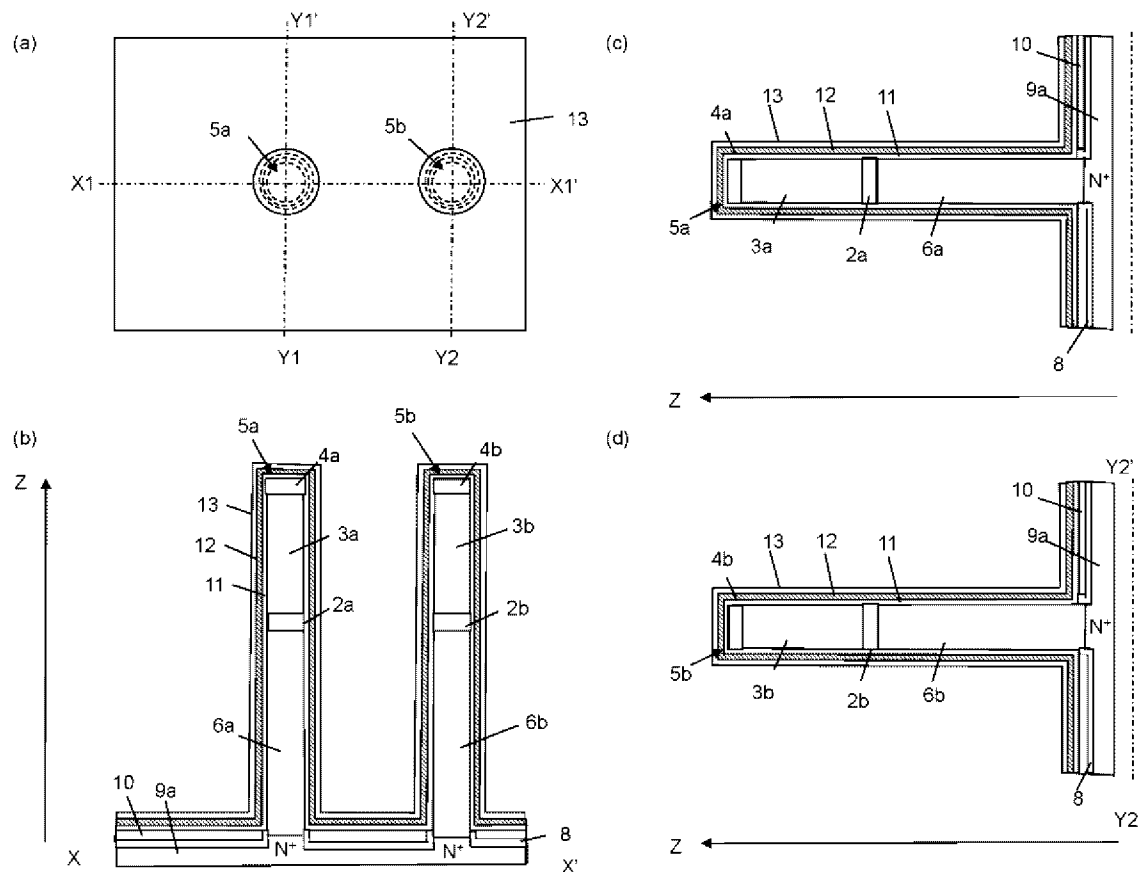
[図2B]



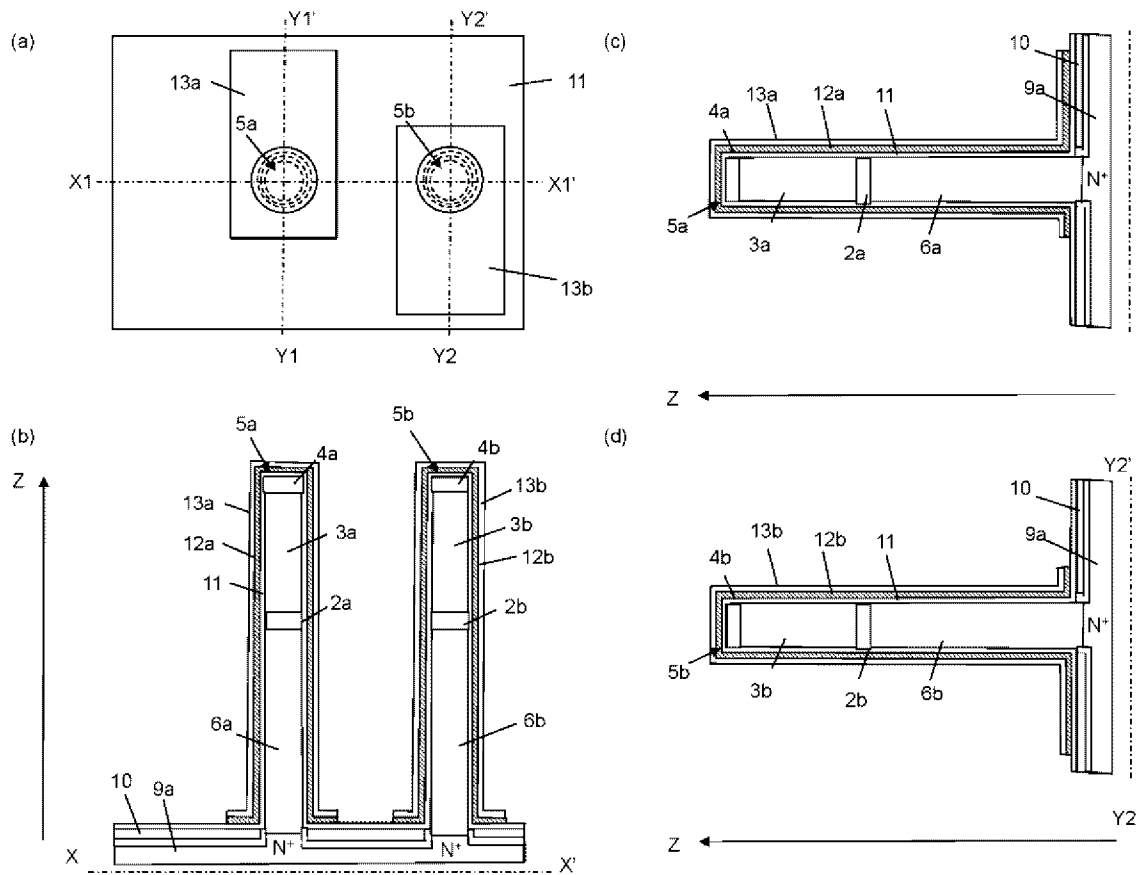
[図2C]



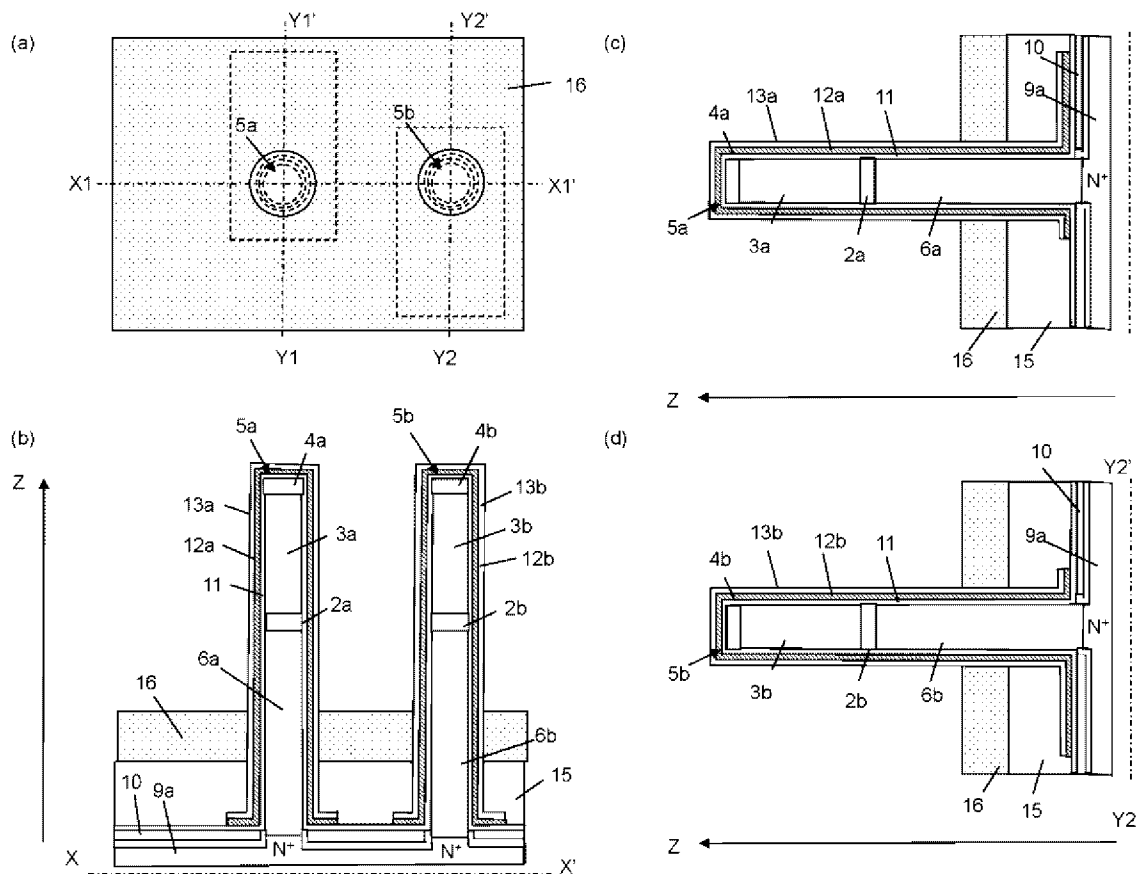
[図2D]



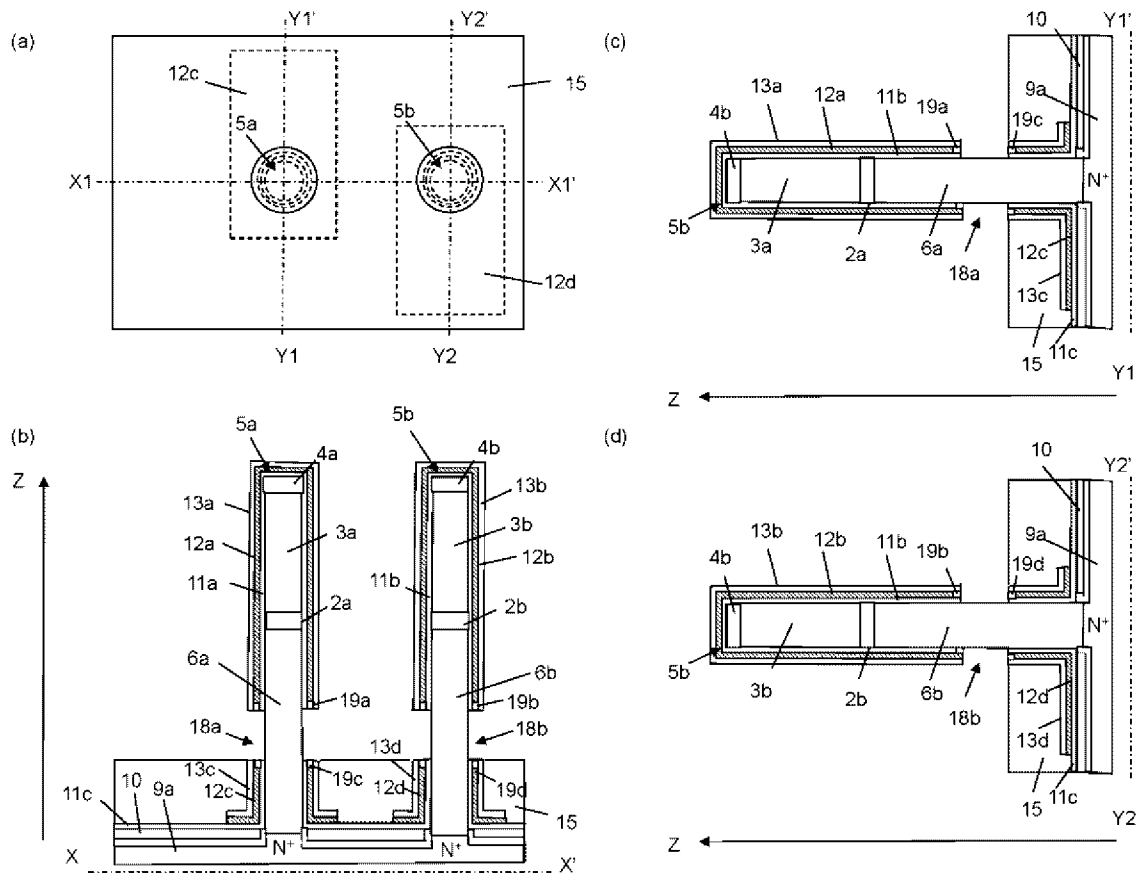
[図2E]



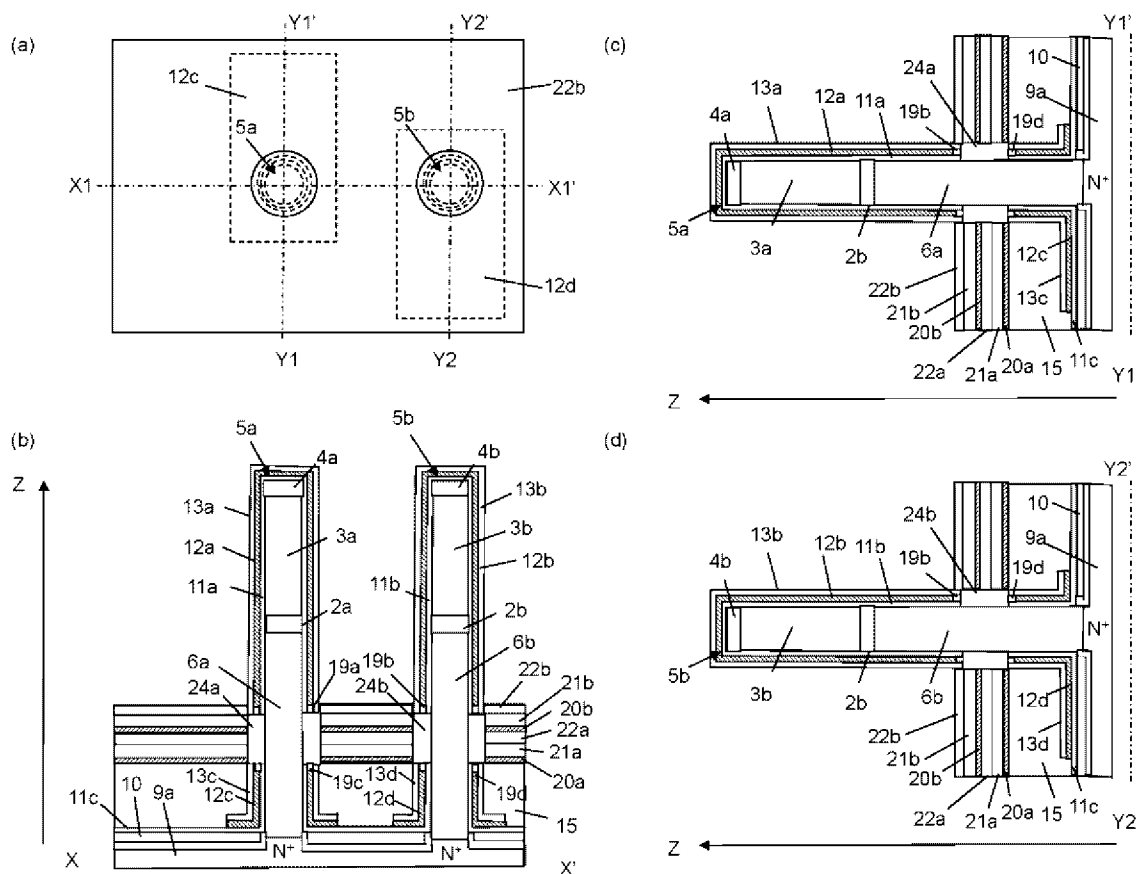
[図2F]



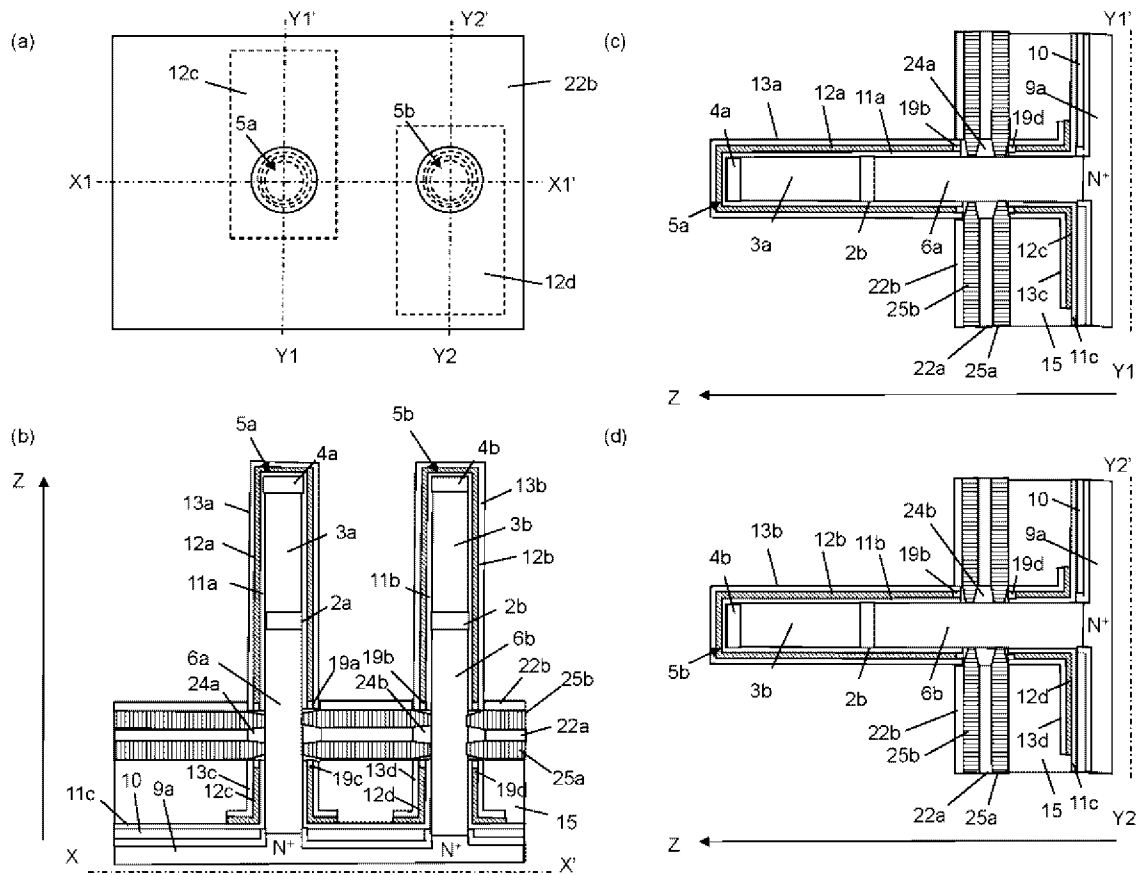
[図2G]



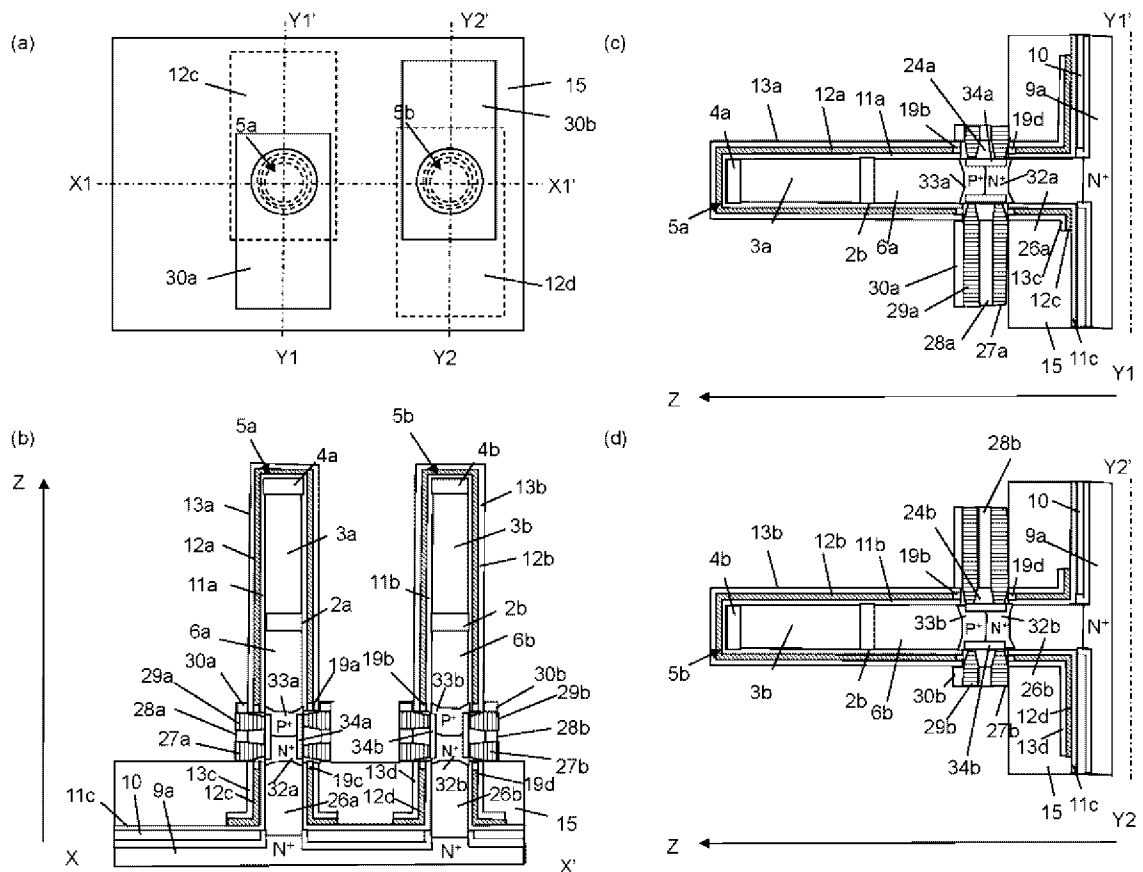
[図2H]



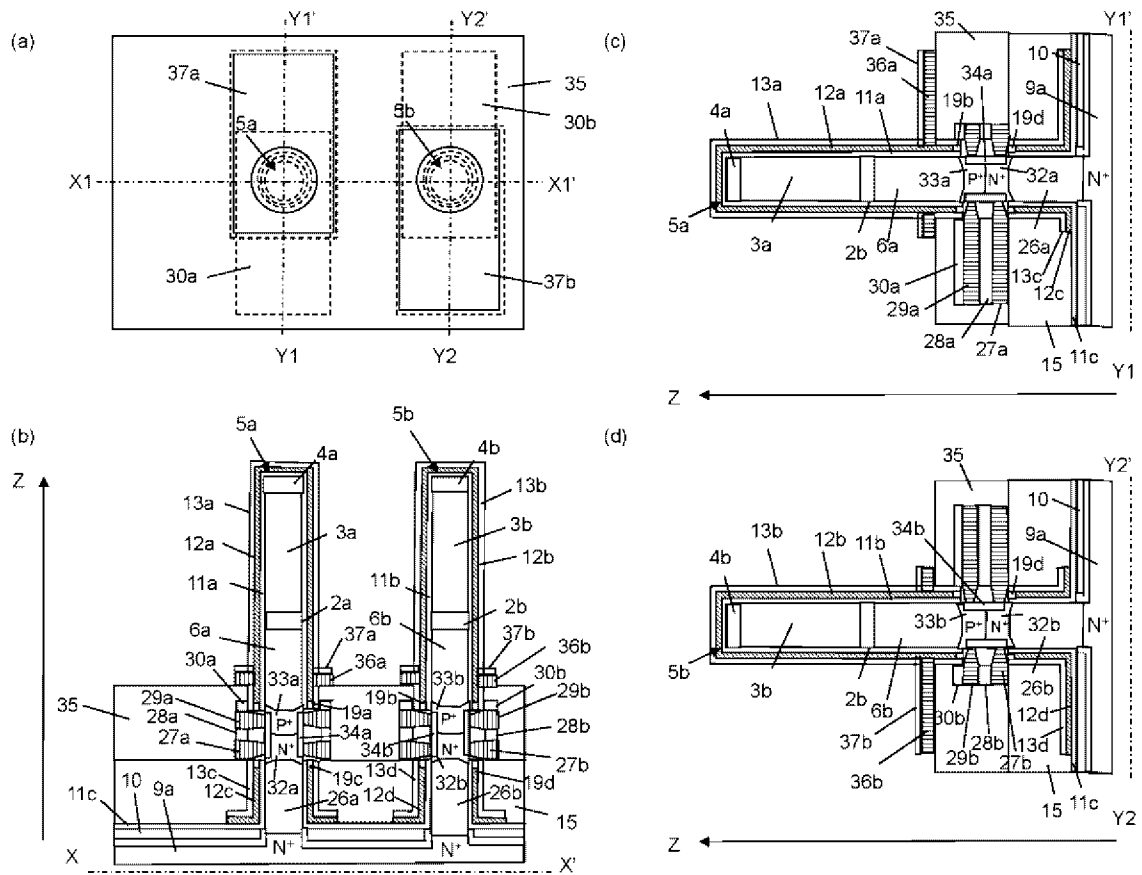
[図2I]



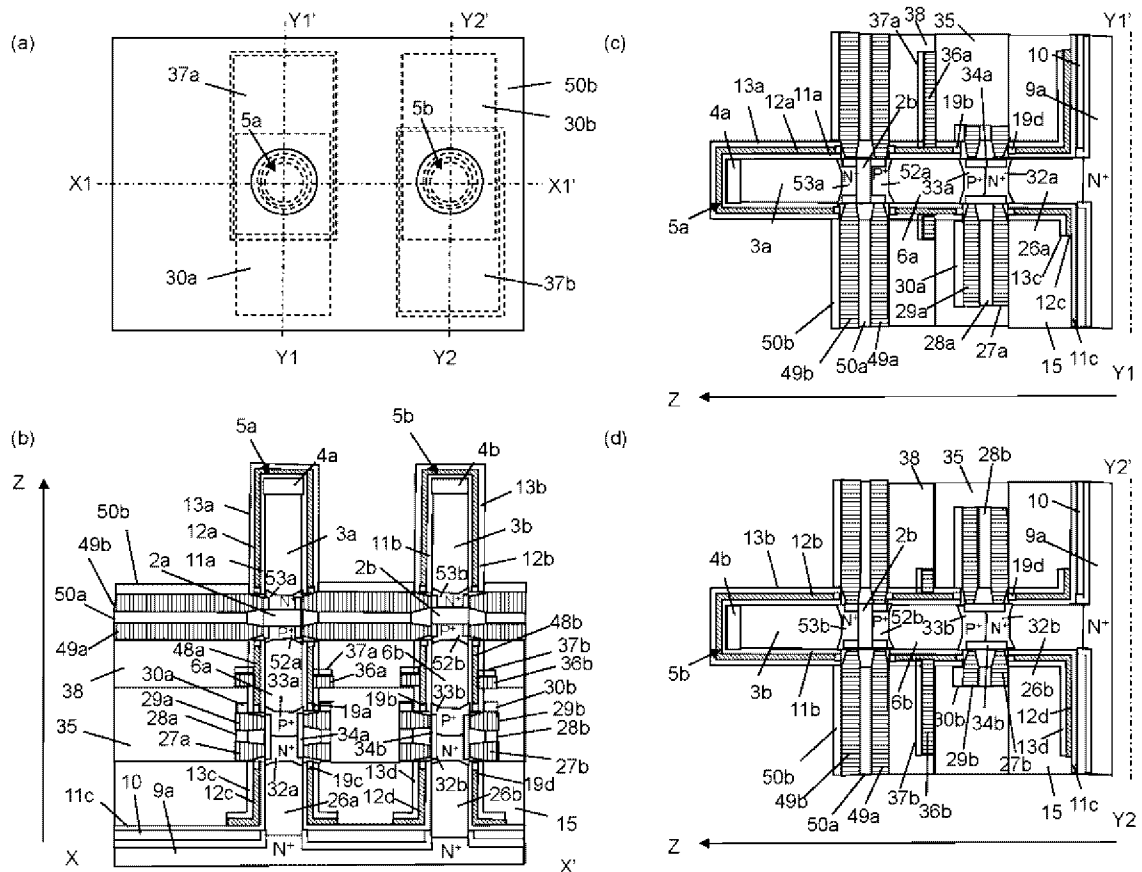
[図2J]



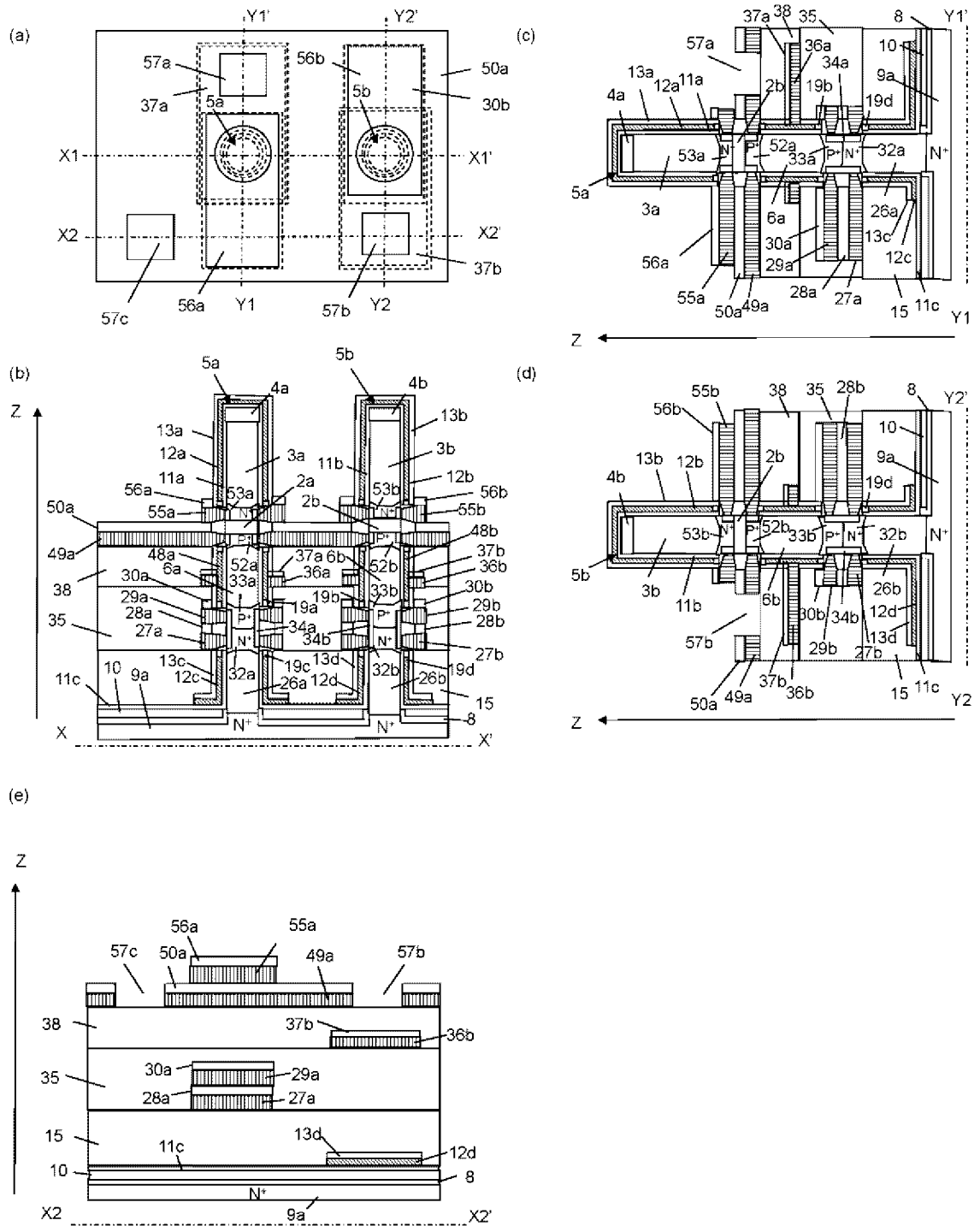
[図2K]



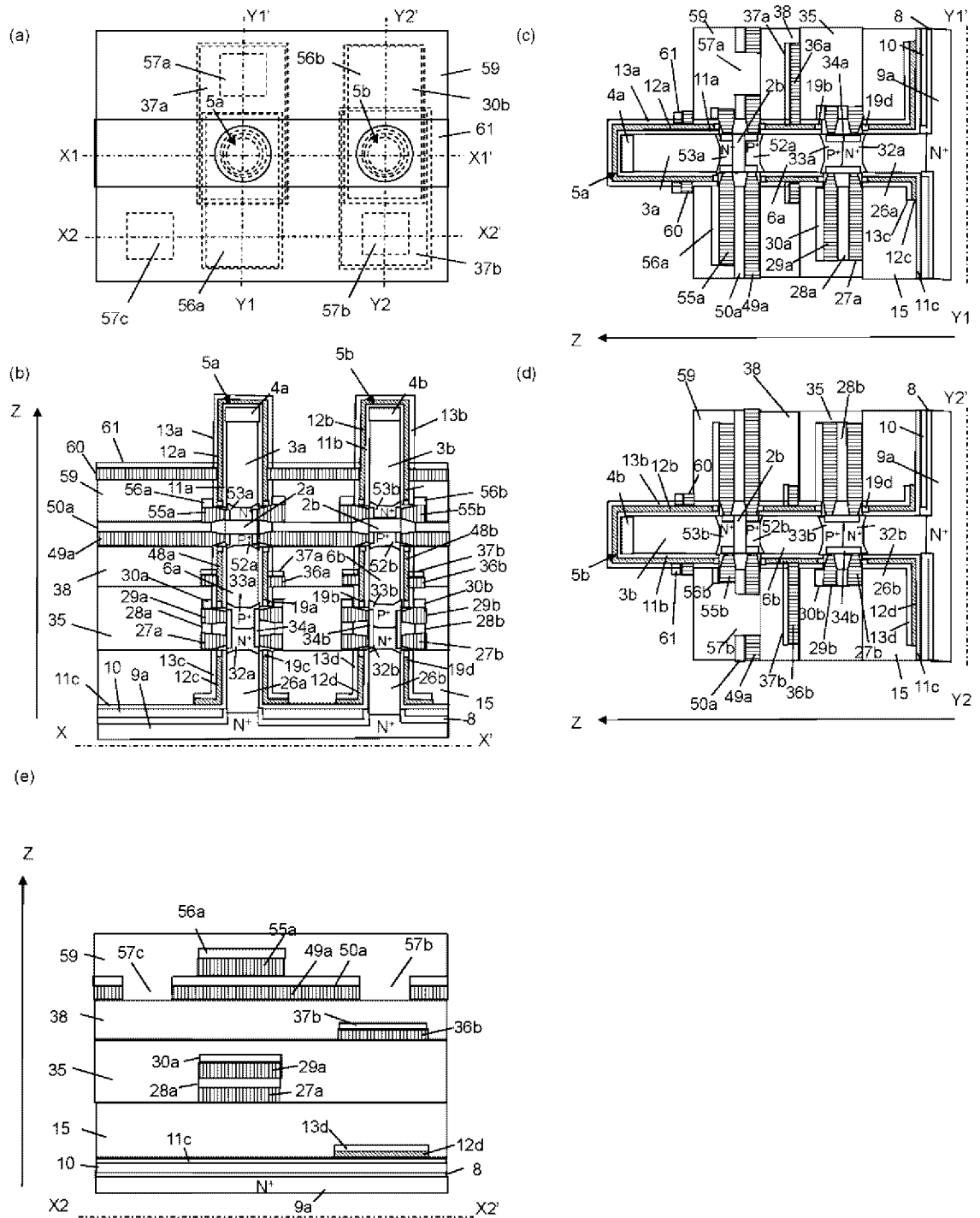
[図2L]



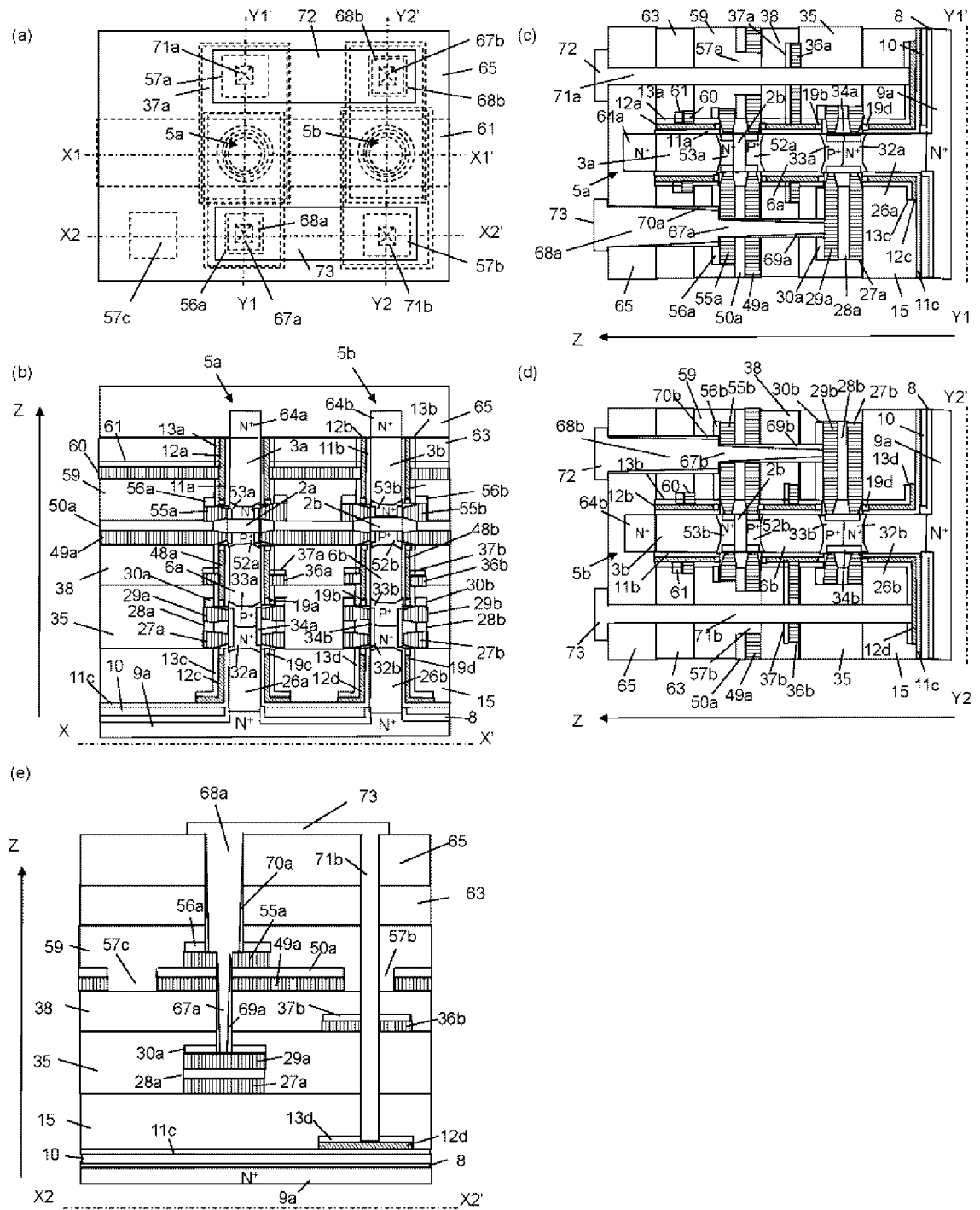
[図2M]



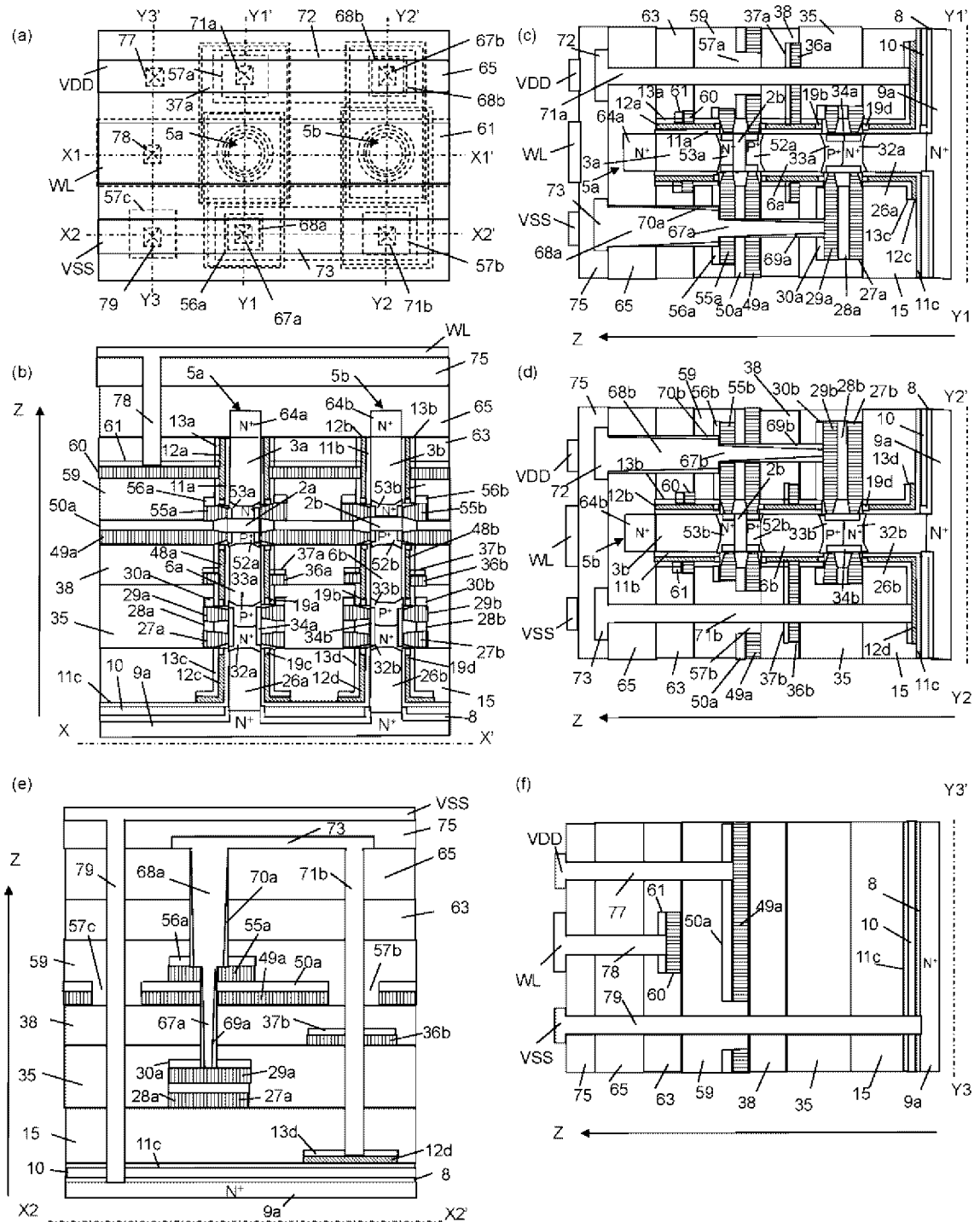
[図2N]



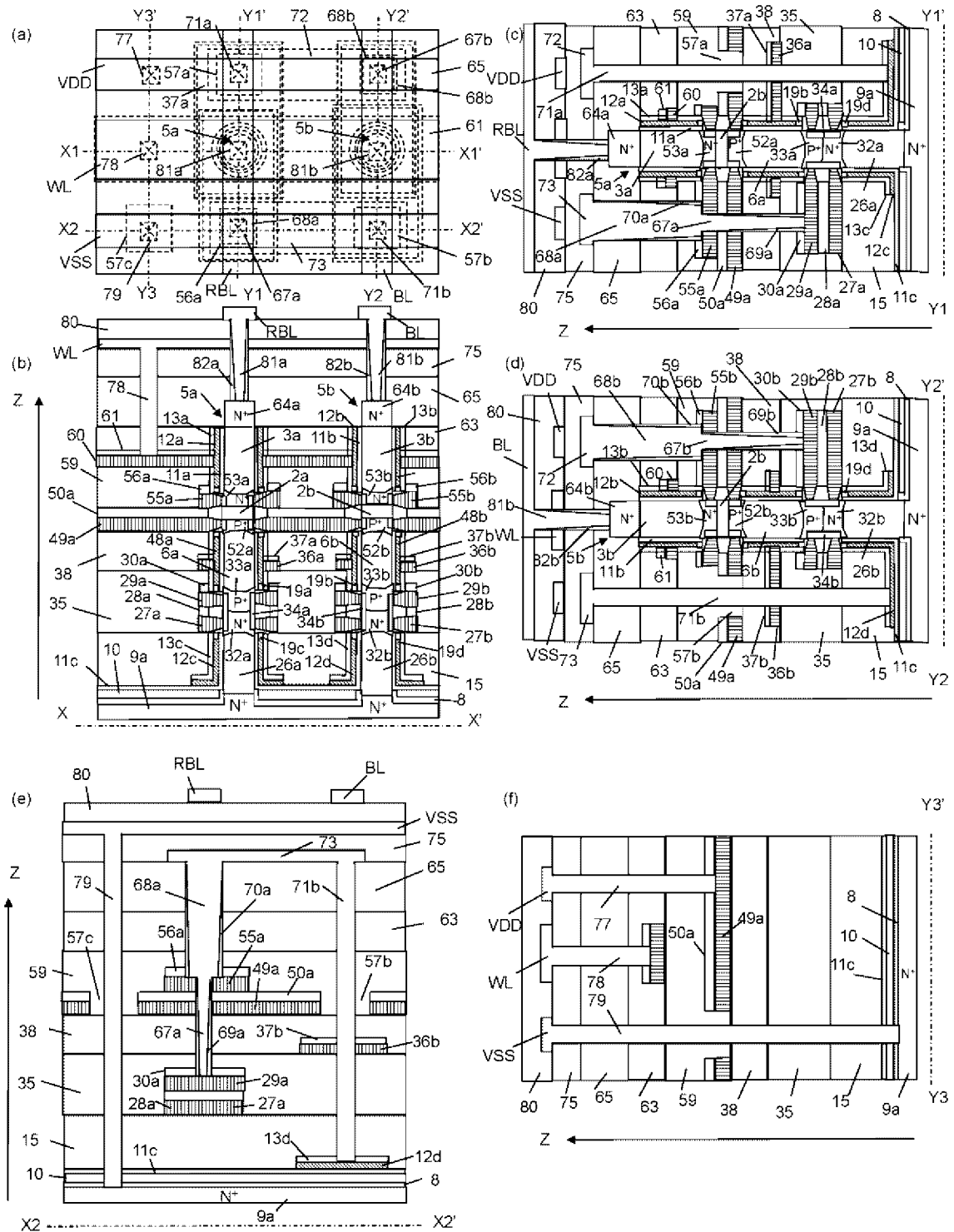
[図2Q]



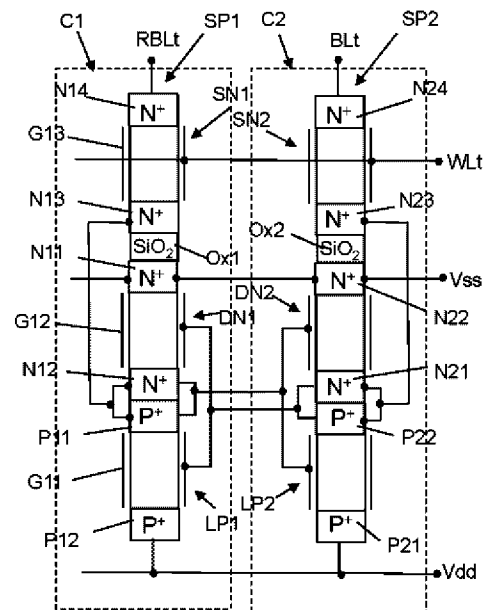
[図2R]



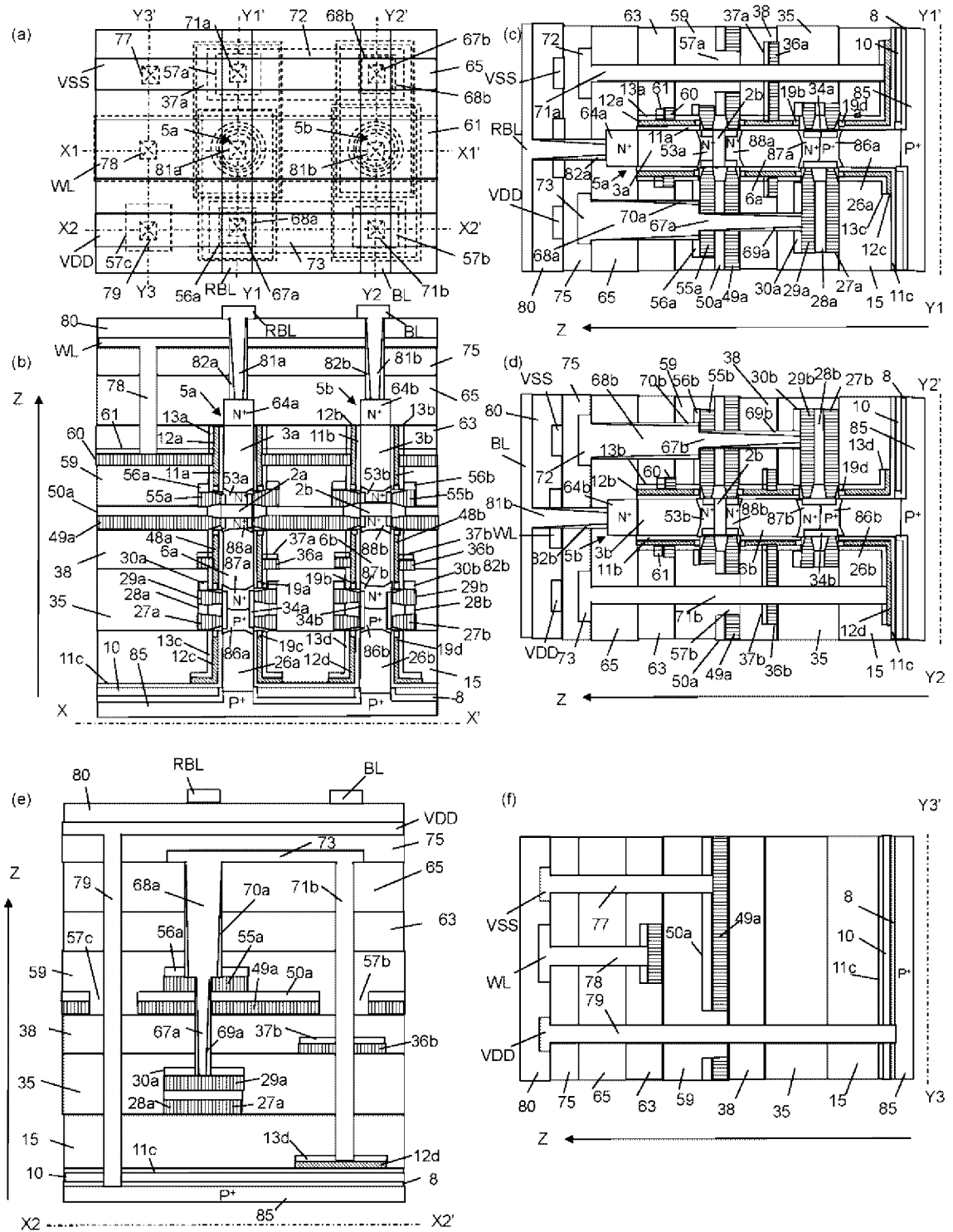
[図2S]



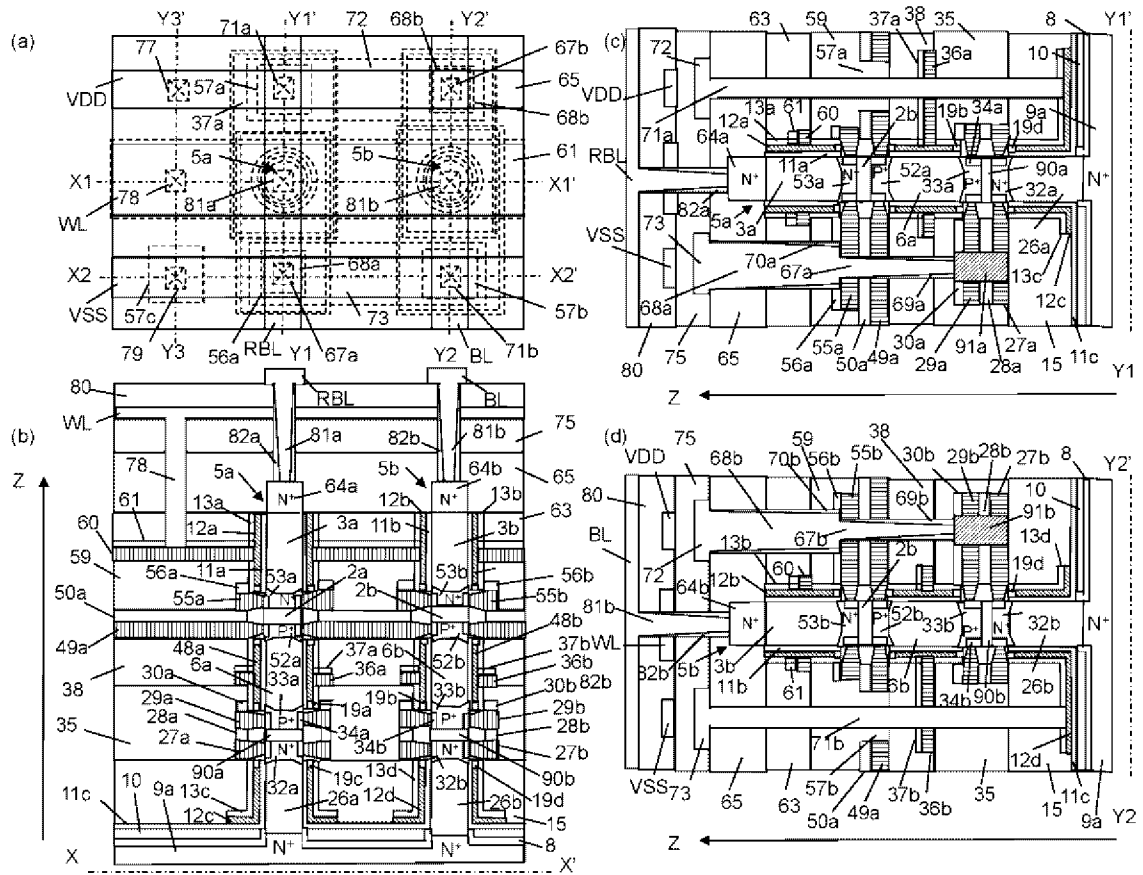
[図3A]



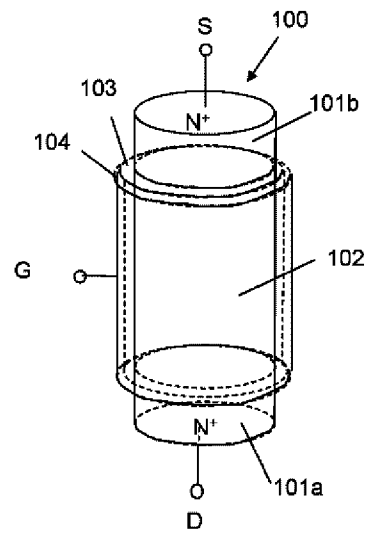
[図3B]



[図4]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/069689

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8244(2006.01)i, H01L27/11(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8244, H01L27/11

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2003-224211 A (Hitachi, Ltd.), 08 August 2003 (08.08.2003), paragraphs [0068] to [0082]; fig. 30, 32 & US 2003/0136978 A1 & TW 578299 B & CN 1434515 A & KR 10-2003-0063076 A	1-4 6, 8 5, 7, 9-13
Y	WO 2014/184933 A1 (Unisantis Electronics Singapore Pte Ltd.), 20 November 2014 (20.11.2014), paragraph [0059]; fig. 2Q (Family: none)	6
Y	JP 2014-053424 A (Toshiba Corp.), 20 March 2014 (20.03.2014), paragraphs [0042] to [0059]; fig. 6 & US 2014/0061808 A1	8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
23 July 2015 (23.07.15)

Date of mailing of the international search report
04 August 2015 (04.08.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/8244(2006.01)i, H01L27/11(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8244, H01L27/11

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2003-224211 A（株式会社日立製作所）2003.08.08, [0068]-[0082], 図 30, 32 & US 2003/0136978 A1 & TW 578299 B & CN 1434515 A & KR 10-2003-0063076 A	1-4 6, 8 5, 7, 9-13
Y	WO 2014/184933 A1（ユニサンティス エレクトロニクス シンガポール プライベート リミテッド）2014.11.20, [0059], 図 2Q (ファミリーなし)	6

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

2 3 . 0 7 . 2 0 1 5

国際調査報告の発送日

0 4 . 0 8 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

加藤 俊哉

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

9 5 5 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-053424 A (株式会社東芝) 2014. 03. 20, [0042]-[0059], 図 6 & US 2014/0061808 A1	8