



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년04월06일
(11) 등록번호 10-1508639
(24) 등록일자 2015년03월30일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2010-7013650
(22) 출원일자(국제) 2008년11월19일
심사청구일자 2013년11월14일
(85) 번역문제출일자 2010년06월21일
(86) 국제출원번호 PCT/JP2008/071484
(87) 국제공개번호 WO 2009/069674
국제공개일자 2009년06월04일
(30) 우선권주장
JP-P-2007-308858 2007년11월29일 일본(JP)
(56) 선행기술조사문헌
JP2001281628 A
JP2004078157 A
WO2007091365 A1

(73) 특허권자
가부시킴가이사 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
요시다 야스노리
일본국 가나가와켄 아쓰기시 하세 398 가부시킴가
이사 한도오따이 에네루기 켄큐쇼 나이
(74) 대리인
황의만

전체 청구항 수 : 총 8 항

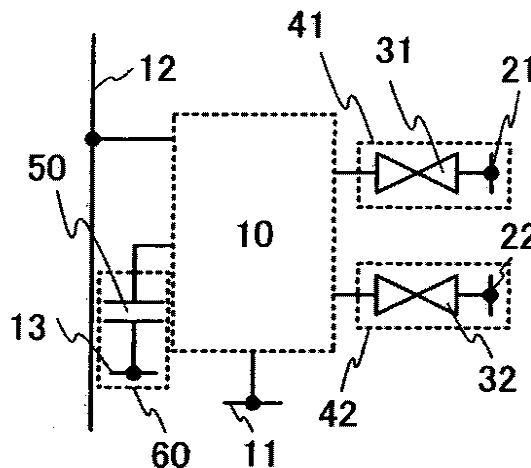
심사관 : 김민수

(54) 발명의 명칭 액정 표시장치 및 전자기기

(57) 요약

서브 화소(41~43)를 갖는 화소를 사용한 표시장치(200)에 있어서, 서브 화소의 구동에 의해 소비 전력을 증대시키지 않고, 시야각 및 동화상 표시의 품질을 개선된 표시장치를 제공한다. 복수의 스위치(1060~1062)에 의해 도통 상태를 변화시킬 수 있는 회로(10; 60)를 설치하고, 복수의 서브 화소 및 용량소자(50~52) 내부의 전하를 서로 이동시킴으로써, 외부에서 복수회선의 전압의 인가를 행하지 않고, 복수의 서브 화소에 원하는 전압을 인가한다. 더구나, 전하의 이동에 따라, 각 서브 화소에 흑을 표시시키는 기간을 설치한다.

대표도



명세서

청구범위

청구항 1

액정 표시장치에 있어서,

복수의 화소를 포함하고, 상기 복수의 화소 각각은,

제1 액정소자;

제2 액정소자;

용량소자; 및

회로를 포함하고,

상기 회로는, 상기 제1 액정소자 및 상기 제2 액정소자 중 1개와 상기 용량소자에, 제1 배선에 인가되는 제1 전압이 인가되도록, 상기 제1 액정소자 및 상기 제2 액정소자 중 1개와 상기 제1 배선을 전기적으로 접속하고,

상기 회로는, 상기 제1 액정소자와 상기 용량소자가 전기적으로 접속되고, 또한 상기 제2 액정소자와 상기 용량소자가 전기적으로 접속되지 않는 제1 상태와, 상기 제1 액정소자와 상기 용량소자가 전기적으로 접속되지 않고, 또한 상기 제2 액정소자와 상기 용량소자가 전기적으로 접속되는 제2 상태 사이에서 전환하고,

상기 회로는, 상기 제1 액정소자, 상기 제2 액정소자, 및 상기 용량소자에, 제2 배선에 인가되는 제2 전압이 인가되도록, 상기 제1 액정소자, 상기 제2 액정소자, 상기 용량소자, 및 상기 제2 배선을 전기적으로 접속하는, 액정 표시장치.

청구항 2

액정 표시장치에 있어서,

복수의 화소를 포함하고, 상기 복수의 화소 각각은,

제1 액정소자;

제2 액정소자;

용량소자; 및

회로를 포함하고,

상기 회로는, 상기 제1 액정소자 및 상기 제2 액정소자에, 제1 배선에 인가되는 제1 전압이 인가되도록, 상기 제1 액정소자, 상기 제2 액정소자, 및 상기 제1 배선을 전기적으로 접속하고,

상기 회로는, 상기 제1 액정소자와 상기 용량소자가 전기적으로 접속되고, 또한 상기 제2 액정소자와 상기 용량소자가 전기적으로 접속되지 않는 제1 상태와, 상기 제1 액정소자와 상기 용량소자가 전기적으로 접속되지 않고, 또한 상기 제2 액정소자와 상기 용량소자가 전기적으로 접속되는 제2 상태 사이에서 전환하고,

상기 회로는, 상기 제1 액정소자, 상기 제2 액정소자, 및 상기 용량소자에, 제2 배선에 인가되는 제2 전압이 인가되도록, 상기 제1 액정소자, 상기 제2 액정소자, 상기 용량소자, 및 상기 제2 배선을 전기적으로 접속하는, 액정 표시장치.

청구항 3

액정 표시장치에 있어서,

복수의 화소를 포함하고, 상기 복수의 화소 각각은,

제1 액정소자;

제2 액정소자;

용량소자; 및

회로를 포함하고,

상기 회로는, 상기 제1 액정소자, 상기 제2 액정소자, 및 상기 용량소자에, 제1 배선에 인가되는 제1 전압이 인가되도록, 상기 제1 액정소자, 상기 제2 액정소자, 상기 용량소자, 및 상기 제1 배선을 접속하고,

상기 회로는, 상기 제1 액정소자와 상기 용량소자가 전기적으로 접속되고, 또한 상기 제2 액정소자와 상기 용량소자가 전기적으로 접속되지 않는 제1 상태와, 상기 제1 액정소자와 상기 용량소자가 전기적으로 접속되지 않고, 또한 상기 제2 액정소자와 상기 용량소자가 전기적으로 접속되는 제2 상태 사이에서 전환하고,

상기 회로는, 상기 용량소자에 제2 배선에 인가되는 제2 전압이 인가되도록, 상기 용량소자와 상기 제2 배선을 전기적으로 접속하는, 액정 표시장치.

청구항 4

액정 표시장치에 있어서,

복수의 화소를 포함하고, 상기 복수의 화소 각각은,

제1 액정소자;

제2 액정소자;

제 1 스위치;

용량소자;

제 2 스위치;

제 3 스위치; 및

제 4 스위치를 포함하고,

상기 제 1 스위치의 한쪽의 단자가 제2 배선에 전기적으로 접속되고,

상기 제 2 스위치의 한쪽의 단자가 상기 제1 스위치의 다른 쪽의 단자 및 상기 용량소자에 전기적으로 접속되고, 상기 제 2 스위치의 다른 쪽의 단자가 상기 제1 액정소자에 전기적으로 접속되고,

상기 제 3 스위치의 한쪽의 단자가 상기 제1 스위치의 상기 다른 쪽의 단자 및 상기 용량소자에 전기적으로 접속되고, 상기 제3 스위치의 다른 쪽의 단자가 상기 제2 액정소자에 전기적으로 접속되고,

상기 제 4 스위치의 한쪽의 단자가 상기 제1 스위치의 상기 다른 쪽의 단자 및 상기 용량소자에 전기적으로 접속되고, 상기 제 4 스위치의 다른 쪽의 단자가 제1 배선에 전기적으로 접속되는, 액정 표시장치.

청구항 5

액정 표시장치에 있어서,

복수의 화소를 포함하고, 상기 복수의 화소 각각은,

제1 액정소자;

제2 액정소자;

제1 스위치;

용량소자;

제 2 스위치;

제 3 스위치; 및

제 4 스위치를 포함하고,

상기 제 1 스위치의 한쪽의 단자가 제2 배선에 전기적으로 접속되고,

상기 제 2 스위치의 한쪽의 단자가 상기 제1 스위치의 다른 쪽의 단자 및 상기 용량소자에 전기적으로 접속되고, 상기 제 2 스위치의 다른 쪽의 단자가 상기 제1 액정소자에 전기적으로 접속되고,

상기 제 3 스위치의 한쪽의 단자가 상기 제1 스위치의 상기 다른 쪽의 단자 및 상기 용량소자에 전기적으로 접속되고, 상기 제 3 스위치의 다른 쪽의 단자가 상기 제2 액정소자에 전기적으로 접속되고,

상기 제 4 스위치의 한쪽의 단자가 상기 제1 스위치의 상기 다른 쪽의 단자 및 상기 용량소자에 전기적으로 접속되고, 상기 제 4 스위치의 다른 쪽의 단자가 제1 배선에 전기적으로 접속되고,

제 1 주사선;

제 2 주사선;

제 3 주사선; 및

제 4 주사선을 포함하고,

상기 제 1 주사선은 상기 제1 액정소자 및 상기 제2 액정소자를 구동하기 위한 전압의 인가 상태를 제어하는 신호에 의해 상기 제1 스위치를 제어하고,

상기 제 2 주사선은 상기 용량소자와 상기 제1 액정소자 사이의 전기적 접속을 제어하는 신호에 의해 상기 제2 스위치를 제어하고,

상기 제 3 주사선은 상기 용량소자와 상기 제2 액정소자 사이의 전기적 접속을 제어하는 신호에 의해 상기 제3 스위치를 제어하고,

상기 제 4 주사선은 상기 용량소자와 상기 제1 배선 사이의 전기적 접속을 제어하는 신호에 의해 상기 제4 스위치를 제어하는, 액정 표시장치.

청구항 6

제 4항 또는 제 5항에 있어서,

상기 제1 스위치 내지 상기 제4 스위치 각각은 박막 트랜지스터를 사용하여 형성되는, 액정 표시장치.

청구항 7

제 1항 내지 제 5항 중 어느 한 항에 있어서,

상기 제 1 액정소자 및 상기 제 2 액정소자 각각은, 화소 전극과, 공통 전극과, 상기 화소 전극 및 상기 공통 전극에 의해 제어되는 액정을 포함하는, 액정 표시장치.

청구항 8

제 1항 내지 제 5항 중 어느 한 항에 기재된 액정 표시장치를 포함하는 전자기기.

발명의 설명

기술 분야

본 발명은, 표시장치 또는 반도체장치에 관한 것이다. 더구나, 본 발명은 그 표시장치를 표시부에 갖는

[0001]

전자기기에 관한 것이다.

배경 기술

- [0002] 액정 표시장치는, 음극선관을 사용한 표시장치에 비해, 얇고, 가볍고, 소비 전력이 작은 것 등의 이점을 갖는다. 더구나, 액정 표시장치는, 표시부의 대각 길이가 수 인치 정도인 소형의 표시장치로부터, 100인치를 초과하는 대형의 표시장치까지, 폭넓게 적용할 수 있으므로, 이 액정 표시장치는 휴대 전화기, 스틸 카메라, 비디오 카메라, 텔레비전 수상기 등, 다양한 전자기기의 표시장치로서 널리 이용되고 있다.
- [0003] 액정 표시장치는, 이와 같이 범용성이 우수한 한편으로, CRT 등의 다른 표시장치에 비해 화질이 낮다고 하는 문제를 갖고 있다. 그것의 원인으로서, 표시의 시야각 의존성이 커서, 비스듬히 보았을 때 화질이 저하하는 점, 백라이트의 빛이 새는 것에 의해, 콘트라스트 비가 낮은 점, 응답 속도가 늦어, 동화상 표시의 품질이 낮은 점, 등을 들 수 있다.
- [0004] 그렇지만, 최근, 새로운 액정 모드의 개발에 의한 화질의 개선이 진행되고 있다. 종래부터 사용되어 왔던 트위스티드 twisted nematic(TN) 모드 대신에, 시야각 특성이 우수한 in-plane-switching(IPS) 모드 및 fringe field switching(FFS) 모드, 콘트라스트 비가 높은 vertical alignment(VA) 모드, 응답 속도가 빠르고, 동화상 표시의 품질이 높은 optical compensated birefringence(OCB) 모드 등, 다양한 액정 모드가 개발되어, 실용화되고 있다.
- [0005] 여기에서, VA 모드의 액정 표시장치는 콘트라스트 비를 높게 하기 쉽지만, 표시의 시야각 의존성이 여전히 크다고 하는 문제가 있었다. 그 때문에, 화소를 복수개 도메인으로 분할하고, 각각의 도메인에서 액정의 배향을 바꿈으로써 시야각을 넓히는 것을 실현한 multi-domain VA(MVA) 모드 및 patterned VA(PVA) 모드가 개발되었다. 그렇지만, 이와 같은 멀티 도메인 방식을 사용해도, 아직 충분한 시야각 특성이 얻어지지 않는다.
- [0006] 따라서, 특허문헌 1(일본국 특개 2003-295160호 공보)에는, 화소를 복수의 서브 화소로 분할하고, 서브 화소마다 다른 신호 전압을 가함으로써, 표시의 시야각 의존성을 평균화하여 시야각을 확대하는 방법이 제안되어 있다.

발명의 내용

해결하려는 과제

- [0007] 특허문헌 1에 공개되어 있는 방법은, 화소를 2개의 서브 화소로 분할하고, 각각의 서브 화소에 다른 신호 전압을 공급하는 구성이기 때문에, 2개의 서브 화소에 신호 전압을 공급하는 신호선(데이터 선 또는 소스선으로 기재한다)이 별개로 필요하게 된다. 더구나, 각각의 신호선을 구동하는 신호선 드라이버(데이터 드라이버 또는 소스 드라이버로 기재한다)도 필요하게 되기 때문에, 회로 규모가 증대하여, 제조 코스트 및 소비 전력이 증대해 버린다고 하는 문제가 있었다.
- [0008] 더구나, 최근, 액정 표시장치에 사용되는 액정 패널의 고선명화가 진행되어, 텔레비전 수상기용의 대형 액정 패널 뿐만 아니라, 휴대전화 등을 위한 중소형 액정 패널에 있어서도, 보다 고선명한 것이 요구되게 되고 있다. 특허문헌 1에 공개되어 있는 것과 같이, 복수의 서브 화소에 각각 신호 전압을 공급하는 방법으로 시야각 특성을 개선하는 방법은, 회로 규모를 증대시키고, 고속의 회로를 필요로 한다. 따라서, 이와 같은 고선명화의 흐름에 있어서 불리하게 되어 버린다고 하는 문제도 있었다.
- [0009] 더구나, 액정 표시장치의 화질을 향상시키기 위해서는, 시야각 확대 뿐만 아니라, 동화상 표시시의 화질 향상, 콘트라스트 비의 증대 등도 마찬가지로 실현해 가지 않으면 안된다. 이와 같이, 액정 표시장치가 갖는 단지 1개의 특성을 향상하는 것만으로는 충분하지 않고, 모든 특성이 동시에 높은 수준으로 향상되어 가는 것이, 액정 표시장치의 화질을 전체적으로 향상시키기 위해 필요하다. 더구나, 액정 표시장치의 표시 성능을 향상시키는 것과 함께, 기기의 소비 전력을 저감하는 것도 중요하다. 기기의 소비 전력을 저감하면, 발열을 억제할 수 있기 때문에 기기의 안정된 동작이나 안전성의 확보를 실현할 수 있다. 더구나, 자원고갈 대책이나 지구 온난화 방지의 관점에서, 소비 전력을 저감하는 것은 중요하다.
- [0010] 본 발명은, 이와 같은 문제를 감안해서 이루어진 것이다. 본 발명은, 시야각이 확대된 표시장치 및 그

것의 구동방법을 제공하는 것을 과제로 한다. 또는, 정지 화상 및 동화상 표시시의 화질이 향상된 표시장치 및 그 구동방법을 제공하는 것을 과제로 한다. 또는, 콘트라스트 비가 향상한 표시장치 및 그 구동방법을 제공하는 것을 과제로 한다. 또는, 플리커가 없는 표시장치 및 그 구동방법을 제공하는 것을 과제로 한다. 또는, 응답 속도가 향상된 표시장치 및 그 구동방법을 제공하는 것을 과제로 한다. 또는, 소비 전력이 저감된 표시장치 및 그 구동방법을 제공하는 것을 과제로 한다. 또는, 제조 코스트가 저감된 표시장치 및 그 구동방법을 제공하는 것을 과제로 한다.

과제의 해결 수단

[0011] 본 발명은, 상기 과제를 해결하기 위해서, 안출된 것이다. 구체적으로는, 복수의 스위치에 의해 도통 상태를 변화시킬 수 있는 회로를 설치하여, 복수의 서브 화소 및 용량소자 내의 전하를 서로 이동시킴으로써, 외부에서 복수회 전압의 인가를 행하지 않고, 복수의 서브 화소에 원하는 전압을 인가하는 것이다. 더구나, 전하의 이동에 따라, 각 서브 화소에 흑을 표시시키는 기간을 설치하는 것이다.

[0012] 본 발명의 액정 표시장치의 일면은 복수의 화소를 갖는다. 복수의 화소는, 제1 액정소자와, 제2 액정소자와, 용량소자와, 기능을 갖는 회로를 갖는다. 제1 액정소자 또는 제2 액정소자와, 제1 배선 사이의 접속을 도통시킴으로써, 제1 액정소자 및 용량소자, 또는 제2 액정소자 및 용량소자에, 제1 전압을 인가한다. 제1 액정소자와 용량소자 사이의 접속을 도통 상태로 하고, 또한 제2 액정소자와 용량소자 사이의 접속을 비도통 상태로 하는 제1 상태와, 제1 액정소자와 용량소자 사이의 접속을 비도통 상태, 또한 제2 액정소자와 용량소자 사이의 접속을 도통 상태로 하는 제2 상태 사이에서 전환을 행한다. 제1 액정소자, 제2 액정소자, 및 용량소자와, 제2 배선 사이의 접속을 도통시킴으로써, 제1 액정소자, 제2 액정소자, 및 용량소자에 제2 전압을 인가한다.

[0013] 본 발명의 액정 표시장치의 또 다른 일면은 복수의 화소를 갖는다. 복수의 화소는, 제1 액정소자와, 제2 액정소자와, 용량소자와, 기능을 갖는 회로를 갖는다. 제1 액정소자 및 제2 액정소자와, 제1 배선 사이의 접속을 도통시킴으로써, 제1 액정소자 및 제2 액정소자에, 제1 전압을 인가한다. 제1 액정소자와 용량소자 사이의 접속을 도통 상태로 하고, 또한 제2 액정소자와 용량소자 사이의 접속을 비도통 상태로 하는 제1 상태와, 제1 액정소자와 용량소자 사이의 접속을 비도통 상태로 하고, 또한 제2 액정소자와 용량소자 사이의 접속을 도통 상태로 하는 제2 상태 사이에서 전환을 행한다. 제1 액정소자, 제2 액정소자, 및 용량소자와, 제2 배선 사이의 접속을 도통시킴으로써, 제1 액정소자, 제2 액정소자, 및 용량소자에 제2 전압을 인가한다.

[0014] 본 발명의 액정 표시장치의 또 다른 일면은 복수의 화소를 갖는다. 복수의 화소는, 제1 액정소자와, 제2 액정소자와, 용량소자와, 기능을 갖는 회로를 갖는다. 제1 액정소자, 제2 액정소자, 및 용량소자와, 제1 배선 사이의 접속을 도통시킴으로써, 제1 액정소자, 제2 액정소자, 및 용량소자에, 제1 전압을 인가한다. 제1 액정소자와 용량소자 사이의 접속을 도통 상태로 하고, 또한 제2 액정소자와 용량소자 사이의 접속을 비도통 상태로 하는 제1 상태와, 제1 액정소자와 용량소자 사이의 접속을 비도통 상태로 하고, 또한 제2 액정소자와 용량소자 사이의 접속을 도통 상태로 하는 제2 상태 사이에서 전환을 행한다. 용량소자와, 제2 배선 사이의 접속을 도통시킴으로써, 용량소자에 제2 전압을 인가한다.

[0015] 본 발명의 액정 표시장치의 또 다른 일면은 복수의 화소를 갖는다. 복수의 화소는, 제1 액정소자와, 제2 액정소자와, 제1 스위치, 용량소자, 제2 스위치, 제3 스위치 및 제4 스위치를 갖는다. 제1 스위치의 한쪽의 단자가 제2 배선에 전기적으로 접속된다. 제2 스위치의 한쪽의 단자가 제1 스위치의 다른 쪽의 단자 및 용량소자에 전기적으로 접속되고, 제2 스위치의 다른 쪽의 단자가 제1 액정소자에 전기적으로 접속된다. 제3 스위치의 한쪽의 단자가 제1 스위치의 다른 쪽의 단자 및 용량소자에 전기적으로 접속되고, 제3 스위치의 다른 쪽의 단자가 제2 액정소자에 전기적으로 접속된다. 제4 스위치의 한쪽의 단자가 제1 스위치의 다른 쪽의 단자 및 용량소자에 전기적으로 접속되고, 제4 스위치의 다른 쪽의 단자가 제1 배선에 전기적으로 접속된다.

[0016] 본 발명의 액정 표시장치의 또 다른 일면은, 제1 액정소자와, 제2 액정소자와, 제1 스위치, 용량소자, 제2 스위치, 제3 스위치 및 제4 스위치를 포함하는 복수의 화소를 갖는다. 제1 스위치의 단자가 제2 배선에 전기적으로 접속된다. 제2 스위치의 단자가 제1 스위치의 다른 쪽의 단자 및 용량소자에 전기적으로 접속되고, 제2 스위치의 다른 쪽의 단자가 제1 액정소자에 전기적으로 접속된다. 제3 스위치의 한쪽의 단자가 제1 스위치의 다른 쪽의 단자 및 용량소자에 전기적으로 접속되고, 제3 스위치의 다른 쪽의 단자가 제2 액정소자에 전기적으로 접속된다. 제4 스위치의 한쪽의 단자가 제1 스위치의 다른 쪽의 단자 및 용량소자에 전기적으로 접속되고, 제4 스위치의 다른 쪽의 단자가 제1 배선에 전기적으로 접속된다. 본 발명의 액정 표시장치는 제1 주사

선, 제 2 주사선, 제 3 주사선 및 제 4 주사선을 더 포함한다. 제 1 주사선은 제1 액정소자 및 제2 액정소자를 구동하기 위한 전압의 인가 상태를 제어하는 신호에 의해 제1 스위치를 제어한다. 제 2 주사선은 용량소자와 제 1 액정소자의 전기적 접속을 제어하는 신호에 의해 제2 스위치를 제어한다. 제 3 주사선은 용량소자와 제2 액정소자의 전기적 접속을 제어하는 신호에 의해 제3 스위치를 제어한다. 제 4 주사선은 용량소자와 제1 배선의 전기적 접속을 제어하는 신호에 의해 제4 스위치를 제어한다.

[0017] 이때, 다양한 형태의 스위치, 예를 들어, 전기적 스위치나 기계적인 스위치를 사용할 수 있다. 즉, 전류의 흐름을 제어할 수 있는 것이면 특정한 것에 한정되지 않고 모든 소자를 사용할 수 있다. 예를 들면, 스위치로서, 트랜지스터(예를 들면 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들면, PN 다이오드, PIN 다이오드, 쇼트키 다이오드, metal-insulator-metal(MIM) 다이오드, metal-insulator-semiconductor(MIS) 다이오드, 다이오드 접속의 트랜지스터 등), 사이리스터 등을 사용할 수 있다. 또는, 이것들을 조합한 논리회로를 스위치로서 사용할 수 있다.

[0018] 이때, A와 B가 접속되어 있다라고 명시적으로 기재하는 경우에는, A와 B가 전기적으로 접속되어 있는 경우와, A와 B가 기능적으로 접속되어 있는 경우와, A와 B가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 특히, A와 B가 전기적으로 접속되어 있는 경우에는, A와 B 사이에 어떠한 전기적 작용을 갖는 대상물이 존재하는 경우도 포함하는 것으로 한다. 여기에서, A, B는, 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층, 등)인 것으로 한다. 따라서, 소정의 접속 관계, 예를 들면, 도면 및 문장에 표시된 접속 관계에 한정되지 않고, 도면 및 문장에 표시된 접속 관계 이외의 것도 포함하는 것으로 한다.

[0019] 이때, 트랜지스터로서, 특정한 종류에 한정되지 않고 다양한 형태의 트랜지스터를 사용할 수 있다. 예를 들면, 비정질 실리콘, 다결정 실리콘, 미결정(세미 아모र्फ스라고도 한다) 실리콘 등으로 대표되는 비단결정 반도체막을 갖는 박막 트랜지스터(TFT) 등을 사용할 수 있다. TFT를 사용하는 경우, 다양한 장점이 있다. 예를 들면, 단결정 실리콘의 경우보다도 낮은 온도에서 트랜지스터를 제조할 수 있기 때문에, 제조 코스트의 삭감, 또는 제조 장치의 대형화를 도모할 수 있다. 제조 장치를 크게 할 수 있기 때문에, 대형 기판을 사용하여 트랜지스터를 제조할 수 있다. 그 때문에, 동시에 많은 개수의 표시장치를 제조할 수 있으므로, 저코스트로 제조할 수 있다. 더구나, 제조 온도가 낮기 때문에, 내열성이 약한 기판을 사용할 수 있다. 그 때문에, 투광성을 갖는 기판 위에 트랜지스터를 제조할 수 있으므로, 투광성을 갖는 기판 상에 형성된 터를 사용해서 표시 소자에서의 빛의 투과를 제어할 수 있다. 또는, 트랜지스터의 막 두께가 얇기 때문에, 트랜지스터를 구성하는 막의 일부는, 빛을 투과시킬 수 있으므로, 개구율을 향상시킬 수 있다.

[0020] 또는, ZnO, a-InGaZnO, SiGe, GaAs, IZO, ITO, SnO 등의 화합물 반도체 또는 산화물 반도체를 갖는 트랜지스터나, 더구나, 이들 화합물 반도체 또는 산화물 반도체를 박막화하여 얻어진 박막 트랜지스터 등을 사용할 수 있다. 이것들에 의해, 제조 온도를 낮게 할 수 있어, 예를 들면, 실온에서 트랜지스터를 제조하는 것이 가능해진다. 그 결과, 내열성이 낮은 기판, 예를 들면, 플라스틱 기판이나 필름 기판에 직접 트랜지스터를 형성할 수 있다. 이때, 이들 화합물 반도체 또는 산화물 반도체를, 트랜지스터의 채널 부분에 사용할 뿐만 아니라, 그 이외의 용도로 사용할 수도 있다. 예를 들면, 이와 같은 화합물 반도체 또는 산화물 반도체를 저항소자, 화소 전극, 투광성을 갖는 전극으로서 사용할 수 있다. 더구나, 그것들을 트랜지스터와 동시에 성막할 수 있기 때문에, 코스트를 저감할 수 있다.

[0021] 또는, 잉크젯이나 인쇄법을 사용해서 형성한 트랜지스터 등을 사용할 수 있다. 이것들에 의해, 트랜지스터를 실온에서 제조, 저진공도에서 제조, 또는 대형 기판을 사용하여 제조할 수 있다. 마스크(레티클)를 사용하지 않아도 트랜지스터를 제조하는 것이 가능해지기 때문에, 트랜지스터의 레이아웃을 용이하게 변경할 수 있다. 더구나, 레지스트를 사용할 필요가 없기 때문에, 재료비가 싸지고, 공정수를 삭감할 수 있다. 더구나, 필요한 부분에만 막을 형성하기 때문에, 전체면에 성막한 후에 에칭을 하는 제조방법보다도, 재료가 낭비가 되지 않아, 코스트를 줄일 수 있다.

[0022] 이때, 1 화소란, 밝기를 제어할 수 있는 요소 1개분에 대응하는 것으로 한다. 따라서, 일례로서는, 1 화소란, 1개의 색요소에 대응하고, 그 색요소 1개로 밝기를 표현한다. 따라서, R(적), G(녹) 및 B(청)의 색요소로 이루어진 컬러 표시장치의 경우에는, 화상의 최소 단위는, R의 화소와 G의 화소와 B의 화소의 3화소로 구성되는 것으로 한다. 이때, 색요소는, 3색에 한정되지 않고, 3색 이상을 사용해도 되고, 및/또는 RGB 이외의 색을 사용해도 된다. 예를 들면, W(백색)를 추가하여, RGBW를 사용할 수 있다. 또는, RGB에, 예를 들면, 옐로우, 시안, 마젠타, 에메랄드 그린, 주홍색 등을 1색 이상 추가하는 것도 가능하다. 또는, 예를 들면, RGB 중에서 적어도 1색과 유사한 색을 RGB에 추가하는 것도 가능하다. 예를 들면, R, G, B1, B2로 해도 된다. B1과 B2는, 어느

쪽도 청색이지만, 약간 주파수가 다르다. 마찬가지로, R1, R2, G, B로 하는 것도 가능하다. 이와 같은 색요소를 사용함으로써, 보다 실물에 가까운 표시를 행할 수 있고, 소비 전력을 저감할 수 있다. 다른 예로서는, 1개의 색요소의 밝기를 복수의 영역을 사용해서 제어하는 경우에는, 그 영역 1개분을 1 화소로 하는 것도 가능하다. 따라서, 일례로서, 면적계조 표시를 행하는 경우 또는 서브 화소를 갖고 있는 경우, 1개의 색요소에 대해, 밝기를 제어하는 영역이 복수 있고, 전체 영역으로 계조를 표현하며, 밝기를 제어하는 영역의 1개분이 1 화소에 대응할 수 있다. 따라서, 그 경우에는, 1개의 색요소는, 복수의 화소로 구성되게 된다. 또는, 밝기를 제어하는 영역이 1개의 색요소 중에 복수 있어도, 이들 영역을 합쳐서, 1개의 색요소를 1 화소로 불러도 된다. 그 경우에는, 1개의 색요소는 1 화소로 구성되게 된다. 또는, 1개의 색요소의 밝기를 복수개 영역을 사용해서 제어하는 경우, 화소에 따라, 표시에 기여하는 영역의 크기가 다른 경우가 있다. 또는, 1개의 색요소에 대해 밝기를 제어하는 복수의 영역에 있어서, 각각에 공급하는 신호를 약간 다르게 하여, 시야각을 넓히도록 하여도 된다. 즉, 1개의 색요소에서 복수의 영역에 포함된 화소 전극의 전위가 각각 다른 것도 가능하다. 그 결과, 액정 분자에 가해지는 전압이 각 화소 전극에 따라 각각 다르다. 따라서, 시야각을 넓게 할 수 있다.

[0023] 이때, 1 화소(3색분)로 명시적으로 기재하는 경우에는, R과 G와 B의 3화소분을 1 화소로 고려하는 경우인 것으로 한다. 1 화소(1색분)로 명시적으로 기재하는 경우에는, 1개의 색요소에 설치된 복수개의 영역을 합쳐서 1 화소로 고려하는 경우인 것으로 한다.

[0024] 이때, 화소는, 매트릭스 모양으로 배치(배열)되어 있는 경우가 있다. 여기에서, 화소가 매트릭스로 배치(배열)되어 있다라는 것은, 종방향 혹은 횡방향에 있어서, 화소가 직선 위에 늘어서 배치되어 있는 경우, 또는 들쭉날쭉한 선 상에 배치되어 있을 경우를 포함한다. 따라서, 예를 들면, 3색의 색요소(예를 들면, RGB)로 풀컬러 표시를 행하는 경우에, 화소들이 스트라이프 배치되어 있는 경우, 또는 3개의 색요소의 도트가 델타 패턴으로 배치되어 있는 경우, 3개의 색요소의 도트가 베이어(Bayer) 배치되어 있는 경우도 포함한다. 이때, 색요소는 3색에 한정되지 않고, 그 이상의 색요소가 사용되어도 되고, 예를 들면, RGBW(W는 화이트), 또는 RGB에, 옐로우, 시안, 마젠타 등을 1색 이상 추가한 것 등이 있다. 더구나, 색요소의 도트마다 그것의 표시 영역의 크기가 달라도 된다. 이에 따라, 저소비 전력화, 또는 표시 소자의 장수명화를 도모할 수 있다.

[0025] 이때, 트랜지스터란, 게이트와, 드레인과, 소스의 적어도 3개의 단자를 갖는 소자이다. 트랜지스터는, 드레인 영역과 소스 영역 사이에 채널 영역을 갖고 있고, 드레인 영역과 채널 영역과 소스 영역을 거쳐 전류를 흘러보낼 수 있다. 여기에서, 트랜지스터의 소스와 드레인은 트랜지스터의 구조나 동작조건 등에 의해 바뀌기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 따라서, 본 서류(명세서, 특허청구범위 또는 도면 등)에 있어서는, 소스 및 드레인으로서 기능하는 영역을, 소스 혹은 드레인으로 부르지 않는 경우가 있다. 그 경우, 일례로서는, 소스 및 드레인의 한쪽을 제1단자, 다른 쪽을 제2단자로 표기하는 경우가 있다. 이와 달리, 소스 및 드레인의 한쪽을 제1 전극, 다른 쪽을 제2 전극으로 표기하는 경우가 있다. 또는, 소스 및 드레인의 한쪽을 소스 영역, 다른 쪽을 드레인 영역으로 표기하는 경우가 있다.

[0026] 이때, 게이트란, 게이트 전극과 게이트 배선(게이트 선, 게이트 신호선, 주사선, 주사 신호선 등으로도 말한다)을 포함하는 전체, 또는, 그것들의 일부를 말한다. 게이트 전극이란, 채널 영역을 형성하는 반도체와, 게이트 절연막을 개재하여 오버랩되어 있는 부분의 도전막을 말한다. 이때, 게이트 전극의 일부는, LDD(lightly doped drain) 영역 또는 소스 영역(또는 드레인 영역)과, 게이트 절연막을 개재하여 오버랩되어 있는 경우도 있다. 게이트 배선이란, 각 트랜지스터의 게이트 전극의 사이를 접속하기 위한 배선, 각 화소가 갖는 게이트 전극의 사이를 접속하기 위한 배선, 또는 게이트 전극과 다른 배선을 접속하기 위한 배선을 말한다.

[0027] 이때, 게이트 단자란, 게이트 전극의 부분(영역, 도전막, 배선 등) 또는, 게이트 전극과 전기적으로 접속되어 있는 부분(영역, 도전막, 배선 등)에 대해, 그것의 일부분을 말한다.

[0028] 이때, 어떤 배선을, 게이트 배선, 게이트 선, 게이트 신호선, 주사선, 주사 신호선 등으로 부르는 경우, 그 배선에 트랜지스터의 게이트가 접속되어 있지 않은 경우도 있다. 이 경우, 게이트 배선, 게이트 선, 게이트 신호선, 주사선, 주사 신호선은, 트랜지스터의 게이트와 동일한 층으로 형성된 배선, 트랜지스터의 게이트와 동일한 재료로 형성된 배선 또는 트랜지스터의 게이트와 동시에 성막된 배선을 의미하고 있는 경우가 있다. 이와 같은 배선의 예로는, 유지용량용 배선, 전원선, 기준전위 공급 배선 등이 있다.

[0029] 이때, 소스란, 소스 영역과 소스 전극과 소스 배선(소스선, 소스 신호선, 데이터 선, 데이터 신호선 등 이라고도 한다)을 포함한 전체, 또는, 그것들의 일부를 말한다. 소스 영역이란, p형 불순물(붕소나 갈륨 등)이나 n형 불순물(인이나 비소 등)이 많이 포함되는 반도체 영역을 말한다. 따라서, 소량의 p형 불순물이나 n형 불순물이 포함되는 영역, 소위, LDD(lightly doped drain) 영역은, 소스 영역에는 포함되지 않는다. 소스 전극이

란, 소스 영역과는 다른 재료로 형성되고, 소스 영역과 전기적으로 접속되어 배치되어 있는 부분의 도전층을 말한다. 단, 소스 전극과 소스 영역은 합쳐서 소스 전극으로 부르는 일도 있다. 소스 배선이란, 각 트랜지스터의 소스 전극의 사이를 접속하기 위한 배선, 각 화소가 갖는 소스 전극의 사이를 접속하기 위한 배선, 또는 소스 전극과 다른 배선을 접속하기 위한 배선을 말한다.

[0030] 이때, 소스 단자란, 소스 영역이나, 소스 전극이나, 소스 전극과 전기적으로 접속되어 있는 부분(영역, 도전막, 배선 등)에 대해, 그것의 일부분을 말한다.

[0031] 이때, 어떤 배선을, 소스 배선, 소스선, 소스 신호선, 데이터 선, 데이터 신호선 등으로 부르는 경우, 그 배선에 트랜지스터의 소스(드레인)가 접속되어 있지 않은 경우도 있다. 이 경우, 소스 배선, 소스선, 소스 신호선, 데이터 선, 데이터 신호선은, 트랜지스터의 소스(드레인)와 동일한 층으로 형성된 배선, 트랜지스터의 소스(드레인)와 동일한 재료로 형성된 배선 또는 트랜지스터의 소스(드레인)와 동시에 성막된 배선을 의미하고 있는 경우가 있다. 이와 같은 배선의 예로는, 유지용량용 배선, 전원선, 기준전위 공급 배선 등이 있다.

[0032] 이때, 드레인에 대해서는, 소스와 유사하다.

[0033] 이때, 반도체장치란, 반도체 소자(트랜지스터, 다이오드, 사이리스터 등)를 포함하는 회로를 갖는 장치를 말한다. 더구나, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 반도체장치로 불러도 된다. 또는, 반도체 재료를 갖는 장치를 반도체장치라고 한다.

[0034] 이때, 표시 소자란, 광학 변조소자, 액정소자, 발광소자, EL 소자(유기 EL 소자, 무기 EL 소자 또는 유기물 및 무기물을 포함하는 EL 소자), 전자방출소자, 전기영동소자, 방전소자, 광반사소자, 광회절소자, 디지털 마이크로미터 디바이스(DMD) 등의 것을 말한다. 단, 이것에 한정되지 않는다.

[0035] 이때, 표시장치란, 표시 소자를 갖는 장치를 말한다. 이때, 표시장치는, 표시 소자를 포함하는 복수의 화소를 포함하고 있어도 된다. 이때, 표시장치는, 복수의 화소를 구동시키는 주변 구동회로를 포함하고 있어도 된다. 이때, 복수의 화소를 구동시키는 주변 구동회로는, 복수의 화소와 동일 기판 위에 형성되어도 된다. 이때, 표시장치는, 와이어 본딩이나 범프 본딩 등에 의해 기판 위에 배치된 주변 구동회로, 소위, 칩 온 글래스(COG) 또는 TAB 등으로 접속된 IC칩을 포함하고 있어도 된다. 이때, 표시장치는, IC칩, 저항소자, 용량소자, 인덕터, 트랜지스터 등이 부착된 플렉시블 프린트 서킷(FPC)을 포함하여도 된다. 이때, 표시장치는, 플렉시블 프린트 서킷(FPC) 등을 거쳐 접속되고, IC칩, 저항소자, 용량소자, 인덕터, 트랜지스터 등이 부착된 프린트 배선 기판(PWB)을 포함하고 있어도 된다. 이때, 표시장치는, 편광판 또는 위상차판 등의 광학 시이트를 포함하고 있어도 된다. 이때, 표시장치는, 조명장치, 하우징, 음성 입출력장치, 광센서 등을 포함하고 있어도 된다.

[0036] 이때, 조명장치는, 도광판, 프리즘 시이트, 확산 시이트, 반사 시이트, 광원(LED, 냉음극관 등), 냉각장치(수냉식, 공랭식) 등을 포함하고 있어도 된다.

[0037] 이때, 액정 표시장치란, 액정소자를 갖고 있는 표시장치를 말한다. 액정 표시장치에는, 직시형, 투사형, 투과형, 반사형, 반투과형 등이 있다.

[0038] 이때, A의 위에 B가 형성되어 있거나, 또는, A 위에 B가 형성되어 있다고 명시적으로 기재하는 경우에는, A 위에 B가 직접 접해서 형성되어 있는 것에 한정되지 않는다. 이것은, A와 B가 직접 접하고는 있지 않은 경우, 즉, A와 B 사이에 다른 대상물이 개재하는 경우도 포함하는 것으로 한다. 여기에서, A, B는, 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

발명의 효과

[0039] 본 발명에 따른 액정 표시장치 및 그 구동방법에 있어서는, 시야각을 확대하기 위해 1 화소를 복수의 서브 화소로 분할하고, 서브 화소마다 다른 신호 전압을 가함으로써 시야각을 확대하는 방법을 사용한 경우에도, 서브 화소의 구동을 위한 회로 규모의 증대 또는 회로의 구동 속도의 증대 등을 일으키는 일이 없다. 그 결과, 소비 전력의 저감 및 제조 코스트의 저감을 실현할 수 있다. 더구나, 정확한 신호를 각각의 서브 화소에 입력할 수 있으므로, 정지 화상 표시시의 화질을 향상할 수 있다. 더구나, 특별한 회로의 추가 및 구성 변경을 하지 않고, 흑 화상을 임의인 타이밍으로 표시할 수 있으므로, 동화상 표시시의 화질을 향상할 수 있다.

[0040] 더구나, 본 발명에 따른 액정 표시장치 및 그 구동방법에 있어서는, 흑 화상을 표시하는 기간을 설치함으로써 콘트라스트 비를 향상시킬 수 있다. 흑 화상을 표시하는 기간을 짧게 함으로써 표시의 플리커를 저감할 수 있고, 오버드라이브에 의해 표시의 응답 속도를 향상시킬 수 있다. 더구나, 액정 패널의 구동회로의 구동 주

파수를 작게 할 수 있으므로, 소비 전력을 저감시킬 수 있다.

도면의 간단한 설명

[0041]

- 도 1a 내지 도 1e는 본 발명에 있어서의 제1 회로(10)의 도통 상태를 설명하는 도면.
- 도 2a 내지 도 2d는 본 발명에 있어서의 제1 회로(10)의 도통 상태를 설명하는 도면.
- 도 3a 내지 도 3d는 본 발명에 있어서의 제1 회로(10)의 도통 상태를 설명하는 도면.
- 도 4a 내지 도 4c4는 본 발명에 있어서의 제1 회로(10)의 도통 상태를 설명하는 도면.
- 도 5d1 내지 도 5e는 본 발명에 있어서의 제1 회로(10)의 도통 상태를 설명하는 도면.
- 도 6a 내지 도 6f는 본 발명에 있어서의 화소회로의 회로예를 설명하는 도면.
- 도 7a 내지 도 7e는 본 발명에 있어서의 화소회로의 회로예를 설명하는 도면.
- 도 8a 내지 도 8f는 본 발명에 있어서의 화소회로의 회로예를 설명하는 도면.
- 도 9a 내지 도 9e는 본 발명에 있어서의 화소회로의 회로예를 설명하는 도면.
- 도 10a 내지 도 10d는 본 발명에 있어서의 화소회로의 회로예를 설명하는 도면.
- 도 11a 내지 도 11d는 본 발명에 있어서의 화소회로의 구체예를 설명하는 도면.
- 도 12a 및 도 12b는 본 발명에 있어서의 화소회로의 구체예를 설명하는 도면.
- 도 13a 내지 도 13d는 본 발명에 있어서의 화소회로의 구체예를 설명하는 도면.
- 도 14a 내지 도 14e는 본 발명에 있어서의 화소회로의 회로예를 설명하는 도면.
- 도 15a 및 도 15b는 본 발명에 있어서의 화소회로의 회로예를 설명하는 도면.
- 도 16a 내지 도 16h는 본 발명에 있어서의 주변 구동회로의 제조예를 설명하는 도면.
- 도 17a 내지 도 17g는 본 발명에 있어서의 반도체 소자의 제조예를 설명하는 도면.
- 도 18a 내지 도 18d는 본 발명에 있어서의 반도체 소자의 제조예를 설명하는 도면.
- 도 19a 내지 도 19g는 본 발명에 있어서의 반도체 소자의 제조예를 설명하는 도면.
- 도 20a 내지 도 20e는 본 발명에 있어서의 전자기기를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0042]

이하에, 본 발명의 실시예를 도면을 참조하여 설명한다. 단, 본 발명은 많은 다른 태양으로 실시하는 것이 가능하며, 본 발명의 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 본 실시예의 기재 내용에 한정해서 해석되는 것은 아니다.

[0043]

(실시예 1)

[0044]

<동작과 화소 구성예>

[0045]

우선, 상기 과제를 해결하기 위해 화소회로가 가져야 할 동작과, 그것을 실현하는 화소 구성예에 대해 설명한다. 상기 과제를 해결하기 위해 화소회로가 가져야 하는 동작은, 주로 다음의 2가지를 들 수 있다. 즉, (동작 A) 1회의 기록에 의해, 화소가 갖는 복수의 서브 화소에 각각 다른 전압을 기록하는 동작, (동작 B) 1 프레임 기간 내에 있어서, 모든 서브 화소가 흑색 표시로 되는 기간을 설치하는 동작이다. 동작 A를 실현함으로써, 서브 화소의 구동을 위한 회로 규모 또는 구동속도의 증대 등을 일으키지 않고, 시야각을 확대할 수 있다. 더구나, 동작 A를 실현하면서 동작 B도 실현함으로써, 시야각이 넓고, 소비 전력이 작고, 또한, 동화상 표시시의 화질이 향상된다. 이와 같이, 액정 표시장치가 갖는 제특성 중에서 1개의 특성이 향상될 뿐만 아니

라, 복수의 다른 특성을 동시에 높은 수준에서 향상해 가는 것이, 액정 표시장치의 화질을 전체적으로 향상시킴에 있어서 매우 유효하다. 이때, 동작 B에 대해, 모든 서브 화소가 흑 표시가 되는 기간의 길이를 바꿀 수 있도록 하면, 액정 표시장치에 다양한 동화상을 표시시키는 경우에, 각각의 동화상의 특성에 최적의 화질을 제공할 수 있으므로, 바람직하다.

[0046] 상기 동작을 실현하는 화소 구성으로서, 제1 화소 구성을 도 1a에 나타낸다. 제1 화소 구성은, 제1 배선(11)과 제2 배선(12)에 전기적으로 접속된 제1 회로(10)

[0047] 과, 제1 회로(10)에 전기적으로 접속된 제1 액정소자(31)와, 제1 회로(10)에 전기적으로 접속된 제2 액정소자(32)와, 제1 회로(10)에 전기적으로 접속된 제1 용량소자(50)를 갖는 것이다.

[0048] 여기에서, 제1 용량소자(50)는 2개의 전극을 가지며, 제1 회로(10)와 전기적으로 접속되어 있는 전극과는 다른 1개의 전극은, 제3 배선(13)에 전기적으로 접속되어 있다. 그리고, 제1 용량소자(50)와 제3 배선(13)을 합쳐서, 제2 회로(60)로 한다.

[0049] 더구나, 제1 액정소자(31)는 2개의 전극을 가지며, 제1 회로(10)와 전기적으로 접속되어 있는 전극을 제1 화소 전극, 다른 쪽의 전극을 제1 공통 전극으로 부르는 것으로 한다. 그리고, 제1 공통 전극은, 제4 배선(21)과 전기적으로 접속되어 있는 것으로 가정한다. 단, 이것에 한정되지 않고, 제1 공통 전극이 다른 배선과 전기적으로 접속되어 있어도 된다. 더구나, 제1 액정소자(31)와 제4 배선(21)을 합쳐, 제1 서브 화소(41)로 한다.

[0050] 마찬가지로, 제2 액정소자(32)는 2개의 전극을 갖고, 제1 회로(10)와 전기적으로 접속되어 있는 전극을 제2 화소 전극, 다른 쪽의 전극을 제2 공통 전극으로 부르는 것으로 한다. 그리고, 제2 공통 전극은, 제5 배선(22)과 전기적으로 접속되어 있는 것으로 가정한다. 단, 이것에 한정되지 않고, 제2 공통 전극은 다른 배선과 전기적으로 접속되어 있어도 된다. 더구나, 제2 액정소자(32) 및 제5 배선(22)을 합쳐, 제2 서브 화소(42)로 한다.

[0051] 이때, 제1 화소 구성에 있어서의 회로가 갖는 제1 내지 제5 배선을, 각각이 갖는 역할로부터 구별하면, 다음과 같다. 제1 배선(11)은, 리셋 전압 V_1 이 가해지는 리셋 선으로서의 기능을 가질 수 있다. 제2 배선(12)은, 데이터 전압 V_2 가 가해지는 데이터 선으로서의 기능을 가질 수 있다. 제3 배선(13)은, 제1 용량소자(50)에 가해지는 전압을 제어하기 위한 공통선으로서의 기능을 가질 수 있다. 제4 배선(21)은, 제1 액정소자(31)에 가해지는 전압을 제어하기 위한 액정 공통 전극으로서의 기능을 가질 수 있다. 제5 배선(22)은, 제2 액정소자(32)에 가해지는 전압을 제어하기 위한 액정 공통 전극으로서의 기능을 가질 수 있다.

[0052] 단, 이것에 한정되지 않고, 각 배선은 다양한 역할을 가질 수 있다. 특히, 동일한 전압을 가하기 위한 배선은 서로 전기적으로 접속된 공통의 배선으로 할 수 있다. 공통의 배선으로 함으로써, 회로에 있어서의 배선의 면적을 저감할 수 있으므로, 개구율을 향상시킬 수 있고, 그 결과, 소비 전력을 저감할 수 있다.

[0053] <제1 화소 구성과 기능 (1)>

[0054] 다음에, 전술한 동작 A 및 동작 B를 제1 화소 구성에 의해 실현하기 위해, 제1 회로(10)가 가져야 할 기능에 대해 상세하게 설명한다. 여기에서, 제1 배선(11)에는 제1 전압 V_1 이 가해지고 있는 것으로 하고, 제2 배선(12)에는 제2 전압 V_2 가 가해지고 있는 것으로 하고, 제3 배선(13)에는 제3 전압 V_3 가 가해지고 있는 것으로 하고, 제4 배선(21)에는 제4 전압 V_4 가 가해지고 있는 것으로 하고, 제5 배선(22)에는 제5 전압 V_5 가 가해지고 있는 것으로 한다.

[0055] 제1 회로(10)는, 제1 회로(10)에 전기적으로 접속된 제1 배선(11), 제2 배선(12), 제1 액정소자(31), 제2 액정소자(32) 및 제1 용량소자(50)의 도통 상태를 제어하는 복수의 스위치를 갖는다. 그리고, 제1 회로(10)가 가져야 할 기능이란, 전술한 동작 A 및 동작 B를 실현하기 위해 필요하게 되는 도통 상태를, 체계적으로 구현할 수 있는 기능이다.

[0056] <제1 도통 상태(리셋)>

[0057] 제1 화소 구성의 기능 (1)에 있어서의 제1 도통 상태는, 제1 회로(10)에 전기적으로 접속된 각 소자(제1 액정소자(31), 제2 액정소자(32) 및 제1 용량소자(50))에 가해지고 있는 전압을 초기 상태의 전압(리셋 전압

으로도 기재한다)으로 되돌리는 것이다. 그 때문에, 이 상태를 리셋 상태라고도 부른다.

[0058] 제1 회로(10)를 리셋 상태는 제1 회로(10)를, 다음과 같은 도통 상태로 함으로써 실현할 수 있다. 즉, 제1 액정소자(31), 제2 액정소자(32) 및 제1 용량소자(50)와, 제1 배선(11) 사이의 접속을 서로 도통 상태로 한다. 이 상태를 표시하는 모식도를 도 1b에 나타낸다. 이와 같은 도통 상태로 함으로써, 제1 액정소자(31), 제2 액정소자(32) 및 제1 용량소자(50)에, 제1 전압 V_1 을 가할 수 있다. 즉, 제1 전압 V_1 은 리셋 전압이다. 여기에서, 제1 전압 V_1 은, 제1 액정소자(31) 및 제2 액정소자(32)가 흑 표시가 되는 전압인 것이 바람직하다. 예를 들면, 제1 액정소자(31) 및 제2 액정소자(32)가 노멀리 블랙의 성질을 가지면, 제1 전압의 레벨은, 0V로부터 액정의 임계전압(투과율이 상승하기 시작하는 전압)까지로 하는 것이 바람직하다. 한편, 제1 액정소자(31) 및 제2 액정소자(32)가 노멀리 화이트의 성질을 가지면, 제1 전압 V_1 의 레벨은, 액정의 포화 전압(투과율이 하강이 끝나는 전압) 이상으로 하는 것이 바람직하다.

[0059] 이때, 액정에 걸리는 전압 레벨은, 제1 전압 V_1 과, 제4 전압 V_4 또는 제5 전압 V_5 의 차이로 되는 것에 주의가 필요하다. 예를 들면, 제1 액정소자에 0V를 가하는 경우, 제4 전압 V_4 또는 제5 전압 V_5 이 0V이었을 때에는, 제1 전압 V_1 은 0V로 한다. 마찬가지로 제1 액정소자에 0V를 가하는 경우에도, 제4 전압 V_4 또는 제5 전압 V_5 이 예를 들면 5V이었을 때에는, 제1 전압 V_1 은 5V로 한다. 이와 같이, 제1 전압 V_1 은, 각 액정소자에 가해야 할 전압과, 제4 전압 V_4 또는 제5 전압 V_5 에 의해 결정된다. 본 실시예에 있어서는, 간략을 위해, 제4 전압 V_4 및 제5 전압 V_5 은 0V인 것으로 하고, 액정에 가해지는 전압은 제1 전압 V_1 과 같은 것으로 한다. 단, 이것은 설명의 간편함을 고려하였기 때문이며, 실제의 제4 전압 V_4 또는 제5 전압 V_5 은 0V에 한정되는 것은 아니다. 이때, 제1 용량소자에 있어서의 제3 전압 V_3 에 대해서도, 설명에 사용하는 구체적인 전압은 제4 전압 V_4 또는 제5 전압 V_5 와 유사한 것으로 한다.

[0060] 이와 같이, 제1 회로(10)에 전기적으로 접속된 각 소자를 리셋 상태로 하는 이유는 이하의 이유에 따른다. 첫번째는, 제1 도통 상태후에 각 액정소자에 기록되어야 할 전압을, 제1 도통 상태 이전에 기록된 전압에 의존하지 않도록 하기 위해서이다. 전압이 가령 이것에 의존해 버린다고 하면, 각 액정소자에 기록되어야 할 전압을 정상적으로 제어하는 것이 어렵게 되어 버려, 결과적으로 액정 표시장치의 표시를 정상적으로 행하는 것이 어렵게 되어 버린다. 두 번째 이유는, 리셋 상태로 함으로써 각 액정소자의 표시를 흑 표시로 하고, 이와 같은 제어를 모든 액정소자에 대하여 행함으로써, 액정 표시장치의 표시를 흑 표시로 하기 위해서이다. 즉, 액정 표시장치의 표시를 흑 표시로 함으로써, 전술한 동작 B를 실현할 수 있다. 따라서, 동화상 표시시의 화질을 향상할 수 있다. 이때, 리셋 상태로 하는 타이밍을 제어함으로써, 흑 표시의 기간의 길이를 제어할 수 있다. 흑 표시의 기간을 길게 함으로써, 동화상 표시시의 화질이 보다 향상된다. 한편, 흑 표시의 기간을 짧게 함으로써, 액정 표시장치의 플리커를 저감할 수 있다.

[0061] <제2 도통 상태(기록)>

[0062] 제1 화소 구성의 기능 (1)에 있어서의 제2 도통 상태는, 제1 회로(10)에 전기적으로 접속된 각 소자(제1 액정소자(31), 제2 액정소자(32) 및 제1 용량소자(50)) 중에서, 제1 용량소자(50)와, 제1 액정소자(31)와 제2 액정소자(32)의 어느 한쪽에, 영상신호에 따른 전압(데이터 전압, 데이터 신호라고도 기재한다)을 선택적으로 기록하는 것이다. 그 때문에, 이 상태를 기록 상태라고도 부른다. 이때, 제1 액정소자(31)와 제2 액정소자(32) 중에서, 데이터 전압이 기록되지 않은 쪽은, 제2 도통 상태로 되기 이전의 전압을 유지한다.

[0063] 제1 회로(10)의 기록 상태는, 제1 회로(10)를, 다음과 같은 도통 상태로 하는 것으로 실현할 수 있다. 즉, 제2 배선(12)과, 제1 용량소자(50)와, 제1 액정소자(31) 및 제2 액정소자(32) 중 어느 한쪽 사이의 접속을 서로 도통 상태로 한다. 더구나, 제1 액정소자(31) 및 제2 액정소자(32)의 다른 쪽에 대해서는, 위에서 예를 든 어떤 소자와도 도통하지 않는 비도통 상태로 한다. 이때의 각각의 도통 상태를, 도 1c1 및 도 1c2에 나타낸다. 도 1c1은, 제2 배선(12)과, 제1 용량소자(50)와, 제1 액정소자(31) 사이의 접속을 서로 도통 상태로 하고, 더구나, 제2 액정소자(32)를 비도통 상태로 하고 있는 경우이다. 도 1c2는, 제2 배선(12)과, 제1 용량소자(50)와, 제2 액정소자(32) 사이의 접속을 서로 도통 상태로 하고, 더구나, 제1 액정소자(31)를 비도통 상태로 하고 있는 경우이다. 제2 도통 상태에 있어서는, 도 1c1 및 도 1c2에 나타낸 도통 상태 중에서, 어떤 한 개의 도통 상태로 할 수 있다.

- [0064] 이와 같은 도통 상태로 함으로써, 제1 용량소자(50)와, 제1 액정소자(31)(또는 제2 액정소자(32))에, 제2 전압을 가하고, 또한, 제2 액정소자(32)(또는 제1 액정소자(31))는, 제2 도통 상태로 되기 이전의 전압을 유지할 수 있다. 여기에서, 제2 전압은 데이터 전압이며, 제1 화소 구성의 기능 (1)이 반복되는 주기(1 프레임 기간이라고도 부른다)마다 다른 전압값을 취할 수 있다. 액정 표시장치의 표시는, 기록 상태에 있어서 기록되는 제2 전압에 따라 행해진다.
- [0065] 이때, 액정소자에 가하는 전압의 극성을 일정 주기(예를 들면, 1 프레임 기간)마다 반전시킴으로써, 액정소자의 번인(burn-in)을 방지할 수 있다(반전 구동 또는 교류 구동이라고 한다). 반전 구동을 실현하기 위해서는, 예를 들면, $V_2 > V_1$ 이라고 하는 상태와, $V_2 < V_1$ 이라고 하는 상태를 1 프레임 기간마다 반복함으로써 실현할 수 있다. 또는, $V_2 > V_4(V_5)$ 이라고 하는 상태와, $V_2 < V_4(V_5)$ 라고 하는 상태를 1 프레임 기간마다 반복함으로써 실현할 수 있다.
- [0066] 제2 도통 상태에 있어서, 제1 액정소자(31)(또는 제2 액정소자(32))는 데이터 전압이 기록되고, 제2 액정소자(32)(또는 제1 액정소자(31))는 제2 도통 상태로 되기 이전의 전압을 유지하는 것은 이하의 이유에 따른다. 즉, 제3 도통 상태로 되기 전에 있어서, 제1 용량소자와, 제1 액정소자(31) 및 제2 액정소자(32)의 어느 한 쪽 사이에, 기록된 전압의 차이가 존재하는 상황이 필요하게 되기 때문이다. 이와 같이 함으로써, 제3 도통 상태를 유효한 것으로 할 수 있고, 그 결과, 전술한 동작 A를 실현할 수 있다.
- [0067] <제3 도통 상태(분배)>
- [0068] 제1 화소 구성의 기능 (1)에 있어서의 제3 도통 상태는, 제1 회로(10)에 전기적으로 접속된 각 소자(제1 액정소자(31), 제2 액정소자(32) 및 제1 용량소자(50)) 중에서, 제1 용량소자(50)와, 제1 액정소자(31)와 제2 액정소자(32) 중 제2 도통 상태에 있어서 기록이 행해지지 않은 쪽(제2 도통 상태로 되기 이전의 전압을 유지한 쪽)에 있어서 전하를 분배시켜, 분배에 의해 전압의 변화를 생기게 하는 것이다. 그 때문에, 이 상태를 분배 상태라고도 부른다. 이때, 제1 액정소자(31)와 제2 액정소자(32) 중에서, 제1 용량소자(50)와 전하의 분배가 행해지지 않은 쪽은, 제3 도통 상태로 되기 이전의 전압을 유지한다.
- [0069] 제1 회로(10)를 분배 상태는, 제1 회로(10)를, 다음과 같은 도통 상태로 하는 것으로 실현할 수 있다. 즉, 제1 용량소자(50)와, 제1 액정소자(31)와 제2 액정소자(32) 중에서 제2 도통 상태에서 기록이 행해지지 않는 쪽을, 서로 도통 상태로 한다. 더구나, 제1 액정소자(31) 및 제2 액정소자(32)의 다른 쪽에 대해서는, 위에서 예를 든 어떤 소자와도 도통하지 않는 비도통 상태로 한다. 이때의 각각의 도통 상태를, 도 1d1 및 도 1d2에 나타낸다. 도 1d1은, 제1 용량소자(50)와, 제2 액정소자(32) 사이의 접속을 도통 상태로 하고, 더구나, 제1 액정소자(31)를 비도통 상태로 하고 있는 경우이다. 도 1d2는, 제1 용량소자(50)와, 제1 액정소자(31) 사이의 접속을 도통 상태로 하고, 더구나, 제2 액정소자(32)를 비도통 상태로 하고 있는 경우이다. 도 1d1에 나타낸 도통 상태는, 제2 도통 상태에 있어서, 도 1c1에 나타낸 도통 상태가 선택된 경우에 행해진다. 한편, 도 1d2에 나타낸 도통 상태는, 제2 도통 상태에 있어서, 도 1c2에 나타낸 도통 상태가 선택된 경우에 행해진다. 이와 같은 도통 상태로 함으로써, 제1 용량소자(50)와, 제2 액정소자(32)(또는 제1 액정소자(31))에 있어서 전하의 분배가 발생하고, 또한, 제1 액정소자(31)(또는 제2 액정소자(32))는, 제3 도통 상태로 되기 이전의 전압을 유지한다. 도 1d1에 나타낸 도통 상태에 있어서의 전하의 분배는 다음에 나타낸 식에 의해 행해져, 전하의 분배 후의 전압이 결정된다.
- [0070] (수식 1)
- [0071] $C_{50}V_2 + C_{32}V_1 = C_{50}V_2' + C_{32}V_2'$
- [0072] 이 식을 V_2' 에 대해 풀면,
- [0073] (수식 2)
- [0074] $V_2' = (C_{50}V_2 + C_{32}V_1) / (C_{50} + C_{32})$
- [0075] 여기에서, V_1 은 제1 전압, V_2 는 제2 전압, V_2' 은 전하의 분배 후의 전압, C_{50} 은 제1 용량소자(50)의 정전용량, C_{32} 은 제2 액정소자(32)의 정전용량이다. 이때, 도 1d2에 나타낸 도통 상태에 있어서의 전하의 분배의 식은, C_{32}

을 제1 액정소자(31)의 정전용량 C_{31} 로 치환하면 얻어진다. 여기에서, 가령, V_1 과 V_2 이 같으면, V_2' 은 V_2 와 같아져 버려, 제3 도통 상태에 있어서의 목적인, 전하의 분배에 의해 전압의 변화를 생기게 할 수 없다. 즉, 이것이, 전술한, 제3 도통 상태로 되기 전에 있어서, 제1 용량소자에 기록된 전압의 레벨이, 제1 액정소자(31) 및 제2 액정소자(32)의 어느 한쪽에 기록된 전압의 레벨과 다른 상황이 필요하게 되는 이유이다.

[0076]

제3 도통 상태에 있어서, 제1 액정소자(31)(또는 제2 액정소자(32))는 제3 도통 상태로 되기 이전의 전압을 유지시키고, 제2 액정소자(32)(또는 제1 액정소자(31))의 전압은 제1 용량소자(50)와의 전하의 분배에 의해 변화가 생기므로, 제1 액정소자(31)에 가해진 전압과, 제2 액정소자(32)에 가해진 전압에 차이를 생기게 할 수 있다. 이 전압의 차이는, 액정소자가 갖는 액정 분자의 광학적 상태의 차이를 생기게 하고, 액정 분자의 광학적 상태의 차이는, 액정 표시장치의 시야각을 확대한다고 하는 결과를 초래한다. 더구나, 이 전압의 차이는, 화소회로 내부의 전하를 분배함으로써 실현되고 있기 때문에, 화소회로 외부에서의 전압의 공급은 필요없다. 즉, 전술한 동작 A를 만족시킬 수 있으므로, 서브 화소의 구동을 위한 회로 규모 또는 구동속도의 증대 등을 일으키지 않고, 시야각을 확대할 수 있다.

[0077]

<도통 상태의 순서>

[0078]

이상에서 설명한 것과 같이, 제1 화소 구성의 기능 (1)에 있어서 제1 회로(10)가 가져야 할 기능이란, 전술한 동작 A 및 동작 B를 실현하기 위해 필요하게 되는 도통 상태를, 체계적으로 구현할 수 있는 기능이다. 도 1e는 이 기능에 있어서의 도통 상태의 순서를 간단하게 나타낸 것이다.

[0079]

첫 번째는 다음과 같다. 처음에 제1 도통 상태로서 도 1b에 나타낸 도통 상태를 취하고, 다음에 제2 도통 상태로서 도 1c1에 나타낸 도통 상태를 취하고, 다음에 제3 도통 상태로서 도 1d1에 나타낸 도통 상태를 취한다. 이때, 제3 도통 상태를 취한 후, 제4 도통 상태로서, 도 1d2에 나타낸 도통 상태를 취할 수도 있다. 이 경우, 분배를 2회 행하는 것이 되고, 그 결과, 제1 액정소자(31) 및 제2 액정소자(32)에 걸리는 전압의 차이를, 분배가 1회인 경우보다도 작게 할 수 있다.

[0080]

두 번째는 다음과 같다. 처음에 제1 도통 상태로서 도 1b에 나타낸 도통 상태를 취하고, 다음에 제2 도통 상태로서 도 1c2에 나타낸 도통 상태를 취하고, 다음에 제3 도통 상태로서 도 1d2에 나타낸 도통 상태를 취한다. 이때, 제3 도통 상태를 취한 후, 제4 도통 상태로서, 도 1d1에 나타낸 도통 상태를 취할 수도 있다. 이 경우, 분배를 2회 행하는 것이 되고, 그 결과, 제1 액정소자(31) 및 제2 액정소자(32)에 걸리는 전압의 차이를, 분배가 1회인 경우보다도 작게 할 수 있다.

[0081]

제1 화소 구성에 있어서의 제1 회로(10)가 이와 같은 기능을 가짐으로써, 전술한 동작 A 및 동작 B를 실현할 수 있다. 따라서, 전술한 이점을 갖는 액정 표시장치를 실현할 수 있다.

[0082]

<제1 화소 구성과 기능 (2)>

[0083]

제1 화소 구성에 있어서, 전술한 동작 A 및 동작 B를 동시에 만족시키기 위해, 제1 회로(10)가 가져야 할 기능은, 그 밖에도 존재한다. 제1 화소 구성의 기능 (1)을 간단하게 요약하면, 리셋 상태, 기록 상태(C_{50} 과 C_{31} 또는 C_{32}), 분배 상태(C_{50} 과 C_{32} 또는 C_{31})를 이 순서로 실현하는 기능이었다. 이하에서 설명하는 제1 화소 구성의 기능 (2)는, 리셋 상태, 기록 상태(C_{31} 또는 C_{32}), 분배 상태(C_{50} 과 C_{32} 또는 C_{31})를 이 순서로 실현하는 기능이다. 이 기능에 대해 이하에서 설명한다. 이때, 제1 화소 구성의 기능 (1)과 공통되는 부분에 대해서는 설명을 생략한다.

[0084]

<제1 도통 상태(리셋)>

[0085]

제1 화소 구성의 기능 (2)에 있어서의 제1 도통 상태는, 제1 회로(10)에 전기적으로 접속된 각 소자(제1 액정소자(31), 제2 액정소자(32) 및 제1 용량소자(50))에 가해지고 있는 전압을 초기 상태의 전압으로 되돌리기 위한 상태이다. 이 도통 상태를 도 2a에 나타낸다. 도 2a에 나타낸 도통 상태와, 도 1b에 나타낸 도통 상태는, 그것의 작용 및 효과가 유사하기 때문에, 상세한 설명은 생략한다.

- [0086] <제2 도통 상태(기록)>
- [0087] 제1 화소 구성의 기능 (2)에 있어서의 제2 도통 상태는, 제1 회로(10)에 전기적으로 접속된 각 소자(제1 액정소자(31), 제2 액정소자(32) 및 제1 용량소자(50)) 중에서, 제1 액정소자(31)와 제2 액정소자(32)에, 데이터 전압을 선택적으로 기록하는 것이다. 이때, 제1 용량소자(50)는 제2 도통 상태로 되기 이전의 전압을 유지한다.
- [0088] 제2 도통 상태에 있어서의 제1 회로(10)의 도통 상태를 도 2b1에 나타낸다. 제2 도통 상태에 있어서는, 제2 배선(12)과, 제1 액정소자(31) 및 제2 액정소자(32) 사이의 접속을 서로 도통 상태로 하고, 제1 용량소자(50)에 대해서는, 어떤 소자와도 비도통 상태로 한다. 이와 같이 함으로써, 제1 액정소자(31)와 제2 액정소자(32)에 데이터 전압을 선택적으로 기록하고, 또한, 제1 용량소자(50)는 제2 도통 상태로 되기 이전의 전압을 유지할 수 있다.
- [0089] 이때, 제2 도통 상태에 있어서는, 도 2b1에 나타낸 도통 상태 대신에, 도 2b2에 나타낸 도통 상태도 취할 수 있다. 도 2b2에 나타낸 도통 상태에서는, 제2 배선(12)과 제1 회로(10)의 접속점이 2개이며, 각각의 접속점이 개별적으로, 제1 액정소자(31) 및 제2 액정소자(32)와 도통하고 있다. 이와 같이, 제1 회로(10)의 내부에서 도통로가 분기되고, 복수의 소자에 도통이 행해지고 있는 경우(예를 들면 도 2b1에 나타낸 도통 상태)는, 제1 회로(10)의 외부에서 도통로가 분기되고, 각각의 도통로가 제1 회로(10)에 접속되어 있는 경우와 치환하는 것이 가능하다. 이것은 도 2b2에 나타낸 것 이외의 도면에서는 특별히 도시하지 않지만, 본 명세서에 있어서 설명하는 모든 회로에서 적용할 수 있다. 도 2b2에 나타낸 것 이외의 예로서는, 예를 들면, 도 1b, 도 2a 등에 도시되는 리셋 상태에 있어서, 제1 배선(11)과 제1 회로(10)의 접속점을 3개 존재하고, 각각의 접속점이 제1 용량소자(50), 제1 액정소자(31) 및 제2 액정소자(32)와 도통할 수 있다.
- [0090] <제3 도통 상태(분배)>
- [0091] 제1 화소 구성의 기능 (2)에 있어서의 제3 도통 상태에 있어서는, 제1 회로(10)에 전기적으로 접속된 각 소자(제1 액정소자(31), 제2 액정소자(32) 및 제1 용량소자(50)) 중에서, 제1 용량소자(50)와, 제1 액정소자(31)와 제2 액정소자(32)의 어느 한쪽에 있어서 전하를 분배시키고, 분배에 의해 전압의 변화가 생긴다. 이때, 제1 액정소자(31)와 제2 액정소자(32) 중에서, 전하의 분배가 행해지지 않은 쪽은, 제3 도통 상태로 되기 이전의 전압을 유지한다.
- [0092] 제3 도통 상태에 있어서의 제1 회로(10)의 도통 상태를 도 2c1 및 도 2c2에 나타낸다. 이것은 도 1d1 및 도 1d2와 동일한 도통 상태이기 때문에, 상세한 설명은 생략한다. 제3 도통 상태로 되는 전에 각 소자에 걸려 있었던 전압이, 제1 화소 구성의 기능 (1)에서 설명한 전압과 다르기 때문에, 분배후에 각 소자에 걸리는 전압이 다르다. 도 2c1에 나타낸 도통 상태에 있어서의 전하의 분배는 다음에 나타낸 식에 의해 행해져, 전하의 분배후의 전압이 결정된다.
- [0093] (수식 3)
- [0094] $C_{50}V_1 + C_{32}V_2 = C_{50}V_2'' + C_{32}V_2''$
- [0095] 이 식을 V_2'' 에 대해 풀면,
- [0096] (수식 4)
- [0097] $V_2'' = (C_{50}V_1 + C_{32}V_2) / (C_{50} + C_{32})$
- [0098] 여기에서, V_2'' 은, 제1 화소 구성의 기능 (2)에 있어서의 전하의 분배후의 전압이다. 이때, 도 2c2에 나타낸 도통 상태에 있어서의 전하의 분배의 식은, C_{32} 을 제1 액정소자(31)의 정전용량 C_{31} 로 치환하면 얻어질 수 있다.
- [0099] 이와 같이, 제1 화소 구성의 기능 (2)에 있어서도, 제1 화소 구성의 기능 (1)과 마찬가지로, 제3 도통 상태에 있어서, 제1 액정소자(31)(또는 제2 액정소자(32))는, 제3 도통 상태로 되기 이전의 전압을 유지시키고, 제2 액정소자(32)(또는 제1 액정소자(31))는, 제1 용량소자(50)와 전하를 분배함으로써 전압의 변화를 생기게 하고, 그 결과, 제1 액정소자(31)에 가해진 전압과, 제2 액정소자(32)에 가해진 전압에, 차이를 생기게 할 수 있다.

[0100] 단, 제1 화소 구성의 기능 (2)에 있어서의 분배후의 전압 V_2'' 은, 제1 화소 구성의 기능 (1)에 있어서의 분배후의 전압 V_2' 과는 달라져 간다. 이것에 의한 영향에 대해, 도 1d1과 도 2c1의 도통 상태를 취한 경우를 비교하여 이하에서 설명한다. 제1 화소 구성의 기능 (1)에 있어서의 분배후의 전압 V_2' 을 제공하는 수식 2와, 제1 화소 구성의 기능 (2)에 있어서의 분배후의 전압 V_2'' 을 제공하는 수식 4의 차이는, 우변의 분자 부분이다. 수식 2에 있어서의 해당 부분은 $(C_{50}V_2+C_{32}V_1)$ 이며, 수식 4에 있어서의 해당 부분은 $(C_{50}V_1+C_{32}V_2)$ 이다. V_1 은 액정소자에 흑 표시를 주는 리셋 전압이며, V_2 은 액정소자에 얼마간의 표시를 주는 데이터 전압이다. 따라서, 액정소자가 노멀리 블랙인 경우, $V_1 \leq V_2$ 의 관계가 된다. 즉, 수식 2에 있어서는, 분배후의 전압 V_2' 은 C_{50} 의 크기에 의해 크게 영향을 받게 된다. 수식 4에 있어서는, 분배후의 전압 V_2'' 은, C_{32} 의 크기에 의해 크게 영향을 받게 된다. 이 성질에 따르면, 예를 들면, C_{32} 의 화소간 격차의 제어가 C_{50} 의 화소간 격차의 제어보다도 어려운 경우에는, C_{32} 의 화소간 격차의 영향을 받기 어려운 제1 화소 구성의 기능 (1)을 채용한 쪽이, 분배후의 전압을 더욱 정확하게 제어할 수 있다고 할 수 있다. 반대로, C_{50} 의 화소간 격차의 제어가 C_{32} 의 화소간 격차의 제어보다도 어려운 경우에는, C_{50} 의 화소간 격차의 영향을 받기 어려운 제1 화소 구성의 기능 (2)를 채용한 쪽이, 분배후의 전압을 더욱 정확하게 제어할 수 있다고 할 수 있다. 이때, 노멀리 화이트의 액정소자의 경우에는, 이 관계는 역으로 된다. 이와 같이, 실제의 액정 표시장치의 제조시의 상황에 의해, 최적의 기능을 적절히 선택할 수 있다.

[0101] <도통 상태의 순서>

[0102] 이상에서 설명한 것과 같이, 제1 화소 구성의 기능 (2)에 있어서 제1 회로(10)가 가져야 할 기능은, 전술한 동작 A 및 동작 B를 실현하기 위해 필요하게 되는 도통 상태를 체계적으로 구현할 수 있는 기능이다. 도 2d는 이 기능에 있어서의 도통 상태의 순서를 간단하게 나타낸 것이다.

[0103] 첫 번째는 다음과 같다. 처음에 제1 도통 상태로서 도 2a에 나타낸 도통 상태를 취하고, 다음에 제2 도통 상태로서 도 2b1 또는 도 2b2에 나타낸 도통 상태를 취하고, 다음에 제3 도통 상태로서 도 2c1에 나타낸 도통 상태를 취한다. 이때, 제3 도통 상태를 취한 후, 제4 도통 상태로서, 도 2c2에 나타낸 도통 상태를 취할 수도 있다. 이 경우, 분배를 2회 행하게 되고, 그 결과, 제1 액정소자(31) 및 제2 액정소자(32)에 걸리는 전압의 차이를, 분배가 1회인 경우보다도 작게 할 수 있다.

[0104] 두 번째는 다음과 같다. 처음에 제1 도통 상태로서 도 2a에 나타낸 도통 상태를 취하고, 다음에 제2 도통 상태로서 도 2b1 또는 도 2b2에 나타낸 도통 상태를 취하고, 다음에 제3 도통 상태로서 도 2c2에 나타낸 도통 상태를 취한다. 이때, 제3 도통 상태를 취한 후, 제4 도통 상태로서, 도 2c1에 나타낸 도통 상태를 취할 수도 있다. 이 경우, 분배를 2회 행하게 되고, 그 결과, 제1 액정소자(31) 및 제2 액정소자(32)에 걸리는 전압의 차이를, 분배가 1회인 경우보다도 작게 할 수 있다.

[0105] 제1 화소 구성에 있어서의 제1 회로(10)가 이와 같은 기능을 가짐으로써, 전술한 동작 A 및 동작 B를 실현할 수 있다. 따라서, 전술한 이점을 갖는 액정 표시장치를 실현할 수 있다.

[0106] <제1 화소 구성과 기능 (3)>

[0107] 제1 화소 구성에 있어서, 전술한 동작 A 및 동작 B를 동시에 만족시키기 위해, 제1 회로(10)가 가져야 할 기능은 그 밖에도 존재한다. 제1 화소 구성의 기능 (1) 및 (2)는, 기록 상태일 때에, 제1 용량소자(50), 제1 액정소자(31), 제2 액정소자(32) 중에서, 2개를 선택적으로 기록하는 방법이다. 기능 (1)에서는, 제1 용량소자(50) 및 제1 액정소자(31)(또는 제2 액정소자(32))에 선택적으로 기록하고, 기능 (2)에서는, 제1 액정소자(31) 및 제2 액정소자(32)에 선택적으로 기록한다. 이하에서 설명하는 제1 화소 구성의 기능 (3)은, 기록 상태일 때에, 제1 용량소자(50), 제1 액정소자(31), 제2 액정소자(32) 중에서 1개를 선택적으로 기록하는 방법이다. 더욱 상세하게는, 제1 회로(10)는, 리셋 상태, 기록 상태(C_{50} , C_{32} , C_{31} 중 1개), 분배 상태 1(C_{50} 과 C_{32} 또는 C_{31}), 분배 상태 2(C_{50} 과 C_{31} 또는 C_{32})의 도통 상태를 취할 수 있고, 이들 도통 상태를 체계적으로 실현하는 기능을 갖는다. 이때, 제 1 화소 구성의 기능 (3)의 설명에 있어서, 지금까지의 설명과 공통되는 부분에 대해서는 설명을 생략한다.

- [0108] <제1 도통 상태(리셋)>
- [0109] 제1 화소 구성의 기능 (3)에 있어서의 제1 도통 상태는, 제1 회로(10)에 전기적으로 접속된 각 소자(제1 액정소자(31), 제2 액정소자(32) 및 제1 용량소자(50))에 가해지고 있는 전압을 초기 상태의 전압으로 되돌리기 위한 상태이다. 이 도통 상태를 도 3a에 나타낸다. 도 3a에 나타낸 도통 상태와, 도 1b에 나타낸 도통 상태는 그것의 작용 및 효과가 유사하기 때문에, 상세한 설명은 생략한다.
- [0110] <제2 도통 상태(기록)>
- [0111] 제1 화소 구성의 기능 (3)에 있어서의 제2 도통 상태는, 제1 회로(10)에 전기적으로 접속된 각 소자(제1 액정소자(31), 제2 액정소자(32) 및 제1 용량소자(50)) 중 1개에, 데이터 전압을 선택적으로 기록하는 것이다. 이때, 데이터 전압이 기록되는 소자를 제외한 소자는, 제2 도통 상태로 되기 이전의 전압을 유지한다.
- [0112] 제2 도통 상태에 있어서 제1 용량소자(50)에 선택적으로 데이터 전압이 기록될 때의 제1 회로(10)의 도통 상태를 도 3b1에 나타낸다. 도 3b1에 나타낸 도통 상태에 있어서는, 제2 배선(12)과, 제1 용량소자(50) 사이의 접속을 서로 도통 상태로 하고, 제1 액정소자(31) 및 제2 액정소자(32)에 대해서는 어떤 소자와도 비도통 상태로 한다.
- [0113] 더구나, 제2 도통 상태에 있어서 제1 액정소자(31)에 선택적으로 데이터 전압이 기록될 때의 제1 회로(10)의 도통 상태를 도 3b2에 나타낸다. 도 3b2에 나타낸 도통 상태에 있어서는, 제2 배선(12)과 제1 액정소자(31) 사이의 접속을 서로 도통 상태로 하고, 제1 용량소자(50) 및 제2 액정소자(32)에 대해서는 어떤 소자와도 비도통 상태로 한다.
- [0114] 더구나, 제2 도통 상태에 있어서 제2 액정소자(32)에 선택적으로 데이터 전압이 기록될 때의 제1 회로(10)의 도통 상태를 도 3b3에 나타낸다. 도 3b3에 나타낸 도통 상태에 있어서는, 제2 배선(12)과 제2 액정소자(32) 사이의 접속을 서로 도통 상태로 하고, 제1 용량소자(50) 및 제1 액정소자(31)에 대해서는 어떤 소자와도 비도통 상태로 한다.
- [0115] 제1 화소 구성의 기능 (3)에 있어서의 제2 도통 상태는, 도 3b1, 도 3b2, 도 3b3 중 어느 1개에 나타낸 도통 상태로 할 수 있다. 이에 따라, 제1 회로(10)에 전기적으로 접속된 각 소자(제1 액정소자(31), 제2 액정소자(32) 및 제1 용량소자(50)) 중 1개에 데이터 전압을 선택적으로 기록하고, 데이터 전압이 기록되는 소자를 제외한 소자는 제2 도통 상태로 되기 이전의 전압을 유지할 수 있다.
- [0116] <제3 및 제4 도통 상태(분배)>
- [0117] 제1 화소 구성의 기능 (3)에 있어서의 제3 도통 상태에서는, 제1 회로(10)에 전기적으로 접속된 각 소자(제1 액정소자(31), 제2 액정소자(32) 및 제1 용량소자(50)) 중에서, 제1 액정소자(31)와 제2 액정소자(32)의 어느 한쪽과, 제1 용량소자(50)에 있어서 전하를 분배시키고, 분배에 의해 전압의 변화를 생기게 하는 것이다. 더구나, 제4 도통 상태에 있어서도 전하의 분배를 행하지만, 이때에는, 제1 액정소자(31)와 제2 액정소자(32) 중에서, 제3 도통 상태에 있어서 제1 용량소자(50)와 전하를 분배한 액정 소자와 다른 쪽의 액정소자와 제1 용량소자(50)에 전하를 분배시킨다.
- [0118] 제3 또는 제4 도통 상태에 있어서 제2 액정소자(32)와 제1 용량소자(50)에 있어서 전하가 분배될 때의 제1 회로(10)의 도통 상태를 도 3c1에 나타낸다. 도 3c1에 나타낸 도통 상태에 있어서는, 제1 용량소자(50)와 제2 액정소자(32) 사이의 접속을 서로 도통 상태로 하고, 제1 액정소자(31)에 대해서는 어떤 소자와도 비도통 상태로 한다.
- [0119] 더구나, 제3 또는 제4 도통 상태에 있어서 제1 액정소자(31)와 제1 용량소자(50)에 있어서 전하가 분배될 때의 제1 회로(10)의 도통 상태를 도 3c2에 나타낸다. 도 3c2에 나타낸 도통 상태에 있어서는, 제1 용량소자(50)와 제1 액정소자(31) 사이의 접속을 서로 도통 상태로 하고, 제2 액정소자(32)에 대해서는 어떤 소자와도 비도통 상태로 한다.

- [0120] <도통 상태의 순서>
- [0121] 이상에서 설명한 것과 같이, 제1 화소 구성의 기능 (3)에 있어서 제1 회로(10)가 가져야 할 기능이란, 전술한 동작 A 및 동작 B를 실현하기 위해 필요하게 되는 도통 상태를 체계적으로 얻을 수 있는 기능이다. 도 3d는 이 기능에 있어서의 도통 상태의 순서를 간단하게 나타낸 것이다.
- [0122] 첫 번째는 다음과 같다. 처음에 제1 도통 상태로서 도 3a에 나타난 도통 상태를 취하고, 다음에 제2 도통 상태로서 도 3b1에 나타난 도통 상태를 취하고, 다음에 제3 도통 상태로서 도 3c1에 나타난 도통 상태를 취하고, 다음에 제4 도통 상태로서 도 3c2에 나타난 도통 상태를 취한다. 이때, 이 순서일 때, 제1 도통 상태가 되어 리셋된 후의 전압을 V_1 , 제2 도통 상태가 되어 기록이 행해진 후의 전압을 V_2 , 제3 도통 상태가 되어 전하가 분배된 후의 전압을 V_2' , 제4 도통 상태가 되어 전하가 분배된 후의 전압을 V_2'' 으로 사정하면, 액정소자가 노멀리 블랙인 경우에는, $V_1 < V_2 < V_2' < V_2''$ 이 성립한다. 액정소자가 노멀리 화이트인 경우에는, $V_2 < V_2' < V_2'' < V_1$ 이 성립한다. 구체적으로, 제4 도통 상태가 얻어진 후, 각 액정소자에 걸리는 전압은, 제1 액정소자(31)에 대해서는 V_2'' , 제2 액정소자(32)에 대해서는 V_2' 이다($V_4=V_5=0$ 일 때). 따라서, 전술한 동작 A 및 동작 B를 실현할 수 있으므로, 전술한 이점을 갖는 액정 표시장치를 실현할 수 있다.
- [0123] 두 번째는 다음과 같다. 처음에 제1 도통 상태로서 도 3a에 나타난 도통 상태를 취하고, 다음에 제2 도통 상태로서 도 3b1에 나타난 도통 상태를 취하고, 다음에 제3 도통 상태로서 도 3c2에 나타난 도통 상태를 취하고, 다음에 제4 도통 상태로서 도 3c1에 나타난 도통 상태를 취한다. 이때, 도통 상태의 변화에 의해 생기는 전압(V_2' , V_2'')의 대소 관계는 첫 번째 순서와 같지만, 각각의 액정소자에 걸리는 전압이 역으로 되어 있다. 구체적으로는, 제4 도통 상태가 얻어진 후, 각 액정소자에 걸리는 전압은, 제1 액정소자(31)에 대해서는 V_2' , 제2 액정소자(32)에 대해서는 V_2'' 이다($V_4=V_5=0$ 일 때). 따라서, 전술한 동작 A 및 동작 B를 실현할 수 있으므로, 전술한 이점을 갖는 액정 표시장치를 실현할 수 있다.
- [0124] 세 번째는 다음과 같다. 처음에 제1 도통 상태로서 도 3a에 나타난 도통 상태를 취하고, 다음에 제2 도통 상태로서 도 3b2에 나타난 도통 상태를 취하고, 다음에 제3 도통 상태로서 도 3c2에 나타난 도통 상태를 취하고, 다음에 제4 도통 상태로서 도 3c1에 나타난 도통 상태를 취한다. 이때, 도통 상태의 변화에 의해 생기는 전압(V_2' , V_2'')의 대소 관계는 첫 번째 순서와 같지만, 각각의 액정소자에 걸리는 전압이 역으로 되어 있다. 구체적으로는, 제4 도통 상태가 얻어진 후, 각 액정소자에 걸리는 전압은, 제1 액정소자(31)에 대해서는 V_2' , 제2 액정소자(32)에 대해서는 V_2'' 이다($V_4=V_5=0$ 일 때). 따라서, 전술한 동작 A 및 동작 B를 실현할 수 있으므로, 전술한 이점을 갖는 액정 표시장치를 실현할 수 있다.
- [0125] 네 번째는 다음과 같다. 처음에 제1 도통 상태로서 도 3a에 나타난 도통 상태를 취하고, 다음에, 제2 도통 상태로서 도 3b3에 나타난 도통 상태를 취하고, 다음에, 제3 도통 상태로서 도 3c1에 나타난 도통 상태를 취하고, 다음에, 제4 도통 상태로서 도 3c2에 나타난 도통 상태를 취한다. 도통 상태의 변화에 의해 생기는 전압(V_2' , V_2'')의 대소 관계는, 첫 번째 순서와 같다. 구체적으로는, 제4 도통 상태가 얻어진 후, 각 액정소자에 걸리는 전압은, 제1 액정소자(31)에 대해서는 V_2'' , 제2 액정소자(32)에 대해서는 V_2' 이다($V_4=V_5=0$ 일 때). 따라서, 전술한 동작 A 및 동작 B를 실현할 수 있으므로, 전술한 이점을 갖는 액정 표시장치를 실현할 수 있다.
- [0126] 이때, 첫 번째로 든 순서에 의해 생기는 전압(V_2' , V_2'')과, 네 번째로 든 순서에 의해 생기는 전압(V_2' , V_2'')은 반드시 동일하게는 되지 않는 점에 주의가 필요하다. 왜냐하면, 첫 번째로 든 순서에 있어서의 데이터 전압의 기록은 제1 용량소자(50)에 대해 행해지는 한편, 네 번째로 든 순서에 있어서의 데이터 전압의 기록은 제2 액정소자(32)에 대해 행해지기 때문이다. 즉, 기록 상태 이후의 분배 상태가 동일해도, 제1 용량소자(50)와 제2 액정소자(32)의 정전용량값이 다르므로, 분배되는 전하량의 총 합계가 달라짐으로써, 분배후에 생기는 전압도 달라지는 것이다. 이 차이에 의해, 각 소자의 제조상의 격차의 정도에 따라서 최적의 기능을 선택할 수 있다고 하는 이점이 있다. 이 이점에 대해서는 이미 서술했기 때문에, 상세한 설명은 생략한다. 이때, 두 번째의 순서와 세 번째의 순서도 유사한 관계를 가지므로, 이것들도 유사한 이점을 갖고 있다.

[0127] <제2 화소 구성>

- [0128] 여기까지는, 1개의 제1 회로(10)와 2개의 액정소자를 갖는 화소 구성에 대해 설명해 왔다. 그렇지만, 전술한 동작 A 및 동작 B를 동시에 만족시키기 위한 화소 구성이 갖는 액정소자의 수는, 2개보다도 많아도 된다. 여기에서는, 제2 화소 구성으로서, 1개의 제1 회로(10)와 3개의 액정소자를 갖는 화소 구성에 대해 설명한다.
- [0129] 일반적으로, 서브 화소의 수가 많을수록, 표시의 시야각 의존성을 잘 평균화할 수 있게 되기 때문에, 시야각 확대에 대한 효과는 크다. 그러나, 종래의 화소 구성에서는, 서브 화소의 수를 많게 하면 할수록, 그것의 구동을 위한 주변회로의 부담이 증대하여, 소비 전력의 증가 등을 초래한다. 그러나, 본 실시예에 있어서의 화소 구성에서는, 서브 화소의 수를 많게 해도, 그것의 구동은 분배를 행하는 도통 상태의 수를 늘리는 것으로 실현할 수 있고, 주변회로의 부담은 거의 증대하지 않는 것이, 큰 이점으로 되고 있다.
- [0130] 도 4a에 제2 화소 구성을 나타낸다. 제2 화소 구성은, 도 1a에 나타낸 제1 화소 구성에 제3 서브 화소(43)를 추가한 구성이다. 제3 서브 화소(43)는, 제3 액정소자(33)와, 제6 배선(23)을 포함하고 있다. 그리고, 제3 액정소자(33)의 한쪽의 전극은 제1 회로(10)와 전기적으로 접속되고, 다른 쪽의 전극은 제6 배선(23)과 전기적으로 접속되어 있다. 이때, 제6 배선(23)에는 전압 V_6 가 가해지고 있는 것으로 한다.
- [0131] 이때, 제2 화소 구성에 포함된 회로에 존재하는 제1 내지 제6 배선, 각각이 갖는 역할로부터 구별하면 다음과 같다. 제1 배선(11)은, 리셋 전압 V_1 이 가해지는 리셋 선으로서의 기능을 가질 수 있다. 제2 배선(12)은, 데이터 전압 V_2 이 가해지는 데이터 선으로서의 기능을 가질 수 있다. 제3 배선(13)은, 제1 용량소자(50)에 가해지는 전압을 제어하기 위한 공통선으로서의 기능을 가질 수 있다. 제4 배선(21)은, 제1 액정소자(31)에 가해지는 전압을 제어하기 위한 액정 공통 전극으로서의 기능을 가질 수 있다. 제5 배선(22)은, 제2 액정소자(32)에 가해지는 전압을 제어하기 위한 액정 공통 전극으로서의 기능을 가질 수 있다. 제6 배선(23)은, 제3 액정소자(33)에 가해지는 전압을 제어하기 위한 액정 공통 전극으로서의 기능을 가질 수 있다. 단, 이것에 한정되지 않고 각 배선은 다양한 역할을 가질 수 있다. 특히, 같은 전압을 가하기 위한 배선은 서로 전기적으로 접속된 공통의 배선으로 할 수 있다. 공통의 배선으로 함으로써 회로에 있어서의 배선의 면적을 저감할 수 있으므로, 개구율을 향상시킬 수 있고, 그 결과, 소비 전력을 저감할 수 있다.
- [0132] <도통 상태의 순서>
- [0133] 제2 화소 구성에 포함되는 제1 회로(10)가 가져야 할 기능은, 제1 화소 구성과 마찬가지로, 전술한 동작 A 및 동작 B를 실현하기 위해 필요하게 되는 도통 상태를 체계적으로 얻을 수 있는 기능이다. 각 도통 상태의 상세한 설명은 여기에서는 생략한다. 도 4b는 리셋 상태를 나타낸 것이다. 도 4c1은 제3 액정소자(33)만 비도통 상태로 한 기록 상태를 나타낸 것이다. 도 4c2는 제2 액정소자(32)만 비도통 상태로 한 기록 상태를 나타낸 것이다. 도 4c3은 제1 액정소자(31)만 비도통 상태로 한 기록 상태를 나타낸 것이다. 도 4c4는 제1 용량소자(50)만 비도통 상태로 한 기록 상태를 나타낸 것이다. 도 5d1은 제1 용량소자(50)와 제3 액정소자(33) 사이의 접속을 도통 상태로 하고 다른 소자는 비도통 상태로 한 분배 상태를 나타낸 것이다. 도 5d2는 제1 용량소자(50)와 제2 액정소자(32) 사이의 접속을 도통 상태로 하고 다른 소자는 비도통 상태로 한 분배 상태를 나타낸 것이다. 도 5d3은 제1 용량소자(50)와 제1 액정소자(31) 사이의 접속을 도통 상태로 하고 다른 소자는 비도통 상태로 한 분배 상태를 나타낸 것이다.
- [0134] 그리고, 이 기능에 있어서의 도통 상태의 순서로서, 도 5e에 간단히 나타낸 것과 같이 적어도 12가지의 순서 패턴이 가능하다. 상세한 설명은 생략하지만, 도 4b의 리셋 상태 후, 도 4c1 내지 도 4c3의 기록 상태를 취한 경우에는, 제1 분배 상태로서, 기록 상태시에 기록이 행해지지 않은 액정소자와 제1 용량소자(50) 사이의 접속이 도통된다. 그후, 제2 분배 상태로서, 제1 분배 상태에 있어서 제1 용량소자(50)와 도통되지 않은 액정소자와 제1 용량소자(50)를 도통시킨다. 따라서, 도 4c1 내지 도 4c3의 기록 상태를 취한 경우에는, 각각 2가지 패턴의 분배 상태가 가능하므로, 합쳐서 6가지 패턴의 순서가 가능하다. 한편, 도 4b의 리셋 상태 후, 도 4c4의 기록 상태를 취한 경우에는, 제1 분배 상태로서, 도 5d1 내지 도 5d3의 어느 1개의 분배 상태를 취할 수 있다. 그리고, 이들 3가지 패턴의 제1 분배 상태가 각각 2가지 패턴의 제2 분배 상태를 취할 수 있으므로, 합쳐서 6가지 패턴의 순서가 가능하다. 따라서, 모두 합쳐서 12가지 패턴의 순서가 가능하다.
- [0135] 이때, 전술한 동작 A 및 동작 B를 실현하기 위해 필요하게 되는 도통 상태는, 위에 예를 든 도통 상태 이외에도 존재한다. 위에 든 예는, 제2 화소 구성에 있어서, 기록 상태시에 4개의 소자(제1 용량소자(50), 제1

액정소자(31), 제2 액정소자(32), 제3 액정소자(33)) 중, 어느 3개에 기록을 행하고, 나머지의 1개는 기록을 행하지 않는 경우이다. 이 이외에도, 기록 상태시에 4개의 소자 중 어느 것인가 2개를 기록 상태로 하고, 나머지의 2개는 기록을 행하지 않는 경우, 또는, 기록 상태시에 4개의 소자 중 어느 1개를 기록 상태로 하고, 나머지의 3개는 기록을 행하지 않는 경우를 들 수 있다. 상세한 설명은 생략하지만, 어느 기록 상태라도, 그후에 도 5d1 내지 도 5d3에 나타난 분배 상태를 적절하게 선택함으로써, 기록된 전하를 복수의 액정소자에 분배하여, 전술한 동작 A 및 동작 B를 실현할 수 있다.

[0136] 이때, 서브 화소의 수가 4개 이상으로 된 경우에 있어서도, 지금까지 든 예 와 마찬가지로, 기록 상태 및 분배 상태를 적절하게 선택함으로써, 기록된 전하를 복수의 액정소자에 분배하여, 전술한 동작 A 및 동작 B를 실현할 수 있다. 따라서, 전술한 이점을 갖는 액정 표시장치를 실현할 수 있다.

[0137] 이때, 본 실시예를 다양한 도면을 사용해서 서술해 왔지만, 각각의 도면에서 서술한 내용(그 내용의 일부이어도 된다)은, 다른 도면에서 서술한 내용(그 내용의 일부이어도 된다), 다른 실시예의 도면에서 서술한 내용(그 내용의 일부이어도 된다)에 대해, 적용, 조합, 또는 치환 등을 자유롭게 행할 수 있다. 더구나, 지금까지 서술한 도면에 있어서, 각각의 부분은 다른 부분과, 다른 실시예의 다른 부분과 조합할 수 있다.

[0138] (실시예 2)

[0139] 본 실시예에 있어서는, 실시예 1에서 설명한 제1 화소 구성에 대해 보다 구체화해서 설명한다. 실시예 1에 있어서는, 제1 회로(10) 내부의 도통 상태만에 착안해서 설명했지만, 본 실시예에 있어서는, 제1 회로(10)에 포함되는 복수의 스위치의 도통 상태, 및 각 스위치의 도통 상태가 전환하는 타이밍(타이밍 차트)도 언급한다.

[0140] <회로예 (1)>

[0141] 회로예 (1)로서, 도 6a 내지 도 6d에, 실시예 1에서 설명한 제1 회로(10)의 기능 (3)의 일부와 기능 (1)을 실현하는 회로를 나타낸다. 여기에서, 기능 (3)의 일부란, 이미 서술한 기능 (3) 중에서, 제1 용량소자(50)에만 선택적으로 데이터 전압을 기록하는 도통 상태를 포함하는 기능이다.

[0142] 우선, 도 6a에 나타난 회로예에 대해 설명한다. 도 6a에 나타난 회로예는, 제1 스위치(SW1), 제2 스위치(SW2), 제3 스위치(SW3), 제4 스위치(SW4), 제1 용량소자(50), 제2 용량소자(51), 제3 용량소자(52), 제1 액정소자(31), 제2 액정소자(32), 제1 배선(11), 제2 배선(12), 제3 배선(13), 제4 배선(21), 제5 배선(22), 제6 배선(71), 제7 배선(72)을 포함한다.

[0143] 제1 용량소자(50)의 한쪽의 전극은 제3 배선(13)과 전기적으로 접속된다. 여기에서, 제1 용량소자(50)의 전극 중, 제3 배선(13)과 전기적으로 접속된 전극과는 다른 전극 쪽을, 용량전극으로 부르는 것으로 한다.

[0144] 제1 액정소자(31)의 한쪽의 전극은 제4 배선(21)과 전기적으로 접속된다. 여기에서, 제1 액정소자(31)의 전극 중, 제4 배선(21)과 전기적으로 접속된 전극과는 다른 전극 쪽을, 제1 화소 전극으로 부르는 것으로 한다.

[0145] 제2 액정소자(32)의 한쪽의 전극은 제5 배선(22)과 전기적으로 접속된다. 여기에서, 제2 액정소자(32)의 전극 중, 제5 배선(22)과 전기적으로 접속된 전극과는 다른 전극 쪽을, 제2 화소 전극으로 부르는 것으로 한다.

[0146] 제1 스위치 SW1의 한쪽의 전극은 제2 배선(12)과 전기적으로 접속되고, 제1 스위치 SW1의 다른 쪽의 전극은 용량전극과 전기적으로 접속된다. 제2 스위치 SW2의 한쪽의 전극은 용량전극과 전기적으로 접속되고, 제2 스위치 SW2의 다른 쪽의 전극은 제1 화소 전극과 전기적으로 접속된다. 제3 스위치 SW3의 한쪽의 전극은, 용량전극과 전기적으로 접속되고, 제3 스위치 SW3의 다른 쪽의 전극은 제2 화소 전극과 전기적으로 접속된다. 제4 스위치 SW4의 한쪽의 전극은 용량전극과 전기적으로 접속되고, 제4 스위치 SW4의 다른 쪽의 전극은 제1 배선(11)과 전기적으로 접속된다.

[0147] 제2 용량소자(51)의 한쪽의 전극은 제1 화소 전극과 전기적으로 접속되고, 제2 용량소자(51)의 다른 쪽의 전극은 제6 배선(71)과 전기적으로 접속된다. 제3 용량소자(52)의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속되고, 제3 용량소자(52)의 다른 쪽의 전극은 제7 배선(72)과 전기적으로 접속된다.

[0148] 이때, 제2 용량소자(51) 및 제3 용량소자(52)는, 나중에 서술하는 리셋 유지 상태 또는 데이터 유지 상태에 있어서, 각각의 액정 소자에 가해지는 전압의 시간에 따른 변화를 억제하기 위해, 즉 전압의 유지를 도모하기 위해서, 제1 액정소자(31) 및 제2 액정소자(32) 각각에 대해 설치되는 것이다. 여기에서, 전압의 시간에 따른 변화는, 각 스위치의 오프 상태시의 전류(누설 전류), 각 액정소자에 흐르는 누설 전류, 또는 각 액정소자의 정전용량의 변화 등에 의해 야기된다. 이 때문에, 이것들의 영향이 작은 상태에 있는 경우, 제2 용량소자(51) 및 제3 용량소자(52)는 반드시 설치되지 않아도 된다. 이때, 이것은, 회로예 (1) 뿐만 아니라, 본 명세서에 있어서의 모든 회로에 대해 적용할 수 있다.

[0149] 이때, 제1 용량소자(50), 제2 용량소자(51) 및 제3 용량소자(52)의 정전용량값 C_{50} , C_{51} 및 C_{52} 은, $C_{50} > C_{51}$ 및 $C_{50} > C_{52}$ 라고 하는 대소관계인 것이 바람직하다. 왜냐하면, 제1 용량소자(50)는, 분배 상태시에 단독으로 사용되지만, 제2 용량소자(51) 및 제3 용량소자(52)는, 각각 제1 액정소자(31) 및 제2 액정소자(32)의 보조용량으로서 사용되기 때문이다. 더욱 상세하게는, $(1/2)C_{50} > C_{51}$ 및 $(1/2)C_{50} > C_{52}$ 인 것이 바람직하다. C_{51} 및 C_{52} 는 거의 동일해도 되고, 각각의 화소 전극의 크기에 따라서 차이를 가져도 된다. 예를 들면, 제1 화소 전극의 크기가 제2 화소 전극의 크기보다도 큰 경우에는, $C_{51} > C_{52}$ 로 하는 것이 바람직하다. 마찬가지로, 제1 액정소자(31)의 정전용량값 C_{31} 과 제2 액정소자(32)의 정전용량값 C_{32} 는 거의 동일해도 되고, 각각의 화소 전극의 크기에 따라 차이를 가져도 된다. 예를 들면, 제1 화소 전극의 크기가 제2 화소 전극의 크기보다도 큰 경우에는, $C_{31} > C_{32}$ 로 하는 것이 바람직하다.

[0150] <회로예 (1)의 제어>

[0151] 다음에, 도 6a에 나타낸 회로예의 각 스위치의 제어 타이밍에 대해 도 6e를 참조해서 설명한다. 도 6e에 나타낸 타이밍 차트에 따라 각 스위치를 제어함으로써, 실시예 1에서 설명한 기능 (1)을 실현할 수 있다. 도 6e에 나타낸 타이밍 차트의 횡축은 시간을 나타낸다. 시간축을 따라, 제1 스위치 SW1, 제2 스위치 SW2, 제3 스위치 SW3 및 제4 스위치 SW4의 각각의 도통 상태가 표시되어 있다. 더구나, 각각의 타이밍에 있어서의 제1 용량소자(50), 제1 액정소자(31) 및 제2 액정소자(32)에 가해지고 있는 전압도, 함께 표시되어 있다.

[0152] <리셋 상태>

[0153] 우선, 앞의 프레임에 있어서 화소에 기록된 전압이 다음 프레임에 있어서 기록되는 전압에 영향을 미치는 것을 피하기 위해, 제1 회로(10)는 리셋 상태를 취한다. 이 상태를 표시한 것이 기간 <P1>이다. 기간 <P1>에 있어서는, 제1 용량소자(50), 제1 액정소자(31) 및 제2 액정소자(32)에, 리셋 전압 V_1 을 가하는 것이 목적이다. 한편, 데이터 전압 V_2 가 가해지고 있는 제2 배선(12)과, 리셋 전압 V_1 이 가해지고 있는 제1 배선(11)은 비도통 상태인 것이 바람직하다. 이것은, 전압차가 있는 제1 배선(11)과 제2 배선(12)이 직접적으로 도통 상태가 됨으로써, 큰 전류가 흘러 소비 전력이 증대하기 때문이다. 이상의 이유에 의해, 기간 <P1>에 있어서, 제1 스위치 SW1은 오프 상태이고, 제2 스위치 SW2는 온 상태이며, 제3 스위치 SW3은 온 상태이고, 제4 스위치 SW4는 온 상태로 한다. 기간 <P1>은, 1 게이트 선택 기간과 같은 정도의 길이인 것이 바람직하지만, 전하의 이동이 완료할 때까지의 시간을 고려하여, 기간 <P1>을 1 게이트 선택 기간보다 길게 해도 된다.

[0154] <리셋 유지 상태>

[0155] 기간 <P2>는, 제1 액정소자(31) 및 제2 액정소자(32)에, 리셋 전압 V_1 을 계속해서 가하는 것이 목적이다. 또한, 기간 <P1>과 마찬가지로, 제2 배선(12)과 제1 배선(11) 사이의 접속은 비도통 상태인 것이 바람직하다. 이 목적을 위해, 도 6e에 나타낸 타이밍 차트에 있어서 SW1 내지 SW4를 모두 오프 상태로 하고 있다. 그렇지만, 상기한 목적을 달성하기 위한 각 스위치의 상태는, 도 6e에 나타낸 상태 이외에도 존재한다. 즉, 기간 <P2>의 목적은 제1 액정소자(31) 및 제2 액정소자(32)에 리셋 전압 V_1 을 계속해서 가할 수 있으면 달성되기 때문에, 예를 들면, 기간 <P1>과 마찬가지로, SW1은 오프 상태, SW2 내지 SW4는 온 상태이어도 된다. 더욱 일반화하면, SW1이 오프 상태이면, SW2 내지 SW4는 각각 온 상태이어도, 오프 상태이어도 된다. 이와 같이 함으로써,

제1 액정소자(31) 및 제2 액정소자(32)에 리셋 전압 V_1 을 계속해서 가할 수 있고, 또한, 제1 배선(11)과 제2 배선(12) 사이의 접속이 직접 도통 상태로는 되지 않으므로, 기간 <P2>의 목적을 달성할 수 있다.

[0156] 이때, 기간 <P2>에 있어서는 표시장치의 표시는 흑 표시가 된다. 따라서, 기간 <P2>가 길수록, 동화상 표시시의 화질을 향상할 수 있다. 한편, 기간 <P2>이 짧을수록, 표시의 플리커를 저감할 수 있다. 이때, 기간 <P2>은 기간 <P1>보다도 긴 쪽이 바람직하다.

[0157] <기록 상태>

[0158] 기간 <P3>은, 제1 용량소자(50) 및 제1 액정소자(31)에, 데이터 전압 V_2 을 가하는 것이 목적이다. 이 목적을 위하여, 도 6e에 나타난 타이밍 차트에 있어서는, SW1은 온 상태, SW2는 온 상태, SW3은 오프 상태, SW4는 오프 상태로 되어 있다. 이때, 회로예 (1)에 있어서는, 기간 <P3>에 있어서, 제1 용량소자(50) 및 제2 액정소자(32)에, 데이터 전압 V_2 을 가할 수도 있다. 그 경우는, SW1은 온 상태, SW2는 오프 상태, SW3은 온 상태, SW4는 오프 상태로 한다.

[0159] 기간 <P3>에 있어서의 도통 상태에 따라, 도 6e에 나타난 것과 같이, 제1 용량소자(50) 및 제1 액정소자(31)(또는 제2 액정소자(32))에 가해지는 전압은, 데이터 전압 V_2 가 되고, 제2 액정소자(32)(또는 제1 액정소자(31))에 가해지는 전압은, 리셋 전압 V_1 에서 유지된다. 이때, 기간 <P3>은, 1 게이트 선택 기간과 동일한 정도의 길이인 것이 바람직하다.

[0160] <분배 상태>

[0161] 기간 <P4>은, 제1 용량소자(50)와 제2 액정소자(32) 사이의 접속을 도통 상태로 하여, 전하를 분배하는 것이 목적이다. 이 목적을 위해, 도 6e에 나타난 타이밍 차트에 있어서는, SW1은 오프 상태, SW2는 오프 상태, SW3은 온 상태, SW4는 오프 상태로 하고 있다. 이때, 기간 <P3>에 있어서 제1 용량소자(50) 및 제2 액정소자(32)에 데이터 전압 V_2 을 가한 경우에는, 기간 <P4>에 있어서는 제1 용량소자(50)와 제1 액정소자(31) 사이의 접속을 도통 상태로 하여, 전하를 분배한다. 이 경우에는, SW1은 오프 상태, SW2는 온 상태, SW3은 오프 상태, SW4는 오프 상태로 한다.

[0162] 도 6e에 나타난 것과 같이, 기간 <P4>에 있어서의 도통 상태에 의해, 제1 용량소자(50) 및 제2 액정소자(32)(또는 제1 액정소자(31))에 가해지는 전압은, 분배후의 데이터 전압 V_2' 이 되고, 제1 액정소자(31)(또는 제2 액정소자(32))에 가해지는 전압은, 데이터 전압 V_2 로 유지된다. 이때, 기간 <P4>은 1 게이트 선택 기간과 동일한 정도의 길이인 것이 바람직하지만, 전하의 이동이 완료할 때까지의 시간을 고려하여, 기간 <P4>를 기간 <P3>보다 길게 해도 된다.

[0163] <데이터 유지 상태>

[0164] 기간 <P5>에 있어서는, 기간 <P4>에 있어서 각 액정소자에 가해진 전압을 계속해서 가하는 것이 목적이다. 또한, 다른 기간과 마찬가지로, 제2 배선(12)과 제1 배선(11)은 비도통 상태인 것이 바람직하다. 이 목적을 위해, 6e에 나타난 타이밍 차트에 있어서는 SW1 내지 SW4를 모두 오프 상태로 하고 있다. 그렇지만, 상기한 목적을 달성하기 위한 각 스위치의 상태는, 도 6e에 나타난 것 이외에도 존재한다. 예를 들면, SW1, SW2, SW4가 오프 상태이면, SW3은 오프 상태이어도 되고 온 상태이어도 된다. 이와 같은 상태로 함으로써, 기간 <P4>에 있어서 각 액정소자에 가해진 전압을 계속해서 가할 수 있고, 또한, 제1 배선(11)과 제2 배선(12) 사이의 접속이 직접 도통 상태로는 되지 않으므로, 기간 <P5>의 목적을 달성할 수 있다. 이때, 기간 <P5>은, 기간 <P3>보다도 긴 쪽이 바람직하다.

[0165] <회로예 (1)의 제어 (2)>

[0166] 다음에, 도 6a에 나타난 회로예가 갖는 각 스위치의 제어 타이밍의 다른 예에 대해, 도 6f를 참조해서

설명한다. 도 6f에 나타난 타이밍 차트에 따라 각 스위치를 제어함으로써, 실시예 1에서 설명한 기능 (3)의 일부를 실현할 수 있다. 도 6f에 나타난 타이밍 차트의 표시 형식은, 도 6e에 나타난 타이밍 차트의 표시 형식과 유사하다.

[0167] 여기에서, 기능 (3)의 일부란, 제1 용량소자(50)에만 선택적으로 기록하는 도통 상태를 포함하는 기능이다. 이때, 회로예 (1)의 제어 (1)과 회로예 (1)의 제어 (2)에서 각 스위치의 도통 상태의 차이는, 기록 상태와 분배 상태뿐이기 때문에, 그 밖의 도통 상태의 상세한 설명은 생략한다.

[0168] <기록 상태>

[0169] 기간 <P1>에 있어서의 리셋 상태와 기간 <P2>에 있어서의 리셋 유지 상태를 거친 후, 기간 <P3>에 있어서는, 제1 용량소자(50)에 대해서만 데이터 전압 V_2 을 가하는 것이 목적이다. 이 목적을 위해, 도 6f에 나타난 타이밍 차트에 있어서는, SW1은 온 상태, SW2는 오프 상태, SW3은 오프 상태, SW4는 오프 상태로 하고 있다. 회로예 (1)의 제어 (1)에서는, SW2는 온 상태이었던 것을 오프 상태로 하는 점이, 제어 (2)가 제어 (1)과는 다른 점이다. 이 차이에 의해, 제1 용량소자(50)에 대해서만 데이터 전압 V_2 을 가할 수 있다. 이때, 기간 <P3>는 1 게이트 선택 기간과 동일한 정도의 길이인 것이 바람직하다.

[0170] <분배 상태>

[0171] 기간 <P4-1>은, 제1 용량소자(50)와 제1 액정소자(31) 사이의 접속을 도통 상태로 하여, 전하를 분배하는 것이 목적이다. 이 목적을 위해, 도 6f에 나타난 타이밍 차트에 있어서는, SW1은 오프 상태, SW2는 온 상태, SW3은 오프 상태, SW4는 오프 상태로 하고 있다. 기간 <P4-2>은, 제1 용량소자(50)와 제2 액정소자(32) 사이의 접속을 도통 상태로 하여, 전하를 분배하는 것이 목적이다. 이 목적을 위해, 도 6f에 나타난 타이밍 차트에 있어서는, SW1은 오프 상태, SW2는 오프 상태, SW3은 온 상태, SW4는 오프 상태로 하고 있다. 이와 같이, 제1 용량소자(50)와 다른 타이밍으로 제1 액정소자(31)와 제2 액정소자(32)에 전하의 분배를 행함으로써, 도 6f에 나타난 것과 같이, 제1 액정소자(31)에 가해지는 전압은 데이터 전압 V_2' 이 되고, 제1 용량소자(50) 및 제2 액정소자(32)에 가해지는 전압은, 2회째의 분배후의 데이터 전압 V_2'' 으로 된다. 이때, 기간 <P4-1> 및 <P4-2>은 1 게이트 선택 기간과 동일한 정도의 길이인 것이 바람직하지만, 전하의 이동이 완료할 때까지의 시간을 고려하여, 기간 <P4-1> 및 <P4-2> 각각은 기간 <P3>보다 길게 해도 된다.

[0172] 이때, 제1 액정소자(31)와 제2 액정소자(32)에서 분배하는 순서를 반대로 해도 된다. 그 경우, 2회째의 분배후에 제1 액정소자(31)와 제2 액정소자(32)에 가해지는 전압은, 위에서 나타난 예와는 반대가 된다.

[0173] <회로예 (1)의 다른 예>

[0174] 여기에서, 위에서 설명한 회로예 (1)과 유사한 제어를 행하는 것이 가능한 다른 회로예에 대해 설명한다. 도 6a에 나타난 회로예 (1)에서, 제4 스위치 SW4와, 제4 스위치 SW4의 한쪽의 전극과 전기적으로 접속된 제1 배선(11)을 합친 부분을 리셋 회로(90)로 부르기로 한다. 제1 회로(10)가 리셋 상태를 취할 수 있도록 하기 위해서는, 리셋 회로(90)는 제1 회로의 내부 전극(대표적으로는 용량 전극, 제1 화소 전극 및 제2 화소 전극) 중 어느 1개와 전기적으로 접속되어 있으면 된다. 즉, 리셋 회로(90)를 용량 전극과 전기적으로 접속한 예가 도 6a에 나타난 회로이다. 리셋 회로(90)를 제1 화소 전극과 전기적으로 접속한 예가 도 6b에 나타난 회로이다. 리셋 회로(90)를 제2 화소 전극과 전기적으로 접속한 예가 도 6c에 나타난 회로이다. 도 6b 및 도 6c에 나타난 회로의 제어는 이미 설명한 도 6a에 나타난 회로의 제어와 동일한 것을 사용할 수 있기 때문에, 상세한 설명은 생략한다.

[0175] 도 6d에 나타난 회로는, 도 6a 내지 도 6c에 나타난 회로에 있어서 리셋 회로(90)가 생략된 예이다. 도 6d에 나타난 회로에 있어서는, 제2 배선(12)에 공급되는 전압을 기간 <P3>에 있어서는 데이터 전압 V_2 로 하고, 기간 <P1>에 있어서는 리셋 전압 V_1 으로 한다. 또한, 기간 <P1>에 있어서 제1 스위치 SW1을 온 상태로 함으로써, 리셋 상태를 실현한다. 한편, 다른 기간에 있어서는, 지금까지 설명한 것과 유사한 제어를 행함으로써, 기록 상태를 실현한다. 이와 같이, 리셋 회로(90)를 사용하지 않아도, 제2 배선(12) 및 제1 스위치 SW1을

리셋용으로도 사용함으로써, 도 6a 내지 도 6c에 나타난 회로와 유사한 기능을 실현하는 것이 가능하다.

[0176] 이때, 도 6e 및 도 6f에 나타난 타이밍 차트는 일례이며, 목적을 달성하는 것이 가능한 제어방법은 그 이외에도 존재한다. 도 6a에 나타난 회로의 다른 제어방법에 대해 상세하게 설명했지만, 도 6b 내지 도 6d에 나타난 회로에 대해서는 설명을 생략한다. 다른 제어방법에 있어서의 각 회로의 각 스위치의 도통 상태는 도 6a에 나타난 회로의 제어방법에서 설명한 사고방식에 따라 결정되면 된다.

[0177] <회로예 (2)>

[0178] 회로예 (2)로서, 도 7a 내지 도 7d에, 실시예 1에서 설명한 제1 회로(10)의 기능 (2)을 실현할 수 있는 회로를 나타낸다.

[0179] 우선, 도 7a에 나타난 회로예에 대해 설명한다. 도 7a에 나타난 회로에는, 제1 스위치(SW1), 제2 스위치(SW2), 제3 스위치(SW3), 제4 스위치(SW4), 제1 용량소자(50), 제2 용량소자(51), 제3 용량소자(52), 제1 액정소자(31), 제2 액정소자(32), 제1 배선(11), 제2 배선(12), 제3 배선(13), 제4 배선(21), 제5 배선(22), 제6 배선(71), 제7 배선(72)을 포함한다.

[0180] 제1 용량소자(50)의 한쪽의 전극은 제3 배선(13)과 전기적으로 접속된다. 여기에서, 제1 용량소자(50)의 전극 중, 제3 배선(13)과 전기적으로 접속된 전극과는 다른 전극 쪽을, 용량 전극으로 부르는 것으로 한다. 이것은 회로예 (1)와 유사하다.

[0181] 제1 액정소자(31)의 한쪽의 전극은 제4 배선(21)과 전기적으로 접속된다. 여기에서, 제1 액정소자(31)의 전극 중, 제4 배선(21)과 전기적으로 접속된 전극과는 다른 전극쪽을, 제1 화소 전극으로 부르는 것으로 한다. 이것은 회로예 (1)와 유사하다.

[0182] 제2 액정소자(32)의 한쪽의 전극은 제5 배선(22)과 전기적으로 접속된다. 여기에서, 제2 액정소자(32)의 전극 중, 제5 배선(22)과 전기적으로 접속된 전극과는 다른 전극쪽을, 제2 화소 전극으로 부르는 것으로 한다. 이것은, 회로예 (1)와 유사하다.

[0183] 제1 스위치 SW1의 한쪽의 전극은 제2 배선(12)과 전기적으로 접속되고, 제1 스위치 SW1의 다른 쪽의 전극은, 제2 화소 전극과 전기적으로 접속된다. 제2 스위치 SW2의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속되고, 제2 스위치 SW2의 다른 쪽의 전극은 제1 화소 전극과 전기적으로 접속된다. 제3 스위치 SW3의 한쪽의 전극은 용량 전극과 전기적으로 접속되고, 제3 스위치 SW3의 다른 쪽의 전극은 제2 화소 전극과 전기적으로 접속된다. 제4 스위치 SW4의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속되고, 제4 스위치 SW4의 다른 쪽의 전극은 제1 배선(11)과 전기적으로 접속된다.

[0184] 제2 용량소자(51)의 한쪽의 전극은 제1 화소 전극과 전기적으로 접속되고, 제2 용량소자(51)의 다른 쪽의 전극은 제6 배선(71)과 전기적으로 접속된다. 제3 용량소자(52)의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속되고, 제3 용량소자(52)의 다른 쪽의 전극은 제7 배선(72)과 전기적으로 접속된다.

[0185] <회로예 (2)의 제어>

[0186] 다음에, 도 7a에 나타난 회로예의 각 스위치의 제어 타이밍에 대해, 도 7e를 참조해서 설명한다. 도 7e에 나타난 타이밍 차트에 따라 각 스위치를 제어함으로써, 실시예 1에서 설명한 기능 (2)을 실현할 수 있다. 이때, 도 7e에 나타난 타이밍 차트의 각 스위치의 제어 타이밍은 도 6e에 나타난 것과 유사하지만, 도 7e의 하단에 나타난 제1 용량소자(50), 제1 액정소자(31), 제2 액정소자(32)에 각각 가해지는 전압값이 도 6e에 나타난 것과는 다르다.

[0187] 이때, 회로예 (1)의 설명과 공통되는 부분에 대해서는, 설명을 생략한다.

[0188] <리셋 상태>

[0189] 우선, 앞의 프레임에 있어서 화소에 기록된 전압이 다음 프레임에 있어서 기록되는 전압에 영향을 미치는 것을 피하기 위해, 제1 회로(10)는 리셋 상태를 취한다. 이 상태를 표시한 것이 기간 <P1>이다. 기간 <P1>에

있어서는, 제1 용량소자(50), 제1 액정소자(31) 및 제2 액정소자(32)에, 리셋 전압 V_1 을 가하는 것이 목적이다. 한편, 데이터 전압 V_2 가 가해지고 있는 제2 배선(12)과, 리셋 전압 V_1 이 가해지고 있는 제1 배선(11)은 비도통 상태인 것이 바람직하다. 이것은, 전압차가 있는 제1 배선(11)과 제2 배선(12) 사이의 접촉이 직접적으로 도통 상태가 됨으로써, 큰 전류가 흘러서 소비 전력이 증대하기 때문이다. 이상의 이유에 의해, 기간 <P1>에 있어서, 제1 스위치 SW1은 오프 상태이며, 제2 스위치 SW2는 온 상태이며, 제3 스위치 SW3은 온 상태이며, 제4 스위치 SW4는 온 상태로 한다. 이때, 기간 <P1>은, 1 게이트 선택 기간과 같은 정도의 길이인 것이 바람직하지만, 전하의 이동이 완료할 때까지의 시간을 고려하여, 기간 <P1>을 1 게이트 선택 기간보다 길게 해도 된다.

[0190] <리셋 유지 상태>

[0191] 기간 <P2>은, 제1 액정소자(31) 및 제2 액정소자(32)에, 리셋 전압 V_1 을 계속해서 가하는 것이 목적이다. 또한, 기간 <P1>과 마찬가지로, 제2 배선(12)과 제1 배선(11) 사이의 접촉은 비도통 상태인 것이 바람직하다. 이 목적을 위해, 도 7e에 나타난 타이밍 차트에 있어서, SW1 내지 SW4를 모두 오프 상태로 하고 있다. 그렇지만, 상기한 목적을 달성하기 위한 각 스위치의 상태는, 도 7e에 나타난 것 이외에도 존재한다. 즉, 기간 <P2>의 목적은, 제1 액정소자(31) 및 제2 액정소자(32)에 리셋 전압 V_1 을 계속해서 가할 수 있으면 달성되므로, 예를 들면, 기간 <P1>과 마찬가지로, SW1은 오프 상태, SW2 내지 SW4는 온 상태이어도 된다. 더욱 일반화하면, SW1이 오프 상태이면, SW2 내지 SW4는 각각 온 상태이어도 오프 상태이어도 된다. 이와 같은 상태이면, 제1 액정소자(31) 및 제2 액정소자(32)에 리셋 전압 V_1 을 계속해서 가할 수 있고, 또한, 제1 배선(11)과 제2 배선(12) 사이의 접촉이 직접 도통 상태로는 되지 않으므로, 기간 <P2>에 있어서의 목적을 달성할 수 있다.

[0192] 이때, 기간 <P2>에 있어서의 표시장치의 표시는 흑 표시가 된다. 따라서, 기간 <P2>이 길수록, 동화상 표시시의 화질을 향상할 수 있다. 한편, 기간 <P2>이 짧을수록, 표시의 플리커를 저감할 수 있다. 이때, 기간 <P2>은, 기간 <P1>보다도 긴 쪽이 바람직하다.

[0193] <기록 상태>

[0194] 기간 <P3>은, 제1 액정소자(31) 및 제2 액정소자(32)에 데이터 전압 V_2 을 가하는 한편, 제1 용량소자(50)에는 리셋 전압 V_1 을 계속해서 가하는 것이 목적이다. 이 목적을 위해, 도 7e에 나타난 타이밍 차트에 있어서, SW1은 온 상태, SW2는 온 상태, SW3은 오프 상태, SW4는 오프 상태로 하고 있다. 또한, 기간 <P3>은, 1 게이트 선택 기간과 같은 정도의 길이인 것이 바람직하다.

[0195] <분배 상태>

[0196] 기간 <P4>은, 제1 용량소자(50)와 제2 액정소자(32) 사이의 접촉을 도통 상태로 하여, 전하를 분배하는 것이 목적이다. 이 목적을 위해, 도 7e에 나타난 타이밍 차트에 있어서, SW1은 오프 상태, SW2는 오프 상태, SW3은 온 상태, SW4는 오프 상태로 하고 있다.

[0197] 도 7e에 나타난 것과 같이, 기간 <P4>에 있어서의 도통 상태에 따라, 제1 용량소자(50) 및 제2 액정소자(32)(또는 제1 액정소자(31))에 가해지는 전압은 분배후의 데이터 전압 V_2' 이 되고, 제1 액정소자(31)(또는 제2 액정소자(32))에 가해지는 전압은 데이터 전압 V_2 로 유지된다. 이때, 기간 <P4>은 1 게이트 선택 기간과 같은 정도의 길이인 것이 바람직하지만, 전하의 이동이 완료할 때 지의 시간을 고려하여, 기간 <p4>를 기간 <P3>보다 길게 해도 된다.

[0198] <데이터 유지 상태>

[0199] 기간 <P5>에 있어서, 기간 <P4>에 있어서 각 액정소자에 가해진 전압을 계속해서 가하는 것이 목적이다. 또한, 다른 기간과 마찬가지로, 제2 배선(12)과 제1 배선(11) 사이의 접촉은 비도통 상태인 것이 바람직하다. 이 목적을 위해, 도 7e에 나타난 타이밍 차트에 있어서, SW1 내지 SW4를 모두 오프 상태로 하고 있다. 그

렇지만, 상기한 목적을 달성하기 위한 각 스위치의 상태는, 도 7e에 나타난 것 이외에도 존재한다. 예를 들면, SW1, SW2, SW4가 오프 상태이면, SW3은 오프 상태이어도 되고 온 상태이어도 된다. 이와 같은 상태로 함으로써, 기간 <P4>에 있어서 각 액정소자에 가해진 전압을 계속해서 가할 수 있고, 또한, 제1 배선(11)과 제2 배선(12) 사이의 접속이 직접 도통 상태로는 되지 않으므로, 기간 <P5>에 있어서의 목적을 달성할 수 있다. 이때, 기간 <P5>은 기간 <P3>보다도 긴 쪽이 바람직하다.

[0200]

이때, 도 7a에서는, 제2 스위치 SW2는 제1 액정소자(31)와 제1 스위치 SW1 사이에 배치되어 있지만, 제2 스위치 SW2는 제2 액정소자(32)와 제1 스위치 SW1 사이에 배치되어도 된다. 더욱 상세하게는, 제1 스위치 SW1, 제3 스위치 SW3 및 제4 스위치 SW4가 각각 갖는 전극 중, 도 7a에서는 제2 화소 전극과 전기적으로 접속되어 있는 전극을, 제2 화소 전극이 아니고 제1 화소 전극과 전기적으로 접속되도록 하여도 된다. 이 경우, 분배 후에 제1 액정소자(31)와 제2 액정소자(32)에 가해지는 전압은, 위에 나타난 예와는 반대가 된다. 이때, 이와 같이 제2 스위치 SW2의 배치를 바꿈으로써, 분배 후에 제1 액정소자(31)와 제2 액정소자(32)에 가해지는 전압을 변경하고, 이것을 다른 회로(예를 들면 도 7b, 도 7c 및 도 7d에 나타난 회로)에서도 적용될 수 있다.

[0201]

<회로에 (2)의 다른 예>

[0202]

여기에서, 위에 설명한 회로에 (2)와 유사한 제어를 행하는 것이 가능한 다른 회로에 대해 설명한다. 도 7a에 나타난 회로에 (2)에서, 제4 스위치 SW4와, 제4 스위치 SW4의 한쪽의 전극과 전기적으로 접속된 제1 배선(11)을 합친 부분을, 회로에 (1)에서 마찬가지로, 리셋 회로(90)로 부르기로 한다. 제1 회로(10)가 리셋 상태를 취할 수 있도록 하기 위해서는, 리셋 회로(90)는, 제1 회로의 내부 전극(대표적으로는 용량 전극, 제1 화소 전극 및 제2 화소 전극) 중 어느 1개와 전기적으로 접속되어 있으면 된다. 즉, 리셋 회로(90)를 용량 전극과 전기적으로 접속한 예가 도 7a에 나타난 회로이다. 리셋 회로(90)를 제1 화소 전극과 전기적으로 접속한 예가 도 7b에 나타난 회로이다. 리셋 회로(90)를 제2 화소 전극과 전기적으로 접속한 예가 도 7c에 나타난 회로이다. 도 7b 및 도 7c에 나타난 회로의 제어에 대해서는, 이미 설명한 도 7a에 나타난 회로의 제어와 동일한 것을 사용할 수 있기 때문에, 상세한 설명은 생략한다.

[0203]

도 7d에 나타난 회로는, 도 7a 내지 도 7c에 나타난 회로에 있어서의 리셋 회로(90)가 생략된 예이다. 도 7d에 나타난 회로에 있어서는, 리셋 회로(90)를 사용하는 것은 아니고, 제2 배선(12) 및 제1 스위치 SW1을 사용해서 리셋 상태를 실현한다. 즉, 도 7d에 나타난 회로에 있어서는, 제2 배선(12)에 공급되는 전압을 기간 <P3>에 있어서는 데이터 전압 V_2 로 하고, 기간 <P1>에 있어서는 리셋 전압 V_1 으로 한다. 또한, 기간 <P1>에 있어서 제1 스위치 SW1을 온 상태로 함으로써, 리셋 상태를 실현한다. 한편, 다른 기간에 있어서는, 지금까지 설명한 것과 유사한 제어를 행함으로써, 기록 상태를 실현한다. 이와 같이, 리셋 회로(90)를 사용하지 않아도, 제2 배선(12) 및 제1 스위치 SW1을 리셋용으로도 사용함으로써, 도 7a 내지 도 7c에 나타난 회로와 같은 기능을 실현하는 것이 가능하다.

[0204]

<회로에 (3)>

[0205]

다음에, 회로에 (3)으로서, 도 8a 내지 도 8d에, 실시예 1에서 설명한 제1 회로(10)의 기능 (3)의 일부와, 기능 (1)을 실현할 수 있는 회로를 나타낸다. 회로에 (3)에 있어서의 기능 (3)의 일부란, 제1 액정소자(31)에만 선택적으로 데이터 전압을 기록하는 도통 상태를 포함하는 기능이다. 이때, 여기에서는, 이미 서술한 기능 (3) 중에서, 제1 액정소자(31)에만 선택적으로 데이터 전압을 기록하는 도통 상태를 포함하는 기능에 대해서만 설명을 행한다. 그러나, 도 8a 내지 도 8d에 나타난 제1 액정소자(31) 및 제2 액정소자(32)의 배치를 교환하면, 이미 서술한 기능 (3) 중에서, 제2 액정소자(32)에만 선택적으로 데이터 전압을 기록하는 도통 상태를 포함하는 기능을 실현할 수 있는 것은 명확하다.

[0206]

우선, 도 8a에 나타난 회로에 대해 설명한다. 도 8a에 나타난 회로에는, 제1 스위치(SW1), 제2 스위치(SW2), 제3 스위치(SW3), 제4 스위치(SW4), 제1 용량소자(50), 제2 용량소자(51), 제3 용량소자(52), 제1 액정소자(31), 제2 액정소자(32), 제1 배선(11), 제2 배선(12), 제3 배선(13), 제4 배선(21), 제5 배선(22), 제6 배선(71), 제7 배선(72)을 포함한다.

[0207]

제1 용량소자(50)의 한쪽의 전극은 제3 배선(13)과 전기적으로 접속된다. 여기에서, 제1 용량소자(50)의 전극 중, 제3 배선(13)과 전기적으로 접속된 전극과는 다른 전극쪽을, 용량 전극으로 부르는 것으로 한다.

이것은, 회로예 (1) 및 (2)와 유사하다.

[0208] 제1 액정소자(31)의 한쪽의 전극, 제4 배선(21)과 전기적으로 접속된다. 여기에서, 제1 액정소자(31)의 전극 중, 제4 배선(21)과 전기적으로 접속된 전극과는 다른 전극쪽을, 제1 화소 전극으로 부르는 것으로 한다. 이것은, 회로예 (1) 및 (2)와 유사하다.

[0209] 제2 액정소자(32)의 한쪽의 전극은 제5 배선(22)과 전기적으로 접속된다. 여기에서, 제2 액정소자(32)의 전극 중, 제5 배선(22)과 전기적으로 접속된 전극과는 다른 전극쪽을, 제2 화소 전극으로 부르는 것으로 한다. 이것은, 회로예 (1) 및 (2)와 유사하다.

[0210] 제1 스위치 SW1의 한쪽의 전극은 제2 배선(12)과 전기적으로 접속되고, 제1 스위치 SW1의 다른 쪽의 전극은 제1 화소 전극과 전기적으로 접속된다. 제2 스위치 SW2의 한쪽의 전극은 제1 화소 전극과 전기적으로 접속되고, 제2 스위치 SW2의 다른 쪽의 전극은 용량 전극과 전기적으로 접속된다. 제3 스위치 SW3의 한쪽의 전극은 용량 전극과 전기적으로 접속되고, 제3 스위치 SW3의 다른 쪽의 전극은 제2 화소 전극과 전기적으로 접속된다. 제4 스위치 SW4의 한쪽의 전극은 용량 전극과 전기적으로 접속되고, 제4 스위치 SW4의 다른 쪽의 전극은 제1 배선(11)과 전기적으로 접속된다.

[0211] 제2 용량소자(51)의 한쪽의 전극은 제1 화소 전극과 전기적으로 접속되고, 제2 용량소자(51)의 다른 쪽의 전극은 제6 배선(71)과 전기적으로 접속된다. 제3 용량소자(52)의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속되고, 제3 용량소자(52)의 다른 쪽의 전극은 제7 배선(72)과 전기적으로 접속된다.

[0212] <회로예 (3)의 제어 (1)>

[0213] 이미 서술한 회로예 (1)의 제어(1)과 마찬가지로, 도 8e에 나타난 타이밍 차트에 따라, 회로예 (3)에 포함되는 각 스위치를 제어함으로써, 실시예 1에서 설명한 기능 (1)을 실현할 수 있다. 이 제어방법을 회로예 (3)의 제어 (1)로 부르기로 한다. 회로예 (1)의 제어 (1)은 이미 서술했기 때문에, 회로예 (3)의 제어 (1)의 상세한 설명은 생략한다. 간단하게 서술하면, SW1만 오프 상태인 리셋 상태, 모든 스위치가 오프 상태(또는 리셋 상태와 동일)인 리셋 유지 상태, SW3 및 SW4가 오프 상태인 기록 상태, SW3만 온 상태인 분배 상태, 모든 스위치가 오프 상태(또는 분배 상태와 동일)인 데이터 유지 상태라는 순서로 실시예 1에서 설명한 기능 (1)을 실현한다. 이때, 도 8e에 나타난 타이밍 차트의 각 스위치의 제어 타이밍에 관해서는 도 6e에 나타난 것과 유사하며, 도 8e의 하단에 나타난 제1 용량소자(50), 제1 액정소자(31), 제2 액정소자(32)에 각각 가해지는 전압값도 도 6e에 나타난 것과 유사하다.

[0214] <회로예 (3)의 제어 (2)>

[0215] 더구나, 이미 서술한 회로예 (1)의 제어 (2)와 마찬가지로, 도 8f에 나타난 타이밍 차트에 따라, 회로예 (3)에 포함되는 각 스위치를 제어함으로써, 실시예 1에서 설명한 기능 (3)의 일부를 실현할 수 있다. 이 제어방법을 회로예 (3)의 제어 (2)로 부르기로 한다. 회로예 (1)의 제어 (2)는 이미 서술했기 때문에, 회로예 (3)의 제어 (2)의 상세한 설명은 생략한다. 간단하게 서술하면, SW1만 오프 상태인 리셋 상태, 모든 스위치가 오프 상태(또는 리셋 상태와 동일)인 리셋 유지 상태, SW1만 온 상태인 기록 상태, SW2만 온 상태인 분배 상태 (1), SW3만 온 상태인 분배 상태(2), 모든 스위치가 오프 상태(또는 분배 상태 (2)와 동일)인 데이터 유지 상태라는 순서로 실시예 1에서 설명한 기능 (3)의 일부를 실현한다. 이때, 도 8f에 나타난 타이밍 차트의 각 스위치의 제어 타이밍에 관해서는 도 6f에 나타난 것과 유사하며, 도 8f의 하단에 나타난 제1 용량소자(50), 제1 액정소자(31), 제2 액정소자(32)에 각각 가해지는 전압값이 도 6f에 나타난 것과는 다르다.

[0216] <회로예 (3)의 다른 예>

[0217] 여기에서, 위에서 설명한 회로예 (3)과 유사한 제어를 행하는 것이 가능한 다른 회로예에 대해 설명한다. 도 8a에 나타난 회로예 (3)에서, 제4 스위치 SW4와, 제4 스위치 SW4의 한쪽의 전극과 전기적으로 접속된 제1 배선(11)을 합친 부분을, 회로예 (1) 또는 회로예 (2)일 때와 마찬가지로, 리셋 회로(90)로 부르기로 한다. 제1 회로(10)가 리셋 상태를 취할 수 있게 하기 위해서는, 리셋 회로(90)는, 제1 회로의 내부 전극(대표적으로는 용량 전극, 제1 화소 전극 및 제2 화소 전극) 중 어느 1개와 전기적으로 접속되어 있으면 된다. 즉, 리셋 회

로(90)를 용량 전극과 전기적으로 접속한 예가 도 8a에 나타난 회로이다. 리셋 회로(90)를 제1 화소 전극과 전기적으로 접속한 예가 도 8b에 나타난 회로이다. 리셋 회로(90)를 제2 화소 전극과 전기적으로 접속한 예가 도 8c에 나타난 회로이다. 도 8b 및 도 8c에 나타난 회로의 제어에 대해서는 이미 설명한 도 8a에 나타난 회로의 제어와 같은 것을 사용할 수 있기 때문에, 상세한 설명은 생략한다.

[0218] 도 8d에 나타난 회로는, 도 8a 내지 도 8c에 나타난 회로에 있어서의 리셋 회로(90)가 생략된 예이다. 도 8d에 나타난 회로에 있어서는, 리셋 회로(90)를 사용하는 것이 아니고, 제2 배선(12) 및 제1 스위치 SW1을 사용해서 리셋 상태를 실현한다. 즉, 도 8d에 나타난 회로에 있어서는, 제2 배선(12)에 공급되는 전압을 기간 <P3>에 있어서는 데이터 전압 V_2 로 하고, 기간 <P1>에 있어서는 리셋 전압 V_1 으로 한다. 또한, 기간 <P1>에 있어서 제1 스위치 SW1을 온 상태로 함으로써, 리셋 상태를 실현한다. 한편, 다른 기간에 있어서는, 지금까지 설명한 것과 같은 제어를 행함으로써, 기록 상태를 실현한다. 이와 같이, 리셋 회로(90)를 사용하지 않아도, 제2 배선(12) 및 제1 스위치 SW1을 리셋용으로도 사용함으로써, 도 8a 내지 도 8c에 나타난 회로와 같은 기능을 실현하는 것이 가능하다.

[0219] <회로예 (4)>

[0220] 다음에, 회로예 (4)로서, 도 9a에, 실시예 1에서 설명한 제1 회로(10)의 기능 (1), 기능 (2) 및 기능 (3)을 실현할 수 있는 회로를 나타낸다. 회로예 (4)는, 스위치의 수에 용장성을 갖게 함으로써, 회로 구성을 변경하지 않고, 스위치의 제어에 의해 다양한 기능을 실현할 수 있는 것이 특징이다.

[0221] 도 9a에 나타난 회로에는, 제1 스위치(SW1), 제2 스위치(SW2-1), 제3 스위치(SW3), 제4 스위치(SW4), 제5 스위치(SW2-2), 제1 용량소자(50), 제2 용량소자(51), 제3 용량소자(52), 제1 액정소자(31), 제2 액정소자(32), 제1 배선(11), 제2 배선(12), 제3 배선(13), 제4 배선(21), 제5 배선(22), 제6 배선(71), 제7 배선(72)을 포함한다.

[0222] 제1 용량소자(50)의 한쪽의 전극은 제3 배선(13)과 전기적으로 접속된다. 여기에서, 제1 용량소자(50)의 전극 중, 제3 배선(13)과 전기적으로 접속된 전극과는 다른 전극쪽을, 용량 전극으로 부르기로 한다. 이것은, 회로예 (1), (2) 및 (3)과 유사하다.

[0223] 제1 액정소자(31)의 한쪽의 전극은 제4 배선(21)과 전기적으로 접속된다. 여기에서, 제1 액정소자(31)의 전극 중, 제4 배선(21)과 전기적으로 접속된 전극과는 다른 전극쪽을, 제1 화소 전극으로 부르기로 한다. 이것은, 회로예 (1), (2) 및 (3)과 유사하다.

[0224] 제2 액정소자(32)의 한쪽의 전극은 제5 배선(22)과 전기적으로 접속된다. 여기에서, 제2 액정소자(32)의 전극 중, 제5 배선(22)과 전기적으로 접속된 전극과는 다른 전극쪽을, 제2 화소 전극으로 부르기로 한다. 이것은, 회로예 (1), (2) 및 (3)과 유사하다.

[0225] 더구나, 회로예 (4)에는, 위에서 든 것 이외에도 내부 전극 P가 설치되어 있는 것으로 가정하여, 이하에서 도 9a에 나타난 회로예의 각 소자의 전기적 접속을 설명한다.

[0226] 제1 스위치 SW1의 한쪽의 전극은 제2 배선(12)과 전기적으로 접속되고, 제1 스위치 SW1의 다른 쪽의 전극은 내부 전극 P와 전기적으로 접속된다. 제2 스위치(SW2-1)의 한쪽의 전극은 내부 전극 P와 전기적으로 접속되고, 제2 스위치(SW2-1)의 다른 쪽의 전극은 제1 화소 전극과 전기적으로 접속된다. 제3 스위치 SW3의 한쪽의 전극은 내부 전극 P와 전기적으로 접속되고, 제3 스위치 SW3의 다른 쪽의 전극은 용량 전극과 전기적으로 접속된다. 제4 스위치 SW4의 한쪽의 전극은 내부 전극 P와 전기적으로 접속되고, 제4 스위치 SW4의 다른 쪽의 전극은 제1 배선(11)과 전기적으로 접속된다. 제5 스위치(SW2-2)의 한쪽의 전극은 내부 전극 P와 전기적으로 접속되고, 제5 스위치(SW2-2)의 다른 쪽의 전극은 제2 화소 전극과 전기적으로 접속된다.

[0227] 제2 용량소자(51)의 한쪽의 전극은 제1 화소 전극과 전기적으로 접속되고, 제2 용량소자(51)의 다른 쪽의 전극은 제6 배선(71)과 전기적으로 접속된다. 제3 용량소자(52)의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속되고, 제3 용량소자(52)의 다른 쪽의 전극은 제7 배선(72)과 전기적으로 접속된다.

[0228] 도 9a에 나타난 회로예 (4)에서는, 각 스위치를 적절하게 제어함으로써, 지금까지 서술해 온 제1 회로(10)가 갖는 기능 (1), 기능 (2) 및 기능 (3)을 실현할 수 있다. 이와 같이, 다양한 기능을 실현하기 위한 각 스위치의 제어방법에 대해, 도 10a 내지 도 10d를 참조해서 설명한다.

- [0229] 이때, 도 10a 내지 도 10d에서는, 각각의 도통 상태(리셋 상태, 리셋 유지 상태, 기록 상태, 분배 상태, 데이터 유지 상태)에 있어서, 각 스위치의 상태를 "ON" 또는 "OFF"로 나타내고 있다. 이와 같은 도통 상태 중, 리셋 상태, 리셋 유지 상태, 데이터 유지 상태는, 도 10a 내지 도 10d에 있어서 동일하다. 즉, 리셋 상태에서는 SW1만 오프 상태이고 그 이외는 온 상태이다. 리셋 유지 상태에서는 모든 스위치가 오프 상태(또는 리셋 상태와 동일)이다. 데이터 유지 상태에서는 모든 스위치가 오프 상태(또는 분배 상태와 동일)이다. 이것들에 관한 상세한 설명은 이미 서술하고 있으므로 생략한다. 여기에서는, 기록 상태 및 분배 상태에 있어서의 각 스위치의 상태에 대해 설명한다.
- [0230] 이때, 도 10a 내지 도 10d에 나타난 모든 제어방법에 있어서, 제2 스위치(SW2-1) 및 제5 스위치(SW2-2)의 제어방법은 교환가능하다. 즉, SW2-1을 SW2-2에 나타낸 것과 같은 제어방법으로 제어하고, 또한, SW2-2를 SW2-1에 나타낸 것과 같은 제어방법으로 제어하였다고 하더라도, 그 결과로써 제1 서버 화소와 제2 서버 화소의 역할이 교환되는 것 뿐이며, 본질적인 동작으로서는 변함이 없는 것은 명확하다.
- [0231] <회로예 (4)의 제어 (1)>
- [0232] 회로예 (4)의 제어 (1)로서, 도 10a에 나타난 것과 같이 각 스위치를 제어하는 경우에 대해 설명한다. 도 10a에 나타난 제어방법은, 회로예 (1) 또는 (3)에 의해 실현되는 기능 (1)을 회로예 (4)에 의해 실현하는 경우의 제어방법이다. 도 10a에 나타난 제어방법은 다음과 같다. 우선, 리셋 상태 및 리셋 유지 상태를 취한 후, 기록 상태에 있어서, SW1을 온 상태, SW2-1을 온 상태, SW2-2를 오프 상태, SW3을 온 상태, SW4를 오프 상태로 한다. 이와 같이 함으로써, 제1 용량소자(50) 및 제1 액정소자(31)에 데이터 전압 V_2 을 기록하고, 제2 액정소자(32)에는 리셋 전압 V_1 이 가해진 상태를 유지할 수 있다. 기록 상태 후의 분배 상태에 있어서는, SW1을 오프 상태, SW2-1을 오프 상태, SW2-2를 온 상태, SW3을 온 상태, SW4를 오프 상태로 한다. 이와 같이 함으로써, 제1 용량소자(50) 및 제2 액정소자(32)에 있어서 전하를 분배시킬 수 있다. 그리고, 분배 상태 후에는, 이미 서술한 방법에 의해 데이터 유지 상태를 취한다.
- [0233] <회로예 (4)의 제어 (2)>
- [0234] 회로예 (4)의 제어 (2)로서, 도 10b에 나타난 것과 같이 각 스위치를 제어하는 경우에 대해 설명한다. 도 10b에 나타난 제어방법은, 회로예 (2)에 의해 실현되는 기능 (2)을 회로예 (4)에 의해 실현하는 경우의 제어방법이다. 도 10b에 나타난 제어방법은 다음과 같다. 우선, 리셋 상태 및 리셋 유지 상태를 취한 후, 기록 상태에 있어서, SW1을 온 상태, SW2-1을 온 상태, SW2-2를 온 상태, SW3을 오프 상태, SW4를 오프 상태로 한다. 이와 같이 함으로써, 제1 액정소자(31) 및 제2 액정소자(32)에 데이터 전압 V_2 을 기록하고, 제1 용량소자(50)에는 리셋 전압 V_1 이 가해진 상태를 유지할 수 있다. 기록 상태 후의 분배 상태에 있어서는, SW1을 오프 상태, SW2-1을 오프 상태, SW2-2를 온 상태, SW3을 온 상태, SW4를 오프 상태로 한다. 이와 같이 함으로써, 제1 용량소자(50) 및 제2 액정소자(32)에 있어서 전하를 분배시킬 수 있다. 그리고, 분배 상태 후에는, 이미 서술한 방법에 의해 데이터 유지 상태를 취한다.
- [0235] <회로예 (4)의 제어 (3)>
- [0236] 회로예 (4)의 제어 (3)으로서, 도 10c에 나타난 것과 같이 각 스위치를 제어하는 경우에 대해 설명한다. 도 10c에 나타난 제어방법은, 회로예 (3)에 의해 실현할 수 있는 기능 (3)의 일부를, 회로예 (4)에 의해 실현하는 경우의 제어방법이다. 도 10c에 나타난 제어방법은 다음과 같다. 우선, 리셋 상태 및 리셋 유지 상태를 취한 후, 기록 상태에 있어서, SW1을 온 상태, SW2-1을 온 상태, SW2-2를 오프 상태, SW3을 오프 상태, SW4를 오프 상태로 한다. 이와 같이 함으로써, 제1 액정소자(31)에 데이터 전압 V_2 을 기록하고, 제1 용량소자(50) 및 제2 액정소자(32)에는 리셋 전압 V_1 이 가해진 상태를 유지할 수 있다. 기록 상태 후의 분배 상태(1)에 있어서는, SW1을 오프 상태, SW2-1을 온 상태, SW2-2를 오프 상태, SW3을 온 상태, SW4를 오프 상태로 한다. 이와 같이 함으로써, 제1 용량소자(50) 및 제1 액정소자(31)에 있어서 전하를 분배시킬 수 있다. 그후, 분배 상태(2)에 있어서는, SW1을 오프 상태, SW2-1을 오프 상태, SW2-2를 온 상태, SW3을 온 상태, SW4를 오프 상태로 한다. 이와 같이 함으로써, 제1 용량소자(50) 및 제2 액정소자(32)에 있어서 전하를 분배시킬 수 있다. 그리고,

분배 상태 후에는, 이미 서술한 방법에 의해 데이터 유지 상태를 취한다.

[0237]

<회로예 (4)의 제어 (4)>

[0238]

회로예 (4)의 제어 (4)로서, 도 10d에 나타난 것과 같이 각 스위치를 제어하는 경우에 대해 설명한다. 도 10d에 나타난 제어방법은, 회로예 (1)에 의해 실현할 수 있는 기능 (3)의 일부를, 회로예 (4)에 의해 실현하는 경우의 제어방법이다. 도 10d에 나타난 제어방법은 다음과 같다. 우선, 리셋 상태 및 리셋 유지 상태를 취한 후, 기록 상태에 있어서, SW1을 온 상태, SW2-1을 오프 상태, SW2-2를 오프 상태, SW3을 온 상태, SW4를 오프 상태로 한다. 이와 같이 함으로써, 제1 용량소자(50)에 데이터 전압 V_2 를 기록하고, 제1 액정소자(31) 및 제2 액정소자(32)에는 리셋 전압 V_1 이 가해진 상태를 유지할 수 있다. 기록 상태 후의 분배 상태(1)에 있어서는, SW1을 오프 상태, SW2-1을 온 상태, SW2-2를 오프 상태, SW3을 온 상태, SW4를 오프 상태로 한다. 이와 같이 함으로써, 제1 용량소자(50) 및 제1 액정소자(31)에 있어서 전하를 분배시킬 수 있다. 그 후, 분배 상태(2)에 있어서는, SW1을 오프 상태, SW2-1을 오프 상태, SW2-2를 온 상태, SW3을 온 상태, SW4를 오프 상태로 한다. 이와 같이 함으로써, 제1 용량소자(50) 및 제2 액정소자(32)에 있어서 전하를 분배시킬 수 있다. 그리고, 분배 상태 후에는, 이미 서술한 방법에 의해 데이터 유지 상태를 취한다.

[0239]

<회로예 (4)의 제어방법의 선택>

[0240]

이와 같이, 도 9a에 나타난 회로예 (4)에서는, 각 소자(제1 용량소자(50), 제1 액정소자(31), 제2 액정소자(32))에 각각 개별적으로 데이터 전압 V_2 를 기록할 수 있고, 더구나, 전하의 분배도 모든 조합에 있어서 행할 수 있다. 그 결과, 지금까지 서술해 온 기능 (1), 기능 (2) 및 기능 (3)을, 회로예 (4)만으로 모두 실현할 수 있다. 그 때문에, 도 9a에 나타난 회로예 (4)는, 상황에 따라 상기 기능을 전환한다고 하는 용도로 사용할 수 있다.

[0241]

도 10a에 나타난 것과 같이 각 스위치를 제어하는 경우(기능 (1))의 이점에 대해 설명한다. 이때, 기록 상태시 및 데이터 유지 상태시에, 제1 액정소자(31)에는, 데이터 전압 V_2 가 그대로 가해져 유지된다. 이것은, 제1 액정소자(31)에 의한 표시는 각 소자의 용량값의 격차의 영향을 받지 않는다는 것을 의미한다. 그 때문에, 균일한 표시가 가능해진다고 하는 이점을 갖는다. 이때, 도 6a 내지 도 6d에 나타난 회로예 (1)에 의해 기능 (1)을 실현한 경우, 및 도 8a 내지 도 8d에 나타난 회로예 (3)에 의해 기능 (1)을 실현한 경우에 있어서도, 동일한 이점을 갖는다.

[0242]

다음에, 도 10b에 나타난 것과 같이 각 스위치를 제어하는 경우(기능 (2))의 이점에 대해 설명한다. 이때, 기록 상태시에 제1 액정소자(31) 및 제2 액정소자(32)에 가해지는 전압은 V_2 이며, 데이터 유지 상태시에 제1 액정소자(31) 및 제2 액정소자(32)에 가해지는 전압은 V_2' 및 V_2'' 이다. 여기에서, 액정소자가 노멀리 블랙의 특성을 갖는 경우, $V_2 < V_2' < V_2''$ 이 성립하기 때문에, 이것은 액정소자의 응답 속도를 빠르게 하는 오버드라이브인 것을 알 수 있다. 통상, 오버드라이브를 행하기 위해서는, 룩업 테이블(LUT) 등을 사용한 화상 데이터의 변환 처리가 필요하게 되어, 제조 코스트 및 소비 전력이 증대해 버린다. 그러나, 기능 (2)에 의한 구동에서는, 데이터 전압 V_2 및 분배후의 전압 V_2' 및 V_2'' 을 적절하게 설정함으로써, 화상 데이터의 변환 처리를 수반하지 않고 오버드라이브를 행하는 것이 가능해진다. 그 결과, 제조 코스트 및 소비 전력의 증대 없이, 액정소자의 응답 속도를 빠르게 할 수 있고, 동화상 표시시의 화질을 향상시킬 수 있다. 이때, 도 7a 내지 도 7d에 나타난 회로예 (2)에 의해 기능 (2)을 실현한 경우에 있어서도, 동일한 이점을 갖는다.

[0243]

다음에, 도 10c 또는 도 10d에 나타난 것과 같이 각 스위치를 제어하는 경우(기능 (3))의 이점에 대해 설명한다. 이때, 기록 상태시에 데이터 전압 V_2 가 기록되는 대상이 되는 소자는, 제1 용량소자(50), 제1 액정소자(31), 제2 액정소자(32)의 어느 1개이다. 따라서, 기록시의 부하가 작기 때문에, 소비 전력을 작게 할 수 있다. 이때, 도 6a 내지 도 6d에 나타난 회로예 (1)에 의해 기능 (3)을 실현한 경우, 및 도 8a 내지 도 8d에 나타난 회로예 (3)에 의해 기능 (3)을 실현한 경우에 있어서도, 동일한 이점을 갖는다.

[0244]

도 9a에 나타난 회로예 (4)에 의해, 이와 같은 이점을 갖는 각 기능을 상황에 따라 전환하는 것이 가능하다. 예를 들면, 균일한 표시가 특히 필요하게 되는 상황(정지 화상 표시시 등)에 있어서는, 기능 (1)에 의해

표시를 행하고, 액정소자의 응답 속도를 빠르게 하는 것이 특히 필요하게 되는 상황(동화상 표시시 등)에 있어서는, 기능 (2)에 의해 표시를 행하고, 소비 전력을 작게 하는 것이 특히 필요하게 되는 상황(배터리를 사용하여 행해지는 구동시 등)에 있어서는, 기능 (3)에 의해 표시를 행하는 것 등의 전환을 행할 수도 있다.

[0245] 이때, 상기한 예 이외에도, 기능 (1)에 의해 균일한 표시를 행하면서, LUT 등에 의한 화상 데이터 변환을 행하는 방식으로 오버드라이브함으로써, 액정소자의 응답 속도도 빠르게 한다고 하는 구성을 취할 수도 있다.

[0246] <회로예 (4)의 다른 예>

[0247] 이때, 회로예 (4)에 있어서도, 이미 서술한 회로예 (1) 내지 (3)과 마찬가지로, 리셋 회로(90)의 접속처를 다양하게 변경할 수 있다. 리셋 회로(90)의 접속처로서는, 예를 들면, 제1 화소 전극(도 9b), 제2 화소 전극(도 9c), 용량 전극(도 9d) 등을 들 수 있다. 더구나, 이미 서술한 회로예 (1) 내지 회로예 (3)과 마찬가지로, 리셋 회로(90)를 생략해도 된다(도 9e).

[0248] 이때, 본 실시예에 있어서의 회로예(회로예 (1), 회로예 (2), 회로예 (3) 및 회로예 (4))가 갖는 제1 내지 제7 배선을, 각각이 갖는 역할로부터 구별하면, 다음과 같다. 제1 배선(11)은, 리셋 전압 V_1 이 가해지는 리셋 선으로서의 기능을 가질 수 있다. 제2 배선(12)은, 데이터 전압 V_2 이 가해지는 데이터 선으로서의 기능을 가질 수 있다. 제3 배선(13)은, 제1 용량소자(50)에 가해지는 전압을 제어하기 위한 공통선으로서의 기능을 가질 수 있다. 제4 배선(21)은, 제1 액정소자(31)에 가해지는 전압을 제어하기 위한 액정 공통 전극으로서의 기능을 가질 수 있다. 제5 배선(22)은, 제2 액정소자(32)에 가해지는 전압을 제어하기 위한 액정 공통 전극으로서의 기능을 가질 수 있다. 제6 배선(71)은, 제2 용량소자(51)에 가해지는 전압을 제어하기 위한 공통선으로서의 기능을 가질 수 있다. 제7 배선(72)은, 제3 용량소자(52)에 가해지는 전압을 제어하기 위한 공통선으로서의 기능을 가질 수 있다. 단, 이것에 한정되지 않고, 각 배선은 다양한 역할을 가질 수 있다. 특히, 같은 전압을 가하기 위한 배선은, 서로 전기적으로 접속된 공통의 배선으로 할 수 있다. 공통의 배선으로 함으로써, 회로에 있어서의 배선의 면적을 저감할 수 있으므로, 개구율을 향상시킬 수 있고, 그 결과, 소비 전력을 저감할 수 있다.

[0249] 이때, 본 실시예에 있어서는, 표시 소자를 액정소자로서 설명했지만, 다른 표시 소자, 예를 들면 자발광하는 소자, 형광체의 발광을 이용하는 소자, 외광의 반사를 이용하는 소자 등을 사용할 수도 있다. 자발광하는 소자를 사용한 표시장치는, 예를 들면 유기 EL 디스플레이, 무기 EL 디스플레이 등을 들 수 있다. 형광체의 발광을 이용하는 소자를 사용한 표시장치는, 예를 들면 음극선관(CRT)을 사용한 것, 플라즈마 디스플레이 패널(PDP), 필드 에미션 디스플레이(FED) 등을 들 수 있다. 외광의 반사를 이용하는 소자를 사용한 표시장치는, 예를 들면 전자 페이퍼 등을 들 수 있다.

[0250] 이때, 본 실시예를 다양한 도면을 참조해서 서술해 왔지만, 각각의 도면에서 서술한 내용(일부라도 된다)은, 다른 도면에서 서술한 내용(일부라도 된다), 다른 실시예의 도면에서 서술한 내용(일부라도 된다)에 대하여, 적용, 조합, 또는 치환 등을 자유롭게 행할 수 있다. 더구나, 지금까지에 서술한 도면에 있어서, 각각의 부분은 다른 부분, 다른 실시예의 부분과 조합할 수 있다.

[0251] (실시예 3)

[0252] 본 실시예에 있어서는, 실시예 2에서 설명한 다양한 회로예에 대해 보다 구체화해서 설명한다. 실시예 2에 있어서는, 제1 회로(10)에 포함되는 복수의 스위치의 도통 상태 및 타이밍 차트에 언급하였다. 본 실시예에 있어서는, 실시예 2에서 설명한 다양한 회로예에서 나타난 스위치로서, 트랜지스터를 사용한 경우를 회로도(1)의 구체예를 참조하여 상세히 설명한다.

[0253] <회로예 (1)의 구체예 (1)>

[0254] 우선, 실시예 2에 있어서의 회로예 (1)의 구체예에 대해서 서술한다. 도 11a에 나타난 회로는, 도 6a에 나타난 회로예 (1)의 구체예 (1)이며, 제1 트랜지스터 Tr_1 과, 제2 트랜지스터 Tr_2 와, 제3 트랜지스터 Tr_3 과, 제4 트랜지스터 Tr_4 와, 제1 용량소자(50)와, 제2 용량소자(51)와, 제3 용량소자(52)와, 제1 액정소자(31)와, 제2 액정소자(32)와, 제1 배선(101)과, 제2 배선(102)과, 제3 배선(103)과, 제4 배선(104)과, 제5 배선(105)과, 제

6 배선(106)과, 제7 배선(107)과, 제8 배선(108)과, 제9 배선(109)과, 제10 배선(110)을 갖는다.

[0255] 제1 용량소자(50)의 한쪽의 전극은 제8 배선(108)과 전기적으로 접속된다. 여기에서, 제1 용량소자(50)의 전극 중, 제8 배선(108)과 전기적으로 접속된 전극과는 다른 전극쪽을, 용량 전극으로 부르기로 한다.

[0256] 제1 액정소자(31)의 한쪽의 전극은 제6 배선(106)과 전기적으로 접속된다. 여기에서, 제1 액정소자(31)의 전극 중, 제6 배선(106)과 전기적으로 접속된 전극과는 다른 전극쪽을, 제1 화소 전극으로 부르기로 한다.

[0257] 제2 액정소자(32)의 한쪽의 전극은 제6 배선(106)과 전기적으로 접속된다. 여기에서, 제2 액정소자(32)의 전극 중, 제6 배선(106)과 전기적으로 접속된 전극과는 다른 전극쪽을, 제2 화소 전극으로 부르기로 한다.

[0258] 제1 트랜지스터 Tr1의 소스 전극 또는 드레인 전극의 한쪽의 전극은 제5 배선(105)과 전기적으로 접속된다. 제1 트랜지스터 Tr1의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 용량 전극과 전기적으로 접속된다. 제1 트랜지스터 Tr1의 게이트 전극은 제1 배선(101)과 전기적으로 접속된다.

[0259] 제2 트랜지스터 Tr2의 소스 전극 또는 드레인 전극의 한쪽의 전극은 용량 전극과 전기적으로 접속된다. 제2 트랜지스터 Tr2의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 제1 화소 전극과 전기적으로 접속된다. 제2 트랜지스터 Tr2의 게이트 전극은 제2 배선(102)과 전기적으로 접속된다.

[0260] 제3 트랜지스터 Tr3의 소스 전극 또는 드레인 전극의 한쪽의 전극은 용량 전극과 전기적으로 접속된다. 제3 트랜지스터 Tr3의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 제2 화소 전극과 전기적으로 접속된다. 제3 트랜지스터 Tr3의 게이트 전극은 제3 배선(103)과 전기적으로 접속된다.

[0261] 제4 트랜지스터 Tr4의 소스 전극 또는 드레인 전극의 한쪽의 전극은 용량 전극과 전기적으로 접속된다. 제4 트랜지스터 Tr4의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 제7 배선(107)과 전기적으로 접속된다. 제4 트랜지스터 Tr4의 게이트 전극은 제4 배선(104)과 전기적으로 접속된다.

[0262] 제2 용량소자(51)의 한쪽의 전극은 제1 화소 전극과 전기적으로 접속된다. 제2 용량소자(51)의 다른 쪽의 전극은 제9 배선(109)과 전기적으로 접속된다. 제3 용량소자(52)의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속되고, 제3 용량소자(52)의 다른 쪽의 전극은 제10 배선(110)과 전기적으로 접속된다.

[0263] 이때, 각 트랜지스터의 채널 길이 L에 대한 채널 폭 W의 비율인 (W/L)로 트랜지스터의 사이즈를 표시하는 것으로 가정한다. 더 큰 트랜지스터는 온 상태시에 더 큰 전류를 흘릴 수 있다(온 상태시의 전기적 저항을 작게 할 수 있다). 여기에서, 각 트랜지스터의 사이즈 W/L은, (Tr1 또는 Tr4)>(Tr2 또는 Tr3)인 것이 바람직하다. 왜냐하면, 리셋 상태 또는 기록 상태시에, Tr1 또는 Tr4에는, Tr2 또는 Tr3에 흐르는 전류보다도 큰 전류가 흐르기 때문이다. 이와 같이 함으로써, 재빠르게 기록 또는 리셋을 행할 수 있다. 더욱 상세하게는, Tr1 및 Tr4의 사이즈에 대해서는 Tr1>Tr4인 것이 바람직하다. 왜냐하면, Tr1에 의한 전압의 기록은 1 게이트 선택 기간 내에 행해지므로, 시간적인 여유가 보다 적기 때문이다. Tr2 및 Tr3의 사이즈에 대해서는, 각각이 Tr2 및 Tr3에 전기적으로 접속되어 있는 액정소자 또는 용량소자가 갖는 전극의 사이즈와, 트랜지스터의 사이즈가 큰 것이 바람직하다. 왜냐하면, 전극이 큰 소자는 정전용량값도 커지기 때문에, 그러한 소자에 대하여는, 보다 큰 전류에 의해 기록, 리셋, 분배 등이 행해질 필요가 있기 때문이다.

[0264] 이때, 도 11a에 나타낸 회로는, 기관 위에 나란하게 설치됨으로써 표시부가 형성된다. 그리고, 도 11a에 나타낸 회로는 표시부를 형성하는 회로의 최소 단위이며, 이것을 화소 또는 화소회로로 부른다.

[0265] 이때, 도 11a에 나타낸 회로가 갖는 제1 내지 제10 배선은 각각 인접하는 화소회로와 공유된다.

[0266] 이때, 도 13d에 나타낸 것과 같이, 제6 배선(106)과 제7 배선(107)은 각각 전기적으로 접속되어 있어도 된다. 더구나, 제7 배선(107)과 마찬가지로, 제8 배선(108) 내지 제10 배선(110)에 대해서도 제6 배선(106)과 각각 전기적으로 접속되어 있어도 된다.

[0267] 이때, 도 11a에 나타낸 회로가 갖는 제1 내지 제10 배선을 각각이 갖는 역할로부터 구별하면, 다음과 같다. 제1 배선(101)은, 제1 트랜지스터 Tr1을 제어하기 위한 제1 주사선으로서의 기능을 가질 수 있다. 제2 배선(102)은, 제2 트랜지스터 Tr2를 제어하기 위한 제2 주사선으로서의 기능을 가질 수 있다. 제3 배선(103)은, 제3 트랜지스터 Tr3을 제어하기 위한 제3 주사선으로서의 기능을 가질 수 있다. 제4 배선(104)은, 제4 트랜지스터 Tr4를 제어하기 위한 제4 주사선으로서의 기능을 가질 수 있다. 제5 배선(105)은, 데이터 전압이 가해지는 데이터 선으로서의 기능을 가질 수 있다. 제6 배선(106)은, 액정소자에 가해지는 전압을 제어하기 위한 액정 공통 전극으로서의 기능을 가질 수 있다. 제7 배선(107)은, 리셋 전압이 가해지는 리셋 선으로서의 기능을 가질

수 있다. 제8 배선(108)은, 제1 용량소자(50)에 가해지는 전압을 제어하기 위한 제1 용량배선으로서의 기능을 가질 수 있다. 제9 배선(109)은, 제2 용량소자(51)에 가해지는 전압을 제어하기 위한 제2 용량배선으로서의 기능을 가질 수 있다. 제10 배선(110)은, 제3 용량소자(52)에 가해지는 전압을 제어하기 위한 제3 용량배선으로서의 기능을 가질 수 있다. 단, 이것에 한정되지 않고, 각 배선은 다양한 역할을 가질 수 있다. 특히, 같은 전압을 가하기 위한 배선은 서로 전기적으로 접속된 공통의 배선으로 할 수 있다. 공통의 배선으로 함으로써, 회로에 있어서의 배선의 면적을 저감할 수 있으므로, 개구율을 향상시킬 수 있고, 그 결과, 소비 전력을 저감할 수 있다. 더욱 구체적으로는, 액정 공통 전극이 트랜지스터 기판측에 설치되는 구성을 갖는 액정소자(IPS 모드, FFS 모드 등)가 사용되는 경우에는, 제6 배선(106)과, 제7 배선(107), 제8 배선(108), 제9 배선(109) 및 제10 배선(110)을 서로 전기적으로 접속시킬 수 있다.

[0268] <회로예 (1)의 구체예 (2)>

[0269] 다음에, 실시예 2에 있어서의 회로예 (1)의 다른 구체예에 대해서 서술한다. 도 11b에 나타낸 회로는, 도 6a에서 나타낸 회로예 (1)의 구체예 (2)이며, 제1 트랜지스터 Tr1과, 제2 트랜지스터 Tr2와, 제3 트랜지스터 Tr3과, 제4 트랜지스터 Tr4와, 제1 용량소자(50)와, 제2 용량소자(51)와, 제3 용량소자(52)와, 제1 액정소자(31)와, 제2 액정소자(32)와, 제1 배선(101)과, 제2 배선(102)과, 제3 배선(103)과, 제4 배선(104)과, 제5 배선(105)과, 제6 배선(106)과, 제7 배선(107)과, 제8 배선(108)과, 제9 배선(109)을 갖는다.

[0270] 회로예 (1)의 구체예 (2)와, 회로예 (1)의 구체예 (1)이 다른 점은, 회로예 (1)의 구체예 (1)에서는 배치되어 있었던 제10 배선(110)이 회로예 (1)의 구체예 (2)에서는 배치되어 있지 않은 점과, 그것에 따라 제3 용량소자(52)의 전기적 접속이 회로예 (1)의 구체예 (1)과는 다른 점이다. 회로예 (1)의 구체예(2)에 있어서는, 제3 용량소자(52)의 한쪽의 전극은, 제2 화소 전극과 전기적으로 접속되고, 제3 용량소자(52)의 다른 쪽의 전극은 제9 배선(109)과 전기적으로 접속된다. 회로예 (1)의 구체예 (2)의 그 밖의 접속은 회로예 (1)의 구체예 (1)와 유사하다.

[0271] 이와 같이, 배선의 수가 감소함으로써, 표시부 내부의 배선 면적을 저감할 수 있으므로, 개구율이 향상되고 소비 전력을 저감시킬 수 있다. 이때, 회로예 (1)의 구체예 (1)과 같이 배선수가 많은 경우에는, 각 소자에 확실하게 전압을 공급 할 수 있으므로, 동작이 안정된다고 하는 이점이 있다.

[0272] 이때, 회로예 (1)의 구체예 (2)에 있어서는, 제2 용량소자(51)와 제3 용량소자(52)의 전기적 접속처가 공통으로 되는 예를 들었지만, 이것에 한정되지 않고, 다양한 조합을 취할 수 있다. 예를 들면, 제1 용량소자(50)와 제3 용량소자(52)의 전기적 접속이 공통이 되어도 된다. 제4 트랜지스터 Tr4와 제3 용량소자(52)의 전기적 접속이 공통이 되어도 된다. 제4 트랜지스터 Tr4와 제2 용량소자(51)의 전기적 접속이 공통이 되어도 된다. 제4 트랜지스터 Tr4와 제1 용량소자(50)의 전기적 접속이 공통이 되어도 된다.

[0273] <회로예 (1)의 구체예 (3)>

[0274] 다음에, 실시예 2에 있어서의 회로예 (1)의 다른 구체예에 대해서 서술한다. 도 11c에 나타낸 회로는, 도 6a에 나타낸 회로예 (1)의 구체예 (3)이며, 제1 트랜지스터 Tr1과, 제2 트랜지스터 Tr2와, 제3 트랜지스터 Tr3과, 제4 트랜지스터 Tr4와, 제1 용량소자(50)와, 제2 용량소자(51)와, 제3 용량소자(52)와, 제1 액정소자(31)와, 제2 액정소자(32)와, 제1 배선(101)과, 제2 배선(102)과, 제3 배선(103)과, 제4 배선(104)과, 제5 배선(105)과, 제6 배선(106)과, 제7 배선(107)과, 제8 배선(108)을 갖는다.

[0275] 회로예 (1)의 구체예 (3)와, 회로예 (1)의 구체예 (2)가 다른 점은, 회로예 (1)의 구체예 (2)에서는 배치되어 있었던 제9 배선(109)이 회로예 (1)의 구체예 (3)에서는 배치되어 있지 않은 점과, 그것에 따라 제2 용량소자(51) 및 제3 용량소자(52)의 전기적 접속이 회로예 (1)의 구체예 (2)와는 다른 점이다. 회로예 (1)의 구체예(3)에 있어서는, 제2 용량소자(51)의 한쪽의 전극은 제1 화소 전극과 전기적으로 접속되고, 제2 용량소자(51)의 다른 쪽의 전극은 제8 배선(108)과 전기적으로 접속된다. 제3 용량소자(52)의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속되고, 제3 용량소자(52)의 다른 쪽의 전극은 제8 배선(108)과 전기적으로 접속된다. 회로예 (1)의 구체예 (3)의 그 밖의 접속은 회로예 (1)의 구체예 (2)와 유사하다.

[0276] 이와 같이, 배선의 수가 감소함으로써, 표시부 내부의 배선 면적을 저감할 수 있으므로, 개구율이 향상되고 소비 전력을 저감시킬 수 있다. 이때, 회로예 (1)의 구체예 (1) 및 (2)과 같이 배선수가 많은 경우에는,

각 소자에 확실하게 전압을 공급할 수 있으므로, 동작이 안정된다고 하는 이점이 있다.

[0277] 이때, 회로예 (1)의 구체예 (3)에 있어서는, 제1 용량소자(50), 제2 용량소자(51) 및 제3 용량소자(52)의 전기적 접속처가 공통이 되는 예를 들었지만, 이것에 한정되지 않고, 다양한 조합을 취할 수 있다. 예를 들면, 제4 트랜지스터 Tr4, 제2 용량소자(51) 및 제3 용량소자(52)의 전기적 접속이 공통이 되어도 된다. 제4 트랜지스터 Tr4, 제3 용량소자(52) 및 제1 용량소자(50)의 전기적 접속이 공통이 되어도 된다. 제4 트랜지스터 Tr4, 제1 용량소자(50) 및 제2 용량소자(51)의 전기적 접속이 공통이 되어도 된다.

[0278] <회로예 (1)의 구체예 (4)>

[0279] 다음에, 실시예 2에 있어서의 회로예 (1)의 다른 구체예에 대해서 서술한다.

[0280] 도 11d에 나타난 회로는, 도 6a에 나타난 회로예 (1)의 구체예 (4)이며, 제1 트랜지스터 Tr1과, 제2 트랜지스터 Tr2와, 제3 트랜지스터 Tr3과, 제4 트랜지스터 Tr4와, 제1 용량소자(50)와, 제2 용량소자(51)와, 제3 용량소자(52)와, 제1 액정소자(31)와, 제2 액정소자(32)와, 제1 배선(101)과, 제2 배선(102)과, 제3 배선(103)과, 제4 배선(104)과, 제5 배선(105)과, 제6 배선(106)과, 제7 배선(107)을 갖는다.

[0281] 회로예 (1)의 구체예 (4)와, 회로예 (1)의 구체예 (3)이 다른 점은, 회로예 (1)의 구체예 (3)에서는 배치되어 있었던 제8 배선(108)이 회로예 (1)의 구체예 (4)에서는 배치되어 있지 않은 점과, 그것에 따라 제1 용량소자(50), 제2 용량소자(51) 및 제3 용량소자(52)의 전기적 접속이 회로예 (1)의 구체예 (3)과는 다른 점이다. 회로예 (1)의 구체예 (4)에 있어서는, 제1 용량소자(50)의 한쪽의 전극은 용량 전극과 전기적으로 접속되고, 제1 용량소자(50)의 다른 쪽의 전극은 제7 배선(107)과 전기적으로 접속된다. 제2 용량소자(51)의 한쪽의 전극은 제1 화소 전극과 전기적으로 접속되고, 제2 용량소자(51)의 다른 쪽의 전극은 제7 배선(107)과 전기적으로 접속된다. 제3 용량소자(52)의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속되고, 제3 용량소자(52)의 다른 쪽의 전극은 제7 배선(107)과 전기적으로 접속된다. 회로예 (1)의 구체예 (4)의 그 밖의 접속은, 회로예 (1)의 구체예 (3)과 유사하다.

[0282] 이와 같이, 배선의 수가 감소함으로써, 표시부 내의 배선 면적을 저감할 수 있으므로, 개구율이 향상되고 소비 전력을 저감시킬 수 있다. 이때, 회로예 (1)의 구체예 (1) 내지 (3)과 같이 배선수가 많은 경우에는, 각 소자에 확실하게 전압을 공급할 수 있으므로, 동작이 안정된다고 하는 이점이 있다.

[0283] 이때, 회로예 (1)의 구체예 (4)에 있어서는, 항상 일정한 전압이 가해지는 배선, 소위 전원선(액정 공통 전극 이외)이 화소회로 내에 1개만 배치되는 구성이기 때문에, 안정된 동작과 개구율의 밸런스가 좋으므로, 특히 유용한 화소회로이다.

[0284] 이때, 회로예 (1)의 구체예 (4)가 갖는 제7 배선은 복수의 소자에 공통되어 접속되어 있기 때문에, 공통 전원선 또는 공통선 등으로 기재되는 일도 있다.

[0285] <회로예 (1)의 구체예 (5)>

[0286] 다음에, 실시예 2에 있어서의 회로예 (1)의 다른 구체예에 대해서 서술한다. 도 12a에 나타난 회로는, 도 6a에 나타난 회로예 (1)의 구체예 (5)이며, 제1 트랜지스터 Tr1과, 제2 트랜지스터 Tr2와, 제3 트랜지스터 Tr3과, 제4 트랜지스터 Tr4와, 제1 용량소자(50)와, 제2 용량소자(51)와, 제3 용량소자(52)와, 제1 액정소자(31)와, 제2 액정소자(32)와, 제1 배선(101)과, 제2 배선(102)과, 제3 배선(103)과, 제4 배선(104)과, 제5 배선(105)과, 제6 배선(106)을 갖는다.

[0287] 회로예 (1)의 구체예 (5)에 있어서는, 회로예 (1)의 구체예 (1) 내지 (4)에서 나타난 것과 같은, 소위 전원선(액정 공통 전극 이외)을 1개도 배치하지 않는 화소 구성이다. 이 경우, 화소회로 내에서 일정한 전압이 필요하게 되는 전극을 인접하는 화소의 주사선과 전기적으로 접속함으로써, 일정한 전압이 전극에 공급된다. 즉, 인접하는 화소의 주사선을 전원선으로서 사용할 수 있다.

[0288] 회로예 (1)의 구체예 (5)에 있어서는, 제k행에 속하는 화소에 포함된 제1 용량소자(50)의 한쪽의 전극은 해당 화소의 용량 전극과 전기적으로 접속되고, 제1 용량소자(50)의 다른 쪽의 전극은, 제(k-1)행에 속하는 화소에 포함되는 제4 배선(104)과 전기적으로 접속된다. 제k행에 속하는 화소에 포함되는 제2 용량소자(51)의 한쪽의 전극은 해당 화소의 제1 화소 전극과 전기적으로 접속되고, 제2 용량소자(51)의 다른 쪽의 전극은 제(k-

1)행에 속하는 화소에 포함되는 제4 배선(104)과 전기적으로 접속된다. 제k행에 속하는 화소에 포함되는 제3 용량소자(52)의 한쪽의 전극은 해당 화소의 제2 화소 전극과 전기적으로 접속되고, 제3 용량소자(52)의 다른 쪽의 전극은 제(k-1)행에 속하는 화소에 포함되는 제4 배선(104)과 전기적으로 접된다. 제k행에 속하는 화소에 포함되는 제4 트랜지스터 Tr4의 소스 전극 또는 드레인 전극의 한쪽의 전극은 해당 화소의 용량 전극과 전기적으로 접속된다. 제4 트랜지스터 Tr4의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 제(k-1)행에 속하는 화소에 포함되는 제4 배선(104)과 전기적으로 접속된다. 제4 트랜지스터 Tr4의 게이트 전극은 해당 화소의 제4 배선(104)과 전기적으로 접속된다. 회로예 (1)의 구체예 (5)의 그 밖의 접속은 회로예 (1)의 구체예 (4)와 유사하다. 이때, k는 2 이상 n 이하의 정수이다(n은 표시부의 행수).

[0289] 전원선으로서 사용하는 주사선은, 해당 화소가 속하는 행(제k행)이 선택되는 타이밍보다도 앞에 선택되는 행에 속하는 화소에 포함되는 것이 바람직하다. 대표적으로는, 회로예 (1)의 구체예 (5)에 나타난 것과 같이, 제(k-1)행에 속하는 화소의, 제4 주사선을 전원선으로서 사용할 수 있다. 이 이유에 대해서, 도 12b에 나타난 타이밍 차트를 사용해서 이하에서 설명한다.

[0290] 도 12b에 나타난 타이밍 차트는, 이미 서술한 기능 (1)을 실현하기 위해, 제(k-1)행에 속하는 화소의 제1 배선(101), 제2 배선(102), 제3 배선(103), 제4 배선(104)과, 제k행에 속하는 화소의 제1 배선(101), 제2 배선(102), 제3 배선(103), 제4 배선(104)의 각각에 가해지는 전압을, 시간축을 따라 나타낸 것이다.

[0291] 도 12b에 나타난 것과 같이, 제(k-1)행에 속하는 화소와, 제k행에 속하는 화소 사이에서의 다른 타이밍에 각 스위치의 도통 상태가 나타난다. 도 12b에 나타난 타이밍 차트에서는, 이 차이는 1 게이트 선택 기간으로 되어 있다.

[0292] 이와 같이, 각 주사선에 가해지는 전압은 시간적으로 변화하며, 전압이 변화하는 기간은 한정되어 있다. 예를 들면, 표시부의 행수가 480인 경우, 1 게이트 선택 기간은, 길어도 1 프레임의 1/480에 지나지 않는다. 즉, 주사선에 가해지는 전압이 하이레벨로 설정되는 기간은 전체의 1/480에 지나지 않고, 나머지의 479/480의 기간에 대해서는 로우 레벨의 전압이 계속 주사선에 가해진다. 이와 같은 비율의 차이에 의해, 주사선을 로우 레벨의 전원선으로서 이용할 수 있다.

[0293] 단, 약간의 비율이라도, 회로가 중요한 동작을 행하고 있는 기간에, 전원선으로서 이용하고 있는 주사선의 전압이 변화하여 버리는 것을 가능한 한 피하는 쪽이 바람직하다. 구체적으로, 기능 (1)에 있어서는, 리셋 상태, 기록 상태, 분배 상태의 기간에, 주사선의 전압이 변화하여 버리면, 리셋, 기록, 분배가 정확하게 행해지지 않을 가능성이 있기 때문에, 이것은 피하는 쪽이 바람직하다.

[0294] 제k행에 속하는 화소가 리셋 상태(기간 <P1>), 기록 상태(기간 <P3>), 분배 상태(기간 <P4>)로 되어 있을 때에, 가해지는 전압이 하이 레벨로 되어 있지 않다고 하는 조건을 충족시키는 주사선은, 제(k-1)행에 속하는 화소의 주사선 중에서는, 제1 배선(101), 제2 배선(102), 제4 배선(104)인 것을 알 수 있다. 그중에서도, 전압의 변화의 빈도가 적은 주사선은 제1 배선(101) 및 제4 배선(104)이다. 더구나, 전압의 변화가 표시에 미치는 영향이 작은 주사선은 제4 배선(104)이다. 왜냐하면, 제(k-1)행에 속하는 화소의 제4 배선(104)은 제k행에 속하는 화소가 리셋 상태가 되기 전에 하이레벨이 되기 때문이다. 따라서, 이 전압의 변화로 제k행에 속하는 화소에 어떤 영향이 있었다고 하더라도, 그후에 나타나는 리셋 상태에 의해, 표시는 강제적으로 흑 표시로 된다.

[0295] 이와 같은 이유에서, 도 12a에 나타난 회로에 있어서는, 제(k-1)행에 속하는 화소의 제4 주사선을 전원선으로서 사용하고 있다. 그러나, 이 이외의 주사선을 전원선으로서 이용할 수도 있다. 예를 들면, 제(k-1)행에 속하는 화소의 제1 주사선 또는 제2 주사선을 이용할 수도 있다. 더구나, 제(k-1)행보다도 앞의 행에 속하는 주사선을 제k행에 속하는 화소의 전원선으로서 사용할 수도 있다. 어떻든간에, 전술한 조건을 충족시키는 주사선이면, 이 주사선을 전원선으로서 이용할 수 있다.

[0296] 이와 같이, 주사선을 전원선으로서 이용함으로써, 배선의 수와 표시부 내의 배선 면적을 저감할 수 있으므로, 개구율이 향상되고, 소비 전력을 저감시킬 수 있다.

[0297] <회로예 (2)의 구체예>

[0298] 다음에, 실시예 2에 있어서의 회로예 (2)의 구체예에 대해서 서술한다. 도 1 3a에 나타난 회로는, 도 7a에 나타난 회로예 (2)의 구체예이며, 제1 트랜지스터 Tr1과, 제2 트랜지스터 Tr2와, 제3 트랜지스터 Tr3과, 제4 트랜지스터 Tr4와, 제1 용량소자(50)와, 제2 용량소자(51)와, 제3 용량소자(52)와, 제1 액정소자(31)와, 제

2 액정소자(32)와, 제1 배선(101)과, 제2 배선(102)과, 제3 배선(103)과, 제4 배선(104)과, 제5 배선(105)과, 제6 배선(106)과, 제7 배선(107)을 갖는다.

[0299] 제1 용량소자(50)의 한쪽의 전극은 제7 배선(107)과 전기적으로 접속된다. 여기에서, 제1 용량소자(50)의 전극 중, 제7 배선(107)과 전기적으로 접속된 전극과는 다른 전극쪽을, 용량 전극으로 부르기로 한다.

[0300] 제1 액정소자(31)의 한쪽의 전극은 제6 배선(106)과 전기적으로 접속된다. 여기에서, 제1 액정소자(31)의 전극 중, 제6 배선(106)과 전기적으로 접속된 전극과는 다른 전극쪽을, 제1 화소 전극으로 부르기로 한다.

[0301] 제2 액정소자(32)의 한쪽의 전극은 제6 배선(106)과 전기적으로 접속된다. 여기에서, 제2 액정소자(32)의 전극 중, 제6 배선(106)과 전기적으로 접속된 전극과는 다른 전극쪽을, 제2 화소 전극으로 부르기로 한다.

[0302] 제1 트랜지스터 Tr1의 소스 전극 또는 드레인 전극의 한쪽의 전극은 제5 배선(105)과 전기적으로 접속된다. 제1 트랜지스터 Tr1의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은, 제2 화소 전극과 전기적으로 접속된다. 제1 트랜지스터 Tr1의 게이트 전극은 제1 배선(101)과 전기적으로 접속된다.

[0303] 제2 트랜지스터 Tr2의 소스 전극 또는 드레인 전극의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속된다. 제2 트랜지스터 Tr2의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 제1 화소 전극과 전기적으로 접속된다. 제2 트랜지스터 Tr2의 게이트 전극은 제2 배선(102)과 전기적으로 접속된다.

[0304] 제3 트랜지스터 Tr3의 소스 전극 또는 드레인 전극의 한쪽의 전극은 용량 전극과 전기적으로 접속된다. 제3 트랜지스터 Tr3의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 제2 화소 전극과 전기적으로 접속된다. 제3 트랜지스터 Tr3의 게이트 전극은 제3 배선(103)과 전기적으로 접속된다.

[0305] 제4 트랜지스터 Tr4의 소스 전극 또는 드레인 전극의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속된다. 제4 트랜지스터 Tr4의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 제7 배선(107)과 전기적으로 접속된다. 제4 트랜지스터 Tr4의 게이트 전극은, 제4 배선(104)과 전기적으로 접속된다.

[0306] 제2 용량소자(51)의 한쪽의 전극은 제1 화소 전극과 전기적으로 접속된다. 제2 용량소자(51)의 다른 쪽의 전극은 제7 배선(107)과 전기적으로 접속된다. 제3 용량소자(52)의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속되고, 제3 용량소자(52)의 다른 쪽의 전극은 제7 배선(107)과 전기적으로 접속된다.

[0307] 여기에서, 각 트랜지스터의 사이즈 W/L은, (Tr1 또는 Tr4)>(Tr2 또는 Tr3)를 만족시키는 것이 바람직하다. 왜냐하면, 리셋 상태 또는 기록 상태시에, Tr1 또는 Tr4에는, Tr2 또는 Tr3에 흐르는 전류보다도 큰 전류가 흐르기 때문이다. 이와 같이 함으로써, 재빠르게 기록 또는 리셋을 행할 수 있다. 더욱 상세하게는, Tr1 및 Tr4의 사이즈에 대해서는, Tr1>Tr4를 만족시키는 것이 바람직하다. 왜냐하면, Tr1에 의한 전압의 기폭이 1 게이트 선택 기간 내에 행해지기 때문에, 시간적인 여유가 보다 적기 때문이다. Tr2 및 Tr3의 사이즈에 대해서는, 각각이 Tr2 및 Tr3에 전기적으로 접속되어 있는 액정소자 또는 용량소자가 갖는 전극의 사이즈와, 트랜지스터의 사이즈도 큰 것이 바람직하다. 왜냐하면, 전극이 큰 소자는 정전용량값도 커지기 때문에, 그러한 소자에 대하여는, 보다 큰 전류에 의해 기록, 리셋, 분배 등이 행하여질 필요가 있기 때문이다.

[0308] 이때, 도 13a에 나타난 회로는, 기관 위에 나란하게 설치됨으로써 표시부가 형성된다. 그리고, 도 13a에 나타난 회로는 표시부를 형성하는 회로의 최소 단위이며, 이것을 화소 또는 화소회로로 부른다.

[0309] 이때, 도 13a에 나타난 회로가 갖는 제1 내지 제7 배선은 각각 인접하는 화소회로와 공유된다.

[0310] 이때, 도 13d에 나타난 것과 같이, 제6 배선(106)과 제7 배선(107)은 각각 전기적으로 접속되어 있어도 된다.

[0311] 이때, 도 13a에 나타난 회로가 갖는 제1 내지 제7 배선을 각각이 갖는 역할로부터 구별하면 다음과 같다. 제1 배선(101)은, 제1 트랜지스터 Tr1을 제어하기 위한 제1 주사선으로서의 기능을 가질 수 있다. 제2 배선(102)은, 제2 트랜지스터 Tr2를 제어하기 위한 제2 주사선으로서의 기능을 가질 수 있다. 제3 배선(103)은, 제3 트랜지스터 Tr3을 제어하기 위한 제3 주사선으로서의 기능을 가질 수 있다. 제4 배선(104)은, 제4 트랜지스터 Tr4를 제어하기 위한 제4 주사선으로서의 기능을 가질 수 있다. 제5 배선(105)은, 데이터 전압이 가해지는 데이터 선으로서의 기능을 가질 수 있다. 제6 배선(106)은, 액정소자에 가해지는 전압을 제어하기 위한 액정 공통 전극으로서의 기능을 가질 수 있다. 제7 배선(107)은, 공통의 전압이 가해지는 공통선으로서의 기능을 가질 수 있다. 단, 이것에 한정되지 않고, 각 배선은 다양한 역할을 가질 수 있다. 특히, 같은 전압을 가하기 위한 배선은, 서로 전기적으로 접속된 공통의 배선으로 할 수 있다. 공통의 배선으로 함으로써, 회로에 있어서의 배선의

면적을 저감할 수 있으므로, 개구율을 향상시킬 수 있고, 그 결과, 소비 전력을 저감할 수 있다. 더욱 구체적으로는, 액정 공통 전극이 트랜지스터 기관측에 설치되는 구성의 액정소자(IPS 모드, FFS 모드 등)가 사용되는 경우에는, 제6 배선(106)과 제7 배선(107)을 서로 전기적으로 접속시킬 수 있다.

[0312] 이때, 회로예 (2)의 구체예로서는, 중복한 설명을 피하기 위해, 액정 공통 전극을 제외한 전원선이 1 화소회로 내에 1개인 경우만을 들고 있다. 회로예 (2)에 있어서도, 회로예 (1)의 구체예 (1) 내지 (4)에서 서술한 것 같이, 다양한 개수의 전원선을 사용할 수 있다. 더구나, 회로예 (1)의 구체예 (5)에서 서술한 것 같이, 전원선을 생략할 수도 있다.

[0313] <회로예 (3)의 구체예>

[0314] 다음에, 실시예 2에 있어서의 회로예 (3)의 구체예에 대해 서술한다. 도 13b에 나타난 회로는, 도 8a에 나타난 회로예 (3)의 구체예이며, 제1 트랜지스터 Tr1과, 제2 트랜지스터 Tr2와, 제3 트랜지스터 Tr3과, 제4 트랜지스터 Tr4와, 제1 용량소자(50)와, 제2 용량소자(51)와, 제3 용량소자(52)와, 제1 액정소자(31)와, 제2 액정소자(32)와, 제1 배선(101)과, 제2 배선(102)과, 제3 배선(103)과, 제4 배선(104)과, 제5 배선(105)과, 제6 배선(106)과, 제7 배선(107)을 갖는다.

[0315] 제1 용량소자(50)의 한쪽의 전극은 제7 배선(107)과 전기적으로 접속된다. 여기에서, 제1 용량소자(50)의 전극 중, 제7 배선(107)과 전기적으로 접속된 전극과는 다른 전극쪽을, 용량 전극으로 부르기로 한다.

[0316] 제1 액정소자(31)의 한쪽의 전극은 제6 배선(106)과 전기적으로 접속된다. 여기에서, 제1 액정소자(31)의 전극 중, 제6 배선(106)과 전기적으로 접속된 전극과는 다른 전극쪽을, 제1 화소 전극으로 부르기로 한다.

[0317] 제2 액정소자(32)의 한쪽의 전극은 제6 배선(106)과 전기적으로 접속된다. 여기에서, 제2 액정소자(32)의 전극 중, 제6 배선(106)과 전기적으로 접속된 전극과는 다른 전극쪽을, 제2 화소 전극으로 부르기로 한다.

[0318] 제1 트랜지스터 Tr1의 소스 전극 또는 드레인 전극의 한쪽의 전극은 제5 배선(105)과 전기적으로 접속된다. 제1 트랜지스터 Tr1의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 제1 화소 전극과 전기적으로 접속된다. 제1 트랜지스터 Tr1의 게이트 전극은 제1 배선(101)과 전기적으로 접속된다.

[0319] 제2 트랜지스터 Tr2의 소스 전극 또는 드레인 전극의 한쪽의 전극은 제1 화소 전극과 전기적으로 접속된다. 제2 트랜지스터 Tr2의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 용량 전극과 전기적으로 접속된다. 제2 트랜지스터 Tr2의 게이트 전극은 제2 배선(102)과 전기적으로 접속된다.

[0320] 제3 트랜지스터 Tr3의 소스 전극 또는 드레인 전극의 한쪽의 전극은 용량 전극과 전기적으로 접속된다. 제3 트랜지스터 Tr3의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 제2 화소 전극과 전기적으로 접속된다. 제3 트랜지스터 Tr3의 게이트 전극은 제3 배선(103)과 전기적으로 접속된다.

[0321] 제4 트랜지스터 Tr4의 소스 전극 또는 드레인 전극의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속된다. 제4 트랜지스터 Tr4의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 제7 배선(107)과 전기적으로 접속된다. 제4 트랜지스터 Tr4의 게이트 전극은 제4 배선(104)과 전기적으로 접속된다.

[0322] 제2 용량소자(51)의 한쪽의 전극은 제1 화소 전극과 전기적으로 접속되고, 제2 용량소자(51)의 다른 쪽의 전극은 제7 배선(107)과 전기적으로 접속된다. 제3 용량소자(52)의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속되고, 제3 용량소자(52)의 다른 쪽의 전극은 제7 배선(107)과 전기적으로 접속된다.

[0323] 여기에서, 각 트랜지스터의 사이즈 W/L은, (Tr1 또는 Tr4)>(Tr2 또는 Tr3)를 만족하는 것이 바람직하다. 왜냐하면, 리셋 상태 또는 기록 상태시에, Tr1 또는 Tr4에는, Tr2 또는 Tr3에 흐르는 전류보다도 큰 전류가 흐르기 때문이다. 이와 같이 함으로써, 재빠르게 기록 또는 리셋을 행할 수 있다. 더욱 상세하게는, Tr1 및 Tr4의 사이즈는, Tr1>Tr4를 만족시키는 것이 바람직하다. 왜냐하면, Tr1에 의한 전압의 기록은 1 게이트 선택 기간 내에 행해지기 때문에, 시간적인 여유가 보다 적기 때문이다. Tr2 및 Tr3의 사이즈에 대해서는, 각각이 전기적으로 접속되어 있는 액정소자 또는 용량소자가 갖는 전극의 사이즈와, 트랜지스터의 사이즈도 큰 것이 바람직하다. 왜냐하면, 전극이 큰 소자는 정전용량값도 커지기 때문에, 그러한 소자에 대하여는, 보다 큰 전류에 의해 기록, 리셋, 분배 등이 행하여질 필요가 있기 때문이다.

[0324] 이때, 도 13b에 나타난 회로는, 기관 위에 나란하게 설치됨으로써 표시부가 형성된다. 그리고, 도 13b에 나타난 회로는 표시부를 형성하는 회로의 최소 단위이며, 이것을 화소 또는 화소회로로 부른다.

- [0325] 이때, 도 13b에 나타난 회로가 갖는 제1 내지 제7 배선은, 각각 인접하는 화소회로와 공유된다.
- [0326] 이때, 도 13d에 나타난 것과 같이, 제6 배선(106)과 제7 배선(107)은 각각 전기적으로 접속되어 있어도 된다.
- [0327] 이때, 도 13b에 나타난 회로가 갖는 제1 내지 제7 배선을 각각이 갖는 역할로부터 구별하면, 다음과 같다. 제1 배선(101)은, 제1 트랜지스터 Tr1을 제어하기 위한 제1 주사선으로서의 기능을 가질 수 있다. 제2 배선(102)은, 제2 트랜지스터 Tr2를 제어하기 위한 제2 주사선으로서의 기능을 가질 수 있다. 제3 배선(103)은, 제3 트랜지스터 Tr3을 제어하기 위한 제3 주사선으로서의 기능을 가질 수 있다. 제4 배선(104)은, 제4 트랜지스터 Tr4를 제어하기 위한 제4 주사선으로서의 기능을 가질 수 있다. 제5 배선(105)은, 데이터 전압이 가해지는 데이터 선으로서의 기능을 가질 수 있다. 제6 배선(106)은, 액정소자에 가해지는 전압을 제어하기 위한 액정 공통 전극으로서의 기능을 가질 수 있다. 제7 배선(107)은, 공통의 전압이 가해지는 공통선으로서의 기능을 가질 수 있다. 단, 이것에 한정되지 않고, 각 배선은 다양한 역할을 가질 수 있다. 특히, 같은 전압을 가하기 위한 배선은 서로 전기적으로 접속된 공통의 배선으로 할 수 있다. 공통의 배선으로 함으로써, 회로에 있어서의 배선의 면적을 저감할 수 있으므로, 개구율을 향상시킬 수 있고, 그 결과, 소비 전력을 저감할 수 있다. 더욱 구체적으로는, 액정 공통 전극이 트랜지스터 기판층에 설치되는 구성의 액정소자(IPS 모드, FFS 모드 등)가 사용되는 경우에는, 제6 배선(106)과 제7배선(107)을 서로 전기적으로 접속시킬 수 있다.
- [0328] 이때, 회로에 (3)의 구체에로서는, 중복한 설명을 피하기 위해, 액정 공통 전극을 제외한 전원선이 1 화소회로 내에 1개인 경우만을 들고 있다. 회로에 (3)에 있어서도, 회로에 (1)의 구체에 (1) 내지 (4)에서 서술한 것 같이, 다양한 개수의 전원선을 사용할 수 있다. 더구나, 회로에 (1)의 구체에 (5)에서 서술한 것 같이, 전원선을 생략할 수도 있다.
- [0329] <회로에 (4)의 구체에>
- [0330] 다음에, 실시예 2에 있어서의 회로에 (4)의 구체에에 대해서 서술한다. 도 13c에 나타난 회로는, 도 9a에 나타난 회로에 (4)의 구체에이며, 제1 트랜지스터 Tr1과, 제2 트랜지스터 Tr2-1과, 제3 트랜지스터 Tr3과, 제4 트랜지스터 Tr4와, 제5 트랜지스터 Tr2-2와, 제1 용량소자(50)와, 제2 용량소자(51)와, 제3 용량소자(52)와, 제1 액정소자(31)와, 제2 액정소자(32)와, 제1 배선(101)과, 제2 배선(102)과, 제3 배선(103)과, 제4 배선(104)과, 제5 배선(105)과, 제6 배선(106)과, 제7 배선(107)과, 제8 배선(111)을 갖는다.
- [0331] 제1 용량소자(50)의 한쪽의 전극은 제7 배선(107)과 전기적으로 접속된다. 여기에서, 제1 용량소자(50)의 전극 중, 제7 배선(107)과 전기적으로 접속된 전극과는 다른 전극쪽을, 용량 전극으로 부르기로 한다.
- [0332] 제1 액정소자(31)의 한쪽의 전극은 제6 배선(106)과 전기적으로 접속된다. 여기에서, 제1 액정소자(31)의 전극 중, 제6 배선(106)과 전기적으로 접속된 전극과는 다른 전극쪽을, 제1 화소 전극으로 부르기로 한다.
- [0333] 제2 액정소자(32)의 한쪽의 전극은 제6 배선(106)과 전기적으로 접속된다. 여기에서, 제2 액정소자(32)의 전극 중, 제6 배선(106)과 전기적으로 접속된 전극과는 다른 전극쪽을, 제2 화소 전극으로 부르기로 한다.
- [0334] 더구나, 도 13c에 나타난 회로에 (4)의 구체에는, 도 9a에 나타난 것과 같이, 내부 전극 P를 갖는다.
- [0335] 제1 트랜지스터 Tr1의 소스 전극 또는 드레인 전극의 한쪽의 전극은, 제5 배선(105)과 전기적으로 접속된다. 제1 트랜지스터 Tr1의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 내부 전극 P와 전기적으로 접속된다. 제1 트랜지스터 Tr1의 게이트 전극은 제1 배선(101)과 전기적으로 접속된다.
- [0336] 제2 트랜지스터 Tr2-1의 소스 전극 또는 드레인 전극의 한쪽의 전극은 내부 전극 P와 전기적으로 접속된다. 제2 트랜지스터 Tr2-1의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 제1 화소 전극과 전기적으로 접속된다. 제2 트랜지스터 Tr2-1의 게이트 전극은 제2 배선(102)과 전기적으로 접속된다.
- [0337] 제3 트랜지스터 Tr3의 소스 전극 또는 드레인 전극의 한쪽의 전극은 내부 전극 P와 전기적으로 접속된다. 제3 트랜지스터 Tr3의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 용량 전극과 전기적으로 접속된다. 제3 트랜지스터 Tr3의 게이트 전극은 제3 배선(103)과 전기적으로 접속된다.
- [0338] 제4 트랜지스터 Tr4의 소스 전극 또는 드레인 전극의 한쪽의 전극은 내부 전극 P와 전기적으로 접속된다. 제4 트랜지스터 Tr4의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 제7 배선(107)과 전기적으로 접속된다.

다. 제4 트랜지스터 Tr4의 게이트 전극은 제4 배선(104)과 전기적으로 접속된다.

[0339] 제5 트랜지스터 Tr2-2의 소스 전극 또는 드레인 전극의 한쪽의 전극은 내부 전극 P와 전기적으로 접속된다. 제5 트랜지스터 Tr2-2의 소스 전극 또는 드레인 전극의 다른 쪽의 전극은 제2 화소 전극과 전기적으로 접속된다. 제5 트랜지스터 Tr2-2의 게이트 전극은 제8 배선(111)과 전기적으로 접속된다.

[0340] 제2 용량소자(51)의 한쪽의 전극은 제1 화소 전극과 전기적으로 접속되고, 제2 용량소자(51)의 다른 쪽의 전극은 제7 배선(107)과 전기적으로 접속된다. 제3 용량소자(52)의 한쪽의 전극은 제2 화소 전극과 전기적으로 접속되고, 제3 용량소자(52)의 다른 쪽의 전극은 제7 배선(107)과 전기적으로 접속된다.

[0341] 여기에서, 각 트랜지스터의 사이즈 W/L은, (Tr1 또는 Tr4)>(Tr2-1, Tr2-2 또는 Tr3)를 만족하는 것이 바람직하다. 왜냐하면, 리셋 상태 또는 기록 상태시에, Tr1 또는 Tr4에는, Tr2-1, Tr2-2 또는 Tr3에 흐르는 전류보다도 큰 전류가 흐르기 때문이다. 이와 같이 함으로써, 재빠르게 기록 또는 리셋을 행할 수 있다. 더욱 상세하게는, Tr1 및 Tr4의 사이즈는, Tr1>Tr4를 만족시키는 것이 바람직하다. 왜냐하면, Tr1에 의한 전압의 기록은 1 게이트 선택 기간 내에 행해지기 때문에, 시간적인 여유가 보다 적기 때문이다. Tr2-1, Tr2-2 또는 Tr3의 사이즈에 대해서는, 각각이 전기적으로 접속되어 있는 액정소자 또는 용량소자가 갖는 전극의 사이즈와, 트랜지스터의 사이즈도 큰 것이 바람직하다. 왜냐하면, 전극이 큰 소자는 정전용량값도 커지기 때문에, 그러한 소자에 대하여는, 보다 큰 전류에 의해 기록, 리셋, 분배 등이 행하여질 필요가 있기 때문이다.

[0342] 이때, 도 13c에 나타난 회로는, 기관 위에 나란하게 설치됨으로써 표시부가 형성된다. 그리고, 도 13c에 나타난 회로는 표시부를 형성하는 회로의 최소 단위이며, 이것을 화소 또는 화소회로로 부른다.

[0343] 이때, 도 13c에 나타난 회로가 갖는 제1 내지 제8 배선은, 각각 인접하는 화소회로와 공유된다.

[0344] 이때, 도 13d에 나타난 것과 같이, 제6 배선(106)과 제7 배선(107)은 각각 전기적으로 접속되어 있어도 된다.

[0345] 이때, 도 13c에 나타난 회로가 갖는 제1 내지 제8 배선을 각각이 갖는 역할로부터 구별하면, 다음과 같다. 제1 배선(101)은, 제1 트랜지스터 Tr1을 제어하기 위한 제1 주사선으로서의 기능을 가질 수 있다. 제2 배선(102)은, 제2 트랜지스터 Tr2-1을 제어하기 위한 제2 주사선으로서의 기능을 가질 수 있다. 제3 배선(103)은, 제3 트랜지스터 Tr3을 제어하기 위한 제3 주사선으로서의 기능을 가질 수 있다. 제4 배선(104)은, 제4 트랜지스터 Tr4를 제어하기 위한 제4 주사선으로서의 기능을 가질 수 있다. 제5 배선(105)은, 데이터 전압이 가해지는 데이터 선으로서의 기능을 가질 수 있다. 제6 배선(106)은, 액정소자에 가해지는 전압을 제어하기 위한 액정 공통 전극으로서의 기능을 가질 수 있다. 제7 배선(107)은, 공통의 전압이 가해지는 공통선으로서의 기능을 가질 수 있다. 제8 배선(111)은, 제5 트랜지스터 Tr2-2를 제어하기 위한 제5 배선으로서의 기능을 가질 수 있다. 단, 이것에 한정되지 않고, 각 배선은 다양한 역할을 가질 수 있다. 특히, 같은 전압을 가하기 위한 배선은 서로 전기적으로 접속된 공통의 배선으로 할 수 있다. 공통의 배선으로 함으로써, 회로에 있어서의 배선의 면적을 저감할 수 있으므로, 개구율을 향상시킬 수 있고, 그 결과, 소비 전력을 저감할 수 있다. 더욱 구체적으로는, 액정 공통 전극이 트랜지스터 기관측에 설치되는 구성의 액정소자(IPS 모드, FFS 모드 등)가 사용되는 경우에는, 제6 배선(106)과 제7 배선(107)을 서로 전기적으로 접속시킬 수 있다.

[0346] 이때, 회로예 (4)의 구체예로서는, 중복된 설명을 피하기 위해, 액정 공통 전극을 제외한 전원선이 1 화소회로 내에 1개인 경우만을 들고 있다. 회로예 (4)에 있어서도, 회로예 (1)의 구체예 (1) 내지 (4)에서 서술한 것 같이, 다양한 개수의 전원선을 사용할 수 있다. 더구나, 회로예 (1)의 구체예 (5)에서 서술한 것 같이, 전원선을 생략할 수도 있다.

[0347] 이때, 본 실시예에 있어서는, 표시 소자를 액정소자로서 설명했지만, 다른 표시 소자, 예를 들면 자발광하는 소자, 형광체의 발광을 이용하는 소자, 외광의 반사를 이용하는 소자 등을 사용할 수도 있다. 예를 들면, 자발광하는 소자를 사용한 표시장치로서는, 유기 EL 디스플레이, 무기 EL 디스플레이 등을 들 수 있다. 형광체의 발광을 이용하는 소자를 사용한 표시장치로서는, 음극선관(CRT)을 사용한 디스플레이, 플라즈마 디스플레이 패널(PDP), 필드 에미션 디스플레이(FED) 등을 들 수 있다. 외광의 반사를 이용하는 소자를 사용한 표시장치로서는, 예를 들면 전자 페이퍼 등을 들 수 있다.

[0348] 이때, 본 실시예에 있어서, 다양한 도면을 사용해서 서술해 왔지만, 각각의 도면에서 서술한 내용(일부라도 된다)은, 다른 도면에서 서술한 내용(일부라도 된다), 다른 실시예의 도면에서 서술한 내용(일부라도 된다)에 대하여, 적용, 조합, 또는 치환 등을 자유롭게 행할 수 있다. 더구나, 지금까지 서술한 도면에 있어서,

각각의 부분과, 다른 부분, 또는 다른 실시예의 부분을 조합할 수 있다.

- [0349] (실시예 4)
- [0350] 본 실시예에 있어서는, 지금까지 설명한 다양한 회로예에 대해서, 액정소자 이외의 표시 소자를 갖는 경우에 대해 설명한다. 이미 서술한 것 같이, 본 명세서에 있어서의 화소가 가질 수 있는 표시 소자로서는, 액정소자 이외에도, 다양한 소자를 사용할 수 있다.
- [0351] 실시예 1 내지 3에서 설명한 화소 구성에 있어서의 표시 소자로서는, 액정소자 이외에도 다양한 것을 사용할 수 있다. 표시 소자로서 액정소자 이외의 것을 사용하는 경우, 그 표시 소자가 액정소자와 같이 직류의 전압을 사용하여 구동되고, 표시 소자 자체에 흐르는 전류가 작은 것일 때에는, 지금까지 설명한 구성에 있어서 액정소자를 그 표시 소자로 치환하면 된다. 그러나, 치환되는 표시 소자가, 전류로 구동되는 표시 소자(전류 구동 표시 소자)일 때에는, 간단히 표시 소자를 치환하는 것 뿐만 아니라, 이하에서 설명하는 것 같은 구성의 변경을 행할 필요가 있다.
- [0352] 전류 구동 표시 소자로서는, 높은 결정성을 갖는 발광 다이오드(LED), 유기 재료를 사용한 유기발광 다이오드(OLED: 유기 EL이라고도 기재한다) 등을 사용할 수 있다. 전류 구동 표시 소자는, 표시 소자를 흐르는 전류의 양에 의해, 소자의 발광 강도가 결정되는 표시 소자다. 도 14a 및 도 14b는, 실시예 1에서 설명한 화소 구성에 있어서, 전류 구동 표시 소자를 사용한 경우의 화소 구성의 예이다.
- [0353] 도 14a에 나타낸 화소 구성에는, 도 1a에 나타낸 화소 구성에 중에서, 제1 서브 화소(41) 및 제2 서브 화소(42)의 구성이 다르고, 그 이외에는 서로 유사하다. 다른 점은 구체적으로 다음과 같다. 도 1a에 나타낸 화소 구성예에 있어서는, 제1 서브 화소(41)가 제1 액정소자(31) 및 제1 공통 전극으로 구성되고, 제2 서브 화소(42)가 제2 액정소자(32) 및 제2 공통 전극으로 구성되어 있다. 한편, 도 14a에 나타낸 화소 구성예에 있어서는, 제1 서브 화소(41)가 제1 전류 제어회로(121)와, 제1 전류 구동 표시 소자(131)와, 제1 양극 배선(141)과, 제1 음극 배선(151)으로 구성되고, 제2 서브 화소(42)가 제2 전류 제어회로(122)와, 제2 전류 구동 표시 소자(132)와, 제2 양극 배선(142)과, 제2 음극 배선(152)으로 구성되어 있다.
- [0354] 도 14a에 나타낸 화소 구성예에 있어서의 제1 서브 화소(41)에 있어서, 제1 전류 제어회로(121)는 적어도 3개의 전극(121a, 121b, 121c)을 갖고 있다. 전극 121a는 제1 회로(10)와 전기적으로 접속된다. 전극 121b는 제1 양극 배선(141)과 전기적으로 접속된다. 전극 121c는 제1 전류 구동 표시 소자(131)와 전기적으로 접속된다. 제1 전류 구동 표시 소자(131)는 적어도 2개의 전극을 갖는다. 한쪽의 전극은 전극 121c와 전기적으로 접속되고, 다른 쪽의 전극은 제1 음극 배선(151)과 전기적으로 접속된다.
- [0355] 마찬가지로, 제2 서브 화소(42)에 있어서, 제2 전류 제어회로(122)는 적어도 3개의 전극(122a, 122b, 122c)을 갖는다. 전극 122a는 제1 회로(10)와 전기적으로 접속된다. 전극 122b는 제2 양극 배선(142)과 전기적으로 접속된다. 전극 122c는 제2 전류 구동 표시 소자(132)와 전기적으로 접속된다. 제2 전류 구동 표시 소자(132)는 적어도 2개의 전극을 갖는다. 한쪽의 전극은 전극 122c와 전기적으로 접속되고, 다른 쪽의 전극은 제2 음극 배선(152)과 전기적으로 접속된다.
- [0356] 여기에서, 제1 전류 제어회로(121) 및 제2 전류 제어회로(122)는, 각각, 제1 전류 구동 표시 소자(131) 및 제2 전류 구동 표시 소자(132)에 흐르는 전류를, 제1 회로(10)로부터 공급되는 전압에 따라 제어하기 위한 회로이다. 이와 같은 기능을 갖는 제1 전류 제어회로(121) 또는 제2 전류 제어회로(122)의 구체예를, 도 14c 및 도 14d에 나타낸다.
- [0357] 도 14c에 나타낸 회로는, p채널형의 트랜지스터이며, 그것의 게이트 전극은 전극 121a 또는 전극 122a와 전기적으로 접속된다. 소스 전극 및 드레인 전극의 한쪽은 전극 121b 또는 전극 122b와 전기적으로 접속된다. 소스 전극 및 드레인 전극의 다른 쪽은 전극 121c 또는 전극 122c와 전기적으로 접속되어 있다. 이와 같은 구성으로 함으로써, 전극 121a 또는 전극 122a에 가해지는 전압에 따라, 전류 구동 표시 소자를 흐르는 전류를 제어할 수 있다.
- [0358] 도 14d에 나타낸 회로는, n채널의 트랜지스터이며, 그것의 게이트 전극은 전극 121a 또는 전극 122a와 전기적으로 접속된다. 소스 전극 및 드레인 전극의 한쪽은 전극 121b 또는 전극 122b와 전기적으로 접속된다. 소스 전극 및 드레인 전극의 다른 쪽은 전극 121c 또는 전극 122c와 전기적으로 접속되어 있다. 이와 같은 구성으로 함으로써, 전극 121a 또는 전극 122a에 가해지는 전압에 따라, 전류 구동 표시 소자를 흐르는 전류를 제

어할 수 있다.

[0359] 이때, 도 14b에 나타난 화소 구성예는, 제1 전류 구동 표시 소자(131) 및 제2 전류 구동 표시 소자(132)의 방향을 도 14a에 나타난 화소 구성예와 반대로 한 것 이외에는, 도 14a에 나타난 화소 구성예와 유사하다.

[0360] 도 14a에 나타난 화소 구성예에 있어서 제1 전류 제어회로(121) 및 제2 전류 제어회로(122)에 대해 도 14c에 나타난 회로를 사용한 경우, p채널형 트랜지스터의 소스 전극의 전위를 고정하는 것이 용이하기 때문에, 전류 구동 표시 소자의 전류전압 특성에 관계없이, 일정한 전류를 흘려보낼 수 있다. 이에 따라, 예를 들면, 전류 구동 표시 소자가 열화해서 전류전압 특성이 변화한 경우에도, 전류 구동 표시 소자의 발광 강도를 열화전의 발광 강도에 비해 변화시키지 않을 수 있기 때문에, 표시장치의 번인을 억제할 수 있다고 하는 이점을 갖는다.

[0361] 반대로, 도 14a에 나타난 화소 구성예에 있어서 제1 전류 제어회로(121) 및 제2 전류 제어회로(122)에 대해 도 14d에 나타난 회로를 사용한 경우, 예를 들면, 제1 회로(10)가 갖는 스위치를 n채널 트랜지스터로 실현한 경우에, 도 14a에 나타난 화소 구성예가 갖는 모든 트랜지스터의 극성을 n채널형으로 할 수 있다. 이에 따라, 양쪽의 극성의 트랜지스터를 갖는 회로로 한 경우와 비교하여, 표시장치의 제조 프로세스를 저감할 수 있으므로, 제조 코스트를 저감할 수 있다고 하는 이점을 갖는다.

[0362] 더구나, 도 14b에 나타난 화소 구성예에 있어서 제1 전류 제어회로(121) 및 제2 전류 제어회로(122)에 대해 도 14d에 나타난 회로를 사용한 경우, n채널 트랜지스터의 소스 전극의 전위를 고정하는 것이 용이하기 때문에, 전류 구동 표시 소자의 전류전압 특성에 관계없이, 일정한 전류를 흘려보낼 수 있다. 이에 따라, 예를 들면, 전류 구동 표시 소자가 열화해서 전류전압 특성이 변화한 경우에도, 전류 구동 표시 소자의 발광 강도를 열화전의 발광 강도에 비해 변화시키지 않을 수 있기 때문에, 표시장치의 번인을 억제할 수 있다고 하는 이점을 갖는다.

[0363] 반대로, 도 14b에 나타난 화소 구성예에 있어서 제1 전류 제어회로(121) 및 제2 전류 제어회로(122)에 대해, 도 14c에 나타난 회로를 사용한 경우, 예를 들면, 제1 회로(10)가 갖는 스위치를 p채널형 트랜지스터로 실현한 경우에, 도 14b에 나타난 화소 구성예가 갖는 모든 트랜지스터의 극성을 p채널형으로 할 수 있다. 이에 따라, 양쪽의 극성의 트랜지스터를 갖는 회로로 한 경우에 비해, 표시장치의 제조 프로세스를 저감할 수 있으므로, 제조 코스트를 저감할 수 있다고 하는 이점을 갖는다.

[0364] 이때, 전류 제어회로에 대해서는, 도 14c 및 도 14d에 나타난 회로 이외에도, 다양한 회로를 사용할 수 있다. 예를 들면, 전류 제어회로에 대해, 소위 임계값 보정형 회로를 사용하면, 트랜지스터의 임계값을 보정할 수 있으므로, 화소 사이의 전류값의 격차를 저감할 수 있어, 균일하고 아름다운 표시를 행하는 것이 가능해진다.

[0365] 임계값 보정형 회로의 일례를 도 14e에 나타낸다. 도 14e에 나타난 전류 제어회로는, 스위치 160, 161, 162, 용량소자 170, 171, 배선 180, 181을 갖는다. 스위치 160의 한쪽의 전극은, 트랜지스터의 게이트 전극과 전기적으로 접속되고, 스위치 160의 다른 쪽의 전극은, 트랜지스터의 소스 전극 또는 드레인 전극의 한쪽과 전기적으로 접속된다. 스위치 161의 한쪽의 전극은, 트랜지스터의 소스 전극 또는 드레인 전극의 한쪽과 전기적으로 접속되고, 스위치 161의 다른 쪽의 전극은, 전극 121c 또는 전극 122c와 전기적으로 접속된다. 스위치 162의 한쪽의 전극은, 트랜지스터의 게이트 전극과 전기적으로 접속되고, 스위치 162의 다른 쪽의 전극은, 배선 181과 전기적으로 접속된다. 용량소자 170의 한쪽의 전극은, 트랜지스터의 게이트 전극과 전기적으로 접속되고, 용량소자 170의 다른 쪽의 전극은, 배선 180과 전기적으로 접속된다. 용량소자 171의 한쪽의 전극은, 트랜지스터의 게이트 전극과 전기적으로 접속되고, 용량소자 171의 다른 쪽의 전극은, 전극 121a 또는 전극 122a와 전기적으로 접속된다. 이때, 도 14e에 나타난 임계값 보정형 회로에서는, p채널형 트랜지스터가 이용되고 있지만, n채널 트랜지스터가 사용되어도 된다.

[0366] 도 14e에 나타난 전류 제어회로의 동작을 간단하게 설명한다. 우선, 스위치 161을 오프 상태, 스위치 162를 온 상태로 함으로써, 용량소자 170 및 171을 초기화한다. 이때의 초기화 전압은 배선 181로부터 공급되고, 초기화 전압은 트랜지스터가 확실하게 온 상태가 되는 전압이면 된다. 그후, 스위치 160을 온 상태, 스위치 161을 오프 상태, 스위치 162를 오프 상태로 함으로써, 트랜지스터를 통해 용량소자 170 및 171에 전류를 흘린다. 이 상태에 있어서의 전류는, 트랜지스터의 게이트 소스간 전압 레벨이 트랜지스터의 임계값과 같아질 때 멈춘다. 이때, 전극 121a 또는 전극 122a의 전압은 어떤 일정한 전압으로 고정해 둔다. 이와 같이 함으로써, 용량소자 171의 양단에, 트랜지스터의 임계값에 따른 전압을 가할 수 있다. 그후, 트랜지스터의 게이트 전

극을 부유 상태(스위치 160을 오프 상태, 스위치 162를 오프 상태)로 한 후에, 전극 121a 또는 전극 122a에 화상신호에 따른 전압을 가한다. 이와 같이 함으로써, 트랜지스터의 게이트 전압이, 트랜지스터의 임계값으로 보정된 화상신호에 따른 전압이 될 수 있다. 이 상태에서, 스위치 161을 온 상태로 하면, 트랜지스터를 통해, 화상신호에 따른 전류를 전류 구동 표시 소자에 흘릴 수 있다. 이때, 용량소자 170은 트랜지스터의 게이트 전극에 가해지는 전압을 유지하기 위한 것이기 때문에, 트랜지스터의 기생 용량 또는 다른 수단으로 게이트 전극에 가해지는 전압을 유지할 수 있다면, 용량소자 170이 반드시 설치되지 않아도 된다. 이때, 배선 180에 가해지는 전압은 일정한 전압이면 된다. 그 때문에, 예를 들면, 배선 180은 전극 121b 또는 전극 122b와 전기적으로 접속되어도 된다.

[0367] 참고예로서, 도 6a에 나타난 회로에 (1)의 제1 서브 화소(41) 및 제2 서브 화소(42)가 갖는 액정소자를, 본 실시예에서 설명한 것과 같이 전류 구동 표시 소자로 치환하는 경우의 회로를 도 15a에 나타낸다. 도 15a에 나타난 회로는, 전류 제어회로로서, 도 14c에 나타난 회로를 사용한 예이다. 도 15a에 나타난 회로에 의해, 유기 EL 소자 등의 전류 구동 표시 소자를 사용한 경우에도, 실시예 1 내지 3에 나타난 것과 같은 구동을 행할 수 있다. 더구나, 이 경우, 유기 EL 소자 등의 전류 구동 표시 소자를 사용할 때 화소 구성이 간단하기 때문에, 제조의 수율을 높게 할 수 있다.

[0368] 다른 참고예로서, 도 6a에 나타난 회로에 (1)의 제1 서브 화소(41) 및 제2 서브 화소(42)가 갖는 액정소자를, 본 실시예에서 설명한 것과 같이 전류 구동 표시 소자로 치환하고, 더구나, 전류 제어회로로서, 도 14e에 나타난 회로를 사용한 예를 도 15b에 나타낸다. 이 경우, 트랜지스터의 임계값을 보정할 수 있으므로, 화소 사이의 전류값의 격차를 저감할 수 있어, 균일하고 아름다운 표시를 행하는 것이 가능해진다. 이때, 스위치 162는 스위치 SW4와 동일한 타이밍으로 제어될 수 있다. 더구나, 배선181은 제1 배선(11)과 전기적으로 접속되어도 된다.

[0369] 이때, 서브 화소에 유기 EL 소자 등의 전류 구동 표시 소자를 사용하는 이점은, 예를 들면, 서브 화소를 사용함으로써, 밝게 발광하는 서브 화소와 어둡게 발광하는 서브 화소를 동시에 실현할 수 있으므로, 어둡게 발광하는 서브 화소의 표시 소자의 수명을 길게 할 수 있는 점이다. 더구나, 밝게 발광하는 서브 화소와 어둡게 발광하는 서브 화소를 일정 기간(예를 들면 1 프레임 기간)만큼 교대로 구동하면, 표시 소자의 열화가 서브 화소 사이에서 평균화되기 때문에, 한층 더 표시 소자의 열화를 억제하는 것이 가능해진다.

[0370] 이때, 본 실시예에 있어서, 다양한 도면을 사용해서 서술해 왔지만, 각각의 도면에서 서술한 내용(일부라도 된다)은, 다른 도면에서 서술한 내용(일부라도 된다), 다른 실시예의 도면에서 서술한 내용(일부라도 된다)에 대하여, 적용, 조합, 또는 치환 등을 자유롭게 행할 수 있다. 더구나, 지금까지 서술한 도면에 있어서, 각각의 부분을, 다른 부분, 다른 실시예의 부분과 조합할 수 있다.

[0371] (실시예 5)

[0372] 본 실시예에 있어서는, 다양한 화소 구성에 의해 형성된 표시부를 갖는 표시 패널의 구성에 대해 설명한다.

[0373] 이때, 본 실시예에 있어서, 표시 패널은, 화소회로가 형성된 기관과, 그 기관에 접해서 형성된 구조물 전체를 포함한다. 예를 들면, 화소회로가 유리 기관 위에 형성되어 있는 경우에는, 유리 기관과, 유리 기관에 접해서 형성된 트랜지스터, 배선 등을 합쳐서 표시 패널로 부르기로 한다.

[0374] 표시 패널에는, 화소회로 이외에도, 화소회로를 구동하기 위한 주변 구동회로가 형성되는 경우가 있다(일체 형성). 주변 구동회로는, 표시부의 주사선을 제어하는 스캔 드라이버(주사선 드라이버, 게이트 드라이버 등이라고도 부른다), 신호선을 제어하는 데이터 드라이버(신호선 드라이버, 소스 드라이버 등이라고도 부른다)를 갖고, 더구나, 이들 드라이버를 제어하기 위한 타이밍 콘트롤러, 화상 데이터를 처리하는 데이터 처리부, 전원전압을 생성하는 전원회로, 디지털 아날로그 컨버터의 기준전압 생성부 등도 갖는 경우가 있다.

[0375] 주변 구동회로는, 화소회로와 동일 기관 위에 일체 형성함으로써, 표시 패널과 외부회로의 기관 접속점의 수를 감소시킬 수 있다. 기관 접속점은 기계적인 강도가 약하고, 접속 불량 발생하기 쉽다. 따라서, 기관 접속점의 수를 감소시킬 수 있다는 것은 장치의 신뢰성을 크게 향상시킬 수 있다는 이점이 있다. 더구나, 외부회로의 수를 감소할 수 있으므로, 제조 코스트를 감소할 수 있다.

[0376] 그렇지만, 화소회로가 형성되는 기관 상의 반도체 소자는, 단결정 반도체 기관에 형성되는 소자와 비교

하면, 이동도가 작고, 소자 사이의 특성 격차도 크다. 그 때문에, 주변 구동회로를 화소회로와 동일 기판 위에 일체 형성하는 경우에는, 그 회로의 기능을 실현하기 위해 필요하게 되는 소자 성능의 향상, 또는 소자 성능의 부족을 보충하기 위한 회로 기술 등, 다양한 검토가 필요하게 된다.

[0377] 주변 구동회로를 화소회로와 동일 기판 위에 일체 형성하는 경우에는, 예를 들면, (1) 표시부만을 형성, (2) 표시부 및 스캔 드라이버의 일체 형성, (3) 표시부, 스캔 드라이버 및 데이터 드라이버의 일체 형성, (4) 표시부, 스캔 드라이버, 데이터 드라이버 및 그 밖의 주변 구동회로의 일체 형성이라고 하는 구성을 주로 들 수 있다. 단, 일체 형성하는 회로의 조합으로는 다른 조합을 사용하여도 된다. 예를 들면, 스캔 드라이버가 위치하는 부분의 프레임 면적을 작게 할 필요가 있지만 데이터 드라이버가 위치하는 부분의 프레임 면적은 작게 할 필요가 없는 경우에는, (5) 표시부 및 데이터 드라이버의 일체 형성이라고 하는 구성이 최적인 경우도 있다. 마찬가지로, (6) 표시부 및 그 밖의 주변 구동회로의 일체 형성, (7) 표시부, 데이터 드라이버 및 그 밖의 주변 구동회로의 일체 형성, (8) 표시부, 스캔 드라이버 및 그 밖의 주변 구동회로의 일체 형성이라고 하는 구성도 취할 수 있다.

[0378] <(1) 표시부만을 형성>

[0379] 전술한 조합 중에서, (1) 표시부만을 형성에 대해, 도 16a를 참조해서 설명한다. 도 16a에 나타난 표시 패널(200)은, 표시부(201)와, 접속부(202)를 갖는다. 접속부(202)는 복수의 전극을 갖고, 접속부(202)에 접속 기관(203)을 접속함으로써, 구동신호를 표시 패널(200)의 외부로부터 표시 패널(200) 내부로 입력할 수 있다.

[0380] 이때, 스캔 드라이버 및 데이터 드라이버가 표시부와 일체 형성되어 있지 않은 경우, 접속부(202)가 갖는 전극의 수는, 표시부(201)가 갖는 주사선의 개수와 신호선의 개수의 합 정도의 수가 된다. 단, 신호선에의 입력을 시분할로 행함으로써, 신호선의 전극의 수를 시분할 수 분의 1로 할 수 있다. 예를 들면, 컬러 표시를 행할 수 있는 표시장치에서는, R, G, B에 대응하는 신호선에의 입력을 시분할로 행함으로써, 신호선의 전극의 수를 3분의 1로 줄일 수 있다. 이것은, 본 실시예에 있어서의 다른 실시예에서도 동일하다.

[0381] 이때, 표시부(201)와 일체 형성되지 않는 주변 구동회로로서는, 단결정 반도체로 제조된 IC를 사용할 수 있다. IC은, 외부의 프린트 배선기관에 실장되어도 되고, 접속 기관(203) 위에 실장(TAB)되어도 되고, 표시 패널(200) 위에 실장(COG)되어 있어도 된다. 이것은, 본 실시예에 있어서의 다른 예에서도 유사하다.

[0382] 이때, 표시부(201)가 갖는 주사선 또는 신호선에 정전기가 발생함으로써 소자가 파괴되는 현상(ESD: electrostatic discharge)을 억제하기 위해, 표시 패널(200)은, 각 주사선, 각 신호선 또는 각 전원선 사이에, 정전과파 보호 회로를 갖고 있어도 된다. 이에 따라, 표시 패널(200)의 수율을 향상할 수 있고, 그 결과, 제조 코스트를 저감할 수 있다. 이것은, 본 실시예에 있어서의 다른 예에서도 동일하다.

[0383] 도 16a에 나타난 표시 패널(200)은, 표시 패널(200)이 갖는 반도체 소자가 아모퍼스 실리콘 등 이동도가 작은 반도체로 형성되어 있는 경우에, 특히 유효하다. 왜냐하면, 표시부 이외의 주변 구동회로를 표시 패널(200)에 일체 형성하지 않음으로써, 표시 패널(200)의 수율을 향상할 수 있다. 그 결과, 제조 코스트를 저감할 수 있다. 더구나, 실시예 1 내지 4에서 설명한 화소 구성은, 화소 1행당의 주사선 개수가 적어도 4개이며, 이것들을 구동하는 스캔 드라이버는 4종류 필요하게 된다. 따라서, 주변 구동회로를 표시 패널(200)에 일체 형성하지 않음으로써, 프레임 면적을 감소시키는 것이 가능해 진다.

[0384] <(2) 표시부 및 스캔 드라이버의 일체 형성>

[0385] 전술한 조합 중에서, (2) 표시부 및 스캔 드라이버의 일체 형성에 대해서, 도 16b를 참조해서 설명한다. 도 16b에 나타난 표시 패널(200)은, 표시부(201)와, 접속부(202)와, 제1 스캔 드라이버(211)와, 제2 스캔 드라이버(212)와, 제3 스캔 드라이버(213)와, 제4 스캔 드라이버(214)를 갖는다. 접속부(202)는 복수의 전극을 갖고, 접속부(202)에 접속 기관(203)을 접속함으로써, 구동신호를 표시 패널(200)의 외부로부터 표시 패널(200) 내부에 입력할 수 있다.

[0386] 도 16b에 나타난 표시 패널(200)의 경우, 제1 스캔 드라이버(211), 제2 스캔 드라이버(212), 제3 스캔 드라이버(213), 및 제4 스캔 드라이버(214)가 표시부(201)와 일체 형성되어 있기 때문에, 스캔 드라이버측의 접속부(202) 및 접속 기관(203)은 필요가 없다. 그 때문에, 외부 기관의 배치를 자유도가 할 수 있다는 이점을 갖는다. 더구나, 기관 접속점의 수가 적기 때문에, 접속 불량 발생하기 어려워, 장치의 신뢰성을 향상할 수 있

다.

[0387] 도 16b에 나타낸 표시 패널(200)이 갖는 반도체 소자는, 아모퍼스 실리콘 등, 이동도가 작은 반도체로 형성되어 있어도 되고, 폴리실리콘 또는 단결정 실리콘 등, 이동도가 큰 반도체로 형성되어 있어도 된다. 아모퍼스 실리콘으로 반도체 소자가 형성되어 있는 경우에는, 특히 역스태거형의 트랜지스터의 제조 프로세스의 공정수가 적다. 따라서, 제조 코스트를 저감할 수 있다. 폴리실리콘으로 반도체 소자가 형성되어 있는 경우에는, 이동도가 높은 것에 의해 트랜지스터를 작게 할 수 있다. 따라서, 개구율이 향상되고 소비 전력을 저감할 수 있다. 더구나, 트랜지스터를 작게 할 수 있기 때문에, 스캔 드라이버의 회로 면적을 저감할 수 있으므로, 프레임 면적을 감소시킬 수 있다. 단결정 실리콘으로 반도체 소자가 형성되어 있는 경우에는, 이동도가 극히 높은 것에 의해 트랜지스터를 극히 작게 할 수 있다. 따라서, 개구율을 향상시킬 수 있고 프레임 면적을 한층 더 감소시킬 수 있다.

[0388] <(3) 표시부, 스캔 드라이버 및 데이터 드라이버의 일체 형성>

[0389] 전술한 조합 중, (3) 표시부, 스캔 드라이버 및 데이터 드라이버의 일체 형성에 대해서, 도 16c를 참조해서 설명한다. 도 16c에 나타낸 표시 패널(200)은, 표시부(201)와, 접속부(202)와, 제1 스캔 드라이버(211)와, 제2 스캔 드라이버(212)와, 제3 스캔 드라이버(213)와, 제4 스캔 드라이버(214)와, 데이터 드라이버(221)를 갖는다. 접속부(202)는 복수의 전극을 갖고, 접속부(202)에 접속 기관(203)을 접속함으로써, 구동신호를 표시 패널(200)의 외부로부터 표시 패널(200) 내부에 입력할 수 있다.

[0390] 도 16c에 나타낸 표시 패널(200)의 경우, 제1 스캔 드라이버(211), 제2 스캔 드라이버(212), 제3 스캔 드라이버(213), 제4 스캔 드라이버(214) 및 데이터 드라이버(221)가 표시부(201)와 일체 형성되어 있기 때문에, 스캔 드라이버측의 접속부(202) 및 접속 기관(203)은 필요가 없고, 스캔 드라이버측의 접속 기관(203)의 수를 감소시킬 수 있다. 그 때문에, 외부 기관을 자유롭게 배치할 수 있다는 이점을 갖는다. 더구나, 기관 접속점의 수가 적기 때문에, 접속 불량 발생하기 어려워, 장치의 신뢰성을 향상할 수 있다.

[0391] 도 16c에 나타낸 표시 패널(200)이 갖는 반도체 소자는, 아모퍼스 실리콘 등, 이동도가 작은 반도체로 형성되어 있어도 되고, 폴리실리콘 또는 단결정 실리콘 등, 이동도가 큰 반도체로 형성되어 있어도 된다. 아모퍼스 실리콘으로 반도체 소자가 형성되어 있는 경우에는, 특히 역스태거형의 트랜지스터의 제조 프로세스의 공정수가 적다. 따라서, 제조 코스트를 저감할 수 있다. 폴리실리콘으로 반도체 소자가 형성되어 있는 경우에는, 이동도가 높은 것에 의해 트랜지스터를 작게 할 수 있다. 따라서, 개구율이 향상되고 소비 전력을 저감할 수 있다. 더구나, 트랜지스터를 작게 할 수 있기 때문에, 스캔 드라이버 및 데이터 드라이버의 회로 면적을 저감할 수 있으므로, 프레임 면적을 감소시킬 수 있다. 특히, 데이터 드라이버는 스캔 드라이버보다도 구동 주파수가 높기 때문에, 폴리실리콘으로 반도체 소자가 형성됨으로써, 확실하게 동작할 수 있는 데이터 드라이버를 실현할 수 있다. 단결정 실리콘으로 반도체 소자가 형성되어 있는 경우에는, 이동도가 극히 높은 것에 의해 트랜지스터를 극히 작게 할 수 있다. 따라서, 개구율이 향상되고 프레임 면적을 한층 더 줄일 수 있다.

[0392] <(4) 표시부, 스캔 드라이버, 데이터 드라이버 및 그 밖의 주변 구동회로의 일체 형성>

[0393] 전술한 조합 중, (4) 표시부, 스캔 드라이버, 데이터 드라이버 및 그 밖의 주변 구동회로의 일체 형성에 대해 도 16d를 참조해서 설명한다. 도 16d에 나타낸 표시 패널(200)은, 표시부(201)와, 접속부(202)와, 제1 스캔 드라이버(211)와, 제2 스캔 드라이버(212)와, 제3 스캔 드라이버(213)와, 제4 스캔 드라이버(214)와, 데이터 드라이버(221)와, 그 밖의 주변 구동회로 231, 232, 233 및 234를 갖는다. 여기에서, 일체 형성되는 그 밖의 주변 구동회로를 4개로 한 것은 일례이다. 일체 형성되는 그 밖의 주변 구동회로의 수는 다양하며, 그 종류도 다양한 것으로 할 수 있다. 예를 들면, 주변 구동회로 231은 타이밍 컨트롤러이어도 된다. 주변 구동회로 232는 화상 데이터를 처리하는 데이터 처리부이어도 된다. 주변 구동회로 233은 전원전압을 생성하는 전원회로이어도 된다. 주변 구동회로 234는 디지털 아날로그 컨버터(DAC)의 기준전압 생성부일 수도 있다. 접속부(202)는 복수의 전극을 갖고, 접속부(202)에 접속 기관(203)을 접속함으로써, 구동신호를 표시 패널(200)의 외부로부터 표시 패널(200) 내부에 입력할 수 있다.

[0394] 도 16d에 나타낸 표시 패널(200)의 경우, 제1 스캔 드라이버(211), 제2 스캔 드라이버(212), 제3 스캔 드라이버(213), 제4 스캔 드라이버(214), 데이터 드라이버(221), 그 밖의 주변 구동회로 231, 232, 233 및 234가 표시부(201)와 일체 형성되어 있기 때문에, 스캔 드라이버측의 접속부(202) 및 접속 기관(203)은 필요 없으

므로, 스캔 드라이버측의 접속 기관(203)의 수를 감소시킬 수 있다. 그 때문에, 외부 기관을 자유롭게 배치할 수 있다고 하는 이점을 갖는다. 더구나, 기관 접속점의 수가 적기 때문에, 접속 불량 발생하기 어려워, 장치의 신뢰성을 향상할 수 있다.

[0395]

도 16d에 나타낸 표시 패널(200)이 갖는 반도체 소자는, 아모퍼스 실리콘 등, 이동도가 작은 반도체로 형성되어 있어도 되고, 폴리실리콘 또는 단결정 실리콘 등, 이동도가 큰 반도체로 형성되어 있어도 된다. 아모퍼스 실리콘으로 반도체 소자가 형성되어 있는 경우에는, 특히 역스태거형의 트랜지스터의 제조 프로세스의 공정수가 적다. 따라서, 제조 코스트를 저감할 수 있다. 폴리실리콘으로 반도체 소자가 형성되어 있는 경우에는, 이동도가 높은 것에 의해 트랜지스터를 작게 할 수 있다. 따라서, 개구율이 향상되고 소비 전력을 저감할 수 있다. 더구나, 트랜지스터를 작게 할 수 있기 때문에, 스캔 드라이버 및 데이터 드라이버의 회로 면적을 저감할 수 있으므로, 프레임 면적을 감소시킬 수 있다. 특히, 데이터 드라이버는 스캔 드라이버보다도 구동 주파수가 높기 때문에, 폴리실리콘으로 반도체 소자가 형성됨으로써, 확실하게 동작할 수 있는 데이터 드라이버를 실현할 수 있다. 더구나, 그 밖의 주변 구동회로에는 고속의 논리회로가 필요하거나(데이터 처리부 등), 아날로그 회로가 필요하기(타이밍 컨트롤러, DAC의 기준전압 생성부, 전원회로 등) 때문에, 이동도가 높은 반도체 소자로 회로가 구성되는 것의 이점은 크다. 특히, 단결정 실리콘으로 반도체 소자가 형성되어 있는 경우에는, 이동도가 극히 높은 것에 의해 트랜지스터를 극히 작게 할 수 있다. 따라서, 개구율이 향상되고 프레임 면적을 한층 더 줄일 수 있으며, 그 밖의 주변 구동회로를 확실하게 동작시킬 수 있고, 더구나, 전원전압을 낮게 설정하는 것 등에 의해, 소비 전력을 저감할 수 있다.

[0396]

<그 밖의 조합의 일체 형성>

[0397]

(5) 표시부 및 데이터 드라이버의 일체 형성, (6) 표시부 및 그 밖의 주변 구동회로의 일체 형성, (7) 표시부, 데이터 드라이버 및 그 밖의 주변 구동회로의 일체 형성, (8) 표시부, 스캔 드라이버 및 그 밖의 주변 구동회로의 일체 형성에 관해서는, 각각 도 16e, 도 16f, 도 16g, 도 16h에 나타낸 것과 같다. 일체 형성의 이점 및 각각의 반도체 소자의 재료에 관한 이점은, 지금까지 설명한 것과 유사하다.

[0398]

도 16e에 나타낸 것과 같이, (5) 표시부 및 데이터 드라이버의 일체 형성을 행한 경우에는, 데이터 드라이버가 배치된 부분 이외의 프레임 면적을 저감할 수 있다.

[0399]

도 16f에 나타낸 것과 같이, (6) 표시부 및 그 밖의 주변 구동회로의 일체 형성을 행한 경우에는, 그 밖의 주변 구동회로를 자유롭게 배치할 수 있기 때문에, 목적에 맞는 부분을 적절히 선택하여, 프레임 면적을 저감할 수 있다.

[0400]

도 16g에 나타낸 것과 같이, (7) 표시부, 데이터 드라이버 및 그 밖의 주변 구동회로의 일체 형성을 행한 경우에는, 스캔 드라이버가 일체 형성될 때에 스캔 드라이버가 배치되어 있었던 부분의 프레임 면적을 저감할 수 있다.

[0401]

도 16h에 나타낸 것과 같이, (8) 표시부, 스캔 드라이버 및 그 밖의 주변 구동회로의 일체 형성을 행한 경우에는, 데이터 드라이버가 일체 형성될 때에 데이터 드라이버가 배치되어 있었던 부분의 프레임 면적을 저감할 수 있다.

[0402]

이때, 본 실시예에 있어서, 다양한 도면을 사용해서 서술해 왔지만, 각각의 도면에서 서술한 내용(일부라도 된다)은, 다른 도면에서 서술한 내용(일부라도 된다), 다른 실시예의 도면에서 서술한 내용(일부라도 된다)에 대하여, 적용, 조합, 또는 치환 등을 자유롭게 행할 수 있다. 더구나, 지금까지 서술한 도면에 있어서, 각각의 부분을, 다른 부분, 다른 실시예의 부분과 조합할 수 있다.

[0403]

(실시예 6)

[0404]

본 실시예에 있어서는, 트랜지스터의 구조 및 트랜지스터의 제조방법에 대해 설명한다.

[0405]

도 17a 내지 도 17g는, 트랜지스터의 구조 및 트랜지스터의 제조방법의 예를 나타낸 도면이다. 도 17a는, 트랜지스터의 구조의 예를 나타낸 도면이다. 도 17b 내지 도 17g는, 트랜지스터의 제조 방법의 예를 나타낸 도면이다.

[0406]

이때, 트랜지스터의 구조 및 제조 방법은, 도 17a 내지 도 17g에 나타낸 것에 한정되지 않고, 다양한

구조 및 제조 방법을 사용할 수 있다.

[0407] 우선, 도 17a를 참조하여, 트랜지스터의 구조의 예에 대해 설명한다. 도 17a는 복수의 다른 구조를 갖는 트랜지스터의 단면도이다. 여기에서, 도 17a에 있어서는, 복수의 다른 구조를 갖는 트랜지스터를 나란하게 설치해서 나타내고 있지만, 이것은, 트랜지스터의 구조를 설명하기 위한 것이다. 트랜지스터가, 실제로 도 17a와 같이 나란하게 설치되어 있을 필요는 없고, 필요에 따라 별도로 형성할 수 있다.

[0408] 다음에, 트랜지스터를 구성하는 각 층의 특징에 대해 설명한다.

[0409] 기판(7011)은, 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리 등의 유리 기판, 석영 기판, 세라믹 기판 또는 스테인레스를 포함하는 금속 기판 등을 사용할 수 있다. 더구나, 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 폴리에테르 설폰(PES)으로 대표되는 플라스틱 또는 아크릴 등의 가요성을 갖는 합성 수지로 이루어지는 기판을 사용하는 것도 가능하다. 가요성을 갖는 기판을 사용함으로써, 절곡이 가능한 반도체장치를 제조하는 것이 가능해진다. 가요성을 갖는 기판은, 기판의 면적 및 기판의 형상에 큰 제한이 없다. 따라서, 기판(7011)으로서, 예를 들면, 1변이 1미터 이상이며, 사각형 형상의 것을 사용하면, 생산성을 각별히 향상시킬 수 있다. 이와 같은 이점은, 원형의 실리콘 기판을 사용하는 경우와 비교하면, 큰 우위점이다.

[0410] 절연막 7012는, 하지막으로서 기능하며, 기판(7011)으로부터 Na 등의 알칼리 금속 또는 알칼리 토류 금속이, 반도체 소자의 특성에 악영향을 미치는 것을 막기 위해서 설치한다. 절연막 7012는, 산화 규소(SiO_x), 질화 규소(SiN_x), 산화질화 규소(SiO_xN_y)(x>y), 질화산화 규소(SiN_xO_y)(x>y) 등의 산소 또는 질소를 갖는 절연막의 단층 구조 혹은 이들의 적층 구조로 설치할 수 있다. 예를 들면, 절연막 7012를 2층 구조로 설치하는 경우, 1층째의 절연막으로서 질화산화 규소막을 설치하고, 2층째의 절연막으로서 산화질화 규소막을 설치하는 것이 바람직하다. 다른 예로서, 절연막 7012를 3층 구조로 설치하는 경우, 1층째의 절연막으로서 산화질화 규소막을 설치하고, 2층째의 절연막으로서 질화산화 규소막을 설치하고, 3층째의 절연막으로서 산화질화 규소막을 설치하는 것이 바람직하다.

[0411] 반도체층 7013, 7014, 7015는, 비정질 반도체, 미결정 반도체, 또는 세미 아모퍼스 반도체(SAS)로 형성할 수 있다. 또는, 다결정 반도체층을 사용해도 된다. SAS는, 비정질과 결정 구조(단결정, 다결정을 포함한다)의 중간적인 구조를 갖고, 자유에너지적으로 안정한 제3 상태를 갖는 반도체이다. 더구나, SAS는 단거리 질서를 갖고 격자 왜곡을 갖는 결정질한 영역을 포함하고 있다. 적어도 막 중의 일부의 영역에는, 0.5~20nm의 결정 영역을 관측할 수 있고, 규소를 주성분으로 포함하는 경우에는 라만 스펙트럼이 520cm⁻¹보다도 저파수측으로 시프트하고 있다. X선회절에서는 규소 결정 격자에 유래하는 것으로 생각되는 (111), (220)의 회절 피크가 관측된다. 미결합수를 보상하기 위해 SAS는 수소 또는 할로젠을 적어도 1원자% 또는 그 이상 포함한다. SAS는, 재료 가스를 글로우 방전 분해(플라즈마 CVD)해서 형성한다. 재료 가스로서는, SiH₄ 이외에, Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등을 사용하는 것이 가능하다. 또는, GeF₄을 혼합시켜도 된다. 이 재료 가스를 H₂, 또는, H₂와 He, Ar, Kr, Ne로부터 선택된 1종 또는 복수종의 희가스 원소로 희석해도 된다. 희석율은 2~1000배의 범위이다. 압력은 개략 0.1Pa~133Pa의 범위이고, 전원 주파수는 1MHz~120MHz, 바람직하게는 13MHz~60MHz이다. 기판 가열 온도는 300℃ 이하로 된다. 막 중의 불순물 원소로서, 산소, 질소, 탄소 등의 대기성분의 불순물 농도는 1×10²⁰cm⁻³ 이하로 하는 것이 바람직하다. 특히, 산소 농도는 5×10¹⁹/cm³ 이하, 바람직하게는 1×10¹⁹/cm³ 이하로 한다. 여기에서는, 스퍼터링법, LPCVD법, 플라즈마 CVD법 등을 사용해서 실리콘(Si)을 주성분으로 하는 재료(예를 들면, SixGe1-x 등)로 비정질 반도체층을 형성한다. 이때, 해당 비정질 반도체층을 레이저 결정화법, RTA 또는 퍼니스 어닐로를 사용하는 열결정화법, 결정화를 조장하는 금속 원소를 사용하는 열결정화법 등의 결정화법에 의해 결정화시킨다.

[0412] 절연막 7016은, 산화 규소(SiO_x), 질화규소(SiN_x), 산화질화 규소(SiO_xN_y)(x>y), 질화산화 규소(SiN_xO_y)(x>y)등의 산소 또는 질소를 갖는 절연막의 단층 구조, 혹은 이들의 적층 구조로 설치할 수 있다.

[0413] 게이트 전극(7017)은, 단층의 도전막, 또는 2층, 3층의 도전막의 적층 구조로 할 수 있다. 게이트 전극(7017)의 재료로서는, 도전막을 사용할 수 있다. 예를 들면, 탄타르(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 실리콘(Si) 등의 원소의 단층막, 또는, 상기 원소를 포함하는 질화막(대표적으로는 질화 탄타르막, 질화 텅스텐 막, 질화 티타늄 막), 또는, 상기 원소를 조합한 합금막(대표적으로는 Mo-W 합금, Mo-Ta 합금), 또는, 상기 원소를 포함하는 실리사이드 막(대표적으로는 텅스텐 실리사이드 막, 티타늄 실리사이드 막) 등을 사용할 수 있다. 또한, 전술한 단층막, 질화막, 합금막, 실리사이드 막 등은, 단층으로 사용해도 되고, 적

층해서 사용해도 된다.

[0414] 절연막 7018은, 스퍼터링법 또는 플라즈마 CVD법 등에 의해, 산화 규소(SiO_x), 질화 규소(SiN_x), 산화 질화 규소(SiO_xN_y)(x>y), 질화산화 규소(SiN_xO_y)(x>y) 등의 산소 또는 질소를 갖는 절연막이나 DLC(다이아몬드 라이크 카본) 등의 탄소를 포함하는 막의 단층 구조, 혹은 이것들의 적층 구조로 설치할 수 있다.

[0415] 절연막 7019는, 실록산 수지, 또는, 산화 규소(SiO_x), 질화 규소(SiN_x), 산화질화 규소(SiO_xN_y)(x>y), 질화산화 규소(SiN_xO_y)(x>y) 등의 산소 또는 질소를 갖는 절연막이나 DLC(다이아몬드 라이크 카본) 등의 탄소를 포함하는 막, 또는, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐 페놀, 벤조시클로부텐, 아크릴 등의 유기재료로 이루어지는 단층 혹은 적층 구조로 설치할 수 있다. 이때, 실록산 수지란, Si-O-Si 결합을 포함하는 수지에 해당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 적어도 수소를 포함하는 유기기(예를 들면, 알킬기, 방향족 탄화수소)를 사용할 수 있다. 유기기는 플루오로기를 포함하여도 된다. 이때, 절연막 7018을 설치하지 않고 게이트 전극(7017)을 덮도록 직접 절연막 7019를 설치하는 것도 가능하다.

[0416] 도전막 7023은, Al, Ni, C, W, Mo, Ti, Pt, Cu, Ta, Au, Mn 등의 원소의 단층막, 또는, 상기 원소를 포함하는 질화막, 또는, 상기 원소를 조합한 합금막, 또는, 상기 원소를 포함하는 실리사이드 막 등을 사용할 수 있다. 예를 들면, 상기 원소를 복수 포함하는 합금으로서, C 및 Ti를 함유한 Al 합금, Ni를 함유한 Al 합금, C 및 Ni를 함유한 Al 합금, C 및 Mn을 함유한 Al 합금 등을 사용할 수 있다. 예를 들면, 도전막이 적층 구조를 갖는 경우, Al을 Mo 또는 Ti 등으로 사이에 끼운 구조로 하여, Al의 열이나 화학반응에 대한 내성을 향상할 수 있다.

[0417] 다음에, 도 17a에 나타낸, 복수의 다른 구조를 갖는 트랜지스터의 단면도를 참조하여, 각각의 구조의 특징에 대해 설명한다.

[0418] 트랜지스터 7001은 싱글 드레인 트랜지스터이다. 싱글 드레인 트랜지스터는 간편한 방법으로 제조할 수 있기 때문에, 제조 코스트가 낮고, 수율을 높게 제조할 수 있는 이점이 있다. 이때, 테이퍼 각은, 45° 이상 95° 미만, 더욱 바람직하게는 60° 이상 95° 미만이다. 또는, 테이퍼 각을 45° 미만으로 하는 것도 가능하다. 여기에서, 반도체층 7013, 반도체층 7015는, 각각 불순물의 농도가 다르다. 반도체층 7013은 채널 영역으로서 사용된다, 반도체층 7015는 소스 영역 및 드레인 영역으로서 사용한다. 이와 같이, 불순물의 양을 제어함으로써, 반도체층의 저항율을 제어할 수 있다. 더구나, 반도체층과 도전막 7023과의 전기적인 접촉 상태를, 오믹 접촉에 가깝게 할 수 있다. 이때, 불순물의 양이 다른 반도체층을 별도로 형성하는 방법으로서, 게이트 전극(7017)을 마스크로 사용하여 반도체층에 불순물을 도핑하는 방법을 사용할 수 있다.

[0419] 트랜지스터 7002는, 게이트 전극(7017)에 일정 이상의 테이퍼 각을 갖는 트랜지스터이다. 이 트랜지스터는 간편한 방법으로 제조할 수 있기 때문에, 제조 코스트가 낮고, 수율을 높게 제조할 수 있는 이점이 있다. 여기에서, 반도체층 7013, 7014, 7015는, 각각 불순물 농도가 다르다. 반도체층 7013은 채널 영역으로서 사용하고, 반도체층 7014는 lightly doped drain(LDD) 영역으로 사용하고, 반도체층 7015는 소스 영역 및 드레인 영역으로서 사용한다. 이와 같이, 불순물의 양을 제어함으로써, 반도체층의 저항율을 제어할 수 있다. 반도체층과 도전막 7023과의 전기적인 접촉 상태를 오믹 접촉에 가깝게 할 수 있다. 트랜지스터가 LDD 영역을 갖기 때문에, 트랜지스터 내부에 고전계가 걸리기 어려워, 핫캐리어에 의한 소자의 열화를 억제할 수 있다. 이때, 불순물의 양이 다른 반도체층을 별도로 형성하는 방법으로서, 게이트 전극(7017)을 마스크로 사용하여 반도체층에 불순물을 도핑하는 방법을 사용할 수 있다. 트랜지스터 7002에 있어서는, 게이트 전극(7017)이 일정 이상의 테이퍼 각을 갖고 있기 때문에, 게이트 전극(7017)을 통과해서 반도체층에 도핑되는 불순물의 농도에 구배를 갖게 할 수 있어, 간편하게 LDD 영역을 형성할 수 있다. 이때, 테이퍼 각은, 45° 이상 95° 미만, 더욱 바람직하게는 60° 이상 95° 미만이다. 또는, 테이퍼 각을 45° 미만으로 하는 것도 가능하다.

[0420] 트랜지스터 7003은, 게이트 전극(7017)이 적어도 2층으로 구성되고, 하층의 게이트 전극이 상층의 게이트 전극보다도 긴 형상을 갖는 트랜지스터이다. 본 명세서 중에 있어서는, 상층의 및 하층의 게이트 전극의 형상을 모자형으로 부른다. 게이트 전극(7017)의 형상이 모자형을 가질 때, 포토마스크를 추가하지 않고, LDD 영역을 형성할 수 있다. 이때, 트랜지스터 7003과 같이, LDD 영역이 게이트 전극(7017)과 겹쳐 있는 구조를, 특히 GOLD 구조(gate overlapped LDD)라고 부른다. 이때, 게이트 전극(7017)의 형상을 모자형으로 하는 방법으로서, 다음과 같은 방법을 사용해도 된다.

[0421] 우선, 게이트 전극(7017)을 패터닝할 때에, 드라이에칭에 의해, 하층 및 상층의 게이트 전극을 에칭해서 측면에 경사(테이퍼)가 있는 형상으로 한다. 이어서, 이방성 에칭에 의해 상층의 게이트 전극의 경사를 수직

에 가까워지도록 가공한다. 이에 따라, 단면 형상이 모자형인 게이트 전극이 형성된다. 그후, 2회 불순물 원소를 도핑함으로써, 채널 영역으로서 사용하는 반도체층 7013, LDD 영역으로서 사용하는 반도체층 7014, 소스 전극 및 드레인 전극으로서 사용하는 반도체층 7015가 형성된다.

[0422] 이때, 게이트 전극(7017)과 겹쳐 있는 LDD 영역을 Lov 영역, 게이트 전극(7017)과 겹치지 않고 있는 LDD 영역을 Loff 영역으로 부르기로 한다. 여기에서, Loff 영역은 오프 전류값을 억제하는 효과는 높지만, 드레인 근방의 전계를 완화해서 핫캐리어에 의한 온 전류값의 열화를 막는 효과는 낮다. 한편, Lov 영역은 드레인 근방의 전계를 완화하여, 온 전류값의 열화의 방지에는 유효하지만, 오프 전류값을 억제하는 효과는 낮다. 따라서, 다양한 회로 각각의 특성에 적합한 구조의 트랜지스터를 제조하는 것이 바람직하다. 예를 들면, 반도체장치를 표시장치로서 사용하는 경우, 화소 트랜지스터로서, 오프 전류값을 억제하기 위해, Loff 영역을 갖는 트랜지스터를 사용하는 것이 바람직하다. 한편, 주변회로에 있어서의 트랜지스터로서, 드레인 근방의 전계를 완화하여, 온 전류값의 열화를 방지하기 위해서, Lov 영역을 갖는 트랜지스터를 사용하는 것이 바람직하다.

[0423] 트랜지스터 7004는, 게이트 전극(7017)의 측면에 접하여 사이드월(7021)을 갖는 트랜지스터이다. 트랜지스터가 사이드월(7021)을 가질 때, 사이드월(7021)과 겹치는 영역을 LDD 영역으로 할 수 있다.

[0424] 트랜지스터 7005는, 반도체층에 마스크(7022)를 사용해서 도핑함으로써, LDD(Loff) 영역을 형성한 트랜지스터이다. 이에 따라, 확실하게 LDD 영역을 형성할 수 있고, 트랜지스터의 오프 전류값을 저감할 수 있다.

[0425] 트랜지스터 7006은, 반도체층에 마스크를 사용해서 도핑함으로써, LDD(Lov) 영역을 형성한 트랜지스터이다. 이에 따라, 확실하게 LDD 영역을 형성할 수 있어, 트랜지스터의 드레인 근방의 전계를 완화하고, 온 전류값의 열화를 저감할 수 있다.

[0426] 다음에, 트랜지스터의 제조 방법의 예를, 도 17b 내지 도 17g에 나타낸다.

[0427] 이때, 트랜지스터의 구조 및 트랜지스터의 제조 방법은, 도 17a 내지 도 17g에 나타난 것에 한정되지 않고, 다양한 구조 및 제조 방법을 사용할 수 있다.

[0428] 본 실시예에 있어서는, 기관(7011)의 표면, 절연막 7012의 표면, 반도체층 7013의 표면, 반도체층 7014의 표면, 반도체층 7015의 표면, 절연막 7016의 표면, 절연막 7018의 표면, 또는 절연막 7019의 표면을, 플라즈마처리를 사용해서 산화 또는 질화를 행함으로써, 반도체층 또는 절연막을 산화 또는 질화할 수 있다. 이와 같이 플라즈마처리를 사용해서 반도체층 또는 절연막을 산화 또는 질화함으로써, 해당 반도체층 또는 해당 절연막의 표면을 개질하여, CVD법이나 스퍼터링법에 의해 형성한 절연막과 비교해서 보다 치밀한 절연막을 형성할 수 있다. 따라서, 핀홀 등의 결함을 억제하여 반도체장치의 특성 등을 향상시키는 것이 가능해진다. 이때, 플라즈마처리를 겪는 절연막 7024를, 플라즈마 처리 절연막으로 부른다.

[0429] 이때, 사이드월(7021)로서는 산화 규소(SiO_x) 또는 질화 규소(SiN_x)를 사용할 수 있다. 사이드월(7021)을 게이트 전극(7017)의 측면에 형성하는 방법으로서, 예를 들면, 게이트 전극(7017)을 형성한 후에, 산화 규소(SiO_x) 또는 질화 규소(SiN_x)를 성막한 후에, 이방성 에칭에 의해 산화 규소(SiO_x) 또는 질화 규소(SiN_x)막을 에칭하는 방법을 사용할 수 있다. 이에 따라, 게이트 전극(7017)의 측면에만 산화 규소(SiO_x) 또는 질화 규소(SiN_x)막을 남길 수 있으므로, 게이트 전극(7017)의 측면에 사이드월(7021)을 형성할 수 있다.

[0430] 도 18d는, 보텀 게이트형의 트랜지스터 및 용량소자의 단면 구조를 도시한 도면이다.

[0431] 기관 7091 위에 제1 절연막(절연막 7092)이 전체면에 형성되어 있다. 단, 구조가 이것에 한정되지 않는다. 제1 절연막(절연막 7092)을 형성하지 않는 것도 가능하다. 제1 절연막은, 기관측으로부터의 불순물이 반도체층에 영향을 미쳐, 트랜지스터의 성질이 변화하여 버리는 것을 막는 기능을 갖는다. 즉, 제1 절연막은 하지막으로서의 기능을 갖는다. 따라서, 신뢰성이 높은 트랜지스터를 제조할 수 있다. 이때, 제1 절연막으로서, 산화 실리콘 막, 질화 실리콘 막 또는 산화질화 실리콘 막(SiO_xN_y) 등의 단층, 또는 이들의 적층을 사용할 수 있다.

[0432] 제1 절연막 위에, 제1 도전층(도전층 7093 및 도전층 7094)이 형성되어 있다. 도전층 7093은, 트랜지스터 7108의 게이트 전극으로서 기능하는 부분을 포함한다. 도전층 7094는, 용량소자 7109의 제1 전극으로서 기능하는 부분을 포함한다. 또한, 제1 도전층으로서, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 사용할 수 있다. 또는, 이들의 원소(합금도 포함한다)의 적층을 사용할 수 있다.

[0433] 적어도 제1 도전층을 덮도록, 제2 절연막(절연막 7104)이 형성되어 있다. 제2 절연막은, 게이트 절연막

으로서의 기능을 갖는다. 이때, 제2 절연막으로서, 산화 실리콘 막, 질화 실리콘 막 또는 산화질화 실리콘 막(SiOxNy) 등의 단층, 또는 이들의 적층을 사용할 수 있다.

[0434] 이때, 반도체층에 접하는 부분의 제2 절연막으로서, 산화 실리콘 막을 사용하는 것이 바람직하다. 왜냐하면, 반도체층과 제2 절연막이 접하는 계면에 있어서의 트랩 준위가 적어지기 때문이다.

[0435] 이때, 제2 절연막이 Mo와 접하는 경우, Mo와 접하는 부분의 제2 절연막으로서 산화 실리콘 막을 사용하는 것이 바람직하다. 왜냐하면, 산화 실리콘 막은 Mo를 산화시키지 않기 때문이다.

[0436] 제2 절연막 위 중에서 제1 도전층과 겹쳐 형성되어 있는 부분의 일부에, 포토리소그래피법, 잉크젯법 또는 인쇄법 등에 의해, 반도체층이 형성되어 있다. 그리고, 반도체층의 일부는, 제2 절연막 위 중에서 제1 도전층과 겹쳐 형성되지 않고 있는 부분까지 연장되어 있다. 반도체층은, 채널 형성 영역(채널 형성 영역 7100), LDD 영역(LDD 영역 7098 및 7099), 불순물 영역(불순물 영역 7095, 7096 및 7097)을 갖고 있다. 채널 형성 영역 7100은, 트랜지스터 7108의 채널 형성 영역으로서 기능한다. LDD 영역 7098 및 7099는, 트랜지스터 7108의 LDD 영역으로서 기능한다. 이때, LDD 영역 7098 및 7099는 반드시 필요하지는 않다. 불순물 영역 7095는, 트랜지스터 7108의 소스 전극 및 드레인 전극의 한쪽으로서 기능하는 부분을 포함한다. 불순물 영역 7096은, 트랜지스터 7108의 소스 전극 및 드레인 전극의 다른 쪽으로서 기능하는 부분을 포함한다. 불순물 영역 7097은, 용량 소자 7109의 제2 전극으로서 기능하는 부분을 포함한다.

[0437] 전체면에, 제3 절연막(절연막 7101)이 형성되어 있다. 제3 절연막의 일부에는, 선택적으로 콘택홀이 형성되어 있다. 절연막 7101은, 층간막으로서의 기능을 갖는다. 제3 절연막으로서, 무기 재료(산화 실리콘, 질화 실리콘, 산화질화 실리콘 등) 혹은, 저유전율의 유기 화합물 재료(감광성 또는 비감광성의 유기 수지 재료) 등을 사용할 수 있다. 또는, 실록산을 포함하는 재료를 사용할 수도 있다. 이때, 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성되는 재료이다. 치환기로서, 적어도 수소를 포함하는 유기기(예를 들면, 알킬기, 방향족 탄화수소)를 사용할 수 있다. 또는, 유기기는 플루오로기를 포함하여도 된다.

[0438] 제3 절연막 위에, 제2 도전층(도전층 7102 및 도전층 7103)이 형성되어 있다. 도전층 7102는, 제3 절연막에 형성된 콘택홀을 거쳐 트랜지스터 7108의 소스 전극 및 드레인 전극의 다른 쪽과 접속되어 있다. 따라서, 도전층 7102는, 트랜지스터 7108의 소스 전극 및 드레인 전극의 다른 쪽으로서 기능하는 부분을 포함한다. 도전층 7103이 도전층 7094와 전기적으로 접속되어 있는 경우에는, 도전층 7103은 용량소자 7109의 제1 전극으로서 기능하는 부분을 포함한다. 또는, 도전층 7103이 불순물 영역 7097과 전기적으로 접속되어 있는 경우에는, 도전층 7103은 용량소자 7109의 제2 전극으로서 기능하는 부분을 포함한다. 또는, 도전층 7103이 도전층 7094 및 불순물 영역 7097과 접속되지 않고 있는 경우에는, 용량소자 7109와는 다른 용량소자가 형성된다. 이 용량소자는, 도전층 7103, 불순물 영역 7097 및 절연막 7101이 각각 용량소자의 제1 전극, 제2 전극, 절연막으로서 사용할 수 있는 구성이다. 이때, 제2 도전층으로서, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 사용할 수 있다. 또는, 이들 원소(합금도 포함한다)의 적층을 사용할 수 있다.

[0439] 이때, 제2 도전층을 형성한 후의 공정으로서, 다양한 절연막, 또는 다양한 도전막이 형성되어 있어도 된다.

[0440] 다음에, 트랜지스터의 반도체층에 아모퍼스 실리콘(a-Si:H)막 또는 미결정 실리콘막 등을 사용한 경우의 트랜지스터 및 용량소자의 구조에 대해 설명한다.

[0441] 도 18a는, 톱 게이트형의 트랜지스터 및 용량소자의 단면 구조를 도시한 도면이다.

[0442] 기판(7031) 위에 제1 절연막(절연막 7032)이 전체면에 형성되어 있다. 제1 절연막은, 기판측으로부터의 불순물이 반도체층에 영향을 미쳐, 트랜지스터의 성질이 변화하여 버리는 것을 막는 기능을 갖는다. 즉, 제1 절연막은 하지막으로서의 기능을 갖는다. 따라서, 신뢰성이 높은 트랜지스터를 제조할 수 있다. 이때, 제1 절연막으로서, 산화 실리콘 막, 질화 실리콘 막 또는 산화질화 실리콘 막(SiOxNy) 등의 단층, 또는 이들의 적층을 사용할 수 있다.

[0443] 이때, 제1 절연막을 반드시 형성할 필요는 없다. 이 경우에는, 공정수의 삭감과 제조 코스트의 삭감을 꾀할 수 있다. 더구나, 구조를 간단하게 할 수 있으므로, 수율의 향상을 꾀할 수 있다.

[0444] 제1 절연막 위에, 제1 도전층(도전층 7033, 7034 및 7035)이 형성되어 있다. 도전층 7033은, 트랜지스터 7048의 소스 전극 및 드레인 전극의 한쪽의 전극으로서 기능하는 부분을 포함한다. 도전층 7034는, 트랜지스터 7048의 소스 전극 및 드레인 전극의 다른 쪽의 전극으로서 기능하는 부분을 포함한다. 도전층 7035는, 용량

소자 7049의 제1 전극으로서 기능하는 부분을 포함한다. 이때, 제1 도전층으로서, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 사용할 수 있다. 또는, 이들의 원소(합금도 포함한다)의 적층을 사용할 수 있다.

[0445] 도전층 7033 및 도전층 7034의 상부에, 제1 반도체층(반도체층 7036 및 7037)이 형성되어 있다. 반도체층 7036은, 소스 전극과 드레인 전극의 한쪽의 전극으로서 기능하는 부분을 포함한다. 반도체층 7037은, 소스 전극과 드레인 전극의 다른 쪽의 전극으로서 기능하는 부분을 포함한다. 이때, 제1 반도체층으로서, 인 등을 포함하는 실리콘 등을 사용할 수 있다.

[0446] 도전층 7033과 도전층 7034 사이이며, 또한 제1 절연막 위에, 제2 반도체층(반도체층 7038)이 형성되어 있다. 그리고, 반도체층 7038의 일부는 도전층 7033 및 7034 위까지 연장되어 있다. 반도체층 7038은, 트랜지스터 7048의 채널 영역으로서 기능하는 부분을 포함한다. 이때, 제2 반도체층으로서, 아모퍼스 실리콘(a-Si:H) 등의 비결정성을 갖는 반도체층, 또는 미결정 반도체(μ -Si:H) 등의 반도체층 등을 사용할 수 있다.

[0447] 적어도 반도체층 7038 및 도전층 7035를 덮도록, 제2 절연막(절연막 7039 및 7040)이 형성되어 있다. 제2 절연막은, 게이트 절연막으로서의 기능을 갖는다. 이때, 제2 절연막으로서, 산화 실리콘 막, 질화 실리콘 막 또는 산화질화 실리콘 막(SiO_xN_y) 등의 단층, 또는 이들의 적층을 사용할 수 있다.

[0448] 이때, 제2 반도체층에 접하는 부분의 제2 절연막으로서, 산화 실리콘 막을 사용하는 것이 바람직하다. 왜냐하면, 제2 반도체층과 제2 절연막이 접하는 계면에 있어서의 트랩 준위가 적어지기 때문이다.

[0449] 이때, 제2 절연막이 Mo와 접하는 경우, Mo와 접하는 부분의 제2 절연막으로서 산화 실리콘 막을 사용하는 것이 바람직하다. 왜냐하면, 산화 실리콘 막은 Mo를 산화시키지 않기 때문이다.

[0450] 제2 절연막 위에, 제2 도전층(도전층 7041 및 7042)이 형성되어 있다. 도전층 7041은, 트랜지스터 7048의 게이트 전극으로서 기능하는 부분을 포함한다. 도전층 7042는, 용량소자 7049의 제2 전극, 또는 배선으로서의 기능을 갖는다. 이때, 제2 도전층으로서, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 사용할 수 있다. 또는, 이들 원소(합금도 포함한다)의 적층을 사용할 수 있다.

[0451] 이때, 제2 도전층이 형성된 후의 공정으로서, 다양한 절연막, 또는 다양한 도전막이 형성되어 있어도 된다.

[0452] 도 18b는, 역스태거형(보텀 게이트형)의 트랜지스터 및 용량소자의 단면 구조를 도시한 도면이다. 특히, 도 18b에 나타낸 트랜지스터는, 채널에치형으로 불리는 구조이다.

[0453] 기판(7051) 위에 제1 절연막(절연막 7052)이 전체면에 형성되어 있다. 제1 절연막은, 기판측으로부터의 불순물이 반도체층에 영향을 미쳐, 트랜지스터의 성질이 변화하여 버리는 것을 막는 기능을 갖는다. 즉, 제1 절연막은 하지막으로서의 기능을 갖는다. 따라서, 신뢰성이 높은 트랜지스터를 제조할 수 있다. 이때, 제1 절연막으로서, 산화 실리콘 막, 질화 실리콘 막 또는 산화질화 실리콘 막(SiO_xN_y) 등의 단층, 또는 이들의 적층을 사용할 수 있다.

[0454] 이때, 제1 절연막을 반드시 형성할 필요는 없다. 이 경우에는, 공정수의 삭감과 제조 코스트의 삭감을 꾀할 수 있다. 더구나, 구조를 간단하게 할 수 있으므로, 수율의 향상을 꾀할 수 있다.

[0455] 제1 절연막 위에, 제1 도전층(도전층 7053 및 7054)이 형성되어 있다. 도전층 7053은, 트랜지스터 7068의 게이트 전극으로서 기능하는 부분을 포함한다. 도전층 7054는, 용량소자 7069의 제1 전극으로서 기능하는 부분을 포함한다. 또한, 제1 도전층으로서, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 사용할 수 있다. 또는, 이들 원소(합금도 포함한다)의 적층을 사용할 수 있다.

[0456] 적어도 제1 도전층을 덮도록, 제2 절연막(절연막 7055)이 형성되어 있다. 제2 절연막은 게이트 절연막으로서의 기능을 갖는다. 이때, 제2 절연막으로서, 산화 실리콘 막, 질화 실리콘 막 또는 산화 질화 실리콘 막(SiO_xN_y) 등의 단층, 또는 이들의 적층을 사용할 수 있다.

[0457] 이때, 반도체층에 접하는 부분의 제2 절연막으로서, 산화 실리콘 막을 사용하는 것이 바람직하다. 왜냐하면, 반도체층과 제2 절연막이 접하는 계면에 있어서의 트랩 준위가 적어지기 때문이다.

[0458] 이때, 제2 절연막이 Mo와 접하는 경우, Mo와 접하는 부분의 제2 절연막으로서 산화 실리콘 막을 사용하는 것이 바람직하다. 왜냐하면, 산화 실리콘 막은 Mo를 산화시키지 않기 때문이다.

- [0459] 제2 절연막 위 중에서 제1 도전층과 겹쳐 형성되어 있는 부분의 일부에, 포토리소그래피법, 잉크젯법 또는 인쇄법 등에 의해, 제1 반도체층(반도체층 7056)이 형성되어 있다. 그리고, 반도체층 7056의 일부는, 제2 절연막 위 중에서 제1 도전층과 겹쳐 형성되지 않고 있는 부분까지 연장되어 있다. 반도체층 7056은, 트랜지스터 7068의 채널 영역으로서 기능하는 부분을 포함한다. 이때, 반도체층 7056으로서는, 아모퍼스 실리콘(a-Si:H) 등의 비결정성을 갖는 반도체층, 또는 미결정 반도체(μ -Si:H) 등의 반도체층 등을 사용할 수 있다.
- [0460] 제1 반도체층 위의 일부에, 제2 반도체층(반도체층 7057 및 7058)이 형성되어 있다. 반도체층 7057은, 소스 전극과 드레인 전극의 한쪽의 전극으로서 기능하는 부분을 포함한다. 반도체층 7058은, 소스 전극과 드레인 전극의 다른 쪽의 전극으로서 기능하는 부분을 포함한다. 이때, 제2 도체층으로서는, 인 등을 포함하는 실리콘 등을 사용할 수 있다.
- [0461] 제2 반도체층 위 및 제2 절연막 위에, 제2 도전층(도전층 7059, 7060 및 7061)이 형성되어 있다. 도전층 7059는, 트랜지스터 7068의 소스 전극과 드레인 전극의 한쪽으로서 기능하는 부분을 포함한다. 도전층 7060은, 트랜지스터 7068의 소스 전극과 드레인 전극의 다른 쪽으로서 기능하는 부분을 포함한다. 도전층 7061은, 용량소자 7069의 제2 전극으로서 기능하는 부분을 포함한다. 이때, 제2 도전층으로서는, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이것의 합금을 사용할 수 있다. 또는, 이들 원소(합금도 포함한다)의 적층을 사용할 수 있다.
- [0462] 이때, 제2 도전층이 형성된 후의 공정으로서, 다양한 절연막, 또는 다양한 도전막이 형성되어 있어도 된다.
- [0463] 여기에서, 채널에치형의 트랜지스터가 특징으로 하는 공정의 일례를 설명한다. 동일한 마스크를 사용하여, 제1 반도체층 및 제2 반도체층을 형성할 수 있다. 구체적으로는, 제1 반도체층과 제2 반도체층은 연속해서 성막된다. 그리고, 제1 반도체층 및 제2 반도체층은, 같은 마스크를 사용해서 형성된다.
- [0464] 채널에치형의 트랜지스터가 특징으로 하는 공정의 다른 일례를 설명한다. 새로운 마스크를 이용하지 않고, 트랜지스터의 채널 영역을 형성할 수 있다. 구체적으로는, 제2 도전층이 형성된 후에, 제2 도전층을 마스크로서 사용해서 제2 반도체층의 일부를 제거한다. 또는, 제2 도전층과 같은 마스크를 사용해서 제2 반도체층의 일부를 제거한다. 그리고, 제거된 제2 반도체층의 하부에 형성되어 있는 제1 반도체층이 트랜지스터의 채널 영역으로서의 역할을 한다.
- [0465] 도 18c는, 역스태거형(보텀 게이트형)의 트랜지스터 및 용량소자의 단면 구조를 도시한 도면이다. 특히, 도 18c에 나타낸 트랜지스터는, 채널 보호형(채널 스톱형)으로 불리는 구조이다.
- [0466] 기판(7071) 위에 제1 절연막(절연막 7072)이 전체면에 형성되어 있다. 제1 절연막은, 기판측으로부터의 불순물이 반도체층에 영향을 미쳐, 트랜지스터의 성질이 변화하여 버리는 것을 막는 기능을 갖는다. 즉, 제1 절연막은 하지막으로서의 기능을 갖는다. 따라서, 신뢰성이 높은 트랜지스터를 제조할 수 있다. 이때, 제1 절연막으로서는, 산화 실리콘 막, 질화 실리콘 막 또는 산화질화 실리콘 막(SiO_xNy) 등의 단층, 또는 이들의 적층을 사용할 수 있다.
- [0467] 이때, 제1 절연막을 반드시 형성할 필요는 없다. 이 경우에는, 공정수의 삭감과 제조 코스트의 삭감을 꾀할 수 있다. 구조를 간단하게 할 수 있으므로, 수율의 향상을 꾀할 수 있다.
- [0468] 제1 절연막 위에, 제1 도전층(도전층 7073 및 7074)이 형성되어 있다. 도전층 7073은, 트랜지스터 7088의 게이트 전극으로서 기능하는 부분을 포함한다. 도전층 7074는, 용량소자 7089의 제1 전극으로서 기능하는 부분을 포함한다. 이때, 제1 도전층으로서는, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 사용할 수 있다. 또는, 이들 원소(합금도 포함한다)의 적층을 사용할 수 있다.
- [0469] 적어도 제1 도전층을 덮도록, 제2 절연막(절연막 7075)이 형성되어 있다. 제2 절연막은, 게이트 절연막으로서의 기능을 갖는다. 이때, 제2 절연막으로서는, 산화 실리콘 막, 질화 실리콘 막 또는 산화 질화 실리콘 막(SiO_xNy) 등의 단층, 또는 이들의 적층을 사용할 수 있다.
- [0470] 이때, 반도체층에 접하는 부분의 제2 절연막으로서는, 산화 실리콘 막을 사용하는 것이 바람직하다. 왜냐하면, 반도체층과 제2 절연막이 접하는 계면에 있어서의 트랩 준위가 적어지기 때문이다.
- [0471] 이때, 제2 절연막이 Mo와 접하는 경우, Mo와 접하는 부분의 제2 절연막으로서는 산화 실리콘 막을 사용하는 것이 바람직하다. 왜냐하면, 산화 실리콘 막은 Mo를 산화시키지 않기 때문이다.

- [0472] 제2 절연막 위 중에서 제1 도전층과 겹쳐 형성되어 있는 부분의 일부에, 포토리소그래피법, 잉크젯법 또는 인쇄법 등에 의해, 제1 반도체층(반도체층 7076)이 형성되어 있다. 그리고, 반도체층 7076의 일부는, 제2 절연막 위 중에서 제1 도전층과 겹쳐 형성되지 않고 있는 부분까지 연장되어 있다. 반도체층 7076은, 트랜지스터 7088의 채널 영역으로서 기능하는 부분을 포함한다. 이때, 반도체층 7076으로서는, 아모퍼스 실리콘(a-Si:H) 등의 비결정성을 갖는 반도체층, 또는 미결정 반도체(μ -Si:H) 등의 반도체층 등을 사용할 수 있다.
- [0473] 제1 반도체층상의 일부에, 제3 절연막(절연막 7082)이 형성되어 있다. 절연막 7082는, 트랜지스터 7088의 채널 영역이 에칭에 의해 제거되는 것을 방지하는 기능을 갖는다. 즉, 절연막 7082는, 채널 보호막(채널 스톱 막)으로서 기능한다. 이때, 제3 절연막으로서는, 산화 실리콘 막, 질화 실리콘 막 또는 산화질화 실리콘 막(SiO_xN_y) 등의 단층, 또는 이들의 적층을 사용할 수 있다.
- [0474] 제1 반도체층 위의 일부 및 제3 절연막 위의 일부에, 제2 반도체층(반도체층 7077 및 반도체층 7078)이 형성되어 있다. 반도체층 7077은, 소스 전극과 드레인 전극의 한쪽의 전극으로서 기능하는 부분을 포함한다. 반도체층 7078은, 소스 전극과 드레인 전극의 다른 쪽의 전극으로서 기능하는 부분을 포함한다. 이때, 제2 반도체층으로서는, 인 등을 포함하는 실리콘 등을 사용할 수 있다.
- [0475] 제2 반도체층 위에, 제2 도전층(도전층 7079, 도전층 7080 및 도전층 7081)이 형성되어 있다. 도전층 7079는, 트랜지스터 7088의 소스 전극과 드레인 전극의 한쪽으로서 기능하는 부분을 포함한다. 도전층 7080은, 트랜지스터 7088의 소스 전극과 드레인 전극의 다른 쪽으로서 기능하는 부분을 포함한다. 도전층 7081은, 용량 소자 7089의 제2 전극으로서 기능하는 부분을 포함한다. 이때, 제2 도전층으로서는, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등, 또는 이들의 합금을 사용할 수 있다. 또는, 이들 원소(합금도 포함한다)의 적층을 사용할 수 있다.
- [0476] 이때, 제2 도전층이 형성된 후의 공정에서는, 다양한 절연막, 또는 다양한 도전막이 형성되어 있어도 된다.
- [0477] 다음에, 트랜지스터를 제조하기 위한 기판으로서, 반도체 기판을 사용한 예에 대해 설명한다. 반도체 기판을 사용해서 제조된 트랜지스터는, 이동도가 높기 때문에, 트랜지스터 사이즈를 작게 할 수 있다. 그 결과, 단위면적당의 트랜지스터 수를 증가(집적도를 높일) 수 있고, 동일한 회로 구성의 경우에 집적도가 클수록 사이즈를 작게 할 수 있다. 따라서, 제조 코스트를 저감할 수 있다. 더구나, 동일한 기판 사이즈의 경우에는 집적도가 클수록 회로 규모를 크게 할 수 있으므로, 제조 코스트를 증가시키지 않고 보다 높은 기능을 갖게 하는 것이 가능해진다. 더구나, 특성의 격차가 적기 때문에, 제조의 수율도 높게 할 수 있다. 더구나, 동작 전압이 작으므로, 소비 전력을 저감할 수 있다. 더구나, 이동도가 높기 때문에, 고속동작이 가능하다.
- [0478] 반도체 기판을 사용해서 제조된 트랜지스터를 집적해서 구성된 회로가 IC칩 등의 형태를 취해서 장치에 실장될 때, 해당 장치에 다양한 기능을 갖게 할 수 있다. 예를 들면, 표시장치의 주변 구동회로(데이터 드라이버(소스 드라이버), 스캔 드라이버(게이트 드라이버), 타이밍 컨트롤러, 화상처리회로, 인터페이스회로, 전원회로, 발진회로 등)를, 반도체 기판을 사용해서 제조된 트랜지스터를 집적해서 구성함으로써, 사이즈가 작고, 소비 전력이 작고, 고속동작이 가능한 주변 구동회로를, 저코스트로 수율이 높게 제조할 수 있다. 이때, 반도체 기판을 사용해서 제조된 트랜지스터를 집적해서 구성된 회로는, 단일의 극성의 트랜지스터를 갖는 구성이어서도 된다. 이와 같이 함으로써, 제조 프로세스를 간략화할 수 있기 때문에, 제조 코스트를 저감할 수 있다.
- [0479] 반도체 기판을 사용해서 제조된 트랜지스터를 집적해서 구성된 회로는, 예를 들면, 표시 패널에 사용할 수도 있다. 더욱 상세하게는, LCOS(liquid crystal on silicon) 등의 반사형 액정 패널, 미소 미러를 집적한 DMD(digital micromirror device) 소자, EL 패널 등에 사용할 수 있다. 이들 표시 패널을, 반도체 기판을 사용해서 제조함으로써, 사이즈가 작고, 소비 전력이 작고, 고속동작이 가능한 표시 패널을, 저코스트로 수율이 높게 제조할 수 있다. 이때, 표시 패널에는, 대규모 집적회로(LSI) 등, 표시 패널의 구동 이외의 기능을 갖는 소자 위에 형성된 것도 포함한다.
- [0480] 이하에서, 반도체 기판을 사용해서 트랜지스터를 제조하는 방법에 대해 서술한다. 일례로서, 도 19a 내지 도 19g에 나타난 것과 같은 공정을 사용하여 트랜지스터를 제조하면 된다.
- [0481] 도 19a는, 반도체 기판(7110)에 있어서 소자를 분리한 영역 7112 및 영역 7113과, 절연막 7111(필드 산화막이라고도 한다)과, p웰(7114)을 나타내고 있다.
- [0482] 반도체 기판(7110)으로서는, 반도체 기판이면 모든 기판을 사용할 수 있다. 예를 들면, n형 또는 p형의

도전형을 갖는 단결정 Si 기판, 화합물 반도체 기판(GaAs 기판, InP 기판, GaN 기판, SiC 기판, 사파이어 기판, ZnSe 기판 등), 부착법 또는 SIMOX(separation by implanted oxygen)법을 사용해서 제조된 SOI(silicon on insulator) 기판 등을 사용할 수 있다.

[0483] 도 19b는, 절연막 7121 및 7122를 나타내고 있다. 절연막 7121 및 7122는, 예를 들면, 열처리를 행해 반도체 기판 7110에 설치된 영역 7112 및 7113의 표면을 산화시킴으로써 산화 규소막으로 절연막 7121 및 7122를 형성할 수 있다.

[0484] 도 19c는, 도전막 7123 및 7124를 나타내고 있다.

[0485] 도전막 7123 및 7124의 재료로서는, 탄타르(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오브(Nb) 등으로부터 선택된 원소 또는 이들의 원소를 주성분으로 하는 합금 재료 혹은 화합물 재료로 형성할 수 있다. 또는, 이들 원소를 질화한 금속 질화막으로 형성할 수도 있다. 더구나, 인 등의 불순물 원소를 도핑한 다결정 규소, 금속 재료를 도입한 실리사이드 등으로 대표되는 반도체 재료를 사용할 수도 있다.

[0486] 도 19a 내지 도 19g는, 게이트 전극 7130, 게이트 전극 7131, 레지스트 마스크 7132, 불순물 영역 7134, 채널 형성 영역 7133, 레지스트 마스크 7135, 불순물 영역 7137, 채널 형성 영역 7136, 제2 절연막(7138), 배선(7139)을 나타내고 있다.

[0487] 제2 절연막(7138)은, CVD법이나 스퍼터링법 등에 의해, 산화 규소(SiO_x), 질화 규소(SiN_x), 산화질화 규소(SiO_xN_y)(x>y), 질화산화 규소(SiN_xO_y)(x>y) 등의 산소 또는 질소를 갖는 절연막이나 DLC(다이아몬드 라이크 카본) 등의 탄소를 포함하는 막, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 등의 유기재료 또는 실록산 수지 등의 실록산 재료로 이루어지는 단층 또는 적층 구조로 설치할 수 있다. 이때, 실록산 재료란, Si-O-Si 결합을 포함하는 재료에 해당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 적어도 수소를 포함하는 유기기(예를 들면, 알킬기, 방향족 탄화수소)를 사용할 수 있다. 유기기는 플루오로기를 포함하여도 된다.

[0488] 배선(7139)은, CVD법이나 스퍼터링법 등에 의해, 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄타르(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오디뮴(Nd), 탄소(C), 실리콘(Si)에서 선택된 원소, 또는 이들의 원소를 주성분으로 하는 합금 재료 혹은 화합물 재료로, 단층 또는 적층으로 형성한다. 알루미늄을 주성분으로 하는 합금 재료란, 예를 들면, 알루미늄을 주성분으로 포함하고 니켈을 포함하는 재료, 또는, 알루미늄을 주성분으로 포함하고 니켈과, 탄소와 규소의 한쪽 또는 양쪽을 포함하는 합금 재료에 해당한다. 배선(7139)은, 예를 들면, 배리어 막과 알루미늄 실리콘(Al-Si)막과 배리어 막의 적층 구조, 배리어 막과 알루미늄 실리콘(Al-Si)막과 질화 티타늄 막과 배리어 막의 적층 구조를 채용하면 된다. 이때, 배리어 막이란, 티타늄, 티타늄의 질화물, 몰리브덴, 또는 몰리브덴의 질화물로 이루어진 박막에 해당한다. 알루미늄이나 알루미늄 실리콘은 저항값이 낮고, 저렘하기 때문에, 배선(7139)을 형성하는 재료로서 최적이다. 예를 들면, 상층과 하층으로서 배리어층을 설치하면, 알루미늄이나 알루미늄 실리콘의 힐록의 발생을 방지할 수 있다. 예를 들면, 환원성이 높은 원소인 티타늄으로 배리어 막을 형성하면, 결정질 반도체막에 얇은 자연 산화막이 형성되어 있다고 하더라도, 이 자연 산화막을 환원할 수 있다. 그 결과, 배선(7139)은, 결정질 반도체막과 전기적 및 물리적으로 양호하게 접속할 수 있다.

[0489] 이때, 트랜지스터의 구조는 도시한 구조에 한정되는 것은 아닌 것을 부기한다. 예를 들면, 역스태거 구조, 핀(Fin) FET 구조 등을 갖는 트랜지스터를 사용할 수 있다. 핀 FET 구조는, 트랜지스터 사이즈의 미세화에 따르는 단채널 효과를 억제할 수 있으므로 적합하다.

[0490] 여기까지, 트랜지스터의 구조 및 트랜지스터의 제조방법에 대해 설명했다. 본 실시예에서는, 배선, 전극, 도전층, 도전막, 단자, 비아, 플러그 등은, 알루미늄(Al), 탄타르(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오디뮴(Nd), 크롬(Cr), 니켈(Ni), 백금(Pt), 금(Au), 은(Ag), 구리(Cu), 마그네슘(Mg), 스칸듐(Sc), 코발트(Co), 아연(Zn), 니오브(Nb), 실리콘(Si), 인(P), 붕소(B), 비소(As), 갈륨(Ga), 인듐(In), 주석(Sn), 산소(O)로 구성된 군에서 선택된 1개 혹은 복수의 원소, 또는, 상기 군에서 선택된 1개 혹은 복수의 원소를 성분으로 하는 화합물 또는 합금 재료(예를 들면, 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 산화 규소를 포함하는 인듐 주석 산화물(ITSO), 산화 아연(ZnO), 산화 주석(SnO), 산화 주석 카드뮴(CTO), 알루미늄 네오디뮴(Al-Nd), 마그네슘 은(Mg-Ag), 몰리브덴 니오브(Mo-Nb) 등), 또는 이들 화합물이 조합한 물질로 형성되는 것이 바람직하다. 혹은, 이것들은, 실리콘과 상기한 1개 혹은 복수의 원소를 포함하는 화합물(실리사이드)(예를

들면, 알루미늄 실리콘, 몰리브덴 실리콘, 니켈 실리사이드 등), 또는 질소와 상기한 1개 혹은 복수의 원소의 화합물(예를 들면, 질화 티타늄, 질화 탄타르, 질화 몰리브덴 등)을 포함하는 물질을 포함하도록 형성되는 것이 바람직하다.

- [0491] 이때, 실리콘(Si)은, n형 불순물(인 등) 또는 p형 불순물(붕소 등)을 포함하고 있어도 된다. 실리콘이 불순물을 포함할 때, 도전율의 향상, 또는 통상의 도체와 유사한 기능을 실현하는 것이 가능해진다. 따라서, 이와 같은 실리콘은 배선, 전극 등으로서 이용하기 쉬워진다.
- [0492] 이때, 단결정 실리콘, 다결정 실리콘, 미결정 실리콘 등, 다양한 결정성을 갖는 실리콘을 사용할 수 있다. 또는, 비정질 실리콘 등의 결정성을 갖지 않는 실리콘을 사용할 수 있다. 단결정 실리콘 또는 다결정 실리콘을 사용함으로써, 배선, 전극, 도전층, 도전막, 단자 등의 저항을 작게 할 수 있다. 비정질 실리콘 또는 미결정 실리콘을 사용함으로써, 간단한 공정으로 배선 등을 형성할 수 있다.
- [0493] 알루미늄 또는 은은, 도전율이 높기 때문에, 신호 지연을 저감할 수 있다. 더구나, 알루미늄 또는 은은 에칭하기 쉬우므로, 패터닝하기 쉽고, 미세가공을 행할 수 있다.
- [0494] 구리는, 도전율이 높기 때문에, 신호 지연을 저감할 수 있다. 구리를 사용하는 경우에는, 밀착성을 향상시키기 위해, 적층 구조로 하는 것이 바람직하다.
- [0495] 이때, 몰리브덴 또는 티타늄은, 산화물 반도체(ITO, IZO 등) 또는 실리콘과 접촉해도, 불량을 일으키지 않으므로 바람직하다. 더구나, 몰리브덴과 티타늄은, 에칭하기 쉽고, 내열성이 높기 때문에, 바람직하다.
- [0496] 텅스텐은, 내열성이 높은 것 등의 이점을 갖기 때문에, 바람직하다.
- [0497] 네오디뮴은, 내열성이 높은 것 등의 이점을 갖기 때문에, 바람직하다. 특히, 네오디뮴과 알루미늄의 합금은, 내열성이 향상되어, 알루미늄이 힐록을 일으키기 어려워지므로 바람직하다.
- [0498] 실리콘은, 트랜지스터가 갖는 반도체층과 동시에 형성할 수 있고, 내열성이 높기 때문에, 바람직하다.
- [0499] ITO, IZO, ITSO, 산화 아연(ZnO), 실리콘(Si), 산화 주석(SnO), 산화 주석 카드뮴(CTO)은 투광성을 갖고 있기 때문에, 빛을 투과시키는 부분에 사용할 수 있다. 예를 들면, 화소 전극이나 공통 전극으로서 사용할 수 있다.
- [0500] IZO는, 에칭하기 쉽고, 가공하기 쉽기 때문에, 바람직하다. IZO를 에칭했을 때에, 잔사가 거의 남지 않는다. 따라서, 화소 전극으로서 IZO를 사용하면, 액정소자나 발광소자의 결함(쇼트, 배향 혼란 등)을 저감할 수 있다.
- [0501] 이때, 배선, 전극, 도전층, 도전막, 단자, 비아, 플러그 등은, 단층 구조이어도 되고, 다층 구조로 되어 있어도 된다. 단층 구조로 함으로써, 배선, 전극, 도전층, 도전막, 단자 등의 제조공정을 간략화할 수 있고, 공정 일수를 적게 할 수 있어, 코스트를 저감할 수 있다. 또는, 다층 구조로 함으로써, 각각의 재료의 장점을 살리면서, 디메릿을 저감시켜, 성능이 좋은 배선, 전극 등을 형성할 수 있다. 예를 들면, 저저항 재료(알루미늄 등)를 다층 구조 내부에 포함하는 것에 의해, 배선의 저저항화를 꾀할 수 있다. 다른 예로서, 저내열성의 재료를, 고내열성의 재료로 사이에 끼우는 적층 구조로 함으로써, 저내열성의 재료가 갖는 장점을 살리면서, 배선, 전극 등의 내열성을 높게 할 수 있다. 예를 들면, 알루미늄을 포함하는 층을, 몰리브덴, 티타늄, 네오디뮴 등을 포함하는 층으로 사이에 끼우는 적층 구조로 하면 바람직하다.
- [0502] 배선, 전극 등끼리가 직접 접하는 경우, 이것들이 서로 악영향을 미치는 일이 있다. 예를 들면, 한쪽의 배선, 또는 전극이 다른 쪽의 배선 또는 전극의 재료 중에 들어가서, 성질을 바꾸어 버려, 본래의 목적을 달성할 수 없게 되는 일이 있다. 다른 예로서, 고저항의 부분을 형성 또는 제조할 때에, 문제가 생겨, 정상적으로 제조할 수 없게 되는 일이 있다. 그러한 경우, 적층 구조에 의해 반응하기 쉬운 재료를, 반응하기 어려운 재료로 사이에 끼우거나, 덮는 것이 바람직하다. 예를 들면, ITO와 알루미늄을 접속시키는 경우에는, ITO와 알루미늄 사이에, 티타늄, 몰리브덴, 또는 네오디뮴 합금을 끼우는 것이 바람직하다. 다른 예로서, 실리콘과 알루미늄을 접속시키는 경우에는, 실리콘과 알루미늄 사이에, 티타늄, 몰리브덴, 또는 네오디뮴 합금을 끼우는 것이 바람직하다.
- [0503] 이때, "배선"이란 도전체를 포함하는 부분을 말한다. 배선의 형상은, 선형이어도 되고, 선형이 아니고 짧아도 된다. 따라서, 전극은 배선에 포함되어 있다.
- [0504] 이때, 배선, 전극, 도전층, 도전막, 단자, 비아, 플러그 등으로서, 카본 나노튜브를 사용해도 된다. 더

구나, 카본 나노튜브는, 투광성을 갖고 있기 때문에, 빛을 투과시키는 부분에 사용할 수 있다. 예를 들면, 화소 전극이나 공통 전극으로서 사용할 수 있다.

[0505] 이때, 본 실시예를 다양한 도면을 사용해서 서술해 왔지만, 각각의 도면에서 서술한 내용(일부라도 된다)은, 다른 도면에서 서술한 내용(일부라도 된다), 다른 실시예의 도면에서 서술한 내용(일부라도 된다)에 대하여, 적용, 조합, 또는 치환 등을 자유롭게 행할 수 있다. 더구나, 지금까지 서술한 도면에 있어서, 각각의 부분을, 다른 부분, 다른 실시예의 부분과 조합할 수 있다.

[0506] (실시예 7)

[0507] 본 실시예에 있어서는, 전자기기의 예에 대해 설명한다.

[0508] 도 20a는 휴대형 오락기이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 기록매체 판독부(9672) 등을 가질 수 있다. 도 20a에 나타난 휴대형 오락기는, 기록매체에 기록되어 있는 프로그램 또는 데이터를 판독해서 표시부에 표시하는 기능, 다른 휴대형 오락기와 무선통신으로 정보를 공유하는 기능 등을 가질 수 있다. 이때, 도 20a에 나타난 휴대형 오락기가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0509] 도 20b는 디지털 카메라이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 셔터 버튼(9676), 수상부(9677) 등을 가질 수 있다. 도 20b에 나타난 텔레비전 수상 기능을 갖는 디지털 카메라는, 정지 화상 및 동영상 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 안테나로부터 다양한 정보를 취득하는 기능, 촬영한 화상, 또는 안테나로부터 취득한 정보를 보존하는 기능, 촬영한 화상, 또는 안테나로부터 취득한 정보를 표시부에 표시하는 기능 등을 가질 수 있다. 이때, 도 20b에 나타난 텔레비전 수상 기능을 갖는 디지털 카메라가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0510] 도 20c는 텔레비전 수상기이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636) 등을 가질 수 있다. 도 20c에 나타난 텔레비전 수상기는, 텔레비전용 전파를 처리해서 화상신호로 변환하는 기능, 화상신호를 처리해서 표시에 적합한 신호로 변환하는 기능, 화상신호의 프레임 주파수를 변환하는 기능 등을 가질 수 있다. 이때, 도 20c에 나타난 텔레비전 수상기가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0511] 도 20d는 컴퓨터이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 포인팅 디바이스(9681), 외부 접속 포트(9680) 등을 가질 수 있다. 도 20d에 나타난 컴퓨터는, 다양한 정보(정지 화상, 동화상, 텍스트 화상 등)를 표시부에 표시하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선통신 또는 유선통신 등의 통신기능, 통신기능을 사용해서 다양한 컴퓨터 네트워크에 접속하는 기능, 통신기능을 사용해서 다양한 데이터의 송신 또는 수신을 행하는 기능 등을 가질 수 있다. 이때, 도 20d에 나타난 컴퓨터가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0512] 다음에, 도 20e는 휴대전화이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 마이크로폰(9638) 등을 가질 수 있다. 도 20e에 나타난 휴대전화는, 다양한 정보(정지 화상, 동화상, 텍스트 화상 등)를 표시하는 기능, 캘렌다, 날짜 또는 시간 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다. 이때, 도 20e에 나타난 휴대전화가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0513] 본 실시예에 있어서 서술한 전자기기는, 어떠한 정보를 표시하기 위한 표시부를 갖는 것을 특징으로 한다. 이와 같은 전자기기는, 시야각을 크게 할 수 있으므로, 어느 방향에서 보아도 시각적 변화가 적은 표시를 행할 수 있다. 더구나, 시야각을 향상시키기 위해, 1 화소를 복수의 서브 화소로 분할하고, 서브 화소마다 다른 신호 전압을 가함으로써, 시야각을 향상시키는 방법을 사용한 경우에도, 서브 화소의 구동을 위한 회로 규모의 증대 또는 회로의 구동속도의 증대 등을 일으키는 일이 없다. 그 결과, 소비 전력의 저감 및 제조 코스트의 저감을 실현할 수 있다. 더구나, 정확한 신호를 각각의 서브 화소에 입력할 수 있으므로, 정지 화상 표시시의 화질을 향상할 수 있다. 더구나, 특별한 회로의 추가 및 구성 변경을 하지 않고, 흑 화상을 임의의 타이밍으로 표시할 수 있으므로, 동화상 표시시의 화질을 향상할 수 있다.

[0514] 이때, 본 실시예를 다양한 도면을 사용해서 서술해 왔지만, 각각의 도면에서 서술한 내용(일부라도 된다)은, 다른 도면에서 서술한 내용(일부라도 된다), 다른 실시예의 도면에서 서술한 내용(일부라도 된다)에 대

하여, 적용, 조합, 또는 치환 등을 자유롭게 행할 수 있다. 더구나, 지금까지 서술한 도면에 있어서, 각각의 부분을, 다른 부분, 다른 실시예의 부분과 조합할 수 있다.

[0515] 본 출원은, 참조용으로 전체의 발명내용이 본 출원에 원용되는, 2007년 11월 29일자 일본 특허청에 출원된 일본 특허출원 2007-308858에 근거한다.

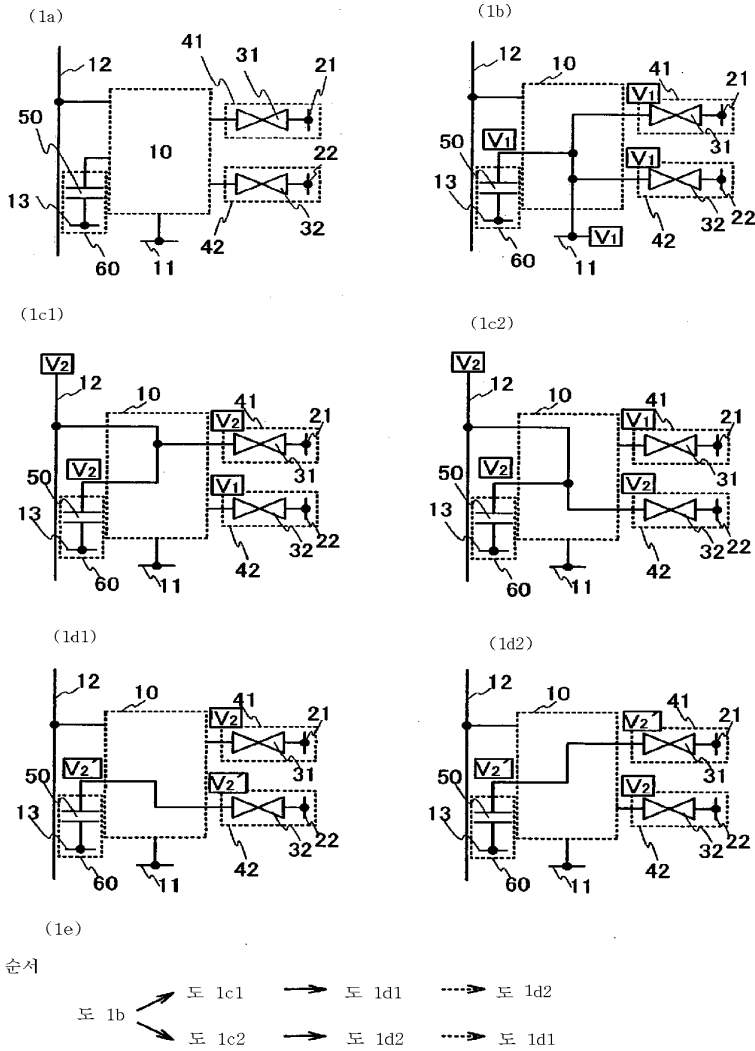
[0516] (부호의 설명)

[0517] 10 제1 회로; 11 제1 배선; 12 제2 배선; 13 제3 배선; 21 제4 배선; 22 제5 배선

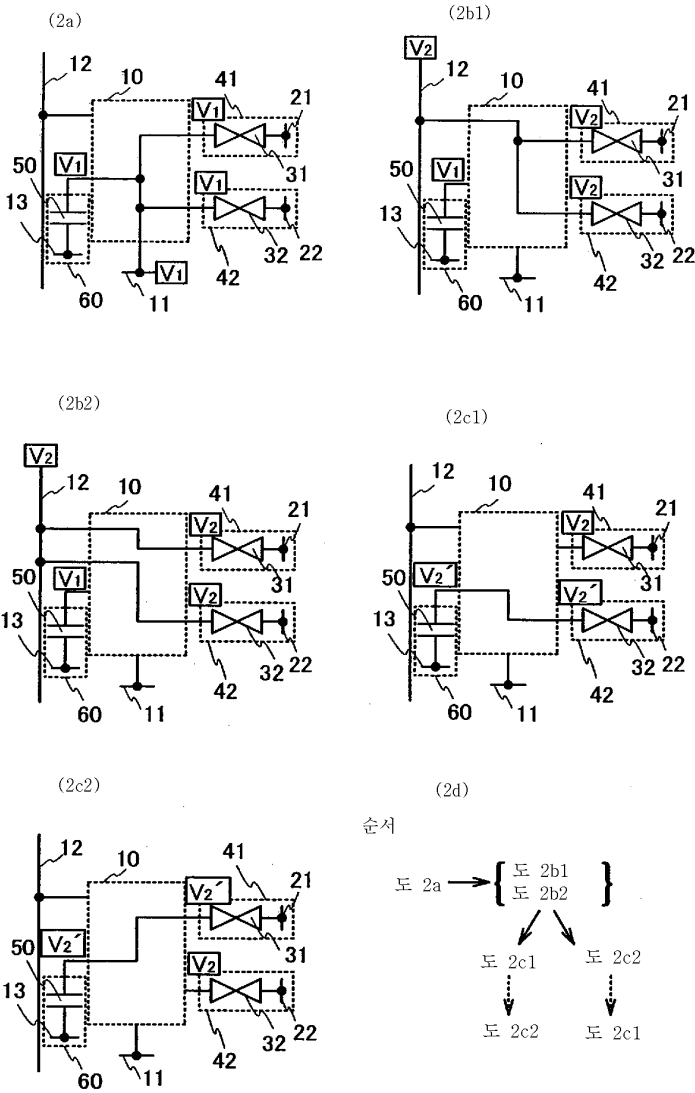
[0518] 23 제6 배선; 31 제1 액정소자; 32 제2 액정소자; 33 제3 액정소자; 41 제1 서브 화소; 42 제2 서브 화소; 43 제3 서브 화소; 50 용량소자; 51 용량소자; 52 용량소자; 60 제2 회로; 71 제6 배선; 72 제7 배선; 90 리셋 회로; 101 제1 배선; 102 제2 배선; 103 제3 배선; 104 제4 배선; 105 제5 배선; 106 제6 배선; 107 제7 배선; 108 제8 배선; 109 제9 배선; 110 제10 배선; 111 제8 배선; 121 제1 전류 제어회로; 122 제2 전류 제어회로; 131 제1 전류 구동 표시 소자; 132 제2 전류 구동 표시 소자; 141 제1 양극 배선; 142 제2 양극 배선; 151 제1 음극 배선; 152 제2 음극 배선; 160 스위치; 161 스위치; 162 스위치; 170 용량소자; 171 용량소자; 180 배선; 181 배선; 200 표시 패널; 201 표시부; 202 접속부; 203 접속 기관; 211 제1 스캔 드라이버; 212 제2 스캔 드라이버; 213 제3 스캔 드라이버; 214 제4 스캔 드라이버; 221 데이터 드라이버; 231 주변 구동회로; 232 주변 구동회로; 233 주변 구동회로; 234 주변 구동회로; 121a 전극; 121b 전극; 121c 전극; 122a 전극; 122b 전극; 122c 전극; 7001 트랜지스터; 7002 트랜지스터; 7003 트랜지스터; 7004 트랜지스터; 7005 트랜지스터; 7006 트랜지스터; 7011 기관; 7012 절연막; 7013 반도체층; 7014 반도체층; 7015 반도체층; 7016 절연막; 7017 게이트 전극; 7018 절연막; 7019 절연막; 7021 사이드월; 7022 마스크; 7023 도전막; 7024 절연막; 7031 기관; 7032 절연막; 7033 도전층; 7033 도전층; 7034 도전층; 7035 도전층; 7036 반도체층; 7037 반도체층; 7038 반도체층; 7039 절연막; 7040 절연막; 7041 도전층; 7042 도전층; 7048 트랜지스터; 7049 용량소자; 7051 기관; 7052 절연막; 7053 도전층; 7054 도전층; 7055 절연막; 7056 반도체층; 7057 반도체층; 7058 반도체층; 7059 도전층; 7060 도전층; 7061 도전층; 7068 트랜지스터; 7069 용량소자; 7071 기관; 7072 절연막; 7073 도전층; 7074 도전층; 7075 절연막; 7076 반도체층; 7077 반도체층; 7078 반도체층; 7079 도전층; 7080 도전층; 7081 도전층; 7082 절연막; 7088 트랜지스터; 7089 용량소자; 7091 기관; 7092 절연막; 7093 도전층; 7094 도전층; 7095 불순물 영역; 7096 불순물 영역; 7097 불순물 영역; 7098 LDD 영역; 7099 LDD 영역; 7100 채널 형성 영역; 7101 절연막; 7102 도전층; 7103 도전층; 7104 절연막; 7108 트랜지스터; 7109 용량소자; 7110 반도체 기관; 7111 절연막; 7112 영역; 7113 영역; 7114 p웰; 7121 절연막; 7122 절연막; 7123 도전막; 7124 도전막; 7130 게이트 전극; 7131 게이트 전극; 7132 레지스트 마스크; 7133 채널 형성 영역; 7134 불순물 영역; 7135 레지스트 마스크; 7136 채널 형성 영역; 7137 불순물 영역; 7138 절연막; 7139 배선; 9630 하우스; 9631 표시부; 9633 스피커; 9635 조작 키; 9636 접속 단자; 9638 마이크로폰; 9672 기록매체 관독부; 9676 셔터 버튼; 9677 수상부; 9680 외부 접속 포트; 9681 포인팅 디바이스

도면

도면1

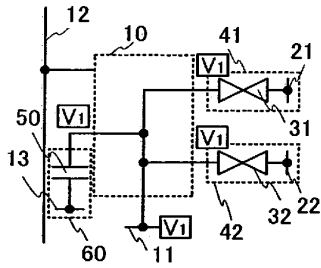


도면2

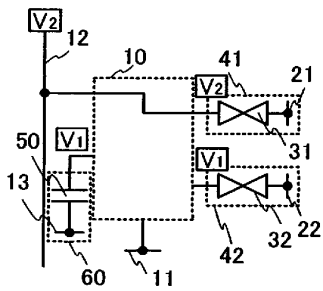


도면3

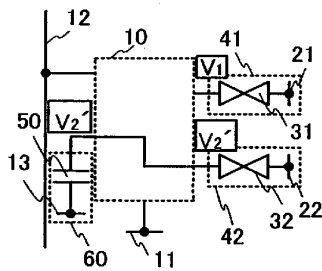
(3a)



(3b2)

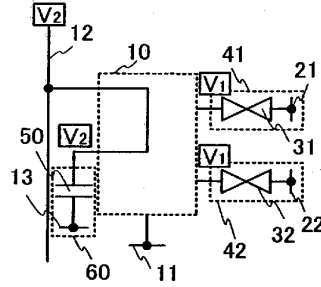


(3c1)

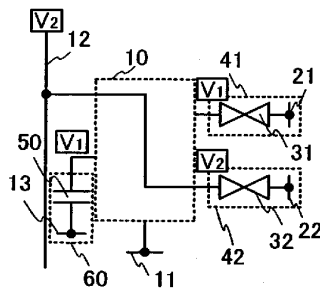


(3b1)

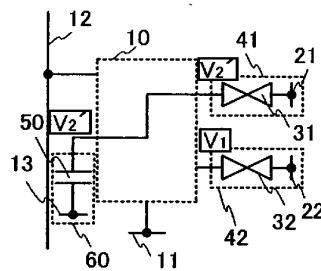
(3b1)



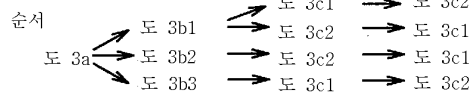
(3b3)



(3c2)

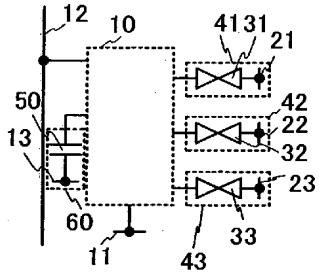


(3d)

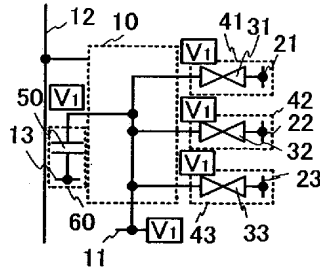


도면4

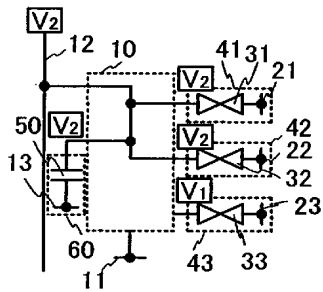
(4a)



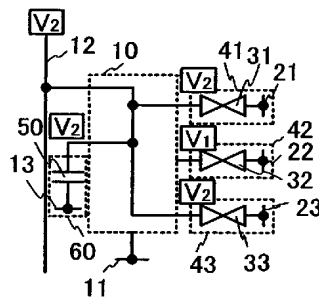
(4b)



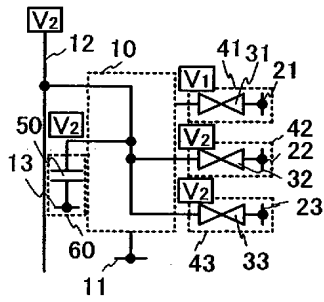
(4c1)



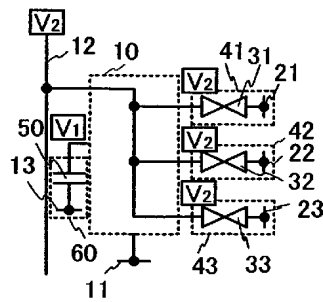
(4c2)



(4c3)

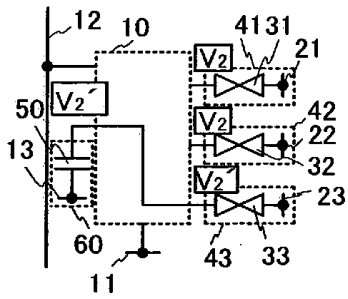


(4c4)

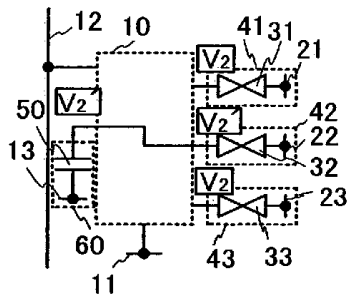


도면5

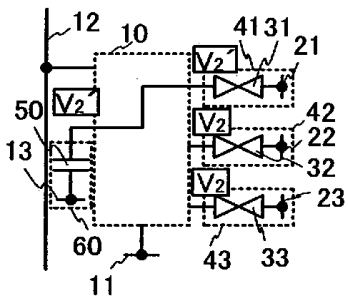
(5d1)



(5d2)

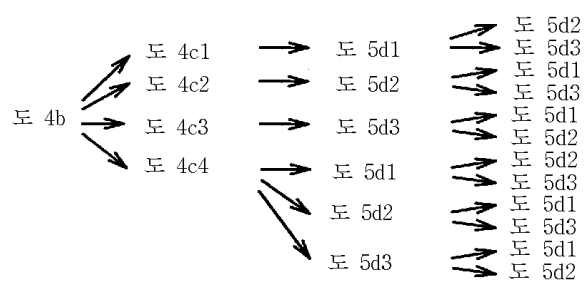


(5d3)

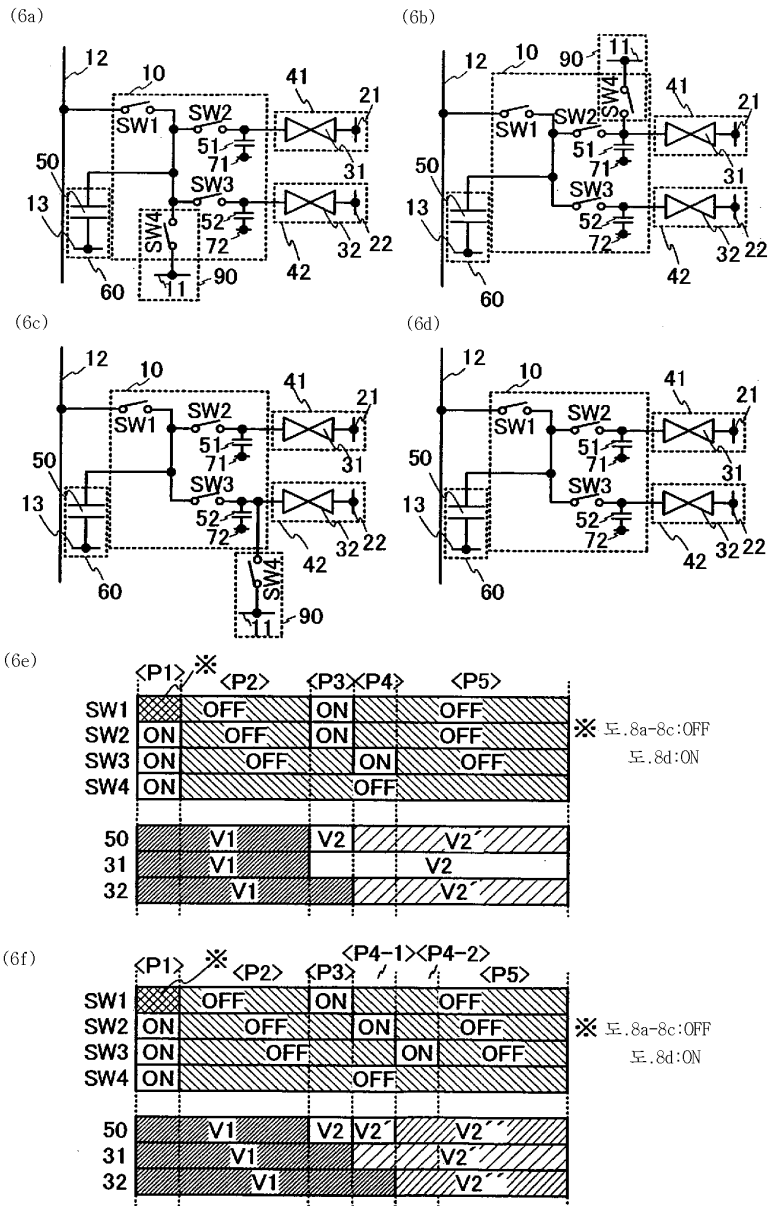


(5e)

순서

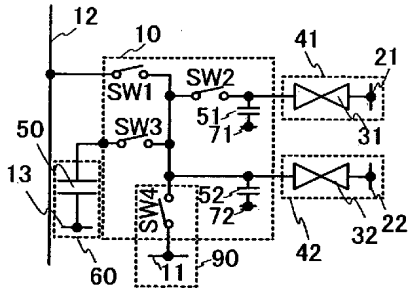


도면6

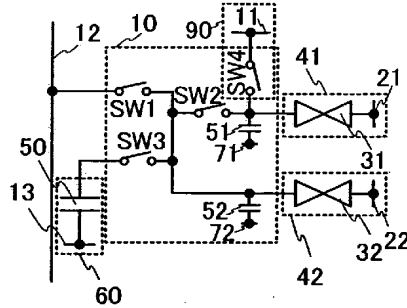


도면7

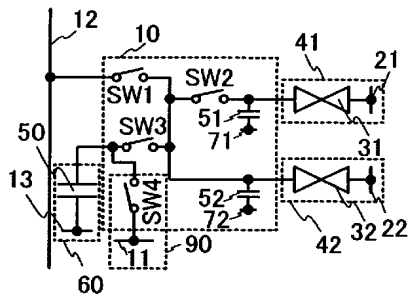
(7a)



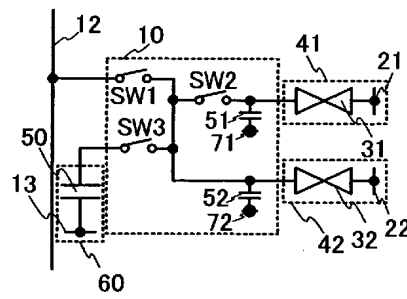
(7b)



(7c)



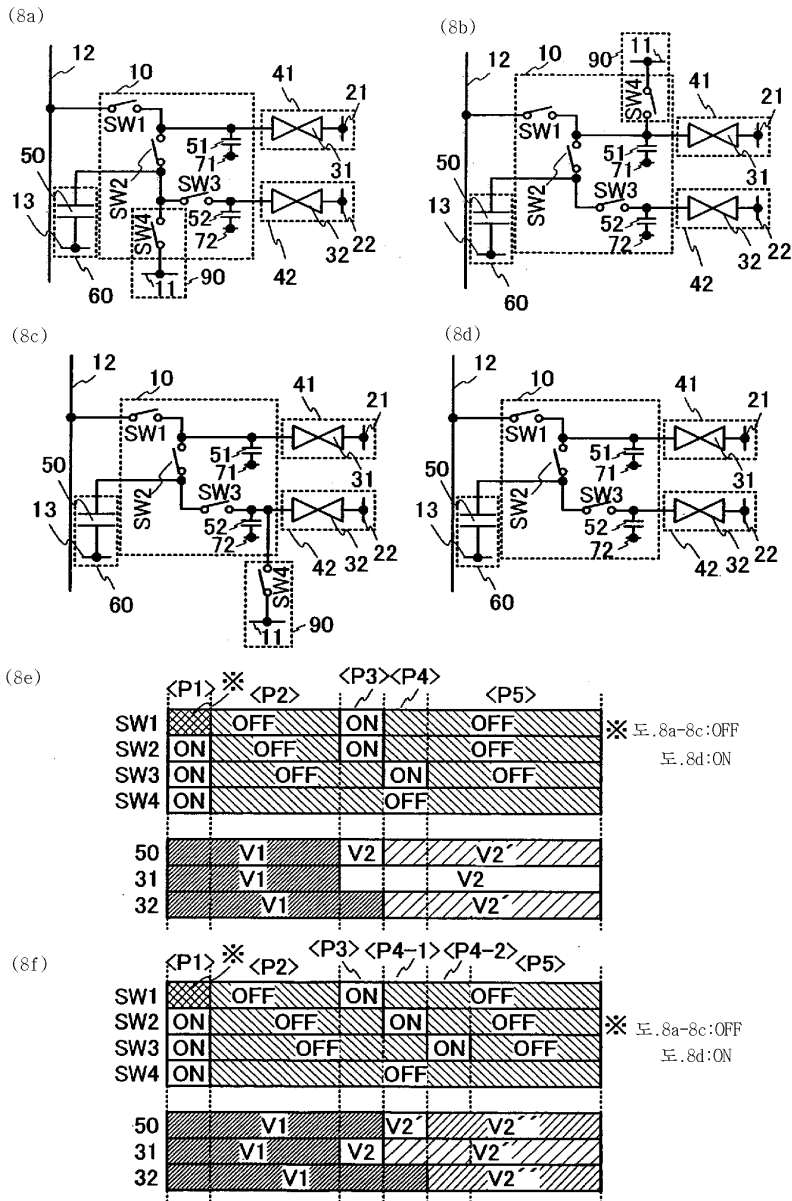
(7d)



(7e)

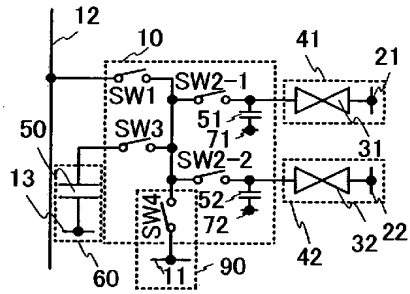
	<P1> ※	<P2>	<P3>	<P4>	<P5>	
SW1	※	OFF	ON		OFF	※ 도.8a-8c:OFF 도.8d:ON
SW2	ON	OFF	ON		OFF	
SW3	ON	OFF		ON	OFF	
SW4	ON			OFF		
50		V1			V2	
31		V1			V2	
32		V1	V2		V2	

도면8

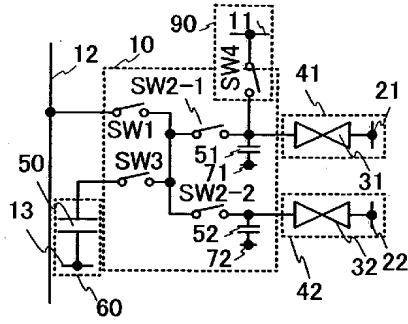


도면9

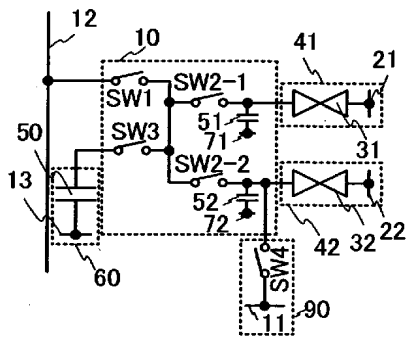
(9a)



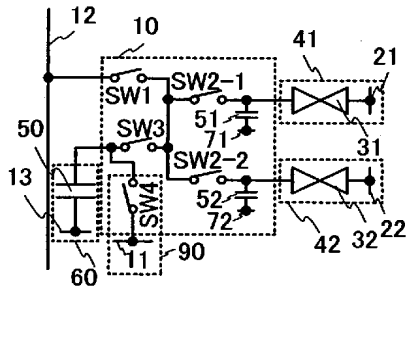
(9b)



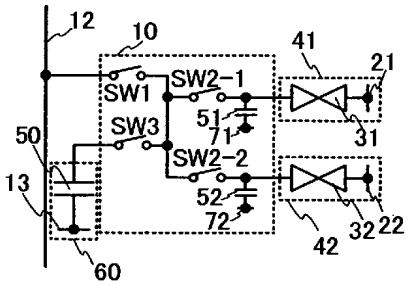
(9c)



(9d)



(9e)



도면10

(10a)

	<P1>	<P2>	<P3><P4>	<P5>
SW1	※	OFF	ON	OFF
SW2-1	ON	OFF	ON	OFF
SW2-2	ON	OFF	ON	OFF
SW3	ON	OFF	ON	OFF
SW4	ON	OFF	OFF	OFF

(10b)

	<P1>	<P2>	<P3><P4>	<P5>
SW1	※	OFF	ON	OFF
SW2-1	ON	OFF	ON	OFF
SW2-2	ON	OFF	ON	OFF
SW3	ON	OFF	ON	OFF
SW4	ON	OFF	OFF	OFF

(10c)

	<P1>	<P2>	<P3><P4-1>	<P4-2>	<P5>
SW1	※	OFF	ON	OFF	OFF
SW2-1	ON	OFF	ON	OFF	OFF
SW2-2	ON	OFF	ON	ON	OFF
SW3	ON	OFF	ON	OFF	OFF
SW4	ON	OFF	OFF	OFF	OFF

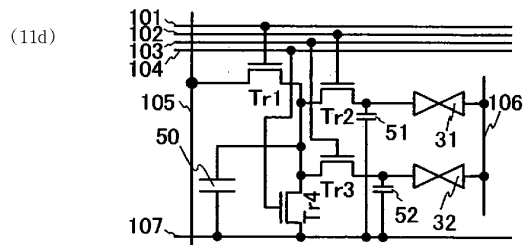
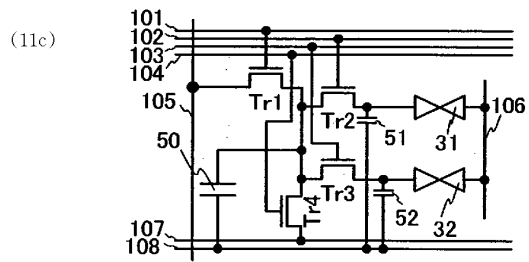
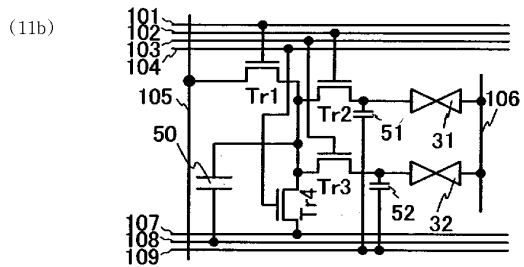
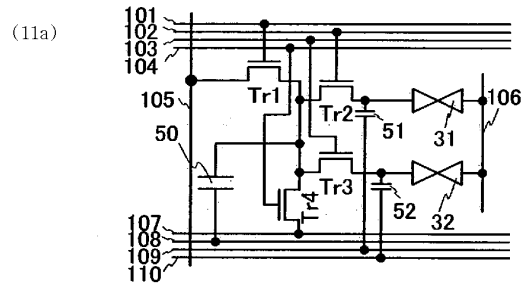
(10d)

	<P1>	<P2>	<P3><P4-1>	<P4-2>	<P5>
SW1	※	OFF	ON	OFF	OFF
SW2-1	ON	OFF	ON	OFF	OFF
SW2-2	ON	OFF	ON	ON	OFF
SW3	ON	OFF	ON	OFF	OFF
SW4	ON	OFF	OFF	OFF	OFF

※ 도.9a-9d:OFF

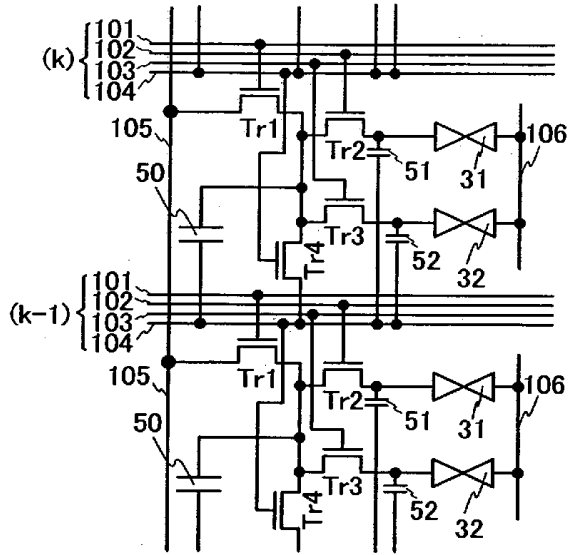
도.9e:ON

도면11

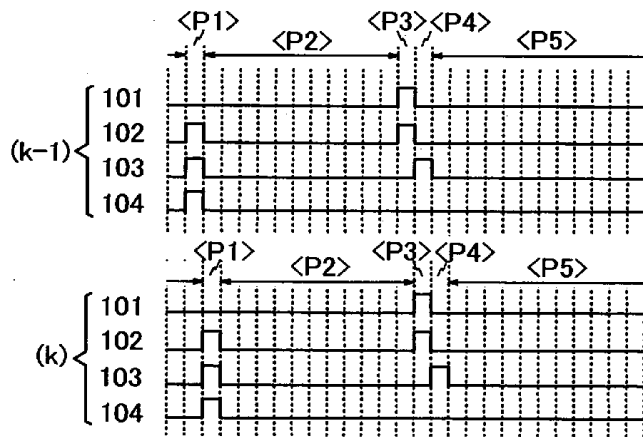


도면12

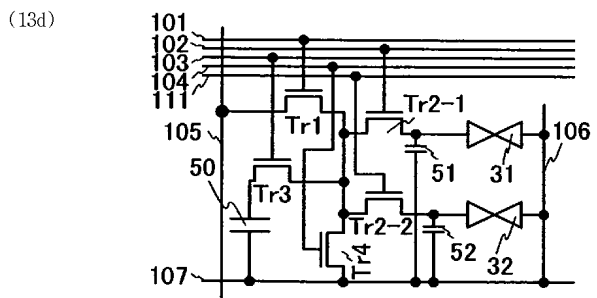
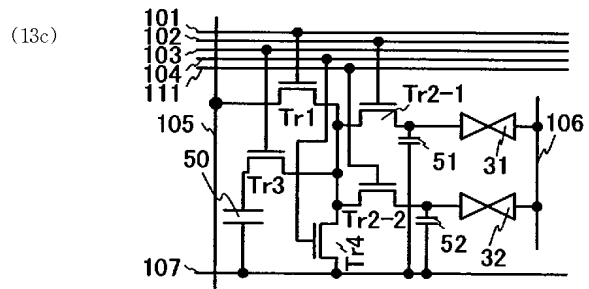
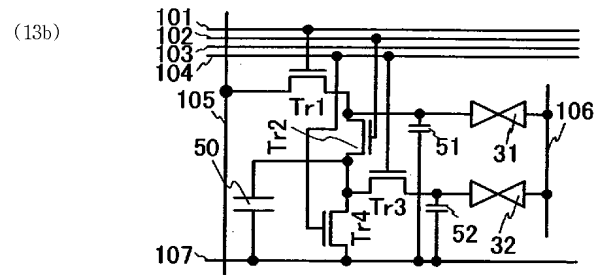
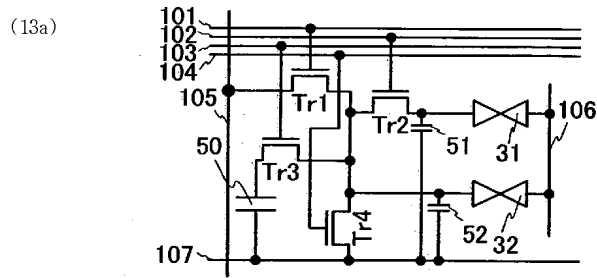
(12a)



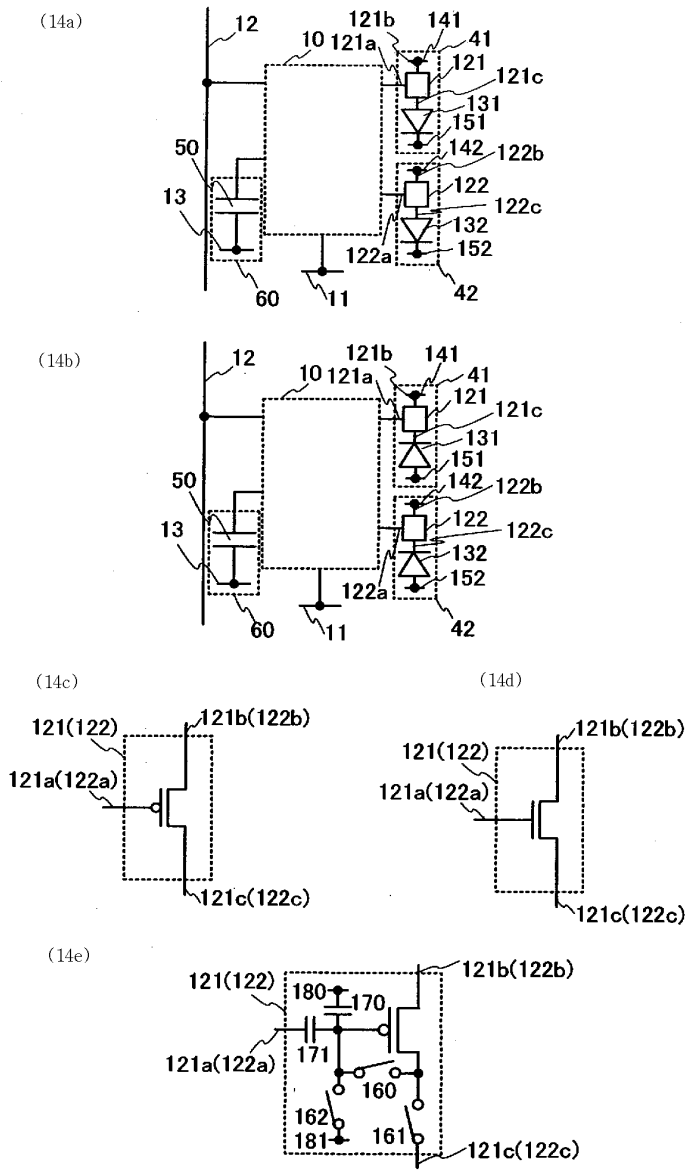
(12b)



도면13

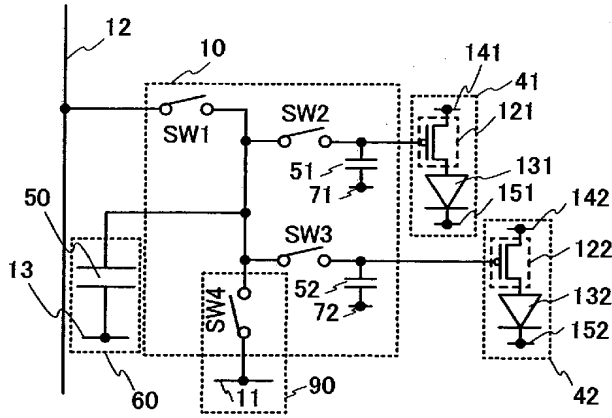


도면14

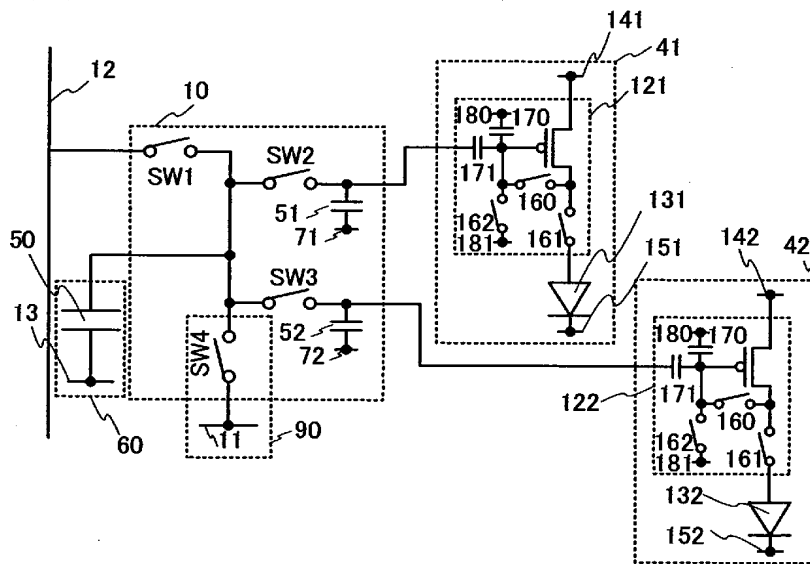


도면15

(15a)

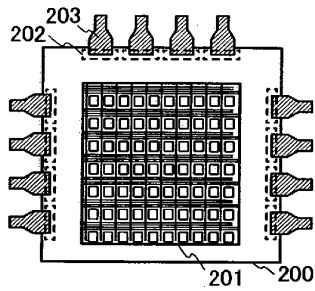


(15b)

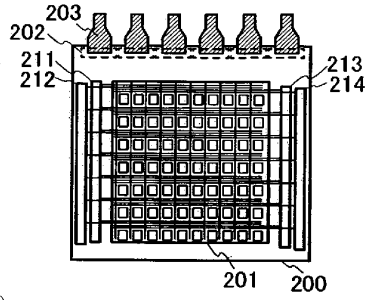


도면16

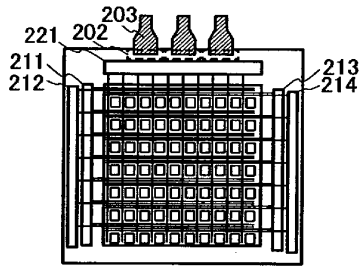
(16a)



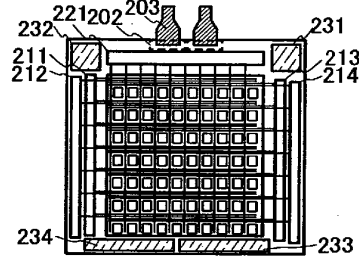
(16b)



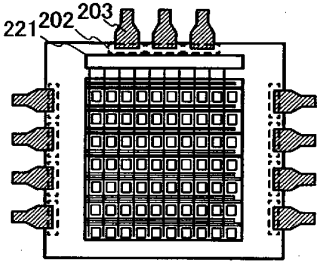
(16c)



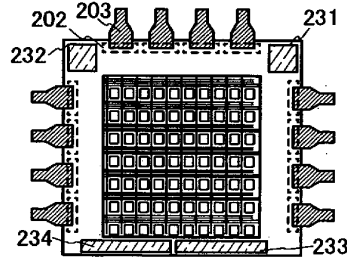
(16d)



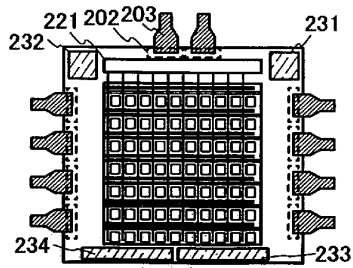
(16e)



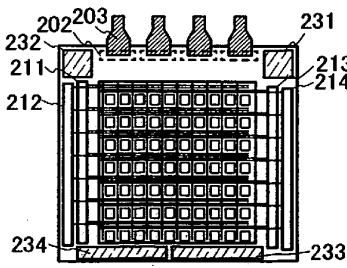
(16f)



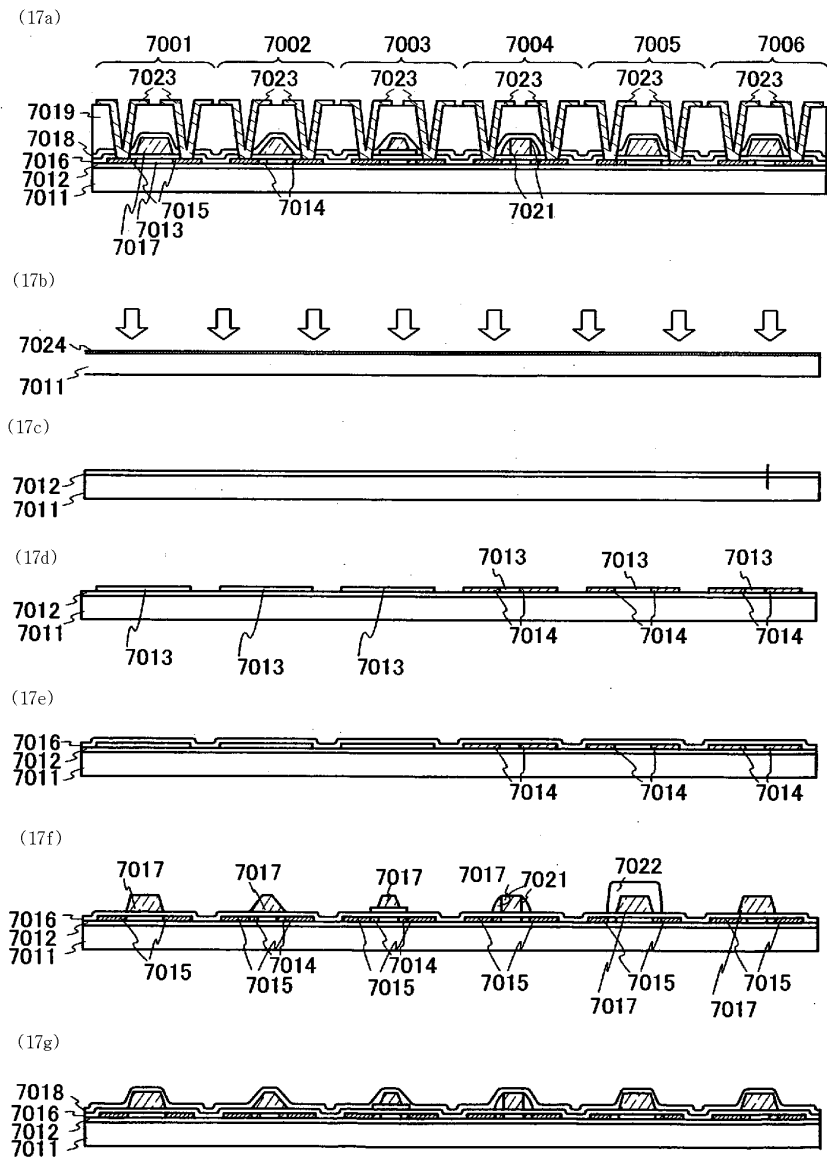
(16g)



(16h)

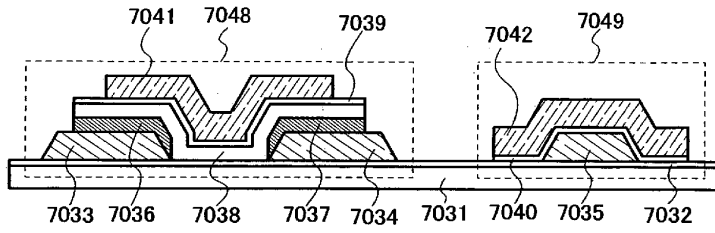


도면17

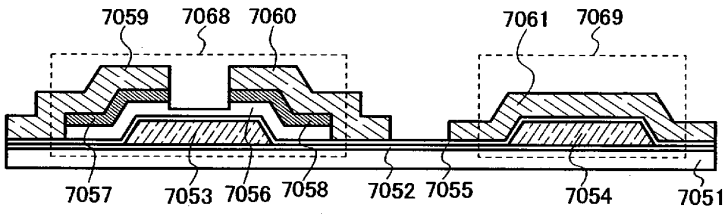


도면18

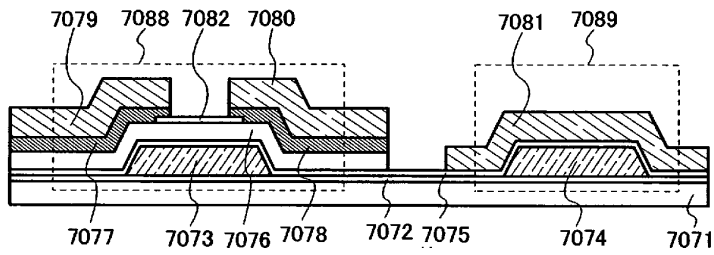
(18a)



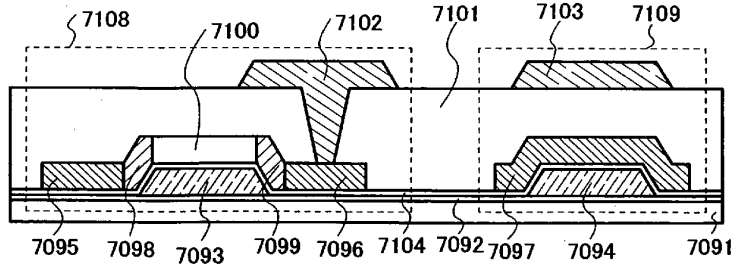
(18b)



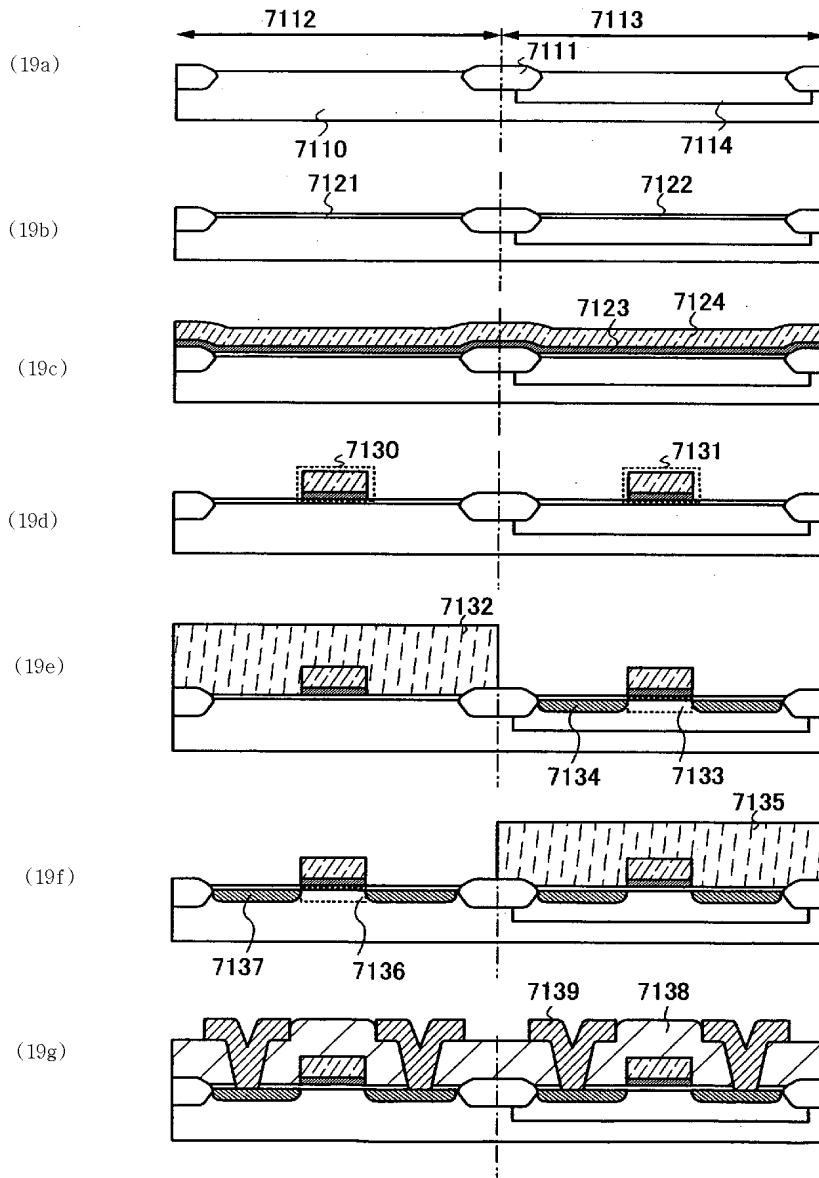
(18c)



(18d)



도면19



도면20

