

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-263381

(P2008-263381A)

(43) 公開日 平成20年10月30日(2008.10.30)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 1/00 (2006.01)	HO4N 1/00 C	5C062
GO6F 12/16 (2006.01)	GO6F 12/16 340F	

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号	特願2007-104215 (P2007-104215)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成19年4月11日 (2007.4.11)	(74) 代理人	100076428 弁理士 大塚 康德
		(74) 代理人	100112508 弁理士 高柳 司郎
		(74) 代理人	100115071 弁理士 大塚 康弘
		(74) 代理人	100116894 弁理士 木村 秀二
		(72) 発明者	片岡 淳之介 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		Fターム(参考)	5C062 AA02 AA05 AA30 AA35 AB42 AB49 AC48

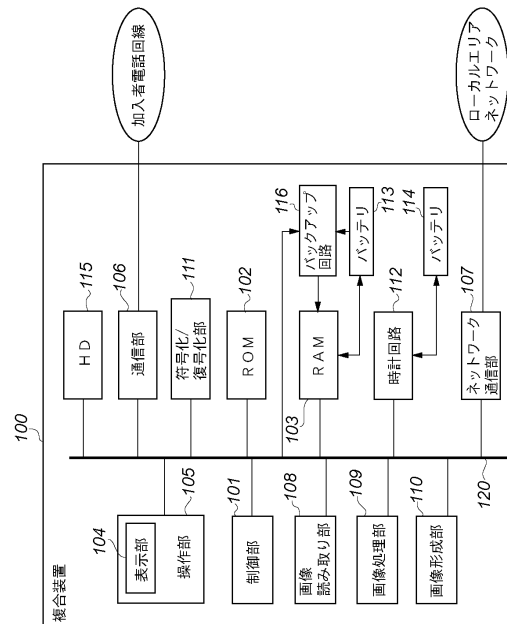
(54) 【発明の名称】 情報処理装置とその装置におけるメモリバックアップ方法

(57) 【要約】

【課題】 拡張メモリが実装された場合でも基本メモリの容量の内の多くをワーク領域として確保しなければならないため、拡張メモリを実装してもファクシミリ用の画像メモリ領域を十分に拡張できない。

【解決手段】 複数のメモリ基板を実装して、当該メモリ基板にアクセスできる情報処理装置であって、メモリをバックアップするための電池113と、電池113からメモリ基板への電力供給を制御するとともに、複数のメモリの内の拡張メモリ基板が実装された状態で装置の電源がオフされると、電池113から基本メモリへの電力供給を遮断するバックアップ回路116とを有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数のメモリ基板を実装して、当該メモリ基板にアクセスできる情報処理装置であって、

メモリをバックアップするための電池と、

前記電池から前記メモリ基板への電力供給を制御し、前記複数のメモリ基板の内の第1のメモリ基板が実装された状態で前記装置の電源がオフされた場合、前記電池から前記複数のメモリ基板の内の第2のメモリ基板への電力供給を遮断し、前記第1のメモリ基板が実装されていない状態で前記装置の電源がオフされると、前記電池からの電力を前記第2のメモリ基板へ供給するように制御するバックアップ制御手段と、

10

【請求項 2】

前記バックアップ制御手段によりバックアップされるメモリ基板を識別する識別手段と、

前記装置の電源がオフされると、前記識別手段によりバックアップされると識別されたメモリ基板にデータを転送する転送手段と、

を更に有することを特徴とする請求項1に記載の情報処理装置。

【請求項 3】

前記第1のメモリ基板は拡張メモリ基板で、前記第2のメモリ基板は、前記装置の基本メモリを搭載したメモリ基板であることを特徴とする請求項1又は2に記載の情報処理装置。

20

【請求項 4】

複数のメモリ基板を実装して、当該メモリ基板にアクセスできる情報処理装置であって、

メモリをバックアップするための電池と、

前記複数のメモリ基板のうち、バックアップ対象のデータを記憶しているメモリ基板を検知する検知手段と、

前記装置の電源がオフされると、前記電池よりの電力を、前記複数のメモリの内の前記検知手段で検知されたメモリ基板へ供給して当該メモリ基板をバックアップし、前記複数のメモリの内の前記検知手段で検知されたメモリ基板以外のメモリ基板へ供給しないように制御するバックアップ制御手段と、

30

を有することを特徴とする情報処理装置。

【請求項 5】

複数のメモリ基板を実装して、当該メモリ基板にアクセスできる情報処理装置におけるメモリバックアップ方法であって、

前記複数のメモリ基板の内の第1のメモリ基板が実装された状態で前記装置の電源がオフされた場合、メモリをバックアップするための電池から前記複数のメモリ基板の内の第2のメモリ基板への電力供給を遮断する工程と、

前記第1のメモリ基板が実装されていない状態で前記装置の電源がオフされると、前記電池からの電力を前記第2のメモリ基板へ供給するように制御する工程と、

40

を有することを特徴とする情報処理装置におけるメモリバックアップ方法。

【請求項 6】

前記バックアップ制御工程によりバックアップされるメモリ基板を識別する識別工程と、

前記装置の電源がオフされると、前記識別工程によりバックアップされると識別されたメモリ基板にデータを転送する転送工程と、

を更に有することを特徴とする請求項5に記載の情報処理装置におけるメモリバックアップ方法。

【請求項 7】

前記第1のメモリ基板は拡張メモリ基板で、前記第2のメモリ基板は、前記装置の基本

50

メモリを搭載したメモリ基板であることを特徴とする請求項 5 又は 6 に記載の情報処理装置におけるメモリバックアップ方法。

【請求項 8】

複数のメモリ基板を実装して、当該メモリ基板にアクセスできる情報処理装置におけるメモリバックアップ方法であって、

前記複数のメモリ基板のうち、バックアップ対象のデータを記憶しているメモリ基板を検知する検知工程と、

前記装置の電源がオフされると、メモリをバックアップするための電池よりの電力を、前記複数のメモリの内の前記検知工程で検知されたメモリ基板へ供給して当該メモリ基板をバックアップし、前記複数のメモリの内の前記検知工程で検知されたメモリ基板以外のメモリ基板へ供給しないように制御するバックアップ制御工程と、
を有することを特徴とする情報処理装置におけるメモリバックアップ方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のメモリ基板を実装して、当該メモリ基板にアクセスできる情報処理装置とその装置におけるメモリバックアップ方法に関する。

【背景技術】

【0002】

複写機能とファクシミリ機能を備えた複合機（多機能装置）では、複写機能で使用する画像データを記憶する第 1 メモリ領域と、ファクシミリ機能で使用する画像データを記憶する第 2 メモリ領域とをそれぞれ区別している。そして複写機能では、スキャナで読み取った画像データを、その一時的に第 1 メモリ領域に格納した後、その画像データを読み出して印刷（コピー）している。また、ファクシミリ機能では、メモリ受信時或はメモリ送信時に、受信した画像データ或は送信対象の画像データを第 2 メモリ領域に蓄積している。この第 2 メモリ領域の画像データは、印刷或は送信する前に本体の電源がオフされた場合にもその内容を保持する必要があるため、バッテリーによりバックアップされている。但し、第 1 メモリのデータ、及び実行中のプログラムのワーク領域のデータは、電源オフの際には保持する必要がないため、電池によるバックアップはなされていない。

20

【0003】

ここで、メモリのバックアップに必要な電力は、バックアップするメモリの容量に比例して大きくなる。このため、メモリ容量が拡張された場合には、バックアップ時間が短縮されてしまいます。このため、メモリ容量に応じてバッテリー容量を増やす必要が生じる。このような問題を解決するために、メモリ容量を拡張した場合でも、基本のメモリ領域だけをバックアップし、拡張メモリの領域をバックアップしない方法が提案されている（特許文献 1 参照）。この特許文献 1 では、ファクシミリ用のメモリ領域及びプログラムのワーク領域は、常に基本メモリに配置される。そして拡張メモリが実装された場合は、コピー用（展開、回転、ソート等）の画像メモリ領域が拡張メモリに配置されている。

30

【特許文献 1】特開 2002 - 209074 公報

【発明の開示】

40

【発明が解決しようとする課題】

【0004】

しかしながら、この特許文献 1 の方法では、基本メモリにプログラム実行用のワーク領域が配置されているので、拡張メモリが実装された場合でも基本メモリの容量の内の多くをワーク領域として確保しなければならない。その結果、拡張メモリを実装してもファクシミリ用の画像メモリ領域を十分に拡張できないという問題があった。

【0005】

本発明の目的は上記従来技術の問題点を解決することにある。

【0006】

本発明の特徴は、バックアップ対象のメモリ領域を制限することにより、バックアップ

50

に要する電池のバッテリー容量を大きくする必要がなくなる。

【 0 0 0 7 】

またバッテリーバックアップされるメモリ領域を制限し、そのバックアップされる領域に消滅させたくないデータを格納することにより、バックアップ領域を制限しながら必要なデータを維持できる。

【 課題を解決するための手段 】

【 0 0 0 8 】

上記目的を達成するために本発明の一態様に係る情報処理装置は以下のような構成を備える。即ち、

複数のメモリ基板を実装して、当該メモリ基板にアクセスできる情報処理装置であって

10

、
メモリをバックアップするための電池と、

前記電池から前記メモリ基板への電力供給を制御し、前記複数のメモリ基板の内の第1のメモリ基板が実装された状態で前記装置の電源がオフされた場合、前記電池から前記複数のメモリ基板の内の第2のメモリ基板への電力供給を遮断し、前記第1のメモリ基板が実装されていない状態で前記装置の電源がオフされると、前記電池からの電力を前記第2のメモリ基板へ供給するように制御するバックアップ制御手段と、
を有することを特徴とする。

【 0 0 0 9 】

上記目的を達成するために本発明の一態様に係る情報処理装置は以下のような構成を備える。即ち、

複数のメモリ基板を実装して、当該メモリ基板にアクセスできる情報処理装置であって

20

、
メモリをバックアップするための電池と、

前記複数のメモリ基板のうち、バックアップ対象のデータを記憶しているメモリ基板を検知する検知手段と、

前記装置の電源がオフされると、前記電池よりの電力を、前記複数のメモリの内の前記検知手段で検知されたメモリ基板へ供給して当該メモリ基板をバックアップし、前記複数のメモリの内の前記検知手段で検知されたメモリ基板以外のメモリ基板へ供給しないように制御するバックアップ制御手段と、を有することを特徴とする。

30

【 0 0 1 0 】

上記目的を達成するために本発明の一態様に係る情報処理装置におけるメモリバックアップ方法は以下のような工程を備える。即ち、

複数のメモリ基板を実装して、当該メモリ基板にアクセスできる情報処理装置におけるメモリバックアップ方法であって、

前記複数のメモリ基板の内の第1のメモリ基板が実装された状態で前記装置の電源がオフされた場合、メモリをバックアップするための電池から前記複数のメモリ基板の内の第2のメモリ基板への電力供給を遮断する工程と、

前記第1のメモリ基板が実装されていない状態で前記装置の電源がオフされると、前記電池からの電力を前記第2のメモリ基板へ供給するように制御する工程と、
を有することを特徴とする。

40

【 0 0 1 1 】

上記目的を達成するために本発明の一態様に係る情報処理装置におけるメモリバックアップ方法は以下のような工程を備える。即ち、

複数のメモリ基板を実装して、当該メモリ基板にアクセスできる情報処理装置におけるメモリバックアップ方法であって、

前記複数のメモリ基板のうち、バックアップ対象のデータを記憶しているメモリ基板を検知する検知工程と、

前記装置の電源がオフされると、メモリをバックアップするための電池よりの電力を、前記複数のメモリの内の前記検知工程で検知されたメモリ基板へ供給して当該メモリ基板

50

をバックアップし、前記複数のメモリの内の前記検知工程で検知されたメモリ基板以外のメモリ基板へ供給しないように制御するバックアップ制御工程と、
を有することを特徴とする。

【発明の効果】

【0012】

本発明によれば、バックアップ対象のメモリ基板を制限することにより、バックアップに要する電池のバッテリー容量を大きくする必要がない。またバックアップ領域を制限しながら必要なデータを保持できる。

【発明を実施するための最良の形態】

【0013】

以下、添付図面を参照して本発明の好適な実施の形態を詳しく説明する。尚、以下の実施の形態は特許請求の範囲に係る本発明を限定するものでなく、また本実施の形態で説明されている特徴の組み合わせの全てが本発明の解決手段に必須のものとは限らない。

【0014】

図1は、本発明の実施の形態に係る複合装置（多機能処理装置）の構成を示すブロック図である。

【0015】

図1において、制御部101はCPUを有し、この複合装置100の全体的な動作を制御する。ROM102は、制御部101が実行するプログラムや各種のデータ等を格納している。RAM103には、制御部101により実行されるプログラムがHD115からロードされ、このRAM103にプログラムがロードされた状態で、そのプログラムが制御部101の制御の下に実行される。また、このRAM103は、制御部101による制御処理の実行時に各種データを記憶するワークエリア及び、複写機能で使用する画像データを記憶する第1のメモリ領域、ファクシミリ機能で使用する画像データを記憶する第2のメモリ領域をも提供している。更に、このRAM103は、その一部又は全部がバッテリー113によりバックアップされている。また、このRAM103は、1つ以上のユニットに分割され、DIMMスロットに挿抜することで、各ユニットが着脱可能なように構成されている。

【0016】

時計回路112は、時刻情報を出力するためのものであり、バッテリー114からの電力により駆動されて常時計時を行なっている。操作部105は、ユーザが操作するための各種キーや表示部104を有している。表示部104はタッチパネルで構成されており、この複合装置100を操作するための各種情報やソフトキー等を表示し、ユーザによる操作を受付けている。

【0017】

通信部106は、アナログ電話回線を介してファクシミリ（FAX）通信を行う。この通信部106は、ファクシミリにより受信した画像を直接画像形成部110に出力して印刷せずに、一旦RAM103に蓄積した後で印刷するメモリ受信機能を有する。また、この通信部106は、ファクシミリ送信用の画像データを一旦RAM103に蓄積した後、設定された時間になると送信するタイマ送信機能も有している。このRAM103に蓄積されたファクシミリの送受信画像は、本体の電源がオフされた場合でも一定時間は、バッテリー113からの電力供給により保持される。

【0018】

画像読み取り部（スキャナ部）108は、原稿を読み取り、その原稿画像に対応する画像データを生成する。画像処理部109は、画像読み取り部108で生成した画像データや印刷する画像データに対する画像処理を実行する。画像形成部（プリンタエンジン）110は、画像データに基づいて記録シートに画像を形成（印刷）する。複写動作の場合は画像読み取り部108で読み取った画像データに基づいて複写画像を印刷し、プリント動作の場合は、ネットワークを介してPC（不図示）から受信した画像データに基づいて画像を印刷する。

10

20

30

40

50

【0019】

通信部107は、ネットワークとの間でのデータの送受信を制御している。この通信部107は、ネットワークを介してPC（不図示）から印刷データを受信したり、画像読み取り部108で読み取って生成した画像データを、ネットワークを介してPC等に転送する。符号化/復号化部111は、画像読み取り部108で生成した画像データを通信部106で送信する際に符号化したり、また通信部106で受信した画像データを復号化する機能を有する。また更に符号化/復号化部111は、複写動作をする際に、画像読み取り部108で生成した画像データをHD115に記憶するために符号化したり、或はHD115に記憶された符号化データを復号する。116はメモリのバックアップ回路で、例えば図4B或は図7に示すような回路を有している。

10

【0020】

CPUバス120は、制御部101、ROM102、RAM103、操作部105、通信部106、通信部107、画像読み取り部108、画像処理部109、画像形成部110、符号化/復号化部111を接続する。このCPUバス120は、アドレス信号を転送するアドレスバス、制御信号を転送するコントロールバス及び各種データを転送するデータバスの総称である。

【0021】

図2(A)(B)は、本実施の形態に係る複合装置100のRAMの構成を説明する図である。この実施の形態1では、RAM103は基本メモリと拡張メモリの2つに分かれており、基本メモリ基板（以下、基本メモリ）及び拡張メモリ基板（以下、拡張メモリ）は両者共DIMM形状で抜き差しできる形態をとっている。図2において、201は基本メモリ203を実装するためのRAM-DIMMスロットを示し、202は拡張メモリ204を実装するためのRAM-DIMMスロットを示す。尚、ここでは基本メモリが実装された基板を第1のメモリ基板とし、拡張メモリが実装された基板を第2のメモリ基板とするが、本発明はこれに限定されない。

20

【0022】

図2(A)は、基本メモリ203だけが実装されて拡張メモリが装着されない状態を示している。そして図2(B)は、基本メモリ203と拡張メモリ204の両方が装着された状態を示している。

【0023】

図2(A)では、実装されている基本メモリ203に、ワーク領域210とFAX用の画像領域211とが割り当てられている。ワーク領域210は、制御部101がプログラムを展開及び実行するメモリ領域及び、複写機能で使用する画像データを記憶するメモリ領域を含んでいる。また画像領域211は、ファクシミリ機能で使用する画像データを記憶するメモリ領域である。

30

【0024】

図2(B)では、基本メモリ203に、制御部101がプログラムを展開及び実行するワーク領域及び、複写機能で使用する画像データを記憶するワーク領域210が割り当てられている。そして、拡張メモリ204には、ファクシミリ機能で使用する画像データを記憶する画像領域が割り当てられている。

40

【0025】

また本実施の形態1では、拡張メモリ204が装着された場合とそうでない場合とで、バッテリー113によりバックアップされるメモリが変更される。即ち、図2(A)では、基本メモリ203がバッテリー113によりバックアップされ、図2(B)では、基本メモリ203はバックアップされず、拡張メモリ204だけがバッテリー113でバックアップされている。

【0026】

こうすることにより、ファクシミリ機能で使用する画像データを記憶する画像領域211は常にバッテリー113によりバックアップされる。また基本メモリ203の容量と拡張メモリ204の容量とが同じであれば、拡張メモリ204が実装された場合でも拡張メモ

50

リ 2 0 4 が実装されない場合でも、バッテリー 1 1 3 でバックアップされるメモリ容量は同じになる。従って、拡張メモリ 2 0 4 が実装された場合でも、バックアップ時間が変更されることはない。

【 0 0 2 7 】

図 3 は、本実施の形態に係る複合装置の制御部 1 0 1 からみたメモリマップを説明する図で、このメモリマップ上に基本メモリ 2 0 3 及び拡張メモリ 2 0 4 のアドレス空間上の配置を示している。

【 0 0 2 8 】

図において、3 0 1 は R O M 1 0 2 のアドレス空間を示し、3 0 2 は制御部 1 0 1 のレジスタ、I / O マップ用のメモリ空間を示している。基本メモリ 2 0 3 のアドレス空間 3 0 3 は、8 0 0 0 0 0 番地から F F F F F F F 番地までの 1 2 8 M B であり、拡張メモリ 2 0 4 のアドレス空間 3 0 3 は、0 0 0 0 0 0 番地から 7 F F F F F F 番地までの 1 2 8 M B である。

【 0 0 2 9 】

[実施の形態 1]

図 4 A , 図 4 B は、本実施の形態 1 に係る複合装置における R A M 1 0 3 のバックアップ (バックアップ制御) 回路の一例を示す図である。

【 0 0 3 0 】

図 4 A は、バックアップ用の電池 (バッテリ) 1 1 3 を示している。図 4 (B) は、バックアップ回路 1 1 6 の一例を示している。

【 0 0 3 1 】

バッテリー 1 1 3 から供給されるバックアップ電源 (+ 3 . 3 V) が、条件に応じて基本メモリ 2 0 3 の V c c 端子、或は拡張メモリ 2 0 4 の V c c 端子に供給される。スイッチ 4 0 4 は、オンの場合に基本メモリ 2 0 3 の V c c 端子に駆動用の電源を供給し、オフの場合には、基本メモリ 2 0 3 の V c c 端子に駆動用の電源を供給しない。拡張メモリ 2 0 4 には、駆動用の電源をメインボード (制御部 1 0 1 の C P U が搭載されている基板) に戻すための端子があり、この戻された信号がロジック回路 4 0 5 (メインボードに実装されている) を介して、スイッチ 4 0 4 に入力される。このロジック回路 4 0 5 に入力される V D D 信号は、本体の主電源がオフされた時は供給されない + 3 . 3 V 電源電圧に接続されている。尚、このロジック回路 4 0 5 において、4 1 0 , 4 1 1 は N O R 回路で、この N O R 回路 4 1 1 の出力がロウレベルの時にスイッチ 4 0 4 がオンされる。

【 0 0 3 2 】

本実施の形態 1 では、基本メモリ 2 0 3 は常に実装されており、拡張メモリ 2 0 4 は実装されている場合と、実装されていない場合とがある。

【 0 0 3 3 】

ここで拡張メモリ 2 0 4 が実装されていない場合について説明する。この場合は、拡張メモリ 2 0 4 を介してバッテリー 1 1 3 から供給される電源電圧 (S D V B B) がメインボードに戻されない。このため N O R 回路 4 1 0 の 2 つの入力は共にロウレベルとなり、その出力はハイレベルになる。よって、本体の電源がオンされているかオフされていないかに拘わらず、N O R 回路 4 1 1 の出力はロウレベルとなってスイッチ 4 0 4 がオンされたままとなり、基本メモリ 2 0 3 には電圧 (S D V B B) が供給されることになる。尚、この電圧 (S D V B B) は、複合装置 1 0 0 の電源がオンの状態では電源電圧 V D D となっている。

【 0 0 3 4 】

次に拡張メモリ 2 0 4 が実装されている場合について説明する。

【 0 0 3 5 】

この場合は、この拡張メモリ 2 0 4 を介してバッテリー 1 1 3 からの電圧 (S D V B B) がメインボードに戻される。これにより、N O R 回路 4 1 0 の出力がロウレベルとなる。そして本体電源がオフされている時 (V D D = 0) は、N O R 回路 4 1 1 の出力がハイレベルとなってスイッチ 4 0 4 をオフにする。また本体電源がオンされている時 (V D D =

10

20

30

40

50

ハイレベル)は、NOR回路411の出力がロウレベルとなりスイッチ404をオンにする。

【0036】

このようにして、本体の電源がオフされたとき、拡張メモリ204が実装されていない場合は、基本メモリ203がバッテリー113によりバックアップされる。一方、拡張メモリ204が実装されている場合は、本体の電源がオフされたときは基本メモリ203への電池113からの電力供給が遮断されるためバッテリー113によりバックアップされず、拡張メモリ204だけがバックアップされる。また本体の電源がオンされた状態では、拡張メモリ204の有無に拘わらずスイッチ404がオンされ、基本メモリ203にもバッテリー113からの電圧が入力される。

10

【0037】

以上説明したように本実施の形態1によれば、拡張メモリ204が実装された状態で、装置の電源がオフされると、自動的にその拡張メモリ204だけをバッテリーによりバックアップする。これにより、バックアップ対象のメモリ領域の増大を抑えることにより、バッテリーの消費電力を抑えてバックアップに要する時間が短縮されるのを防止できる。この際、実装された拡張メモリ204にバックアップすべきデータを保持し、バックアップされない基本メモリには、電源オフで消去されても良いデータだけを保持している。これにより、電源オフによるデータの消滅による影響を少なくできる。

【0038】

[実施の形態2]

次に本発明に係る実施の形態2について説明する。

20

【0039】

本実施の形態2では、複合装置本体の電源がオフされると、ファクシミリ用の画像データが記憶されているメモリ領域を検知する。そして、その画像データが蓄積されている領域だけをバッテリー113によりバックアップする。尚、この実施の形態2に係る複合装置100のハードウェア構成は、前述の実施の形態1の複合装置のハードウェア構成と同じであるため、その説明を省略する。

【0040】

図5は、本発明の実施の形態2に係る複合装置100における電源オン時の動作を示すフローチャートである。尚、この処理を実行するプログラムは、実行時にはRAM103に記憶されており、制御部101のCPUの制御の下に実行される。

30

【0041】

この処理は複合装置100の電源オンにより開始され、まずステップS501で、拡張メモリ204が装着されているかどうかを判別して、メモリの構成情報を取得する。次にステップS502で、メモリのバックアップ情報を求める。次にステップS503に進み、バッテリー113でバックアップされた画像データがあるかどうかを判定し、バックアップされた画像データがなければステップS504に進み、イニシャル状態から立ち上げる。そしてステップS506に進み、スタンバイ状態へ移行する。

【0042】

一方ステップS503で、バッテリー113でバックアップされた画像データがあればステップS505に進み、そのバックアップされた画像データを保持して立ち上げ処理を実行する。そしてステップS506のスタンバイ状態へ移行する。

40

【0043】

このように本実施の形態2では、バックアップすべき画像データのある領域のみをバックアップしているので、バッテリーバックアップされた画像データがある領域以外の領域のデータは不定である。

【0044】

図6は、本発明の実施の形態2に係る複合装置100の電源オフ時の動作を示すフローチャートである。尚、この処理を実行するプログラムは、実行時にはRAM103に記憶されており、制御部101のCPUの制御の下に実行される。

50

【 0 0 4 5 】

ステップ S 6 0 1 では、コピー動作やファクシミリ動作などの各種動作をしている。ステップ S 6 0 2 で、バックアップすべき画像データ（例えば、メモリ受信したファクシミリデータ、或はタイマ送信が指定されたファクシミリデータ）が生成されたか否かを判定する。そしてバックアップすべき画像データが生成されていない場合はステップ S 6 0 1 に戻って通常動作を継続する。ステップ S 6 0 2 で、バックアップすべき画像データが生成されたと判断した場合はステップ S 6 0 3 に進み、バックアップすべき画像データが蓄積されている領域を識別する。次にステップ S 6 0 4 に進み、バックアップすべき画像データが蓄積されている領域をバックアップするようにバックアップ回路を制御する。次にステップ S 6 0 5 に進み、本体の電源がオフされたかを検知し、本体電源がオフされてなければステップ S 6 0 1 に戻って、通常動作を継続する。ステップ S 6 0 5 で本体電源がオフされたことを検知した場合はステップ S 6 0 6 に進み、バックアップすべき画像データが蓄積されているメモリ領域をセルフ・リフレッシュモードに移行して電源オフに備える。

10

【 0 0 4 6 】

図 7 は、この実施の形態 2 に係るバックアップ回路 1 1 6 を説明する回路図である。

【 0 0 4 7 】

図において、7 0 1 , 7 0 2 はそれぞれメモリ基板を示し、これらは前述の基本メモリ 2 0 3 と拡張メモリ 2 0 4 であっても良く、或は拡張メモリ 2 0 4 とは別の 2 つの拡張メモリであっても良い。7 0 3 はフリップフロップ、7 0 4 , 7 0 5 はそれぞれ NOR 回路である。尚、これらフリップフロップ 7 0 3 、 NOR 回路 7 0 4 , 7 0 5 は共にバッテリー 1 1 3 から供給される電力により動作している。スイッチ 7 0 6 , 7 0 7 は共に、前述の図 4 (B) のスイッチ 4 0 4 と同様に、各対応する制御信号 7 0 8 , 7 0 9 がロウレベルの時にオン（閉じ）、ハイレベルの時にオフ（開く）になる。

20

【 0 0 4 8 】

いま、この複合装置 1 0 0 の電源がオンされている状態では、電源電圧 V D D が供給されているため NOR 回路 7 0 4 , 7 0 5 にはハイレベルの信号が入力されて、その出力は共にロウレベルになっている。よってスイッチ 7 0 6 , 7 0 7 は閉じた状態で、メモリ基板 7 0 1 , 7 0 2 には電源電圧が供給されている。

【 0 0 4 9 】

フリップフロップ 7 0 3 に入力されている D L T 信号及び R E S E T 信号は共に、制御部 1 0 1 の C P U から供給される。即ち、複合装置 1 0 0 の電源がオフされた状態でメモリ基板 7 0 1 だけをバックアップする場合は、C P U は R E S E T 信号をハイレベルにした状態で D L T 信号を出力する。これによりフリップフロップ 7 0 3 の Q 出力がハイレベルとなり、NOR 回路 7 0 4 の出力がロウレベルとなってスイッチ 7 0 6 がオンされる。こうしてメモリ基板 7 0 1 が電池 1 1 3 によりバックアップされることになる。

30

【 0 0 5 0 】

逆に、複合装置 1 0 0 の電源がオフされた状態でメモリ基板 7 0 2 だけをバックアップする場合は、C P U は R E S E T 信号をロウレベルにする。これによりフリップフロップ 7 0 3 の Q 出力がロウレベル、Q / (Q の反転) がハイレベルとなり、NOR 回路 7 0 5 の出力がロウレベルとなってスイッチ 7 0 7 がオンされる。こうしてメモリ基板 7 0 2 が電池 1 1 3 によりバックアップされることになる。

40

【 0 0 5 1 】

従って前述の図 6 のステップ S 6 0 4 では、バックアップすべき画像データが格納されている領域のバックアップするように、D L T 信号或は R E S E T 信号を出力してスイッチ 7 0 6 , 7 0 7 を切替える。

【 0 0 5 2 】

尚、この実施の形態 2 では、メモリ基板が 2 枚の場合で説明したが、より多くの枚数であっても良い。

【 0 0 5 3 】

50

[実施の形態 3]

また本発明の実施の形態 3 では、複合装置 100 の電源がオフされた時に、予め、バックアップすべき画像データを記憶しているメモリ領域を検知しておく。そして、その画像データの容量からバックアップする時間を算出する。そのバックアップ時間に応じてバックアップ対象のメモリ基板を切り換えることにより、更に高精度に上記の課題を解決するものである。

【 0054 】

本発明の実施の形態 3 に係る動作フローチャートは、図 5 及び図 6 に示す実施の形態 2 に係る動作フローと基本的には同じであるので説明は省略する。

【 0055 】

またバックアップ対象のメモリ基板を切り換えるバックアップ回路の構成は前述の実施の形態 2 と同じである。

【 0056 】

また前述の実施の形態では、複合装置の場合で説明したが本発明はこれに限定されるものでなく、複数のメモリ基板が装着できる機器（PC 等の装置）であっても良い。複合装置や PC 等の装置を総称して、情報処理装置と呼ぶ。

【 0057 】

（他の実施形態）

以上、本発明の実施形態について詳述したが、本発明は、複数の機器から構成されるシステムに適用しても良いし、また一つの機器からなる装置に適用しても良い。

【 0058 】

なお、本発明は、前述した実施形態の機能を実現するソフトウェアのプログラムを、システム或いは装置に直接或いは遠隔から供給し、そのシステム或いは装置のコンピュータが該供給されたプログラムを読み出して実行することによっても達成され得る。その場合、プログラムの機能を有していれば、形態は、プログラムである必要はない。

【 0059 】

従って、本発明の機能処理をコンピュータで実現するために、該コンピュータにインストールされるプログラムコード自体も本発明を実現するものである。つまり、本発明のクレームでは、本発明の機能処理を実現するためのコンピュータプログラム自体も含まれる。その場合、プログラムの機能を有していれば、オブジェクトコード、インタプリタにより実行されるプログラム、OS に供給するスクリプトデータ等、プログラムの形態を問わない。

【 0060 】

プログラムを供給するための記録媒体としては、様々なものを使用できる。例えば、フロッピー（登録商標）ディスク、ハードディスク、光ディスク、光磁気ディスク、MO、CD-ROM、CD-R、CD-RW、磁気テープ、不揮発性のメモリカード、ROM、DVD（DVD-ROM、DVD-R）などである。

【 0061 】

その他、プログラムの供給方法としては、クライアントコンピュータのブラウザを用いてインターネットのホームページに接続し、該ホームページからハードディスク等の記録媒体にダウンロードすることによっても供給できる。その場合、ダウンロードされるのは、本発明のコンピュータプログラムそのもの、もしくは圧縮され自動インストール機能を含むファイルであってもよい。また、本発明のプログラムを構成するプログラムコードを複数のファイルに分割し、それぞれのファイルを異なるホームページからダウンロードすることによっても実現可能である。つまり、本発明の機能処理をコンピュータで実現するためのプログラムファイルを複数のユーザに対してダウンロードさせる WWW サーバも、本発明のクレームに含まれるものである。

【 0062 】

また、本発明のプログラムを暗号化して CD-ROM 等の記憶媒体に格納してユーザに配布する形態としても良い。その場合、所定の条件をクリアしたユーザに対し、インター

10

20

30

40

50

ネットを介してホームページから暗号化を解く鍵情報をダウンロードさせ、その鍵情報を使用することにより暗号化されたプログラムが実行可能な形式でコンピュータにインストールされるようにする。

【0063】

また、コンピュータが、読み出したプログラムを実行することによって、前述した実施形態の機能が実現される形態以外の形態でも実現可能である。例えば、そのプログラムの指示に基づき、コンピュータ上で稼動しているOSなどが、実際の処理の一部または全部を行ない、その処理によっても前述した実施形態の機能が実現され得る。

【0064】

更に、記録媒体から読み出されたプログラムが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれるようにしてもよい。この場合、その後で、そのプログラムの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行ない、その処理によって前述した実施形態の機能が実現される。

【図面の簡単な説明】

【0065】

【図1】本発明の実施の形態に係る複合装置（多機能処理装置）の構成を示すブロック図である。

【図2】本実施の形態に係る複合装置のRAMの構成を説明する図である。

【図3】本実施の形態に係る複合装置の制御部からみたメモリマップを説明する図である。

【図4】本実施の形態1に係る複合装置におけるRAMのバックアップ回路の一例を示す図である。

【図5】本発明の実施の形態2に係る複合装置における電源オン時の動作を示すフローチャートである。

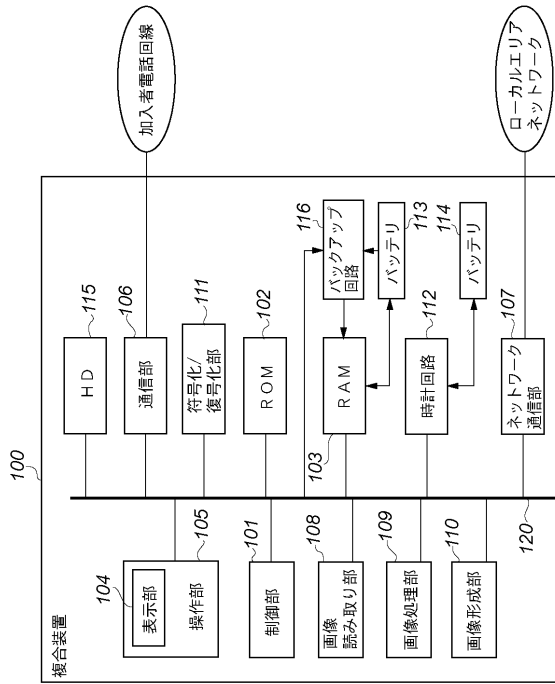
【図6】本発明の実施の形態2に係る複合装置の電源オフ時の動作を示すフローチャートである。

【図7】実施の形態2に係るバックアップ回路を説明する回路図である。

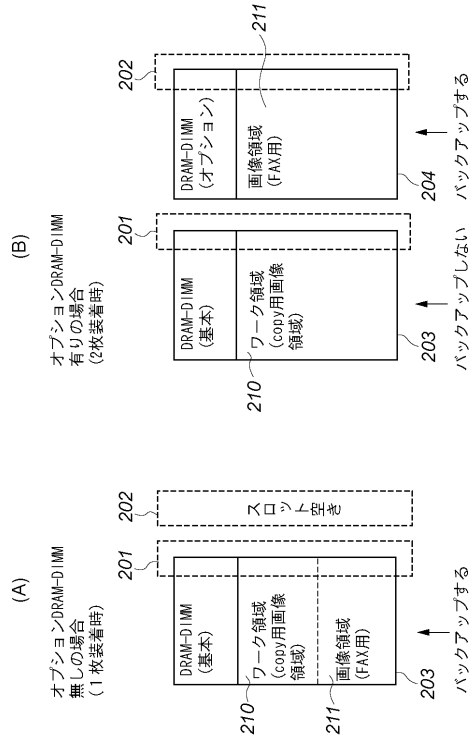
10

20

【図 1】



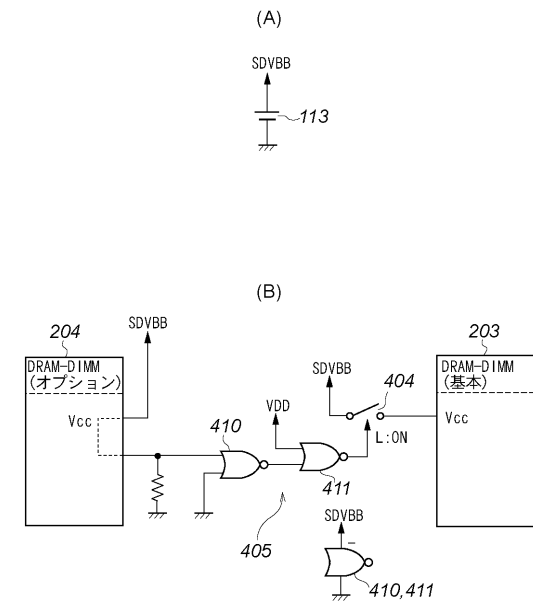
【図 2】



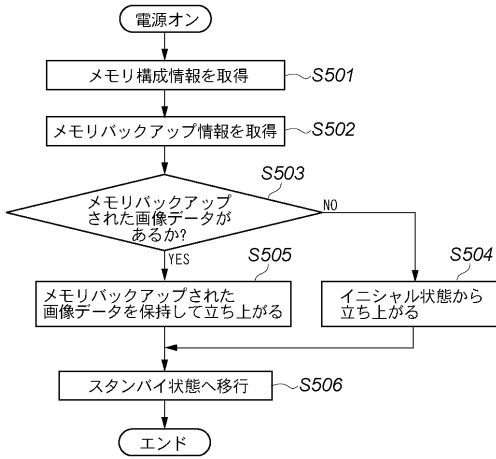
【図 3】

0xFFFF_FFFF 0xFFC0_0000	ROM0 (4MB Normal) (Boot ROM)	32t' ユット	301	
0xF7FF_FFFF 0xF700_0000	ROM1 (16MB Mirror) (Main ROM)	32t' ユット		
0xFFFF_FFFF 0xEF00_0000	ROM2 (16/32MB option)	32t' ユット		
0xCFFF_FFFF 0xC000_0000	Internal Registers (512MB)	32t' ユット	302	
0xBFFF_FFFF 0xBFFE_0000	I/O Device0 (128KB) SRAM	32t' ユット		
0xB7FF_FFFF 0xB700_FC00	I/O Device1 (1KB) PATCH	32t' ユット		
0xAFFF_FFFF 0xAFFF_8000	I/O Device2 (32KB) Soft Counter	32t' ユット		
0xA7FF_2FFF 0xA7FF_2000 0xA7FF_1000 0xA7FF_0000	I/O Device3 (1KB) Dot LCD (1KB) Serial (1KB) MODEM&PATCH	32t' ユット		
0x0FFF_FFFF 0x0800_0000	SDR-SDRAM (DIMM 128MB)	32t' ユット		基本メモリ
0x07FF_FFFF 0x0000_0000	SDR-SDRAM (DIMM 128MB)	32t' ユット		拡張メモリ

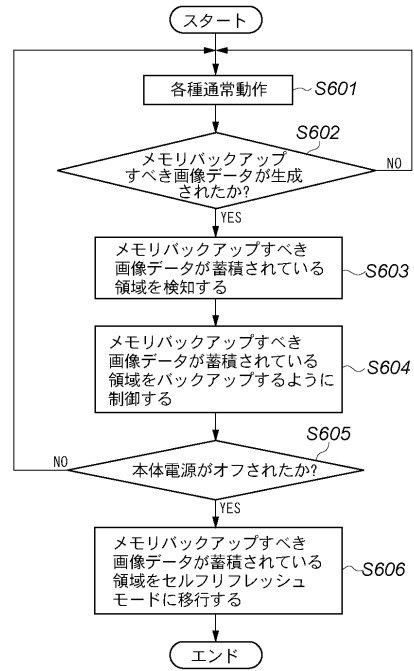
【図 4】



【 図 5 】



【 図 6 】



【 図 7 】

