

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 7 月 5 日 (05.07.2018)



(10) 国际公布号
WO 2018/120995 A1

(51) 国际专利分类号:
G02F 1/1362 (2006.01)

市巴南区界石镇石景路 1 号, Chongqing 400000 (CN)。

(21) 国际申请号: PCT/CN2017/106316

(22) 国际申请日: 2017 年 10 月 16 日 (16.10.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201611270668.3 2016 年 12 月 30 日 (30.12.2016) CN

(71) 申请人: 惠科股份有限公司(HKC CORPORATION LIMITED) [CN/CN]; 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。 重庆惠科金渝光电科技有限公司(CHONGQING HKC OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国重庆

(72) 发明人: 陈猷仁(CHEN, Yu-Jen); 中国重庆市巴南区界石镇石景路 1 号, Chongqing 400000 (CN)。

(74) 代理人: 深圳市百瑞专利商标事务所(普通合伙)(SHENZHEN BAIRUI PATENT & TRADEMARK OFFICE); 中国广东省深圳市福田区香蜜湖街道竹子林七路 2 号益华综合楼 A 栋第六层西 01#, Guangdong 518000 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: PIXEL STRUCTURE

(54) 发明名称: 像素结构

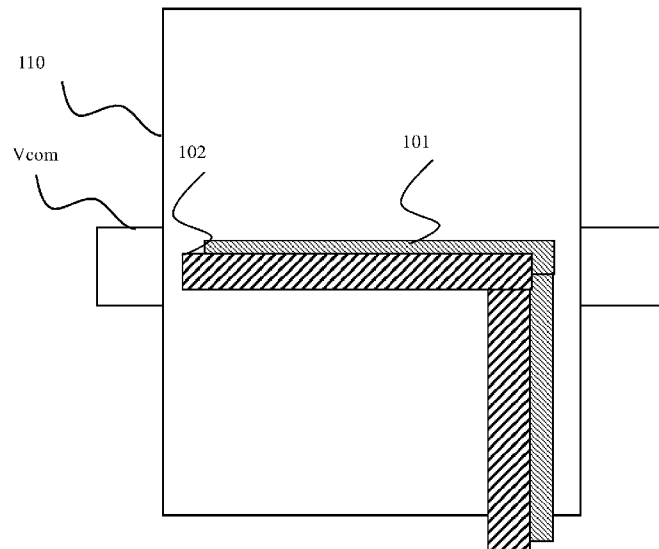


图 17

(57) Abstract: A pixel structure, comprising: a pixel electrode (110); an active switch coupled to the pixel electrode (110); a common line, a first storage capacitor be formed between the common line and the pixel electrode (110); and an L-shaped conductive line (101), a second storage capacitor being formed between the L-shaped conductive line (101) and the pixel electrode (110).

(57) 摘要: 一种像素结构, 其包括: 像素电极(110); 主动开关, 耦接于像素电极(110); 共通线, 跟像素电极(110)之间形成有一第一存储电容; 以及 L 形导电线 (101), 跟像素电极(110)之间形成有一第二存储电容。



WO 2018/120995 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

像素结构

【技术领域】

本申请涉及一种像素结构，更具体的说，涉及一种可改善改善耦合效应的像素结构的制造方法。

【背景技术】

近年来，随着科技的进步，许多不同的显示设备，例如液晶显示器(Liquid Crystal Display, LCD)或电激发光(Electro Luminescence, EL)显示设备已广泛地应用于平面显示器。以液晶显示器为例，液晶显示器大部分为背光型液晶显示器，其是由液晶显示面板及背光模块(backlight module)所组成。液晶显示面板是由两片透明基板以及被封于基板之间的液晶所构成。

现有的液晶显示器，通常是根据图像信息通过多个像素(pixel)电极分别提供数据信号，并且控制多个像素单元的透光率来显示所需图像。具体的是，每一个像素电极都分别耦合有数据线和扫描线，扫描线通过 TFT (Thin Film Transistor, 薄膜晶体管) 和像素电极耦合。通过扫描线控制 TFT 打开，数据线为像素电极充电。但是，数据线在充电过程中产生多个寄生电容，多个寄生电容会因为耦合效应(Crosstalk)使像素电极的电压被 share (分压)，导致像素电极的电压不足进而造成显示产色异常。而且随着分辨率越来越高，耦合效应更加明显。

【发明内容】

本申请所要解决的技术问题是提供一种能够改善耦合效应的像素结构。本申请的目的之一是提供一种像素结构，其包括：

像素电极；

主动开关，耦接于所述像素电极；

共通线，跟所述像素电极之间形成有一第一存储电容；以及

L形导电线，跟所述像素电极之间形成有一第二存储电容。

在一些实施例中，所述第一存储电容的一端是耦接于所述主动开关，所述第一存储电容的另一端是耦接于一共通线。

在一些实施例中，所述第一存储电容的一端是耦接于所述主动开关，所述第一存储电容的另一端是耦接于所述扫描线的其中之一。

在一些实施例中，所述第一存储电容及第二存储电容是由第一导电层、第二导电层及第三导电层所形成，所述第一导电层和所述主动开关的漏极耦合；所述第二导电层和第一电压线耦合；所述第三导电层和第二电压线耦合，以形成所述第一L形导电线；所述第一导电层、第二导电层和第三导电层三者叠放且间隔设置，所述第一导电层、第二导电层和第三导电层三者在垂直空间上相互覆盖。

在一些实施例中，所述第一电压线包括共通线。

在一些实施例中，所述第二电压线和共通线在第一导电层覆盖区域内重叠设置。

在一些实施例中，所述第一电压线包括上一扫描线。

在一些实施例中，所述第一导电层、第二导电层及第三导电层的其中至少一者是采用透明导电材料制成。

在一些实施例中，所述像素结构更包括第二L形导电线，其重叠于所述第一L形导电线上，所述第二L形导电线及所述第一L形导电线之间具有一绝缘层，以形成第三存储电容。

在一些实施例中，所述第一导电层设置在所述第二导电层和所述第三导电层之间，所述第一导电层和所述第二导电层之间形成所述第一存储电容，所述第一导电层和所述第三导电层之间形成所述第二存储电容。

在一些实施例中，所述第二导电层设置在所述第一导电层和所述第三导电层之间，所述第一导电层和所述第二导电层之间形成所述第一存储电容，所述

第二导电层和所述第三导电层之间形成一个第三存储电容。

在一些实施例中，所述像素电极的材料采用透明导电材料。

在一些实施例中，所述主动开关为薄膜晶体管，所述第一导电层、所述第二导电层及所述第三导电层的其中至少一者是相同于所述主动开关的第一金属层的材料。

在一些实施例中，所述主动开关为薄膜晶体管，所述第一导电层、所述第二导电层及所述第三导电层的其中至少一者是相同于所述主动开关的第二金属层的材料。

在一些实施例中，所述第一导电层、所述第二导电层及所述第三导电层采用导电金属制成。

在一些实施例中，所述第一导电层、所述第二导电层及所述第三导电层相互平行设置。

本申请的另一个目的在于提供一种像素结构。

一种像素结构，包括：

像素电极；

主动开关，耦接于所述像素电极；

共通线，跟所述像素电极之间形成有一第一存储电容；以及

L形导电线，跟所述像素电极之间形成有一第二存储电容，所述L形导电线包括第一L形导电线；

其中，所述第一存储电容及第二存储电容是由第一导电层、第二导电层及第三导电层所形成，所述第一导电层和所述主动开关的漏极耦合；所述第二导电层和第一电压线耦合；所述第三导电层和第二电压线耦合；所述第一导电层、第二导电层和第三导电层三者叠放且间隔设置，所述第一导电层、第二导电层和第三导电层三者在垂直空间上相互覆盖；

其中，所述第一电压线包括共通线，所述第一电压线包括上一扫描线；

其中，所述像素结构包括第二L形导电线，其重叠于所述第一L形导电线

上，所述第二 L 形导电线及所述第一 L 形导电线之间具有一绝缘层，以形成第三存储电容。

可利用 L 形导电线来形成两个以上存储电容于像素结构中，同时保持像素结构的像素电压大小，以减小寄生电容的影响，从而改善耦合效应的影响，以使得显示面板能够正常显示。

【附图说明】

所包括的附图用来提供对本申请实施例的进一步的理解，其构成了说明书的一部分，用于例示本申请的实施方式，并与文字描述一起来阐释本申请的原理。显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。在附图中：

图 1 是本申请一种像素结构的结构示意图；

图 2 是本申请一种像素结构的结构示意图；

图 3 是本申请一种像素结构的结构示意图；

图 4 是本申请一种像素结构的结构示意图；

图 5 是本申请一种像素结构的电路示意图；

图 6 是本申请一种像素结构的电路示意图；

图 7 是本申请一种像素结构的电路示意图；

图 8 是本申请一种像素结构的电路示意图；

图 9 是本申请一个实施例像素结构的结构示意图；

图 10 是本申请一个实施例像素结构的结构示意图；

图 11 是本申请一个实施例像素结构的结构示意图；

图 12 是本申请一个实施例像素结构的结构示意图；

图 13 是本申请一个实施例像素电路结构的示意图；

图 14 是本申请一个实施例像素电路结构的示意图；

图 15 是本申请一个实施例第一导电层、第二导电层和第三导电层三者配合的示意图；

图 16 是本申请一个实施例第一导电层、第二导电层和第三导电层三者配合的示意图；

图 17 是本申请一个实施例第一导电层、第二导电层、第三导电层及第四导电层配合的示意图。

【具体实施方式】

这里所公开的具体结构和功能细节仅仅是代表性的，并且是用于描述本申请的示例性实施例的目的。但是本申请可以通过许多替换形式来具体实现，并且不应当被解释成仅仅受限于这里所阐述的实施例。

在本申请的描述中，需要理解的是，术语“中心”、“横向”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或组件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请的描述中，除非另有说明，“多个”的含义是两个或两个以上。另外，术语“包括”及其任何变形，意图在于覆盖不排他的包含。

在本申请的描述中，需要说明的是，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连，可以是两个组件内部的连通。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本申请中的具体含义。

这里所使用的术语仅仅是为了描述具体实施例而不意图限制示例性实施

例。除非上下文明确地另有所指，否则这里所使用的单数形式“一个”、“一项”还意图包括复数。还应当理解的是，这里所使用的术语“包括”和/或“包含”规定所陈述的特征、整数、步骤、操作、单元和/或组件的存在，而不排除存在或添加一个或更多其他特征、整数、步骤、操作、单元、组件和/或其组合。

由于单个充电时间内的充电时间较短，为了保持像素结构的电压 V_{pixel} ，如图 1 至图 8 所示，具体的，像素结构分别耦合有当前数据线 Data n 和当前扫描线 Gate n，当前扫描线通过主动开关(例如，但不限于薄膜晶体管)主动开关 TFT 和像素结构耦合。通过当前扫描线控制主动开关 TFT 打开，当前数据线 Data n 为像素结构充电。当前数据线 Data n 通过其充电的电压 (V_{data}) 在为像素结构充电过程中为液晶电容 C_{lc} 和存储电容 C_{st} 充电，像素结构通过存储电容 C_{st} 来保持像素结构的电压 (V_{pixel}) 大小，以使得显示面板能够正常显示。

但是，在显示面板显示过程中，会显示不同灰阶，当前数据线 Data n 为像素结构充电的电压会不断变化，从而使得像素结构的电压也随之变化，由于当前数据线的充电电压和像素结构存在多个寄生电容 ($C_{\text{pd-L}}$ 、 C_{gd} 和 $C_{\text{pd-R}}$)，如图 7 和 8 中的虚线部分，虚线部分之间的电容为多个寄生电容，多个寄生电容 ($C_{\text{pd-L}}$ 、 C_{gd} 和 $C_{\text{pd-R}}$) 会因为耦合效应 (Crosstalk) 使像素结构的电压被分压，导致像素结构的电压不足进而造成显示产色异常。

为减少多个寄生电容的影响，改善耦合效应的影响，申请人进一步采用以下两种方法：

其一是将数据线设置远离像素结构，从而减小寄生电容的产生，进而使得耦合效应的影响变小，但是这样就增加了显示面板的平面空间，不易用于分辨率较高的显示面板中。

其二是加大存储电容 C_{st} ，使其远大于寄生电容 ($C_{\text{pd-L}}$ 、 C_{gd} 和 $C_{\text{pd-R}}$)，进而使得耦合效应的影响变小，但是这样就需要加大了存储电容中导电层的大小，进而就增加了像素结构的平面空间。随着分辨率越来越高，像素电极空间越来越小，也会将存储电容设置变小，从而加大存储电容也不易用于分辨率较

高的显示面板中，由于受到存储电容平面空间大小的限制，从而通过加大存储电容来改善耦合效应的效果也因此而降低。

为此，申请人又设计了另外的技术方案，以解决以上技术问题，具体如下：
下面结合附图 9 至 16 和较佳的实施例对本申请作进一步详细说明。

如图 9 至 16 所示，本申请一实施例公开了一种像素结构及像素电路结构，本实施例的像素结构及像素电路结构可以为多种，多种像素结构可以分别应用于不同的显示装置中，比如，将本申请的像素结构应用到以下几种显示装置中：扭曲向列(Twisted Nematic, TN) 或超扭曲向列(Super Twisted Nematic, STN) 型，平面转换(In-Plane Switching, IPS) 型、垂直配向(Vertical Alignment, VA) 型、及高垂直配向(High Vertical Alignment, HVA) 型、曲面型面板。

具体的，本申请实施例的像素结构可以为如图 9 至图 12 所示的 4 种不同的像素结构，需要说明的是，图 9 至图 12 仅仅是本申请实施例对像素结构的几种具体举例说明，本申请实施例的像素结构并不限于这四种结构。本申请实施例像素结构包括有像素电极，其中，图 9 示出了本申请一种像素结构，该像素结构包括有第一像素电极 110；图 10 示出了本申请另一种像素结构，该像素结构包括有第二像素电极 120；图 11 示出了本申请又一种像素结构，该像素结构包括有第三像素电极 130；图 12 示出了本申请实施例还一种像素结构，该像素结构包括有第四像素电极 140

其中，本申请实施例的像素结构包括有第一导电层 11、第二导电层 12 和第三导电层 13，如图 15 和 16 所示，所述第一导电层 11 和主动开关(例如，但不限于薄膜晶体管)TFT 的漏极耦合，所述第二导电层 12 和第一电压线耦合，所述第三导电层 13 和第二电压线耦合；所述第一导电层 11、第二导电层 12 和第三导电层 13 三者叠放且间隔设置，所述第一导电层 11、第二导电层 12 和第三导电层 13 三者在垂直空间上相互覆盖。

相比现有技术，本申请实施例的像素结构的三个导电层都可以通电，三者就可以形成两个存储电容，两个存储电容同时保持像素结构的像素电压大小，

以减小多个寄生电容的影响，从而改善耦合效应的影响，以使得显示面板能够正常显示。

另外，本申请实施例通过两个存储电容来保持像素结构的电压大小，相比图 1 至图 8 中的像素结构，通过一个存储电容来保持像素结构的电压大小，对像素结构的电压大小保持效果更好，使得像素结构的电压大小更加稳定。同时，本申请实施例直接将第一导电层、第二导电层和第三导电层三者叠放设置，就不必增加各个导电层的平面大小，这样本申请实施例在不增大各个导电层平面大小的情况下就大大提高了像素结构的电容，更好的保持了像素结构的电压大小，从而本申请更加适用于分辨率高的显示面板中。

在一些实施例中，亦可在像素结构中形成更多堆栈的导电层，以形成更多的存储电容(第四存储电容、第五存储电容等)于像素结构中。

在本申请一本实施例中，如图 16 所示，图 16 为本申请一实施例第一导电、第二导电层和第三导电层三者叠放的一种具体方式，具体的是，第一导电层 11 设置在第二导电层 12 和第三导电层 13 之间，这样第一导电层 11 和第二导电层 12 之间形成第一存储电容 14。结合图 13 和图 14 所示，第一存储电容 14 为存储电容 C_{st} ，当像素结构采用图 16 中的结构时，在此将存储电容 C_{st} 定义为第一存储电容 14。第一导电层和第三导电层 13 之间形成第二存储电容 16，第二存储电容 16 为存储电容 C_{new} ，在此将存储电容 C_{new} 定义为第二存储电容 16。从而两个存储电容（第一存储电容 11、第二存储电容 16）共同保持像素结构电压的电位，而不会因为当前数据线在充电过程中的充电电压的变化而影响到像素结构的电压，进而就改善了耦合效应现象。

然而，需要说明的是，图 16 为仅为本申请一实施例的一种具体导电层结构的分布，也可以为其他结构分布，比如：如图 15 所示，图 16 为本申请一实施例第一导电、第二导电层和第三导电层三者叠放的另一种具体方式，具体的是，所述第二导电层 12 设置在所述第一导电层 11 和第三导电层 13 之间。这样第一导电层 11 和第二导电层 12 之间形成与图 16 相同的存储电容，即第一存储电容

14, 同样结合图 13 和图 14 所示, 第一存储电容 14 为存储电容 Cst, 在此将存储电容 Cst 定义为第一存储电容 14。第二导电层 12 和第三导电层 13 之间形成一个第三存储电容 15, 同样结合图 13 和图 14 所示中, 第三存储电容 15 也示意为存储电容 Cnew (然而, 需要说明的是, 由于在图 13 及图 14 中仅能够示意出一个新的存储电容, 即第二存储电容或第三存储电容, 因此, 图 13 和图 14 中的 Cnew 仅仅是为了说明第二存储电容或第三存储电容, 在此, 第二存储电容和第三存储电容并不是同一个。), 在此当像素结构采用图 15 中的结构时, 此时就将存储电容 Cnew 定义为第三存储电容 15。这样两个存储电容 (第一存储电容、第三存储电容) 共同保持像素结构电压的电位, 而不会因为当前数据线在充电过程中的充电电压的变化而影响到像素结构的电压, 进而就改善了耦合效应现象。

在以下叙述中, 本实施例将第二存储电容或第三存储电容用 Cnew 代替。

如图 13 和图 14 所示, 第一导电层 11 和主动开关 TFT 的漏极耦合, 电容 Clc 一端和共通线 Vcom 耦合, 电容 Clc 和主动开关 TFT 耦合。薄膜晶体管分别和当前数据线 Data n 耦合、当前扫描线 Gate n 耦合, 当前扫描线控制薄膜晶体管打开时, 当前数据线通过薄膜晶体管为像素结构充电, 具体是为液晶电容 Clc 充电、以及两个存储电容 (Cst 和 Cnew, 具体在图 16 中, 即是第一存储电容和第二存储电容; 或者具体在图 15 中, 即是第一存储电容和第三存储电容)。

进一步的, 所述第一电压线包括上一扫描线 Gate n-1, 如图 14 所示, 也就是说第二导电层 12 和上一扫描线耦合, 像素结构的充电过程是, 通过当前扫描线 Gate n 控制主动开关 TFT 导通, 使得当前数据线 Data n 为像素结构充电, 而上一扫描线是在当前扫描线的上一行, 通过上一扫描线预先为第二导电层 12 充电, 使第二导电层 12 具有电压, 在当前数据线充电时可减少充电时间, 快速将第二导电层 12 达到预定的电位。这是第二导电层与第一电压线耦合的一种具体方式, 当然, 需要说明的是, 第二导电层也可以耦合到其他的第一电压线, 比如: 如图 13 所示, 所述第一电压线包括共通线 Vcom, 也就是说第二导电层 12

和共通线 Vcom 耦合,所述共通线 Vcom 为第二导电层充电,这种方式结构简单。

在本申请一实施例中,第三导电层 13 和第二电压线耦合,如图 9 至图 14 所示,本申请一实施例的第二电压线 Vdc 耦合到一直流电压,与第二导电层连接的共通线的电压范围例如 7.5V 或 0V;数据线的电压为-5~15V;扫描线的电压为-6~35V;由于与第二电压线连接的第三导电层和第一导电层和、第二导电层的电压均不相同,所以第三导电层与第一导电层或第二导电层之间就可以形成存储电容。

在本申请实施例中,如图 9 至图 12 所示,本申请的像素结构的制造方法可包括:

形成第一导电层 11 于基板(未显示,例如主动开关阵列基板的透明基板)上;

形成第二导电层 12 于基板上;

形成第三导电层 13 于基板上,其中所述第一导电层 11、第二导电层 12 和第三导电层 13 三者叠放且间隔设置,所述第一导电层 11、第二导电层 12 和第三导电层 13 三者在垂直空间上相互覆盖;以及

在形成第一导电层 11 后,形成主动开关 TFT 于像素区内,其中所述第一导电层 11 和主动开关 TFT 的漏极耦合;所述第二导电层 12 和第一电压线耦合;所述第三导电层 13 和第二电压线耦合。

在一些实施例中,当形成所述第一导电层 11 时,同时形成扫描线 Gate 于基板上。例如,如图 9 至图 12 所示,在同一光罩制程中,可同时形成扫描线 Gate 及共通线 Vcom,至少部分的共通线 Vcom 可作为第一导电层 11。

在一些实施例中,当形成所述第二导电层 12 时,同时形成像素电极 110、120、130、140 于基板上。例如,如图 9 至图 12 所示,可利用至少部分的像素电极 110、120、130、140 来作为第二导电层 12。像素电极 110、120、130、140 的材料可例如:ITO、IZO、AZO、ATO、GZO、TCO、ZnO 或聚乙撑二氧噻吩(PEDOT)。

在一些实施例中,当形成所述第三导电层 13 时,所述第三导电层 13 的材

料是相同于主动开关 TFT 的第一金属层或第二金属层的材料。例如，如图 9 至图 12 所示，所述第三导电层 13 的材料可相同于主动开关 TFT 的第二金属层(源极、漏极)的材料。

在一些实施例中，所述第一导电层 11、第二导电层 12 及第三导电层 13 的其中至少一者是相同于主动开关 TFT 的第一金属层的材料，例如为 Al、Ag、Cu、Mo、Cr、W、Ta、Ti、氮化金属或上述任意组合的合金，亦可为具有耐热金属薄膜和低电阻率薄膜的多层结构，例如氮化钼薄膜和铝薄膜的双层结构。

在一些实施例中，所述第一导电层 11、第二导电层 12 及第三导电层 13 的其中至少一者是相同于主动开关的第二金属层的材料第二金属层的。的材料例如 Mo、Cr、Ta、Ti 或其合金。

在一些实施例中，所述第一导电层 11、第二导电层 12 及第三导电层 13 的其中至少一者是采用透明导电材料制成，例如：ITO、IZO、AZO、ATO、GZO、TCO、ZnO 或聚乙撑二氧噻吩(PEDOT)。

在本申请实施例中，如图 13 及图 14 所示，本申请的像素电路结构包括
数据线 Data;

扫描线 Gate，与所述数据线 Data 定义出一像素区；

主动开关 TFT，耦接于所述数据线 Data 及扫描线 Gate；

液晶电容 Clc，耦接于所述主动开关 TFT；

第一存储电容 Cst，耦接于所述主动开关 TFT；以及

第二存储电容 Cnew，耦接于所述第一存储电容 Cst，且耦接于一直流电压 Vdc。

在一些实施例中，所述第一存储电容 Cst 的一端是耦接于所述主动开关 TFT，所述第一存储电容 Cst 的另一端是耦接于一共通线 Vcom，如图 13 所示。

在一些实施例中，所述第一存储电容 Cst 的一端是耦接于所述主动开关 TFT，所述第一存储电容 Cst 的另一端是耦接于所述扫描线 Gate 的其中之一(上一扫描线 Gate n-1)，如图 14 所示。

在一些实施例中,所述第一存储电容 Cst 及第二存储电容 Cnew 是由第一导电层、第二导电层及第三导电层所形成,所述第一导电层和主动开关的漏极耦合;所述第二导电层和第一电压线耦合;所述第三导电层和第二电压线耦合;所述第一导电层、第二导电层和第三导电层三者叠放且间隔设置,所述第一导电层、第二导电层和第三导电层三者在垂直空间上相互覆盖。

在一些实施例中,所述第一电压线包括共通线 Vcom。

在一些实施例中,所述第二电压线和共通线 Vcom 在第一导电层覆盖区域内重叠设置。

在一些实施例中,所述第一电压线包括上一扫描线 Gate n-1。

在本申请一实施例中,其中,所述第一导电层 11、第二导电层 12 及第三导电层 13 分别采用导电金属制成,这是本申请设置第一导电层、第二导电层及第三导电层的一种具体结构,三个导电层(第一导电层 11、第二导电层 12 及第三导电层 13)都采用导电金属制成,导电金属导电效果好。其中,本申请一实施例的导电金属可以是: Al、Mo、Cu、Ti、Ag 或其合金。

需要说明的是,三个导电层(第一导电层 11、第二导电层 12 及第三导电层 13)都采用导电金属或其他导电材料制成是本申请实施例的一种具体方式,本申请实施例还可以采用其他方式:

例如 1: 所述第一导电层 11 和第二导电层 12 分别采用导电金属制成,所述第三导电层 13 采用透明导电材料制成。这是本申请实施例设置第一导电层 11、第二导电层 12 及第三导电层 13 的另一种具体结构,第一导电层 11 和第二导电层 12 都采用导电金属制成,导电金属导电效果好;第三导电层 13 采用透明导电材料制成同样可以实现导电的效果,透明导电材料例如: ITO、IZO、AZO、ATO、GZO、TCO、ZnO 或聚乙撑二氧噻吩(PEDOT)。

例如 2: 所述第一导电层 11 采用导电金属制成,所述第二导电层 12 和第三导电层 13 分别采用透明导电材料制成。这是本申请实施例设置第一导电层 11、第二导电层 12 及第三导电层 13 的又一种具体结构,第一导电层 11 采用导电金

属制成，导电金属导电效果好；第二导电层 12 和第三导电层 13 采用透明导电材料制成同样可以实现导电的效果。

在本申请一实施例中，如图 9 至图 12 所示，所述第二电压线 Vdc 和共通线 Vcom 在空间上部分重叠，具体的是第二电压线和共通线在第一导电层覆盖区域内重叠设置。若两个或多个导线之间并列设置，相互之间也会产生寄生电容，相互产生干扰，而本申请实施例共通线 Vcom 和第二电压线 Vdc 在空间上部分重叠就可以防止产生寄生电容，提高抗干扰能力。

更进一步的，本申请一实施例的三个导电层（第一导电层 11、第二导电层 12、第三导电层 13）相互平行，从而就使得三者平面空间上所占用的空间更小，使得本申请实施例的像素结构应用到显示面板中的效果更佳。

如图 9、10 及 17 所示，本申请提供一种像素结构，其包括：

像素电极 110；

主动开关，耦接于所述像素电极 110；

共通线，跟所述像素电极之间形成有一第一存储电容；以及

L 形导电线 101，跟所述像素电极 110 之间形成有一第二存储电容。

在一实施例中，如图 17 所示，像素结构可更包括 L 形的第四导电层（第二 L 形导电线）102，其重叠于 L 形的第三导电层 101（第一 L 形导电线）上，第四导电层（第二 L 形导电线）102 及第三导电层 101（第一 L 形导电线）之间可具有一绝缘层，以形成第三存储电容于第四导电层（第二 L 形导电线）102 及第三导电层 101（第一 L 形导电线）之间。

在本申请的另一个实施例中，本申请实施例还公开了一种阵列基板，所述阵列基板上设置有共通线、数据线和扫描线，所述阵列基板还包括有像素结构，所述像素结构分别与所述数据线、扫描线耦合。其中，本实施例阵列基板上的共通线、数据线、扫描线、像素结构可以参见以上实施例中的共通线、数据线、扫描线、像素结构，或者说本实施例阵列基板上的共通线、数据线、扫描线、像素结构可以参见图 9 至图 17 中的共通线、数据线、扫描线、像素结构，以及

相互的配合、连接关系。本实施例的阵列基板上具有多个像素结构，每个像素结构可参见图 9 至图 17，在此不再对像素结构、共通线、数据线、扫描线等进行一一详述。

在本申请的又一个实施例中，本申请实施例还公开了一种显示面板，所述显示面板包括彩膜基板和阵列基板，所述阵列基板上设置有共通线、数据线和扫描线，所述阵列基板还包括有像素结构，所述像素结构分别与所述数据线、扫描线耦合。其中，本实施例显示面板中的共通线、数据线、扫描线、像素结构可以参见以上实施例中的共通线、数据线、扫描线、像素结构，或者说本实施例显示面板中的共通线、数据线、扫描线、像素结构可以参见图 9 至图 17 中的共通线、数据线、扫描线、像素结构，以及相互的配合、连接关系。本实施例的阵列基板上具有多个像素结构，每个像素结构可参见图 9 至图 17，在此不再对像素结构、共通线、数据线、扫描线等进行一一详述。

在本申请的再一个实施例中，本申请实施例还公开了一种显示装置，显示装置包括显示面板和背光模组，其中，所述显示面板包括彩膜基板和阵列基板，所述阵列基板上设置有共通线、数据线和扫描线，所述阵列基板还包括有像素结构，所述像素结构分别与所述数据线、扫描线耦合。其中，本实施例显示面板中的共通线、数据线、扫描线、像素结构可以参见以上实施例中的共通线、数据线、扫描线、像素结构，或者说本实施例显示面板中的共通线、数据线、扫描线、像素结构可以参见图 9 至图 16 中的共通线、数据线、扫描线、像素结构，以及相互的配合、连接关系。本实施例的阵列基板上具有多个像素结构，每个像素结构可参见图 9 至图 16，在此不再对像素结构、共通线、数据线、扫描线等进行一一详述。其中，本实施例的显示装置可以为液晶显示器或其他显示装置，当显示装置为液晶显示器时，背光模组可作为光源，用于供应充足的亮度与分布均匀的光源，本实施例的背光模组可以为前光式，也可以为背光式，需要说明的是，本实施例的背光模组并不限于此。

以上内容是结合具体的优选实施方式对本申请所作的进一步详细说明，不能认定本申请的具体实施只局限于这些说明。对于本申请所属技术领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干简单推演或替换，都应当视为属于本申请的保护范围。

权 利 要 求

1、一种像素结构，包括：

像素电极；

主动开关，耦接于所述像素电极；

共通线，跟所述像素电极之间形成有一第一存储电容；以及

L形导电线，跟所述像素电极之间形成有一第二存储电容，所述L形导电线包括第一L形导电线。

2、如权利要求1所述的像素结构，其中，所述第一存储电容的一端是耦接于所述主动开关，所述第一存储电容的另一端是耦接于一共通线。

3、如权利要求1所述的像素结构，其中，所述第一存储电容的一端是耦接于所述主动开关，所述第一存储电容的另一端是耦接于所述扫描线的其中之一。

4、如权利要求1所述的像素结构，其中，所述第一存储电容及第二存储电容是由第一导电层、第二导电层及第三导电层所形成，所述第一导电层和所述主动开关的漏极耦合；所述第二导电层和第一电压线耦合；所述第三导电层和第二电压线耦合，以形成所述第一L形导电线；所述第一导电层、第二导电层和第三导电层三者叠放且间隔设置，所述第一导电层、第二导电层和第三导电层三者在垂直空间上相互覆盖。

5、如权利要求4所述的像素结构，其中，所述第一电压线包括共通线。

6、如权利要求4所述的像素结构，其中，所述第二电压线和共通线在第一导电层覆盖区域内重叠设置。

7、如权利要求4所述的像素结构，其中，所述第一电压线包括上一扫描线。

8、如权利要求4所述的像素结构，其中，所述第一导电层、第二导电层及第三导电层的其中至少一者是采用透明导电材料制成。

9、如权利要求1所述的像素结构，其中，所述像素结构包括第二L形导电线，其重叠于所述第一L形导电线上，所述第二L形导电线及所述第一L形导

电线之间具有一绝缘层，以形成第三存储电容。

10、如权利要求 4 所述的像素结构，其中，所述第一导电层设置在所述第二导电层和所述第三导电层之间，所述第一导电层和所述第二导电层之间形成所述第一存储电容，所述第一导电层和所述第三导电层之间形成所述第二存储电容。

11、如权利要求 4 所述的像素结构，其中，所述第二导电层设置在所述第一导电层和所述第三导电层之间，所述第一导电层和所述第二导电层之间形成所述第一存储电容，所述第二导电层和所述第三导电层之间形成一个第三存储电容。

12、如权利要求 1 所述的像素结构，其中，所述像素电极的材料采用透明导电材料。

13、如权利要求 4 所述的像素结构，其中，所述主动开关为薄膜晶体管，所述第一导电层、所述第二导电层及所述第三导电层的其中至少一者是相同于所述主动开关的第一金属层的材料。

14、如权利要求 4 所述的像素结构，其中，所述主动开关为薄膜晶体管，所述第一导电层、所述第二导电层及所述第三导电层的其中至少一者是相同于所述主动开关的第二金属层的材料。

15、如权利要求 4 所述的像素结构，其中，所述第一导电层、所述第二导电层及所述第三导电层采用导电金属制成。

16、如权利要求 4 所述的像素结构，其中，所述第一导电层、所述第二导电层及所述第三导电层相互平行设置。

17、一种像素结构，包括：

像素电极；

主动开关，耦接于所述像素电极；

共通线，跟所述像素电极之间形成有一第一存储电容；以及

L 形导线，跟所述像素电极之间形成有一第二存储电容，所述 L 形导电

线包括第一 L 形导电线；

其中，所述第一存储电容及第二存储电容是由第一导电层、第二导电层及第三导电层所形成，所述第一导电层和所述主动开关的漏极耦合；所述第二导电层和第一电压线耦合；所述第三导电层和第二电压线耦合；所述第一导电层、第二导电层和第三导电层三者叠放且间隔设置，所述第一导电层、第二导电层和第三导电层三者在垂直空间上相互覆盖；

其中，所述第一电压线包括共通线，所述第一电压线包括上一扫描线；

其中，所述像素结构包括第二 L 形导电线，其重叠于所述第一 L 形导电线上，所述第二 L 形导电线及所述第一 L 形导电线之间具有一绝缘层，以形成第三存储电容。

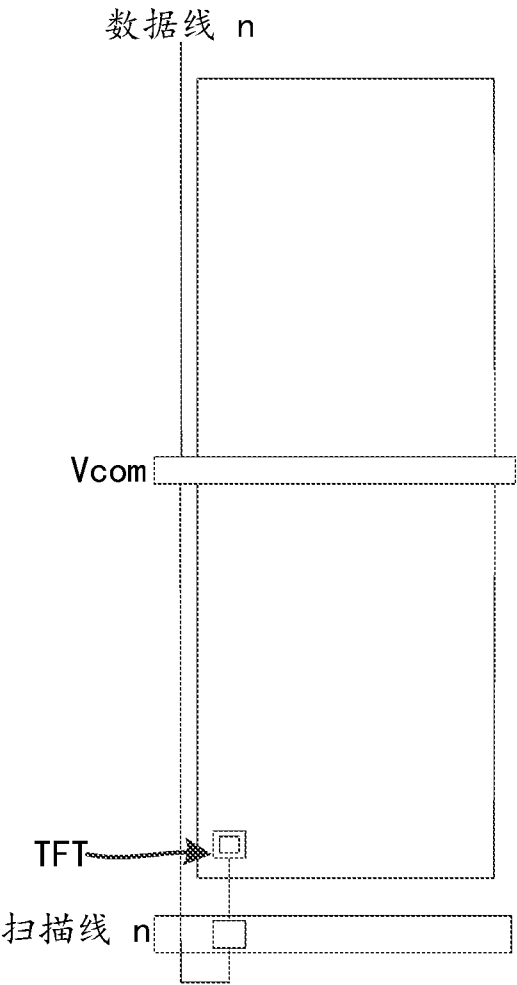


图 1

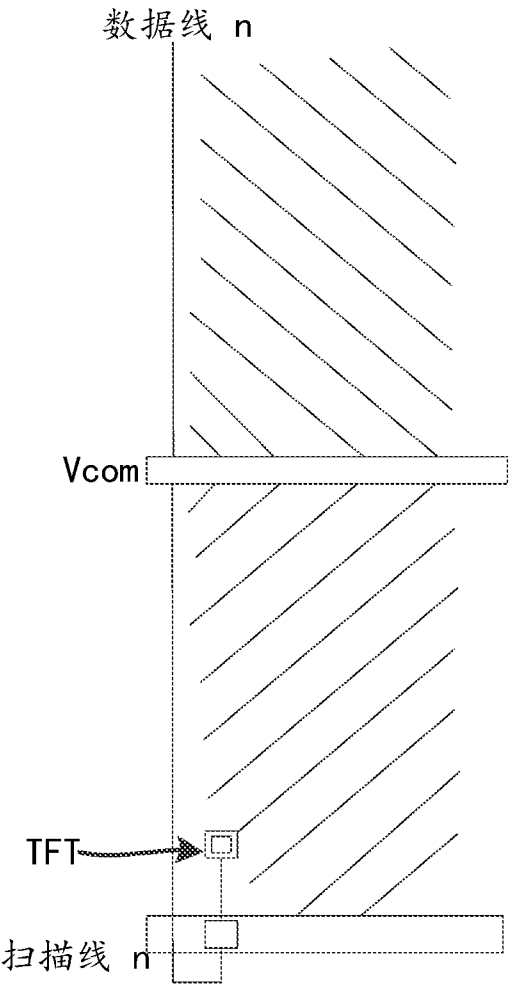


图 2

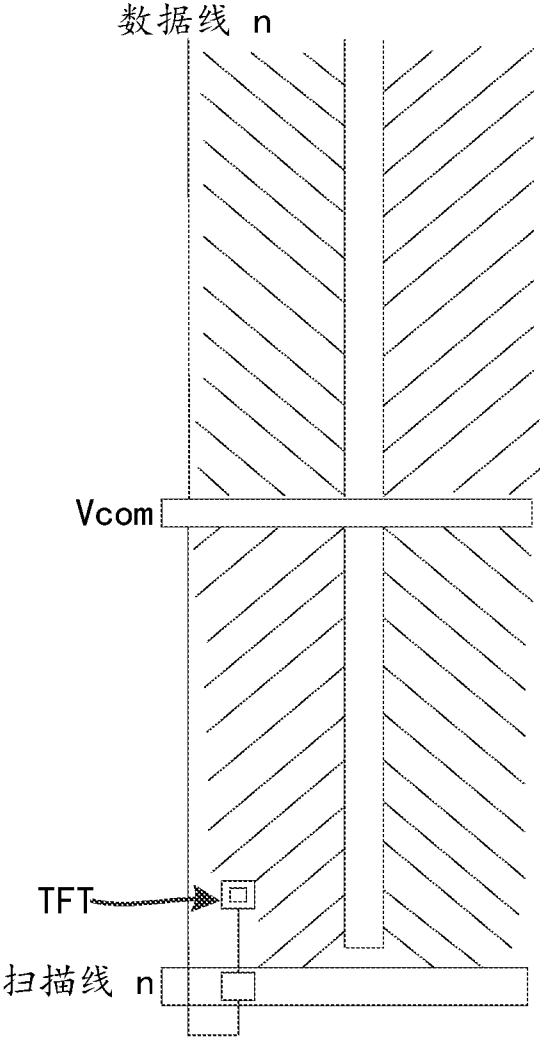


图 3

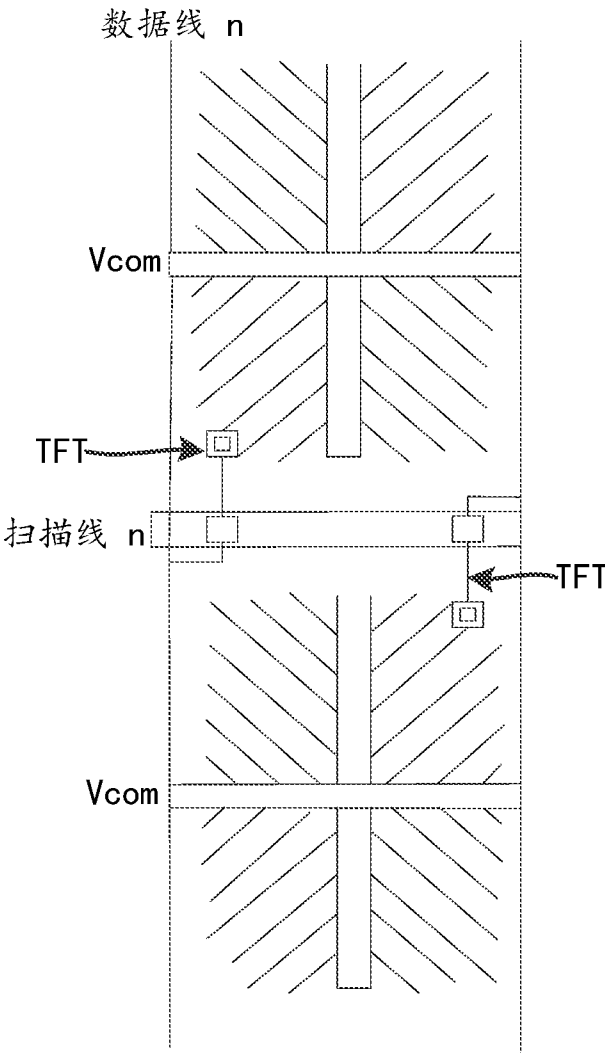


图 4

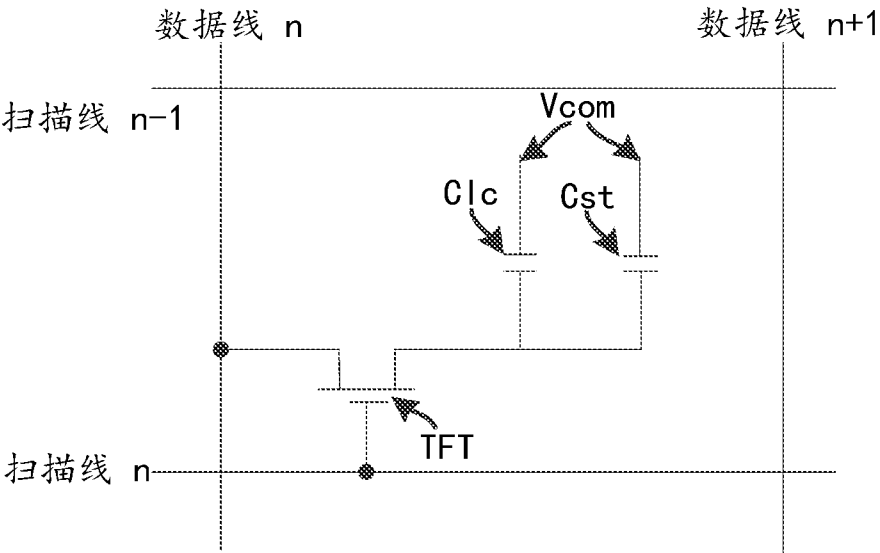


图 5

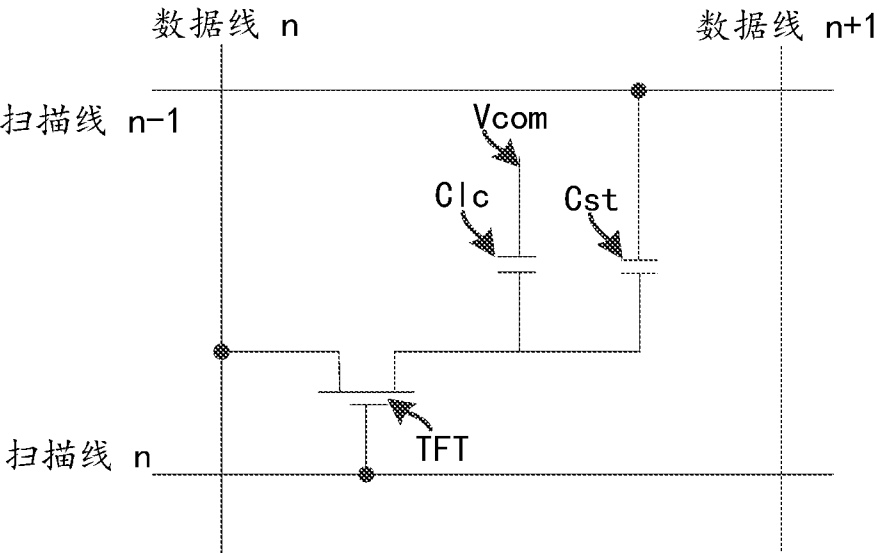


图 6

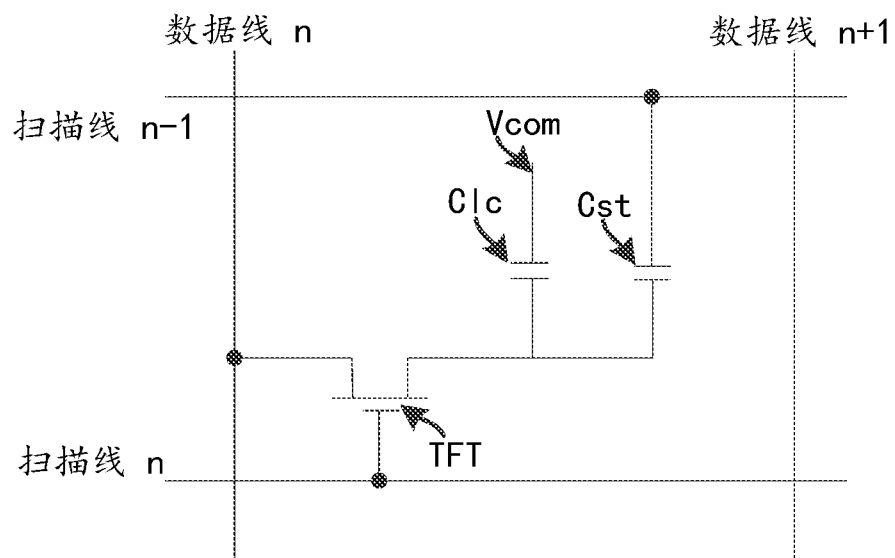


图 7

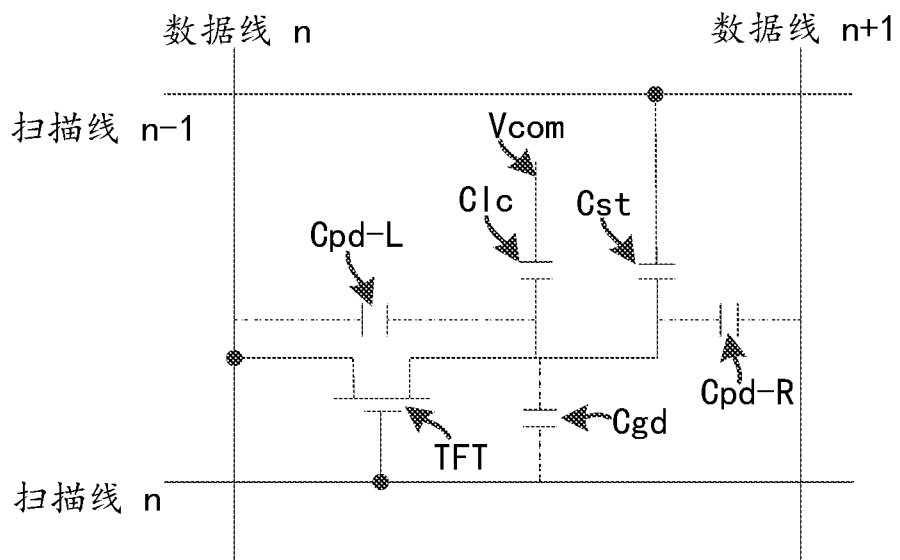


图 8

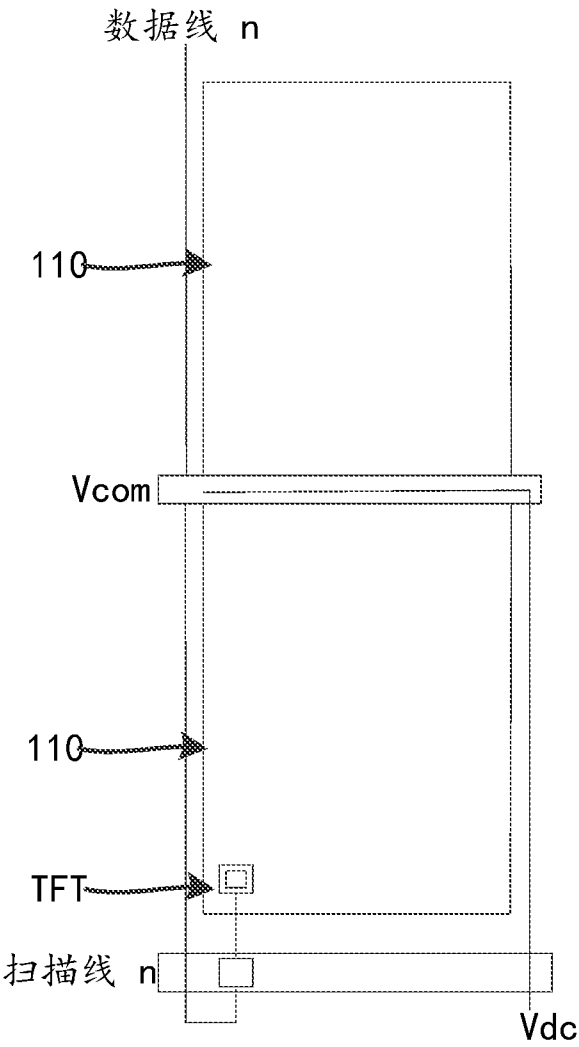


图 9

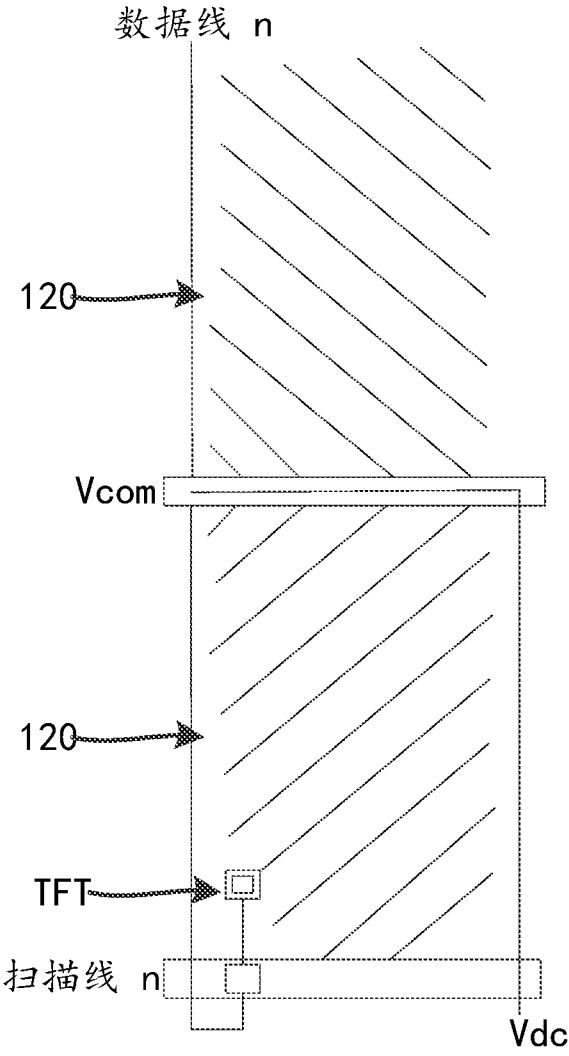


图 10

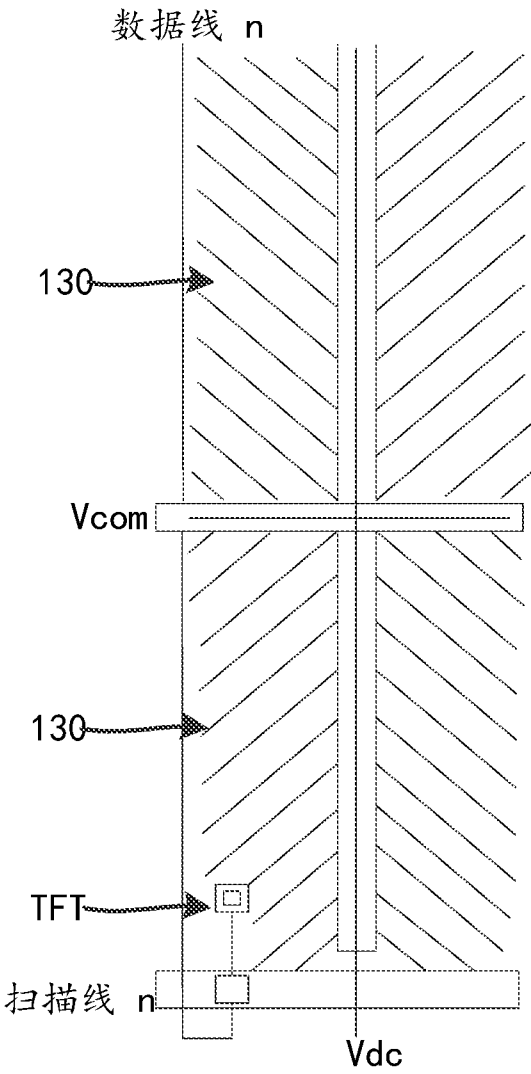


图 11

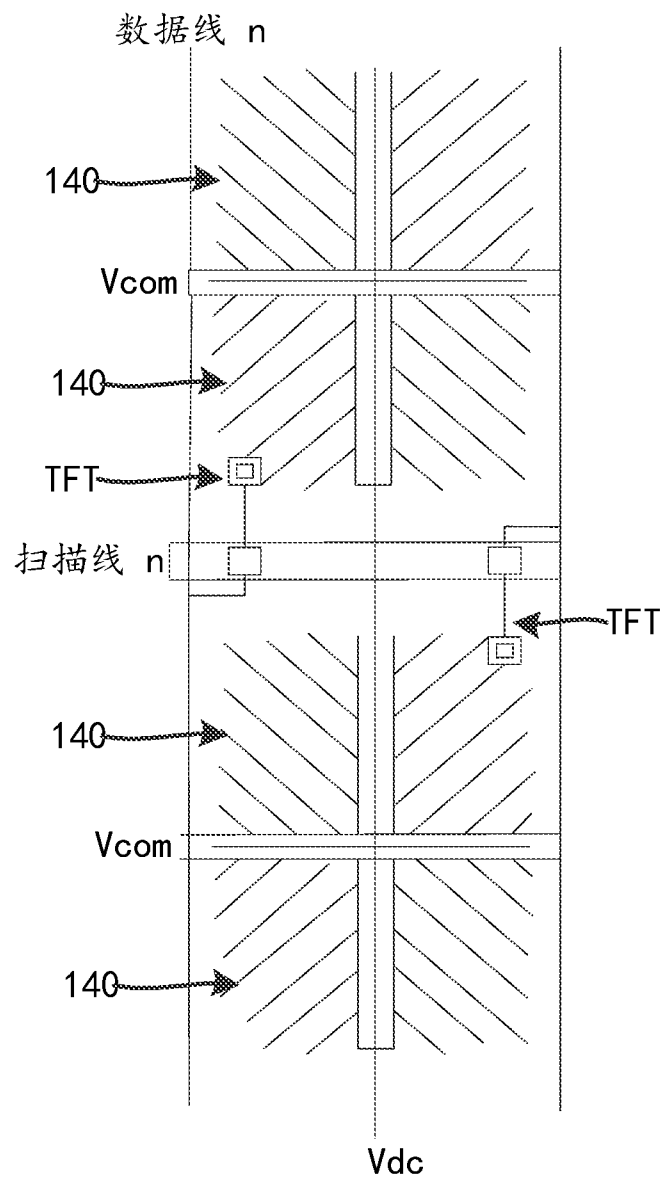


图 12

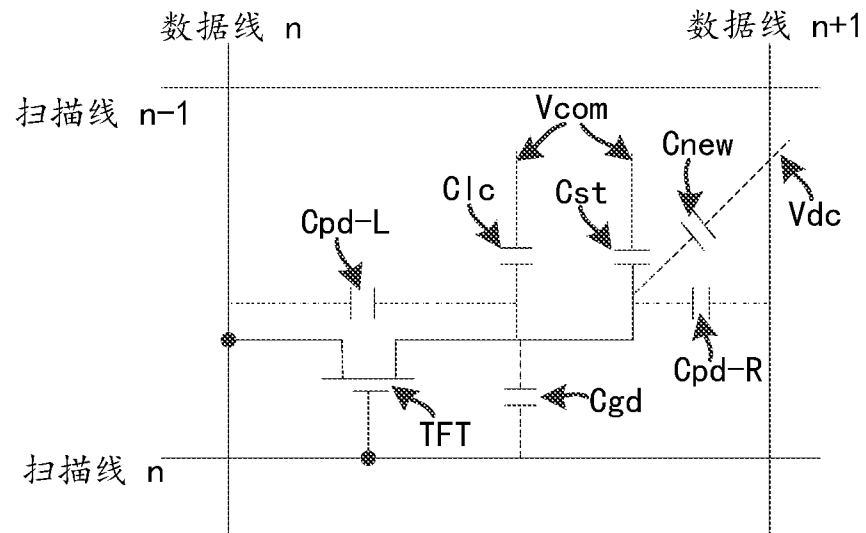


图 13

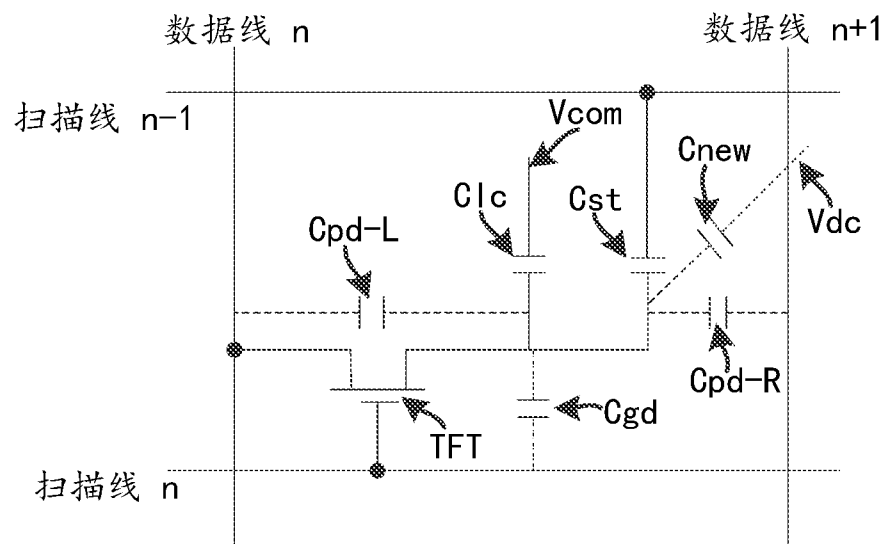


图 14

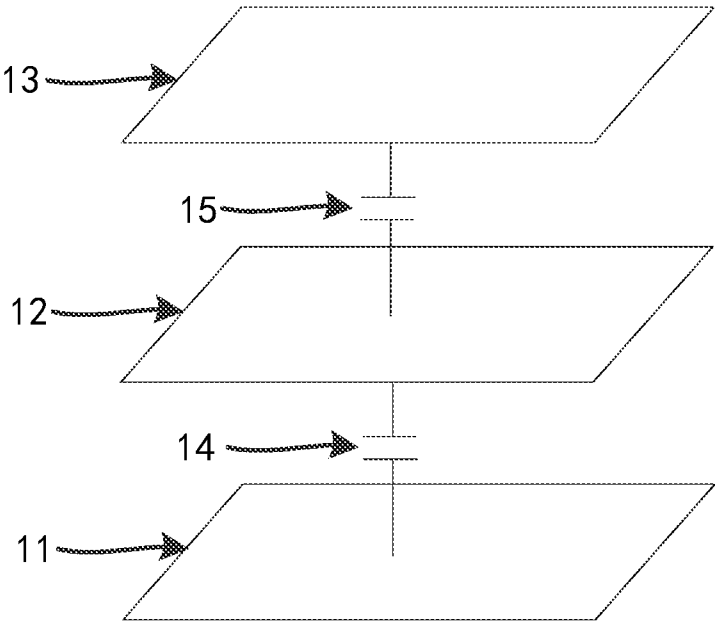


图 15

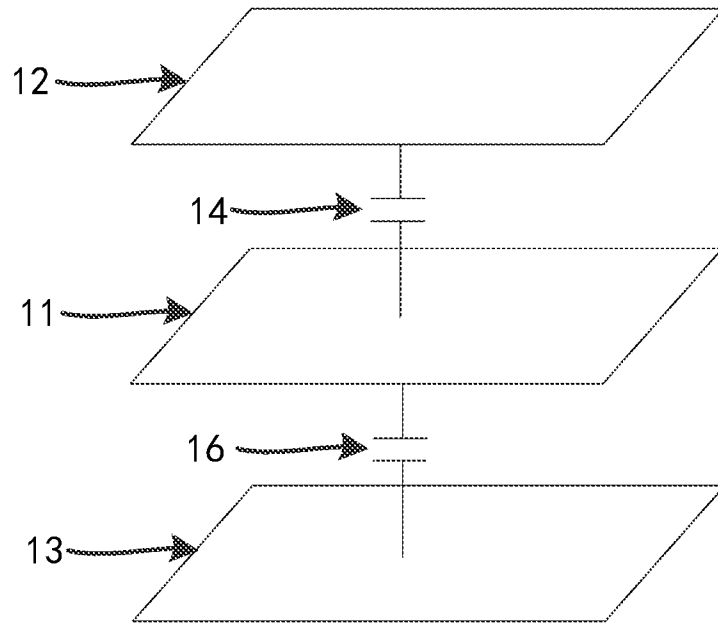


图 16

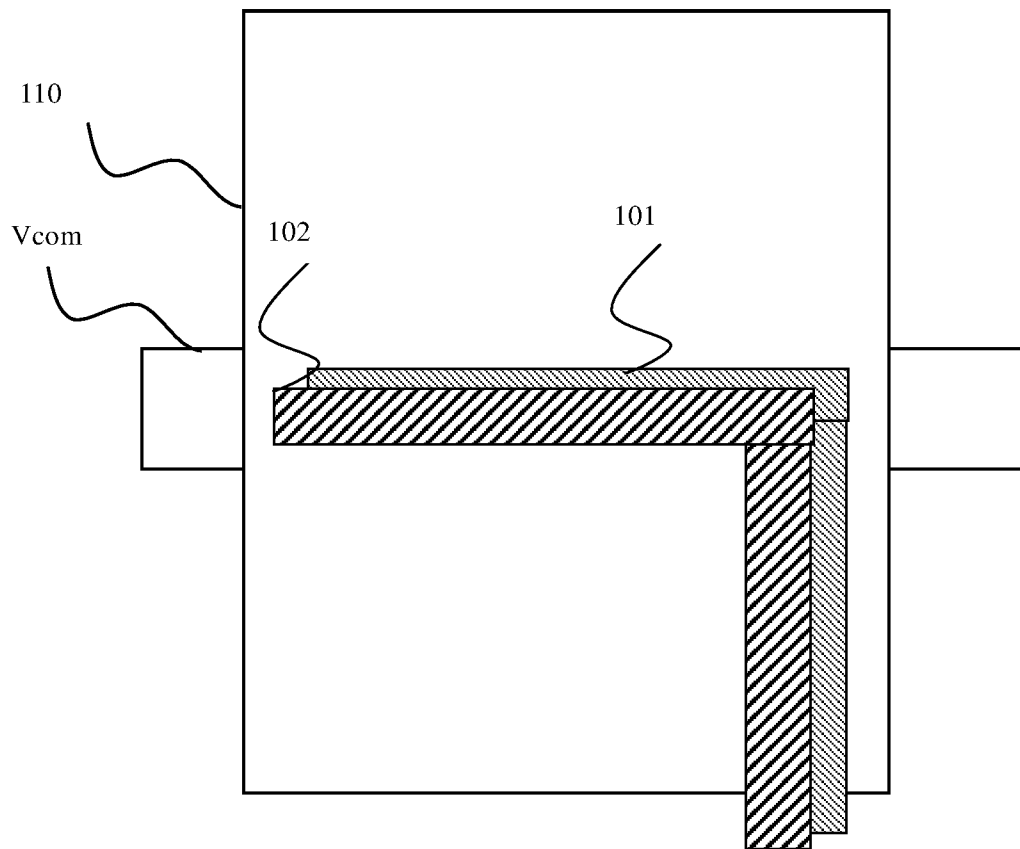


图 17

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/106316

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F 1/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 像素电极, 共通线, 公共电极线, 存储电容, L 形, pixel electrode, common line, L shaped, storage capacitor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106556952 A (HKC CORPORATION LIMITED et al.), 05 April 2017 (05.04.2017), description, paragraphs [0036]-[0097], and figures 1-17	1-17
PX	CN 106710552 A (HKC CORPORATION LIMITED et al.), 24 May 2017 (24.05.2017), description, paragraphs [0050]-[0090], and figures 1-17	1-17
PX	CN 106502018 A (HKC CORPORATION LIMITED et al.), 15 March 2017 (15.03.2017), description, paragraphs [0049]-[0079], and figures 1-16	1-17
Y	CN 104142592 A (AU OPTRONICS CORP.), 12 November 2014 (12.11.2014), description, paragraphs [0057]-[0068], and figures 3-5B	1-17
Y	CN 104914634 A (NANJING CEC PANDA LCD TECHNOLOGY CO., LTD.), 16 September 2015 (16.09.2015), description, paragraphs [0073]-[0074], and figure 11	1-17
A	CN 101114087 A (CHIMEI INNOLUX CORPORATION), 30 January 2008 (30.01.2008), description, page 6, paragraph 2 to page 7, paragraph 3, and figures 2A-2B	1-17
A	CN 1680861 A (AU OPTRONICS CORP.), 12 October 2005 (12.10.2005), entire document	1-17

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 25 December 2017	Date of mailing of the international search report 15 January 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Yan Telephone No. (86-10) 61648175

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/106316

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2009115948 A1 (AU OPTRONICS CORPORATION), 07 May 2009 (07.05.2009), entire document	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/106316

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106556952 A	05 April 2017	None	
CN 106710552 A	24 May 2017	None	
CN 106502018 A	15 March 2017	None	
CN 104142592 A	12 November 2014	None	
CN 104914634 A	16 September 2015	None	
CN 101114087 A	30 January 2008	None	
CN 1680861 A	12 October 2005	TW 200620350 A	16 June 2006
		US 2008239183 A1	02 October 2008
		CN 100363830 C	23 January 2008
		US 8184219 B2	22 May 2012
		US 2006119753 A1	08 June 2006
		TW 1249173 B	11 February 2006
		JP 4336341 B2	30 September 2009
		US 7675582 B2	09 March 2010
		JP 2006163389 A	22 June 2006
US 2009115948 A1	07 May 2009	US 2012019751 A1	26 January 2012
		TW I336806 B	01 February 2011
		US 8134662 B2	13 March 2012
		US 8049847 B2	01 November 2011
		TW 200921224 A	16 May 2009

国际检索报告

国际申请号

PCT/CN2017/106316

A. 主题的分类

G02F 1/1362(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F 1/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPDOC:像素电极, 共通线, 公共电极线, 存储电容, L形, pixel electrode, common line, L shaped, storage capacitor

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 106556952 A (惠科股份有限公司 等) 2017年 4月 5日 (2017 - 04 - 05) 说明书第[0036]-[0097]段, 图1-17	1-17
PX	CN 106710552 A (惠科股份有限公司 等) 2017年 5月 24日 (2017 - 05 - 24) 说明书第[0050]-[0090]段, 图1-17	1-17
PX	CN 106502018 A (惠科股份有限公司 等) 2017年 3月 15日 (2017 - 03 - 15) 说明书第[0049]-[0079]段, 图1-16	1-17
Y	CN 104142592 A (友达光电股份有限公司) 2014年 11月 12日 (2014 - 11 - 12) 说明书第[0057]-[0068]段, 图3-5B	1-17
Y	CN 104914634 A (南京中电熊猫液晶显示科技有限公司) 2015年 9月 16日 (2015 - 09 - 16) 说明书第[0073]-[0074]段, 图11	1-17
A	CN 101114087 A (奇美电子股份有限公司) 2008年 1月 30日 (2008 - 01 - 30) 说明书第6页第2段至第7页第3段, 图2A-2B	1-17
A	CN 1680861 A (友达光电股份有限公司) 2005年 10月 12日 (2005 - 10 - 12) 全文	1-17

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 12月 25日

国际检索报告邮寄日期

2018年 1月 15日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

李妍

传真号 (86-10)62019451

电话号码 (86-10)61648175

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2009115948 A1 (AU OPTRONICS CORPORATION) 2009年 5月 7日 (2009 - 05 - 07) 全文	1-17

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/106316

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106556952	A	2017年 4月 5日	无			
CN	106710552	A	2017年 5月 24日	无			
CN	106502018	A	2017年 3月 15日	无			
CN	104142592	A	2014年 11月 12日	无			
CN	104914634	A	2015年 9月 16日	无			
CN	101114087	A	2008年 1月 30日	无			
CN	1680861	A	2005年 10月 12日	TW	200620350	A	2006年 6月 16日
				US	2008239183	A1	2008年 10月 2日
				CN	100363830	C	2008年 1月 23日
				US	8184219	B2	2012年 5月 22日
				US	2006119753	A1	2006年 6月 8日
				TW	I249173	B	2006年 2月 11日
				JP	4336341	B2	2009年 9月 30日
				US	7675582	B2	2010年 3月 9日
				JP	2006163389	A	2006年 6月 22日
US	2009115948	A1	2009年 5月 7日	US	2012019751	A1	2012年 1月 26日
				TW	I336806	B	2011年 2月 1日
				US	8134662	B2	2012年 3月 13日
				US	8049847	B2	2011年 11月 1日
				TW	200921224	A	2009年 5月 16日

表 PCT/ISA/210 (同族专利附件) (2009年7月)