

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 4 月 9 日(09.04.2015)

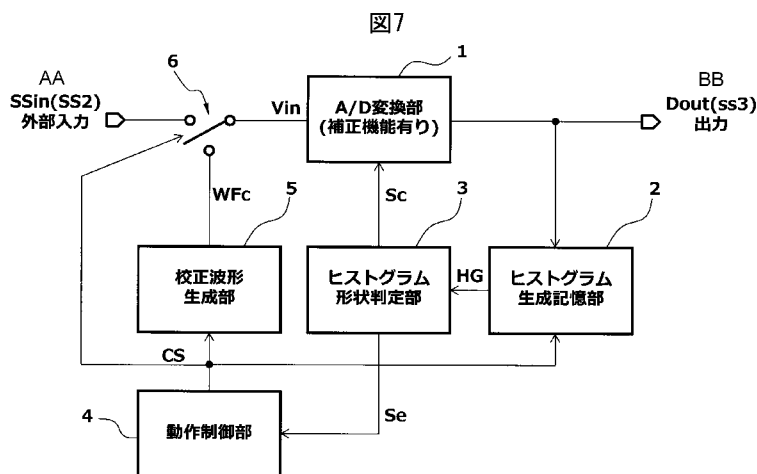


(10) 国際公開番号
WO 2015/049720 A1

- (51) 国際特許分類:
H03M 1/38 (2006.01)
- (21) 国際出願番号: PCT/JP2013/076709
- (22) 国際出願日: 2013 年 10 月 1 日(01.10.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 木船 雅也 (KIBUNE, Masaya); 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 塚本 三六 (TSUKAMOTO, Sanroku); 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 青木 篤, 外 (AOKI, Atsushi et al.); 〒1058423 東京都港区虎ノ門三丁目 5 番 1 号 虎ノ門 3 7 森ビル 青和特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: A/D CONVERTER AND A/D CONVERTER CALIBRATING METHOD

(54) 発明の名称: A/D 変換器および A/D 変換器の校正方法



- 1 A/D conversion section (with correction function)
2 Histogram generating and storing section
3 Histogram shape determining section
4 Operation control section
5 Calibration waveform generating section
AA External input
BB Output

(57) Abstract: In the present invention, the following are provided: an A/D conversion section that receives input voltage, performs analog/digital conversion, and outputs digital data; a histogram generating and storing section for receiving the digital data, and generating and storing a histogram of the waveform of the input voltage; and a control unit that controls the analog/digital conversion characteristics in the A/D conversion section on the basis of the histogram stored in the histogram generating and storing section. The present invention reduces the occurrence of missing codes and improves analog/digital conversion accuracy.

(57) 要約: 入力電圧を受け取り、アナログ/デジタル変換してデジタルデータを出力する A/D 変換部と、前記デジタルデータを受け取り、前記入力電圧の波形に対するヒストグラムを生成して記憶するヒストグラム生成記憶部と、前記ヒストグラム生成記憶部に記憶されたヒストグラムに基づいて、前記 A/D 変換部におけるアナログ/デジタル変換の特性を制御する制御部と、を有し、ミッシングコードの発生を低減してアナログ/デジタル変換の精度を向上させる。

明 細 書

発明の名称 : A/D変換器およびA/D変換器の校正方法

技術分野

[0001] この出願で言及する実施例は、A/D変換器(アナログ/デジタル変換器 : Analog-to-Digital Converter)およびA/D変換器の校正方法に関する。

背景技術

[0002] 近年、A/D変換器として、比較的簡単な回路構成で実現することができ、CMOSプロセスとの整合性が高く、また、比較的安価に製造可能である逐次比較(SAR : Successive Approximation Register)型のA/D変換器が注目されている。

[0003] 例えば、CMOSプロセスの半導体集積回路において、逐次比較型A/D変換器を作成する場合、スイッチドキャパシタ技術に基づいた電荷再分配と呼ばれる方式が主流になっている。これは、CMOSプロセスにおいては、理想に近いスイッチを実現することが比較的容易なためである。

[0004] そこで、まず、従来のA/D変換器の一例およびその動作を、図1～図3を参照して説明する。なお、図1～図3は、後に示す「従来技術文献」の「非特許文献1」に記載されたもので、逐次比較型A/D変換器(SAR ADC)の一例を示すものである。図1～図3において、参照符号SA, SB, S4～S0, S0'はスイッチ、Vinはアナログ入力電圧、そして、Doutはデジタル出力(5ビット : $b_4 \sim b_0$)を示す。

[0005] 図1は、従来のA/D変換器の一例を示すブロック図であり、スイッチトキャパシタのアーキテクチャを利用した5ビット電荷再分配式SAR ADCを示すものである。キャパシタは、それぞれバイナリ加重された値(キャパシタンス : $C, C/2, C/4, \dots, C/2^{n-1}$)を有する。

[0006] ここで、キャパシタンス C から $C/2^{n-1}$ (図1では、 $C/16$)という値を持つ最後の2つのキャパシタが全て接続されると、すなわち、 $n+1$ 個(図1では、6個)のキャパシタが接続されると、総キャパシタンスは $2C$ になる。

- [0007] また、各キャパシタの接続を制御するスイッチ S_A , S_B , $S_4 \sim S_0$, $S_{0'}$ は、 $n+3$ 個(図 1 では、8 個)設けられ、それぞれ MOS トランジスタが使用されている。これらスイッチ S_A , S_B , $S_4 \sim S_0$, $S_{0'}$ は、補助論理回路を通じて電圧コンパレータが適切なスイッチステアリングを可能にするように制御される。
- [0008] 変換プロセスは、サンプルモード、ホールドモード、および、再分配モード(ここで、実際の変換を行う)の 3 ステップで行われる。図 2 は、図 1 の A/D 変換器におけるサンプル動作およびホールド動作を説明するための図であり、図 2 (a) は、サンプル動作(サンプルモード)を示し、図 2 (b) は、ホールド動作(ホールドモード)を示す。
- [0009] まず、図 2 (a) に示されるように、サンプルモードでは、スイッチ S_A が閉じられ、スイッチ S_B が入力電圧 V_{in} 側に切り替えられ、残りのスイッチ $S_4 \sim S_0$, $S_{0'}$ は、共有バス B に接続される。そして、充電により、総電荷量 $Q_{in} = -2C \times V_{in}$ がキャパシタの下部電極上に保存される。
- [0010] 次に、図 2 (b) に示されるように、ホールドモードでは、スイッチ S_A が開かれ、スイッチ $S_4 \sim S_0$, $S_{0'}$ がグラウンドに接続され、その結果、電圧 $V_c = -V_{in}$ がコンパレータの入力に印加される。これは、サンプルーホールド素子がすでに回路に組み込まれていることを意味する。
- [0011] 図 3 は、図 1 の A/D 変換器における変換ステップ動作を説明するための図である。ここで、図 3 (a) は、最上位ビット(MSB: Most Significant Bit、ビット 4)の決定を説明するものであり、図 3 (b) は、ビット 4 = 1 の場合を示し、図 3 (c) は、ビット 4 = 0 の場合を示す。
- [0012] アナログ入力電圧 V_{in} をデジタル信号へ変換する実際のアナログ/デジタル変換(A/D 変換)は、(電荷)再分配モードによって行われ、まず、図 3 (a) に示す第 1 の変換ステップにおいて、 C (最も大きなキャパシタ)をスイッチ S_4 で基準電圧 V_{ref} に接続する。ここで、基準電圧 V_{ref} は、A/D 変換器(ADC)のフルスケールレンジ(FSR)に対応している。
- [0013] キャパシタ C は、グラウンドに接続された残りのキャパシタと共に、1 :

1の容量分圧器を形成し、コンパレータの入力電圧 V_c は、 $-V_{in} + V_{ref}/2$ になる。ここで、 $V_{in} > V_{ref}/2$ の場合は、 $V_c < 0$ でコンパレータの出力が高レベル『1』になり、最上位ビットMSB(ビット4)=1になる。一方、 $V_{in} < V_{ref}/2$ の場合は、 $V_c > 0$ でコンパレータの出力が低レベル『0』になり、ビット4=0になる。

[0014] 図3(b)および図3(c)に示されるように、第2の変換ステップでは、 $C/2$ を V_{ref} に接続する。ここで、図3(b)に示されるように、第1の変換ステップでビット4=1という結果になった場合、スイッチ S_4 は再度グラウンドに接続され、 C の放電を行う。

[0015] 一方、図3(c)に示されるように、第1の変換ステップでビット4=0という結果になった場合、 V_{ref} に接続されたままになり、その結果、コンパレータの入力電圧 V_c は、 $V_{in} + \text{ビット4} - V_{ref}/2 + V_{ref}/4$ になる。

[0016] この電圧を参考にして、異なる電圧分配により V_{in} を $1/4 V_{ref}$ または $3/4 V_{ref}$ と比較することにより、最上位ビットの次のビット(ビット3)が得られる。すなわち、スイッチ S_3 は、ビット3=1の場合はグラウンドに接続され、 $C/2$ の放電を行い、一方、ビット3=0の場合は V_{ref} に接続されたままになる。

[0017] そして、全てのビットが生成され、コンパレータの入力電圧 $V_c = -V_{in} + \text{ビット4} \times V_{ref}/2 + \text{ビット3} \times V_{ref}/4 + \text{ビット2} \times V_{ref}/8 + \text{ビット1} \times V_{ref}/16 + \text{ビット0} \times V_{ref}/32$ で最終変換ステップが実行されるまで、このプロセスが継続する。

[0018] なお、図1～図3に示す逐次比較型A/D変換器は、シングルエンドの回路であるが、後に詳述するように、本実施例は、差動構成のA/D変換器に対しても同様に適用することができる。

[0019] ところで、従来、電荷再分配方式の逐次比較型A/D変換器としては、様々な提案がなされている。

先行技術文献

特許文献

[0020] 特許文献1：特開2003-283336号公報

非特許文献

[0021] 非特許文献1：Thomas KUGELSTADT, 「電荷再分配式SAR-ADCの動作」, JAJT017 (SLYT176の翻訳版), Texas Instruments Incorporated (日本語版 日本テキサス・インスツルメンツ株式会社), pp.1-4, November 2001、[平成25年9月6日検索]、インターネット<URL: <http://www.tij.co.jp/jp/lit/an/jajt017/jajt017.pdf>>

発明の概要

発明が解決しようとする課題

[0022] 前述したように、逐次比較型A/D変換器(SAR ADC)は、その入力部に容量型デジタル/アナログ(D/A)変換部が配置され、サンプルモード、ホールドモードおよび電荷再分配モードでスイッチSA, SB, S4~S0, S0'を切り替えている。

[0023] そのため、上位ビットのA/D変換、特に、最上位ビット(MSB)のA/D変換を行う場合、容量型D/A変換部により再分配される電荷量が大きいためセトリングタイムが長くなり、誤判定が生じる虞が高くなる。

[0024] すなわち、アナログ入力に対応したデジタルコード(符号)の一部が出力されないというミッシングコード(Missing Code)が発生することになる。

課題を解決するための手段

[0025] 一実施形態によれば、入力電圧を受け取り、アナログ/デジタル変換してデジタルデータを出力するA/D変換部と、ヒストグラム生成記憶部と、制御部と、を有するA/D変換器が提供される。

[0026] 前記ヒストグラム生成記憶部は、前記デジタルデータを受け取り、前記入力電圧の波形に対するヒストグラムを生成して記憶する。前記制御部は、前記ヒストグラム生成記憶部に記憶されたヒストグラムに基づいて、前記A/D変換部におけるアナログ/デジタル変換の特性を制御する。

発明の効果

[0027] 開示のA/D変換器およびA/D変換器の校正方法は、ミッシングコードの発生を低減してアナログ/デジタル変換の精度を向上させることができるという効果を奏する。

図面の簡単な説明

[0028] [図1]図1は、従来のA/D変換器の一例を示すブロック図である。

[図2]図2は、図1のA/D変換器におけるサンプル動作およびホールド動作を説明するための図である。

[図3]図3は、図1のA/D変換器における変換ステップ動作を説明するための図である。

[図4]図4は、A/D変換器を適用した信号伝送システムの一例を説明するための図である。

[図5]図5は、A/D変換器における課題を説明するための図(その1)である。

[図6]図6は、A/D変換器における課題を説明するための図(その2)である。

[図7]図7は、本実施形態に係るA/D変換器を示すブロック図である。

[図8]図8は、図7に示すA/D変換器におけるヒストグラムの一例を説明するための図である。

[図9]図9は、図7に示すA/D変換器における校正方法の一例を説明するためのフローチャートである。

[図10]図10は、A/D変換器の第1実施例の要部を示すブロック図である。

[図11]図11は、A/D変換器の第2実施例の要部を示すブロック図である。

[図12]図12は、A/D変換器の第3実施例の要部を示すブロック図である。

[図13]図13は、A/D変換器の第4実施例の要部を示すブロック図である。

[図14]図14は、A/D変換器の第5実施例の要部を示すブロック図である。

[図15]図15は、図14に示すA/D変換器の要部におけるコンパレータの例を示す回路図である。

発明を実施するための形態

[0029] まず、A/D変換器およびA/D変換器の校正方法の実施例を詳述する前に、A/D変換器を適用した信号伝送システムの一例、並びに、A/D変換器における課題を、図4～図6を参照して説明する。

[0030] 図4は、A/D変換器を適用した信号伝送システムの一例を説明するための図である。図4において、参照符号100は送信回路(Tx)、200は伝送線路、そして、300は受信回路(Rx)を示す。

[0031] ここで、図4に示す信号伝送システムは、例えば、CPUやメモリなどを搭載した複数の回路基板を相互接続するバックプレーン伝送、或いは、1つの回路基板に搭載された複数の半導体集積回路間の信号伝送に適用される。さらに、図4に示す信号伝送システムは、例えば、1つの半導体集積回路における回路ブロック間の信号伝送にも適用することができる。

[0032] 図4に示されるように、送信回路100は、ドライバ101を含み、受信回路300は、A/D変換器(ADC)301、デジタルイコライザ302およびクロックデータリカバリ(CDR: Clock and Data Recovery)回路303を含む。

[0033] ドライバ101は、例えば、入力信号Sinを受け取って送信信号(デジタル信号)SS1を伝送線路200へ出力する。伝送線路200は、例えば、複数の回路基板を相互接続する金属配線であり、この伝送線路200の周波数特性により、送信信号SS1の波形は、高周波成分が損失して劣化する。すなわち、伝送線路200から受信回路300へ入力する信号SS2は、鈍った波形、換言すると、緩やかに変化するアナログ的な波形になっている。

[0034] A/D変換器301は、信号SS2を受け取ってアナログ/デジタル変換(A/D変換)を行い、信号SS3(ドット個所の信号)をデジタルイコライザ3

02へ出力する。デジタルイコライザ302は、A/D変換器301からの信号SS3を受け取り、例えば、伝送線路200による信号波形の劣化を補償するための等化処理を行ってデータ信号(デジタル信号)SS4を出力する。

[0035] ここで、デジタルイコライザ302は、例えば、送信回路100側に設け、伝送線路200による信号波形の劣化を打ち消すように、送信信号SS1を予め処理することもできる。

[0036] そして、等化処理されたデータ信号SS4は、クロックデータリカバリ回路303へ入力され、例えば、クロック信号とデータを分離して伝送されたデータを復元し、信号Soutとして出力する。

[0037] すなわち、クロックデータリカバリ回路303は、等化処理後のデータ信号SS4からタイミング抽出を行い、A/D変換器301のサンプリングクロックの位相を調整することで適切なタイミングによるサンプリングを行い、正しいデータの復元を可能とする。

[0038] これにより、例えば、送信回路100の入力信号Sin(『01001011…』)は、伝送線路200を介して、受信回路300の出力信号Sout(『01001011…』)として伝送される。

[0039] なお、例えば、伝送線路200による波形劣化の程度が小さい場合、或いは、伝送線路200の周波数特性や送信信号SS1のビットレート(送信速度)等により、デジタルイコライザ302を不要とすることもできる。

[0040] ここで、A/D変換器301としては、フラッシュ型、パイプライン型およびSAR型といった様々なものを適用することができるが、低消費電力という利点から、例えば、SAR型A/D変換器が注目されている。

[0041] 図5は、A/D変換器における課題を説明するための図であり、A/D変換器301の入力信号SS2(実アナログ信号電圧Vin)と判定値(デジタル変換したコード)の関係を示す。

[0042] ここで、図5において、参照符号CL1は、実際のアナログ信号電圧(入力電圧)Vinの波形を示し、入力電圧Vinに対する各変換ステップでのD/A変

換器出力レベル(コンパレータの入力ノード電圧：図1における V_c に対応)の過渡的な応答波形を示す。

- [0043] また、参照符号CL2(破線)は、理想的な波形を示す。なお、図5において、縦軸の『0』～『15』は、十進数で表したデジタル出力を示し、中央の零は、フルスケールの半分を示し、そして、横軸は、時間を示す。
- [0044] 図5の波形CL2に示されるように、理想的には立ち上がりおよび立下りが急峻な『0100...』となるデータ波形を、例えば、図1～図3を参照して説明したような電荷再分配式SAR ADC(A/D変換器301)によりA/D変換する場合を考える。
- [0045] このとき、コンパレータの入力ノード電圧(図1における V_c に対応)は、急峻に変化することができず、例えば、コンパレータの入力ノードに接続される容量および抵抗で定まる帯域が有限であるため、セトリング不足が生じる虞がある。
- [0046] すなわち、セトリングタイムが各変換ステップ時間に比べて十分短くない場合には、正しいデジタル変換値が得られる前に、次の変換ステップ動作が開始されるため、誤判定になる虞がある。これは、容量型D/A変換部により再分配される電荷量大きい上位ビットほど影響が大きく、最上位ビット(MSB)のA/D変換を行う場合、このような原因での誤判定が生じる虞が高くなる。
- [0047] さらに、図4を参照して説明したように、送信回路100からの送信信号SS1は、例えば、伝送線路200の周波数特性により高周波成分が損失して劣化し、緩やかに変化するアナログ的な波形(SS2)になって受信回路300(A/D変換器301)へ入力する。
- [0048] そのため、容量型D/A変換部により再分配される電荷量と相俟って、A/D変換器301により受信信号SS2を正しくA/D変換して正確なデータ受信を行うのが難しくなっている。
- [0049] 図5は、理想的な最終判定値が『0100...』となる受信信号SS2(入力電圧 V_{in})が、実際には最終判定値『0011...』となった場合を示す。すな

わち、図5は、最上位ビット(MSB)の次のビット(上位2ビット目)の判定を行う位置P0において、時間不十分でセtring不足になり、データ『1』を『0』と誤って判定した場合を示している。

[0050] このように、例えば、上位2ビット目で誤判定が生じると、それよりも下位の3ビット目以降では修正することができず、A/D変換器301が高分解能の場合、P1の間で、『0011...1111』とワイドコード(Wide Code)を出力する。

[0051] 或いは、例えば、A/D変換器301が高分解能の場合、位置P2で、『0100...0xxx』～『0100...0000』とミッシングコード(Missing Code)を出力する。なお、上述したように、セtring不足による誤判定は、MSB側ほど起こり易く、最下位ビット(LSB: Least Significant Bit)側ほど起こり難い。従って、このような誤判定は、コンパレータの入力ノードの電圧変動値が最も大きいMSBを判定するときに最も起こり易い。

[0052] 図6は、A/D変換器における課題を説明するための図である。ここで、図6(a)は、A/D変換器301の出力信号SS3(Dout)と実アナログ信号電圧(入力電圧)Vin(SS2)の関係を示し、図6(b)は、密度(発生頻度)とA/D変換器301の出力信号SS3の関係を示す。

[0053] すなわち、図6(a)は、例えば、A/D変換器301が図5に示すような特性を有している場合、傾き(dV_{in}/dt)が一定の入力電圧Vinに対して、A/D変換器301の出力デジタルコードDoutをプロットしたものである。ここで、傾きが一定の入力電圧Vinは、例えば、後述する本実施形態の校正波形生成部5が生成する三角波(WFc)に対応する。

[0054] 図6(a)のP3に示されるように、例えば、図5における位置P0で誤判定が生じると、入力電圧Vinの所定範囲に対して、出力コードDoutが一定になるワイドコード(Wide Code)が観測される。

[0055] また、図6(b)のP4に示されるように、例えば、図6(a)の場合、A/D変換器301の出力デジタルコードDoutの発生頻度をプロットすると、出力デジタルコードDoutにジャンプ個所(コードが存在しない個所: Missing Cod

e)が現れる。

[0056] ここで、図6(b)は、後述する図8のヒストグラムHGに対応し、P4で示す隣接する2つのデータ区間でミッシングコード(Missing Code)が生じた場合を示す。なお、P4で生じたミッシングコードは、例えば、P4に隣接するデータ区間(図6(b)では、1つ上位ビットのデータ区間)で発生したものとして上乘せされる。

[0057] このように、例えば、SAR型A/D変換器では、アナログ入力に対応したデジタルコードの一部が出力されないというミッシングコードが発生して、アナログ/デジタル変換の精度が低下する虞がある。

[0058] 以下、A/D変換器およびA/D変換器の校正方法の実施例を、添付図面を参照して詳述する。図7は、本実施形態に係るA/D変換器を示すブロック図である。

[0059] 図7に示されるように、本実施形態のA/D変換器は、A/D変換部1、ヒストグラム生成記憶部2、ヒストグラム形状判定部3、動作制御部4、校正波形生成部5、および、入力切り替えスイッチ6を含む。

[0060] A/D変換部1は、後述のように、補正機能を有する逐次比較型A/D変換器(SAR ADC)に相当し、入力切り替えスイッチ6により選択された入力電圧 V_{in} を受け取ってアナログ/デジタル変換(A/D変換)し、所定ビットの出力 D_{out} (SS3)を出力する。

[0061] ここで、校正波形生成部5およびA/D変換部1は、非同期で動作するものとする。具体的に、例えば、NビットのA/D変換器に対して、校正波形生成部5およびA/D変換部1の動作周波数をそれぞれ T_0 および T_1 とし、 $T_1 = T_0 + T_0 / 2^N$ とする。このとき、すべての電圧レベルを等しい頻度で、或る所定の時間($2^N * T_1$)でサンプル(A/D変換)することが可能である。

[0062] ヒストグラム生成記憶部2は、A/D変換部1の出力 D_{out} を受け取ってヒストグラム(HG)を生成して記憶する。ヒストグラム形状判定部3は、ヒストグラム生成記憶部2からヒストグラムHGを受け取って形状判定を行い、

補正信号 S_c を生成して A/D 変換部 1 へ出力すると共に、誤差信号 S_e を生成して動作制御部 4 へ出力する。

[0063] ここで、補正信号 S_c は、例えば、校正処理時において、出力 D_{out} から得られたヒストグラム HG を基準ヒストグラム HGR に近づけるように、A/D 変換部 1 (コンパレータ部 12) の特性を補正するための信号である。

[0064] また、誤差信号 S_e は、例えば、出力 D_{out} から得られたヒストグラム HG と基準ヒストグラム HGR の誤差を示す信号であり、この誤差が許容値以下になれば、そのときの A/D 変換部 1 の補正值 (コンパレータ部の 12 の特性) を保持して校正処理を終了する。

[0065] 図 8 は、図 7 に示す A/D 変換器におけるヒストグラムの一例を説明するための図であり、前述した図 6 (b) に示すヒストグラムに対応する。すなわち、図 8 に示されるように、ヒストグラム HG は、例えば、A/D 変換部 1 の出力 D_{out} ($SS3$) のデータ区間を横軸に取り、その出力 D_{out} の各データ区間における密度 (発生頻度) を縦軸に取った度数分布図である。

[0066] 具体的に、例えば、A/D 変換部 1 の入力電圧 V_{in} として与えられる校正波形生成部 5 の出力が三角波の場合、すなわち、傾きが一定の電圧波形の場合、ヒストグラム HG は、図 8 のような形状になる。

[0067] すなわち、図 8 に示すヒストグラム HG は、P4 で示す隣接する 2 つのデータ区間でミッシングコード (Missing Code) が生じた場合を示し、P4 で生じたミッシングコードは、1 つ上位ビットのデータ区間で発生したものとして上乘せされている。

[0068] 具体的に、図 8 に示す例では、P4 で示されるデータ区間で発生したミッシングコードは、1 つ上位のビットのデータ区間 (P4 の左側) に上乘せされ、発生頻度がほぼ 3 倍になっている。

[0069] なお、ミッシングコードが生じない理想的な場合を示す基準ヒストグラム HGR は、例えば、図 8 中の破線 P5 に示されるように、出力 D_{out} の各データ区間に対して、同じ発生頻度 (平均頻度) として観測される。

[0070] ヒストグラム生成記憶部 2 は、例えば、校正処理時に、A/D 変換部 1 が

校正波形生成部 5 からの三角波 WF_c を A/D 変換した出力 D_{out} からヒストグラム (入力電圧 V_{in} の波形に対するヒストグラム) HG を生成して記憶する。

[0071] なお、ミッシングコードが生じない理想的な基準ヒストグラム HGR は、ヒストグラム生成記憶部 2 に予め記憶させてもよいが、例えば、ヒストグラム形状判定部 3 に持たせ、或いは、外部から与えるようにすることもできる。

[0072] ヒストグラム形状判定部 3 は、例えば、入力電圧波形から生成したヒストグラム HG と基準ヒストグラム HGR を使用して形状判定を行い、補正信号 S_c を生成して A/D 変換部 1 へ出力すると共に、誤差信号 S_e を生成して動作制御部 4 へ出力する。

[0073] ここで、ヒストグラム形状判定部 3 は、例えば、特定の出力コード (D_{out}) での頻度が極端に大きくまたは小さくならないように、すなわち、出力 D_{out} から得られたヒストグラム HG を基準ヒストグラム HGR に近づけるように、補正信号 S_c を生成する。

[0074] 具体的に、ヒストグラム形状判定部 3 は、例えば、各出力コード D_{out-i} の頻度と、その平均頻度 (P_5) の差の絶対値を取り、その最大値が、最も小さくなるように補正信号 S_c を発生する。なお、 i は、 $0 - 2^{n-1}$ とする。

[0075] 以上において、校正処理時に使用する波形、すなわち、校正波形生成部 5 からの校正波形 WF_c は、三角波に限定されるものではなく、正弦波を始めとして他の様々な波形を適用することができる。

[0076] 例えば、校正波形 WF_c として正弦波を適用すると、ヒストグラム形状判定部 3 は、正弦波を入力電圧 V_{in} とした A/D 変換部 1 の出力 D_{out} から生成したヒストグラム HG と、正弦波による理想的な基準ヒストグラム HGR を使用して形状判定を行うことになる。

[0077] 図 9 は、図 7 に示す A/D 変換器における校正方法の一例を説明するためのフローチャートである。図 9 に示されるように、ステップ ST_1 において、図 7 に示す A/D 変換器 (ADC) の校正処理が開始すると、ステップ ST

2に進み、動作制御部4が内部波形生成に切り替える。

[0078] すなわち、ステップST2において、動作制御部4は、例えば、外部からの校正開始信号を受け取って、校正波形生成部5の出力信号(校正波形)WFcがA/D変換部1へ入力するように、スイッチ6を切り替え制御する。

[0079] 次に、ステップST3に進んで、ヒストグラム形状判定部3からA/D変換部1へ出力される補正信号Scの初期値を設定して、ステップST4に進む。ステップST4では、例えば、ヒストグラム生成記憶部2が、校正波形WFcに基づいた入力電圧Vinのレベル変化によるA/D変換部1の出力DoutからヒストグラムHGを作成して記憶する。

[0080] さらに、ステップST5に進んで、ヒストグラム生成記憶部2に記憶されたヒストグラムHGと基準ヒストグラムHGRの比較(誤差検出)を行う。ここで、ヒストグラム形状判定部3は、記憶された(作成された)ヒストグラムHGと基準ヒストグラムHGRの誤差を計算し、誤差信号Seを動作制御部4へ出力する。

[0081] そして、ステップST6に進んで、作成されたヒストグラムHGと基準ヒストグラムHGRの誤差が所定の許容値以下かどうかを判定する。すなわち、ステップST6において、動作制御部4は、ヒストグラム形状判定部3からの誤差信号Seにより、誤差が許容値以下になったかどうかを判定する。

[0082] ステップST6において、作成されたヒストグラムHGと基準ヒストグラムHGRの誤差が許容値以下であると判定すると、ステップST8に進んで、補正信号Scを固定する。

[0083] 一方、ステップST6において、誤差が許容値よりも大きいと判定すると、ステップST7に進んで補正信号Scを更新してステップST4に戻り、誤差が許容値以下になったと判定されるまで、同様の処理を繰り返す。

[0084] ステップST8において、補正信号Scを固定すると、ステップST9に進んで、A/D変換器の校正処理を終了してステップST10に進み、動作制御部4が外部入力に切り替える。

[0085] すなわち、ステップST10において、動作制御部4は、外部入力SSin(

S S 2)がA/D変換部1へ入力するように、スイッチ6を切り替え制御する。そして、ステップS T 1 1に進んで、A/D変換器の通常動作を開始する。

[0086] このように、本実施形態によれば、例えば、A/D変換処理におけるセトリング不足による誤判定を防ぐことにより、A/D変換器に起因したビットエラーレート(B E R : Bit Error Rate)の増大を抑制することが可能になる。

[0087] 図10は、A/D変換器の第1実施例の要部を示すブロック図であり、図7におけるA/D変換部1を示すものである。図10に示されるように、第1実施例のA/D変換器におけるA/D変換部1は、容量型D/A変換部11、コンパレータ部12および逐次比較型A/D変換部(SAR部)13を含む。

[0088] ここで、容量型D/A変換部11は、例えば、図1～図3を参照して説明したSAR ADCにおける容量型D/A変換部に対応するが、本実施例では、ビット数、スイッチおよび基準電圧等の構成が異なっている。なお、例えば、図1におけるキャパシタCおよびC/16は、図10における32Cおよび1Cに相当する。

[0089] すなわち、容量型D/A変換部11は、それぞれバイナリ加重された値(キャパシタンス: 32C, 16C, 8C, ..., 1C, 1C)を有するキャパシタおよびスイッチfA, f5～f0を含む。

[0090] そして、スイッチfA, f5～f0を切り替えることで、各キャパシタの電極と、入力電圧Vinおよび各電圧Vr, GND, Vcmの接続を制御することで、変換プロセス(サンプルモード、ホールドモードおよび再分配モード)を行う。

[0091] なお、容量型D/A変換部11は、図10或いは図1に示すものだけでなく、様々な構成のものを適用することができ、また、SAR部13も様々なものを適用することができる。また、容量型D/A変換部11およびSAR部13は、図10に示す第1実施例だけでなく、後述する第2～第5実施例

においても、様々なものを適用することが可能である。

[0092] 図10に示されるように、第1実施例のA/D変換器において、コンパレータ部12は、異なる参照電圧 V_{r1} ～ V_{r3} が一方の入力に印加された3つのコンパレータ121～123を含む。ここで、参照電圧 V_{r1} ～ V_{r3} は、例えば、 $V_{r1} > V_{r2} > V_{r3}$ の関係を有している。また、各コンパレータ121～123の他方の入力には、容量型D/A変換部11の出力 D_o が入力されている。

[0093] 第1実施例におけるコンパレータ部12は、異なる特性(比較特性)を有する3つのコンパレータ121～123を含み、これら3つのコンパレータ121～123の出力を、ヒストグラム形状判定部3からの補正信号 S_c (選択信号 S_s)により選択する。選択されたコンパレータの出力は、SAR部13へ入力され、デジタルデータ D_{out} 出力される。

[0094] すなわち、前述したように、ヒストグラム形状判定部3から出力される選択信号 S_s により、出力 D_{out} から得られたヒストグラム HG が基準ヒストグラム HGR に近づくようなコンパレータ121～123のいずれかの出力が選択される。

[0095] 本第1実施例において、異なる参照電圧 V_{r1} ～ V_{r3} と容量型D/A変換部11の出力 D_o が入力された3つのコンパレータ121～123から1つのコンパレータの出力を選択するのは、コンパレータによるセトリング不足を避けるためである。

[0096] このように、第1実施例のA/D変換器によれば、複数のコンパレータを準備することになるが、選択信号 S_s (補正信号 S_c)によるコンパレータの選択は、瞬時に行うことが可能になる。なお、コンパレータの数は3つに限定されないのはもちろんである。

[0097] 図11は、A/D変換器の第2実施例の要部を示すブロック図であり、図7におけるA/D変換部1を示すものである。図11に示されるように、第2実施例のA/D変換器において、コンパレータ部は、1つのコンパレータ12で形成され、そのコンパレータ12の参照電圧 V_{r0} としてセクタ14

の出力が使用されるようになっている。

[0098] すなわち、セクタ 14 には、異なる j 個の閾値電圧 $V_{th1} \sim V_{thj}$ が入力され、ヒストグラム形状判定部 3 からの補正信号 S_c (選択信号 S_s) により選択された閾値電圧が、コンパレータ 12 の参照電圧 V_{r0} として印加されるようになっている。

[0099] この第 2 実施例の A/D 変換器は、コンパレータ部を 1 つのコンパレータ 12 で形成できるため、回路規模を小さくできるが、セクタ 14 で選択された閾値電圧によるコンパレータ 12 の比較動作は、上述した第 1 実施例よりも遅くなる。そのため、本第 2 実施例は、例えば、A/D 変換器が設けられた装置の電源投入時等に行う初期化動作(キャリブレーション処理、校正処理)に時間的な余裕がある場合に好ましい。

[0100] 図 12 は、A/D 変換器の第 3 実施例の要部を示すブロック図であり、図 7 における A/D 変換部 1 を示すものである。

[0101] 図 12 と図 11 の比較から明らかなように、第 3 実施例の A/D 変換器において、コンパレータ部は、1 つのコンパレータ 12 で形成され、そのコンパレータ 12 の参照電圧 V_{r0} としてヒストグラム形状判定部 3 からの補正信号 S_c を使用するようになっている。従って、第 3 実施例の A/D 変換器は、上述した第 2 実施例と同様に、例えば、校正処理に時間的な余裕がある場合に好ましいものである。

[0102] 図 13 は、A/D 変換器の第 4 実施例の要部を示すブロック図であり、図 7 における A/D 変換部 1 を示すものである。

[0103] 図 13 に示されるように、第 4 実施例の A/D 変換器において、コンパレータ部は、1 つのコンパレータ 12 で形成され、そのコンパレータ 12 の参照電圧 V_{r0} は、固定の電圧とされている。そして、容量型 D/A 変換部 11 の出力 D_o に対して、ヒストグラム形状判定部 3 からの補正信号 S_c により制御される容量型 D/A 変換部 15 を設けるようになっている。

[0104] すなわち、第 3 実施例の A/D 変換器は、コンパレータ 12 の閾値(参照電圧 V_{r0})を変える代わりに、コンパレータ 12 の入力ノード(D_o)に対して補

正信号 S_c により制御される容量型 D/A 変換部 15 を設けて比較特性の補正を行うようになっている。

[0105] 従って、第 4 実施例の A/D 変換器は、単に、コンパレータ 12 の入力ノードに容量型 D/A 変換部 15 を設けるだけでよいため、基本的な動作を妨げることなく A/D 変換を行うことができるという長所がある。

[0106] 図 14 は、A/D 変換器の第 5 実施例の要部を示すブロック図であり、図 7 における A/D 変換部 1 を示すものである。

[0107] ここで、本第 5 実施例の A/D 変換器は差動構成とされ、容量型 D/A 変換部 11 は、正論理の入力電圧 V_{in+} 用容量型 D/A 変換部 111、および、負論理の入力電圧 V_{in-} 用容量型 D/A 変換部 112 を含む。また、コンパレータ部 12 は、図 10 を参照して説明した第 1 実施例と同様に、3 つのコンパレータ 121 ~ 123 を含む。

[0108] なお、それぞれのコンパレータ 121 ~ 123 において、一方の入力(+)は、正論理の入力電圧 V_{in+} 用容量型 D/A 変換部 111 の出力 D_{o+} に接続され、他方方の入力(-)は、負論理の入力電圧 V_{in-} 用容量型 D/A 変換部 112 の出力 D_{o-} に接続されている。

[0109] 図 15 は、図 14 に示す A/D 変換器の要部におけるコンパレータ 121 (122 および 123 も同様)の例を示す回路図であり、図 15 (a)は、トランジスタの個数を変化させ、また、図 15 (b)は、可変キャパシタの値を変化させて比較特性を制御している。

[0110] すなわち、図 15 (a)に示されるように、コンパレータ 121 は、差動入力 I_{Np} , I_{Nn} (出力 D_{o+} , D_{o-} に対応)を受け取る差動対トランジスタ T_{rp} , T_{rn} と並列に、オフセット電圧制御用トランジスタ T_{rpc} , T_{rnc} を設けるようになっている。

[0111] ここで、オフセット電圧制御用トランジスタ T_{rpc} , T_{rnc} は、複数個設けられており、各コンパレータ 121 ~ 123 により、接続するトランジスタ T_{rpc} , T_{rnc} の個数(トランジスタサイズ)を異ならせるようになっている。なお、例えば、トランジスタ T_{rpc} のみを接続して、トランジスタ T_{rnc} を遮

断するといった差動入力 I_{Np} , I_{Nn} に対して非対称的な接続により比較特性を異ならせてもよい。

[0112] また、図 15 (b) に示されるように、コンパレータ 121 は、差動入力 I_{Np} , I_{Nn} (出力 D_{o+} , D_{o-} に対応) を受け取る差動対トランジスタ T_{rp} , T_{rn} のドレインと GND (接地電位) 間の負荷容量を可変キャパシタ C_{Vp} , C_{Vn} により異ならせてもよい。

[0113] このように、コンパレータ部 12 のコンパレータ 121 ~ 123 は、それぞれ異なる比較特性を有していればよく、それらコンパレータ 121 ~ 123 のいずれかの出力を、選択信号 S_s (補正信号 S_c) で選択して、後段の SAR 部 13 へ入力する。なお、コンパレータの数は 3 つに限定されないのは前述した通りである。

[0114] 以上の説明において、各実施例の A/D 変換器は、シングルエンド構成でも差動構成でも適用することができる。また、アナログ信号をデジタル信号へ変換するビット数を始めとして、校正波形の種類、並びに、A/D 変換部、ヒストグラム生成記憶部、ヒストグラム形状判定部および動作制御部等の構成は、様々に設計することができる。

[0115] 以上、実施形態を説明したが、ここに記載したすべての例や条件は、発明および技術に適用する発明の概念の理解を助ける目的で記載されたものであり、特に記載された例や条件は発明の範囲を制限することを意図するものではなく、明細書のそのような例の構成は発明の利点および欠点を示すものではない。発明の実施形態を詳細に記載したが、各種の変更、置き換え、変形が発明の精神および範囲を逸脱することなく行えることが理解されるべきである。

符号の説明

- [0116]
- | | |
|---|-------------|
| 1 | A/D 変換部 |
| 2 | ヒストグラム生成記憶部 |
| 3 | ヒストグラム形状判定部 |
| 4 | 動作制御部 |

- 5 校正波形生成部
- 6 入力切り替えスイッチ
- 1 1, 1 5 容量型 D / A 変換部
- 1 2 コンパレータ部
- 1 3 逐次比較型 A / D 変換部 (S A R 部)
- 1 4 セレクタ

請求の範囲

- [請求項1] 入力電圧を受け取り、アナログ／デジタル変換してデジタルデータ
を出力するA／D変換部と、
 前記デジタルデータを受け取り、前記入力電圧の波形に対するヒスト
 グラムを生成して記憶するヒストグラム生成記憶部と、
 前記ヒストグラム生成記憶部に記憶されたヒストグラムに基づいて
 、前記A／D変換部におけるアナログ／デジタル変換の特性を制御す
 る制御部と、を有する、
 ことを特徴とするA／D変換器。
- [請求項2] 前記制御部は、
 前記ヒストグラム生成記憶部に記憶されたヒストグラムを読み出
 して形状判定を行い、予め設定された基準ヒストグラムとの誤差信号
 を出力すると共に、前記A／D変換部におけるアナログ／デジタル変
 換の特性を補正する補正信号を出力するヒストグラム形状判定部と、
 前記誤差信号を受け取って校正動作を制御する動作制御部と、を
 含む、
 ことを特徴とする請求項1に記載のA／D変換器。
- [請求項3] さらに、
 校正波形を生成する校正波形生成部と、
 前記入力電圧として、前記校正波形または外部入力を選択する入
 力切り替えスイッチと、を有する、
 ことを特徴とする請求項2に記載のA／D変換器。
- [請求項4] 前記動作制御部は、
 前記誤差信号に従って、前記ヒストグラム生成記憶部、前記校正
 波形生成部および前記入力切り替えスイッチを制御する、
 ことを特徴とする請求項3に記載のA／D変換器。
- [請求項5] 前記校正波形は、三角波または正弦波である、
 ことを特徴とする請求項3または請求項4に記載のA／D変換器。

- [請求項6] 前記A／D変換部は、
前記入力電圧を受け取り、複数のキャパシタおよびスイッチを切り替えてデジタル／アナログ変換を行う容量型D／A変換部と、
前記容量型D／A変換部の出力の電圧を比較するコンパレータ部と、
前記コンパレータ部の比較結果に基づいて、前記デジタルデータを出力する逐次比較型A／D変換部と、を有する、
ことを特徴とする請求項2乃至請求項5のいずれか1項に記載のA／D変換器。
- [請求項7] 前記コンパレータ部は、それぞれが前記容量型D／A変換部の出力の電圧を受け取り、異なる比較特性を有する複数のコンパレータを含み、
前記ヒストグラム形状判定部からの前記補正信号に従って、前記複数のコンパレータのいずれかを選択し、その選択されたコンパレータの出力を前記逐次比較型A／D変換部へ出力する、
ことを特徴とする請求項6に記載のA／D変換器。
- [請求項8] 前記複数のコンパレータは、それぞれ参照電圧が異なっている、
ことを特徴とする請求項7に記載のA／D変換器。
- [請求項9] 前記A／D変換器は、差動構成であり、
前記容量型D／A変換部は、正論理用容量型D／A変換部および負論理用容量型D／A変換部を含み、
前記複数のコンパレータは、それぞれ前記正論理用容量型D／A変換部の出力および前記負論理用容量型D／A変換部の出力を受け取り、
前記ヒストグラム形状判定部からの前記補正信号に従って、前記複数のコンパレータのいずれかを選択し、その選択されたコンパレータの出力を前記逐次比較型A／D変換部へ出力する、
ことを特徴とする請求項6に記載のA／D変換器。

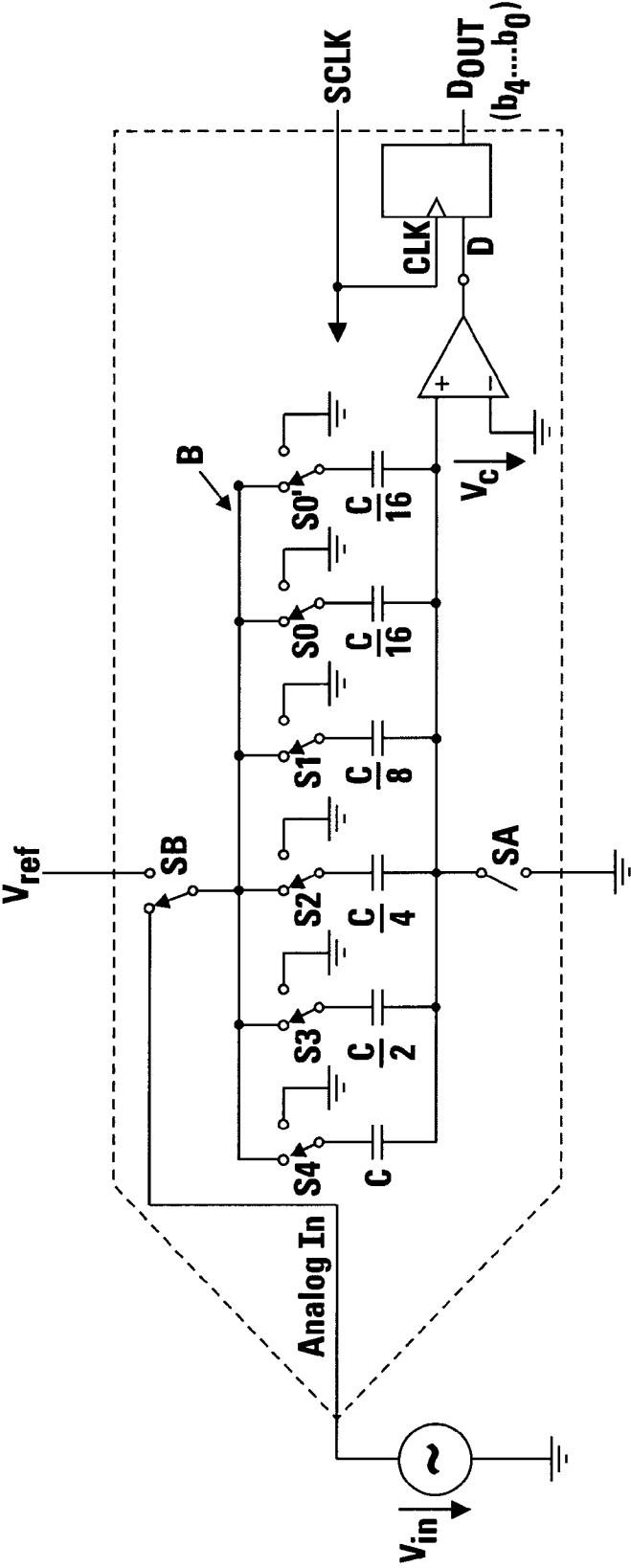
- [請求項10] 前記複数のコンパレータは、それぞれオフセット電圧が異なっている、
ことを特徴とする請求項9に記載のA／D変換器。
- [請求項11] 前記複数のコンパレータは、それぞれ負荷容量の大きさが異なっている、
ことを特徴とする請求項9に記載のA／D変換器。
- [請求項12] 前記コンパレータ部は、前記容量型D／A変換部の出力の電圧を受け取る1つのコンパレータを含み、
前記ヒストグラム形状判定部からの前記補正信号に従って、前記コンパレータが前記容量型D／A変換部の出力と比較する参照電圧を制御する、
ことを特徴とする請求項6に記載のA／D変換器。
- [請求項13] さらに、
前記容量型D／A変換部の出力に設けられ、前記ヒストグラム形状判定部からの前記補正信号に従って、前記容量型D／A変換部の出力の容量値を補正する補正用容量型D／A変換部を、有する、
ことを特徴とする請求項6に記載のA／D変換器。
- [請求項14] 入力電圧を受け取り、アナログ／デジタル変換してデジタルデータを出力するA／D変換器の校正方法であって、
前記入力電圧として、校正波形を選択し、
前記校正波形をアナログ／デジタル変換してヒストグラムを生成し、
前記生成されたヒストグラムと、予め設けられた基準ヒストグラムとの誤差を算出し、
前記誤差が所定の許容値以下となるように、前記A／D変換器のアナログ／デジタル変換特性を補正し、
前記誤差が所定の許容値以下となったとき、補正された前記A／D変換器のアナログ／デジタル変換特性を固定し、前記入力電圧として

、外部入力を選択する、
ことを特徴とする A／D 変換器の校正方法。

[請求項15] 前記校正波形は、三角波または正弦波である、
ことを特徴とする請求項 14 に記載の A／D 変換器の校正方法。

[図1]

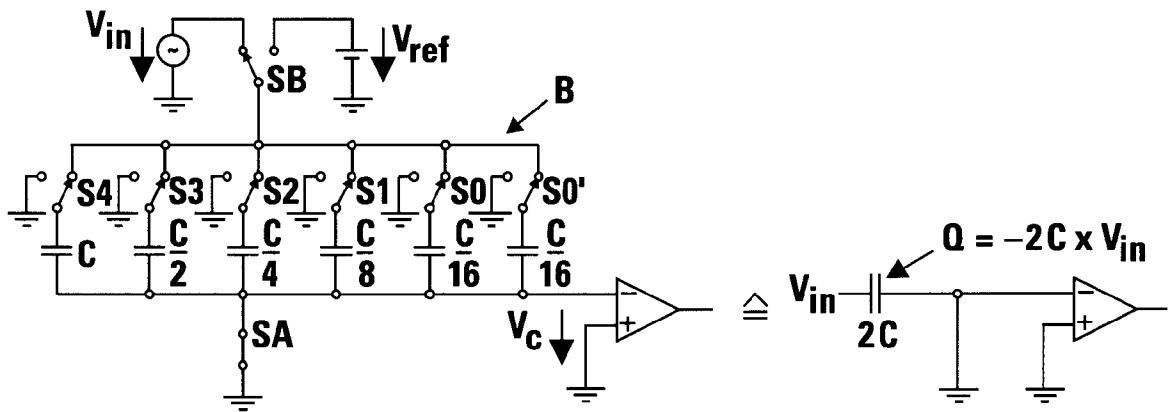
図1



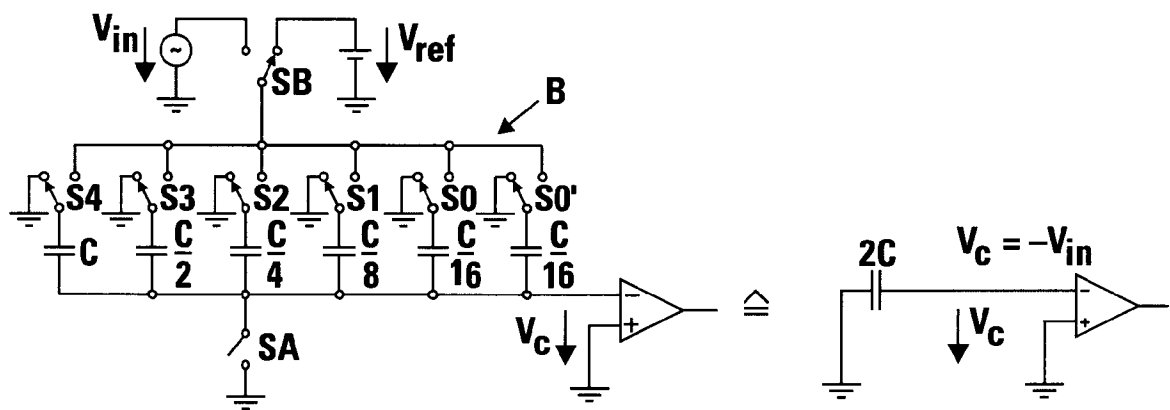
[図2]

図2

(a)



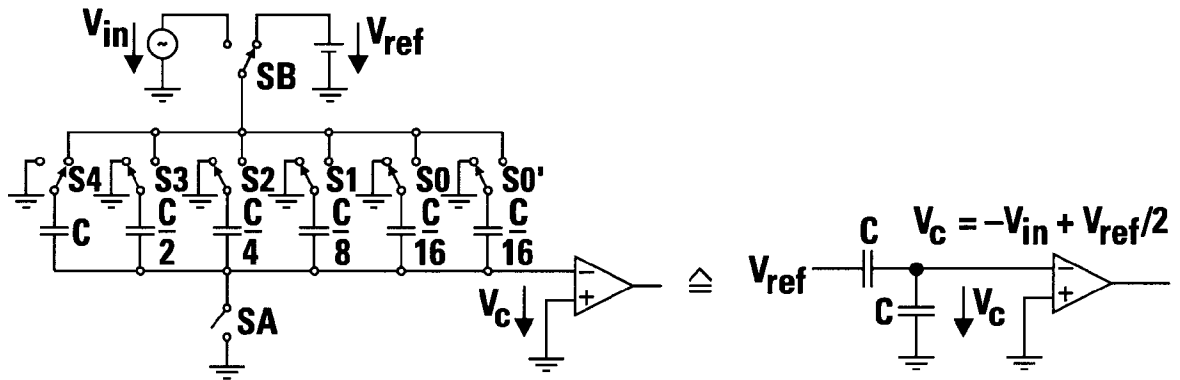
(b)



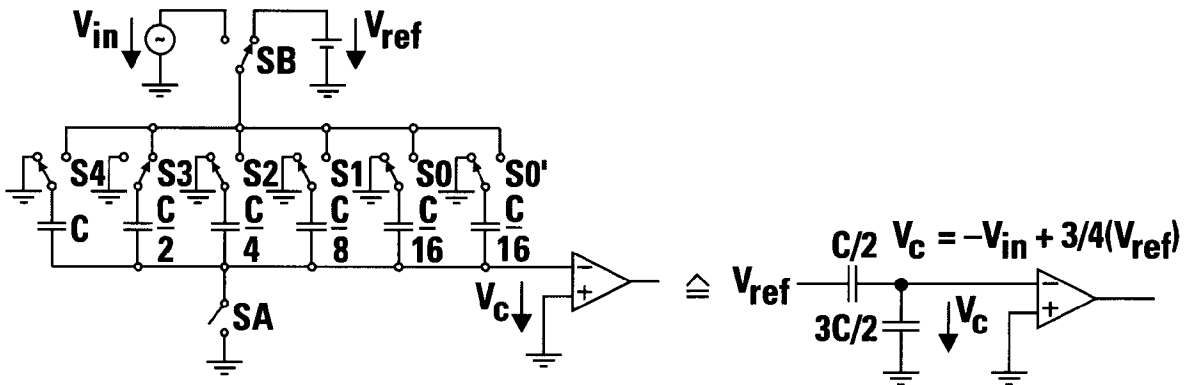
[図3]

図3

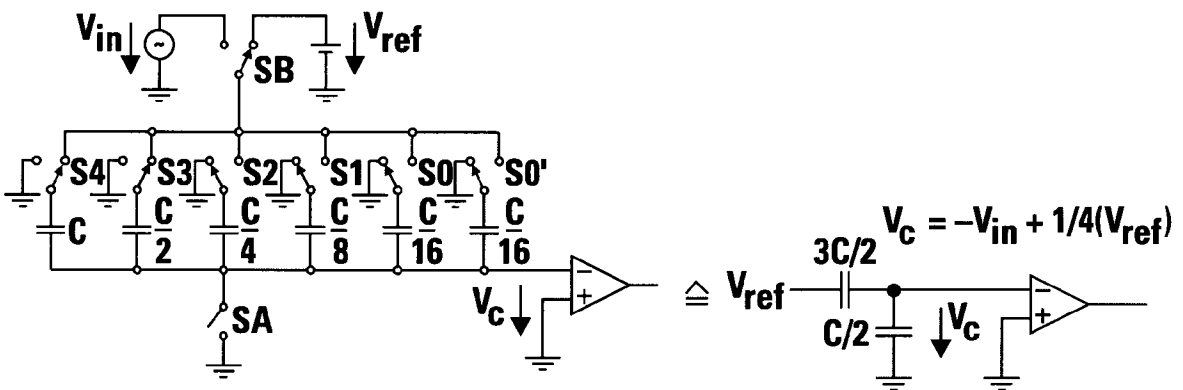
(a)



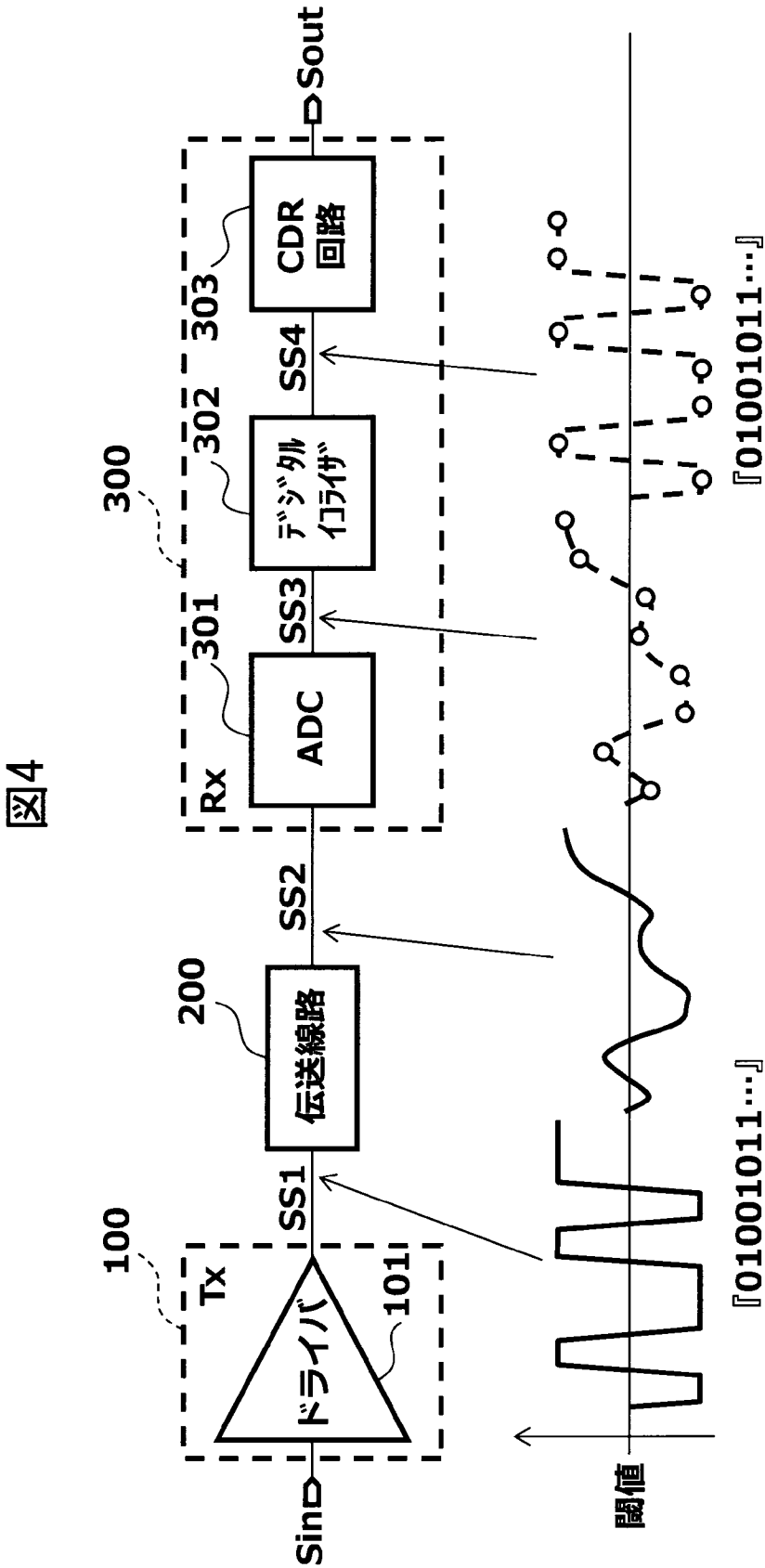
(b)



(c)

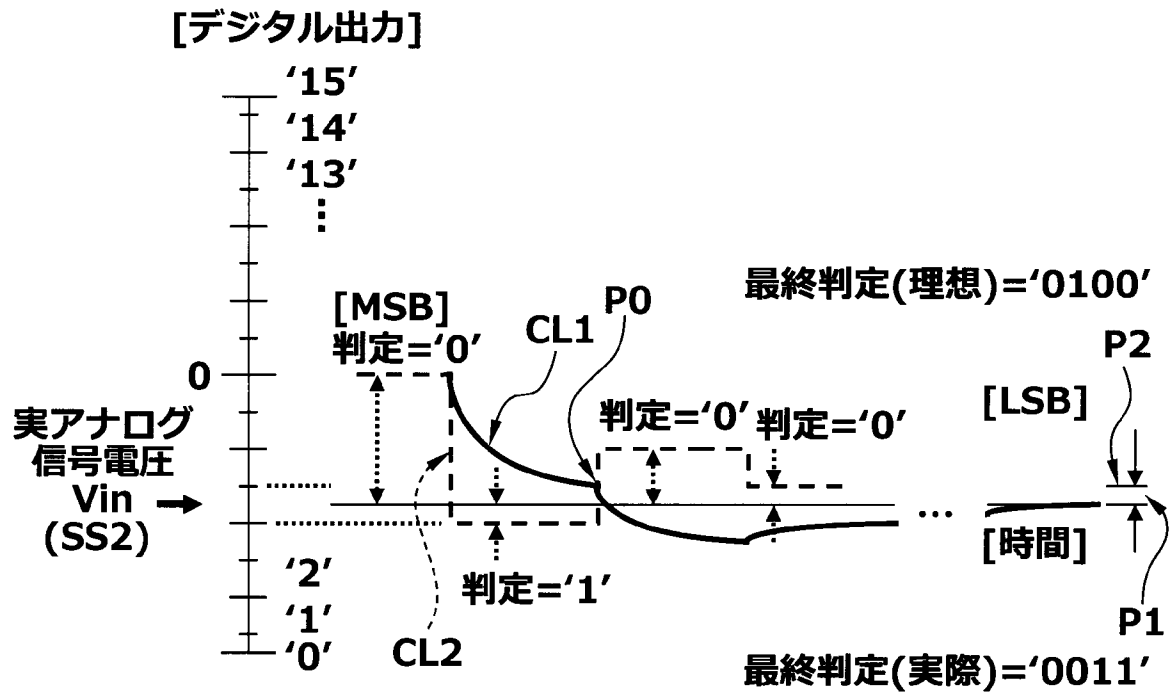


[図4]



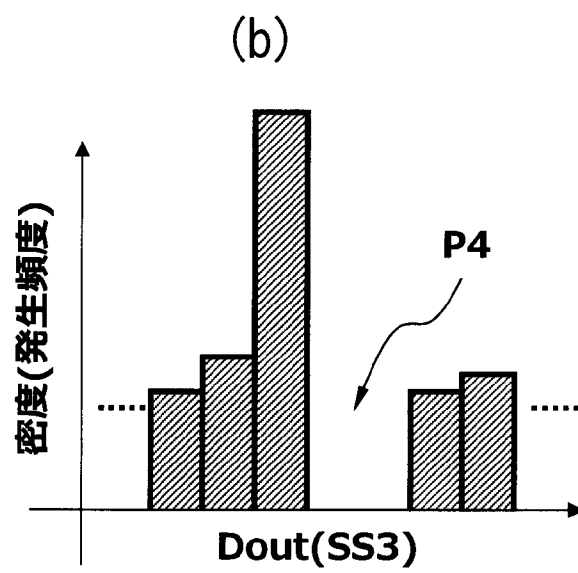
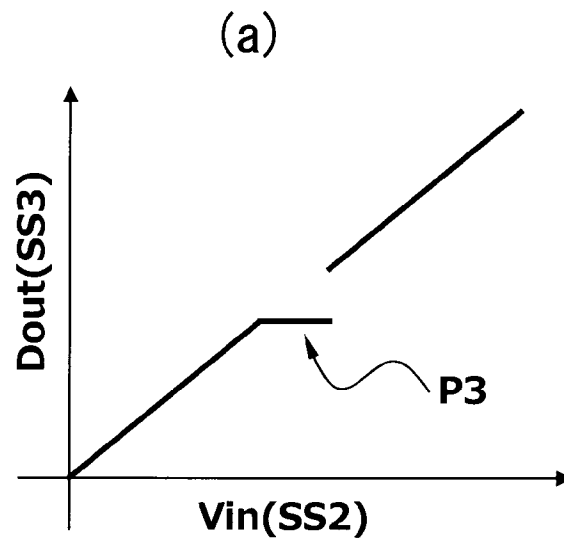
[図5]

図5

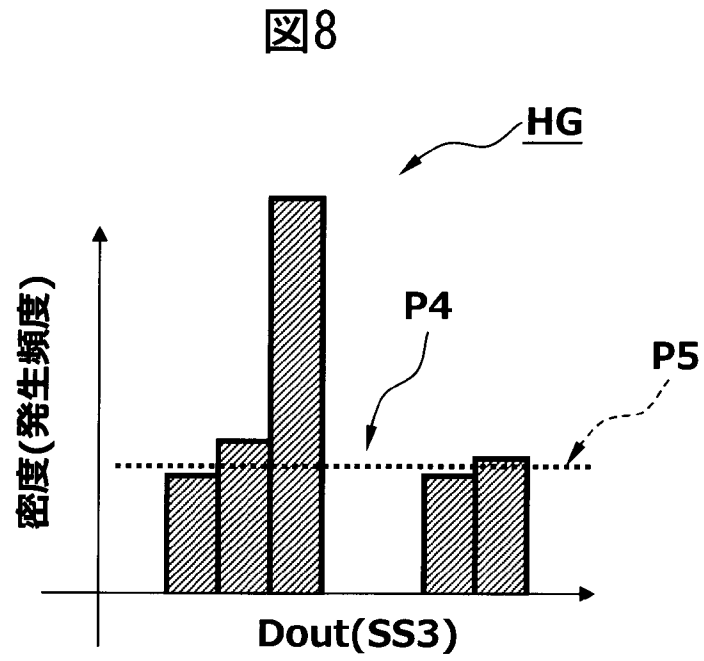


[図6]

図6

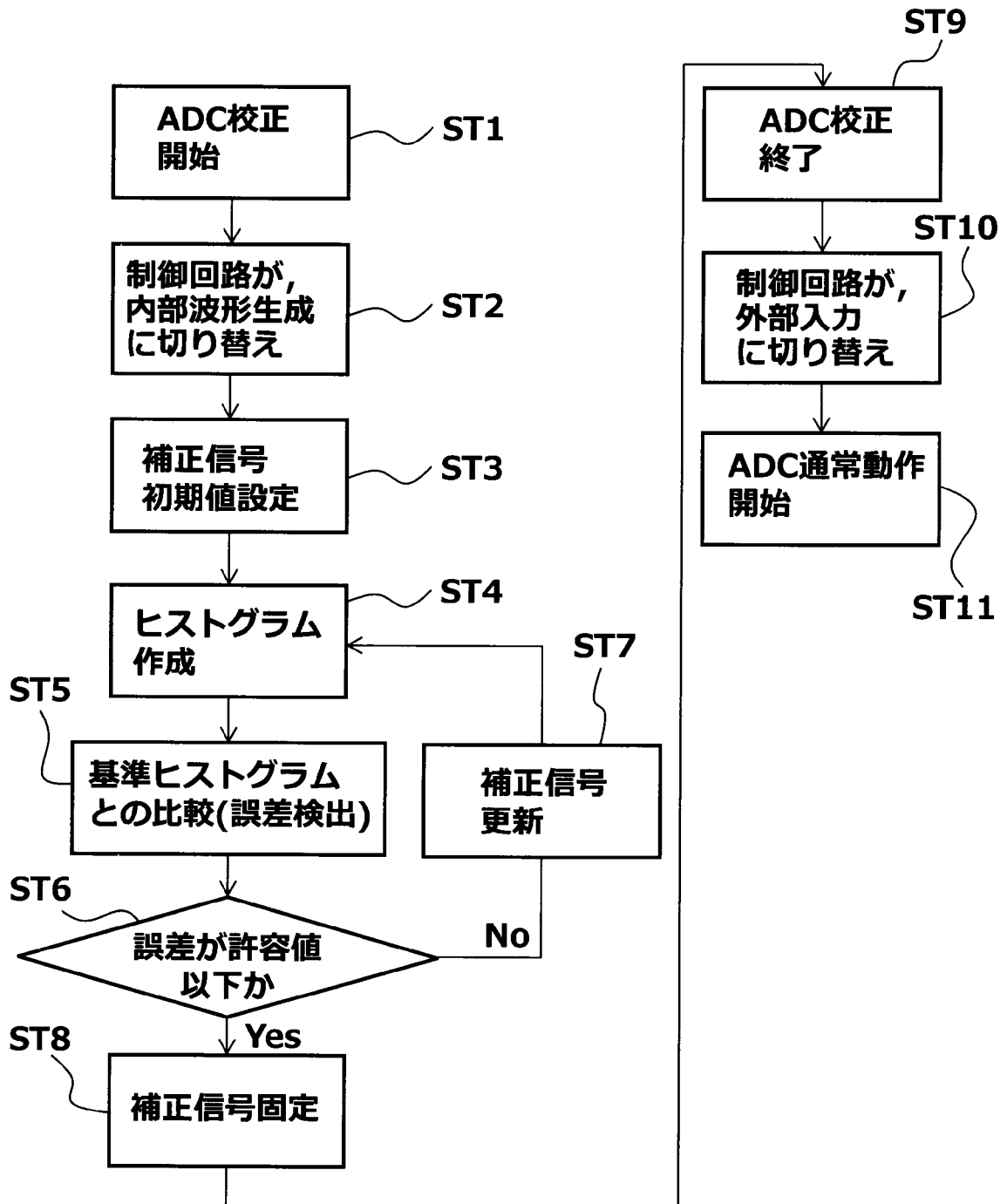


[図8]

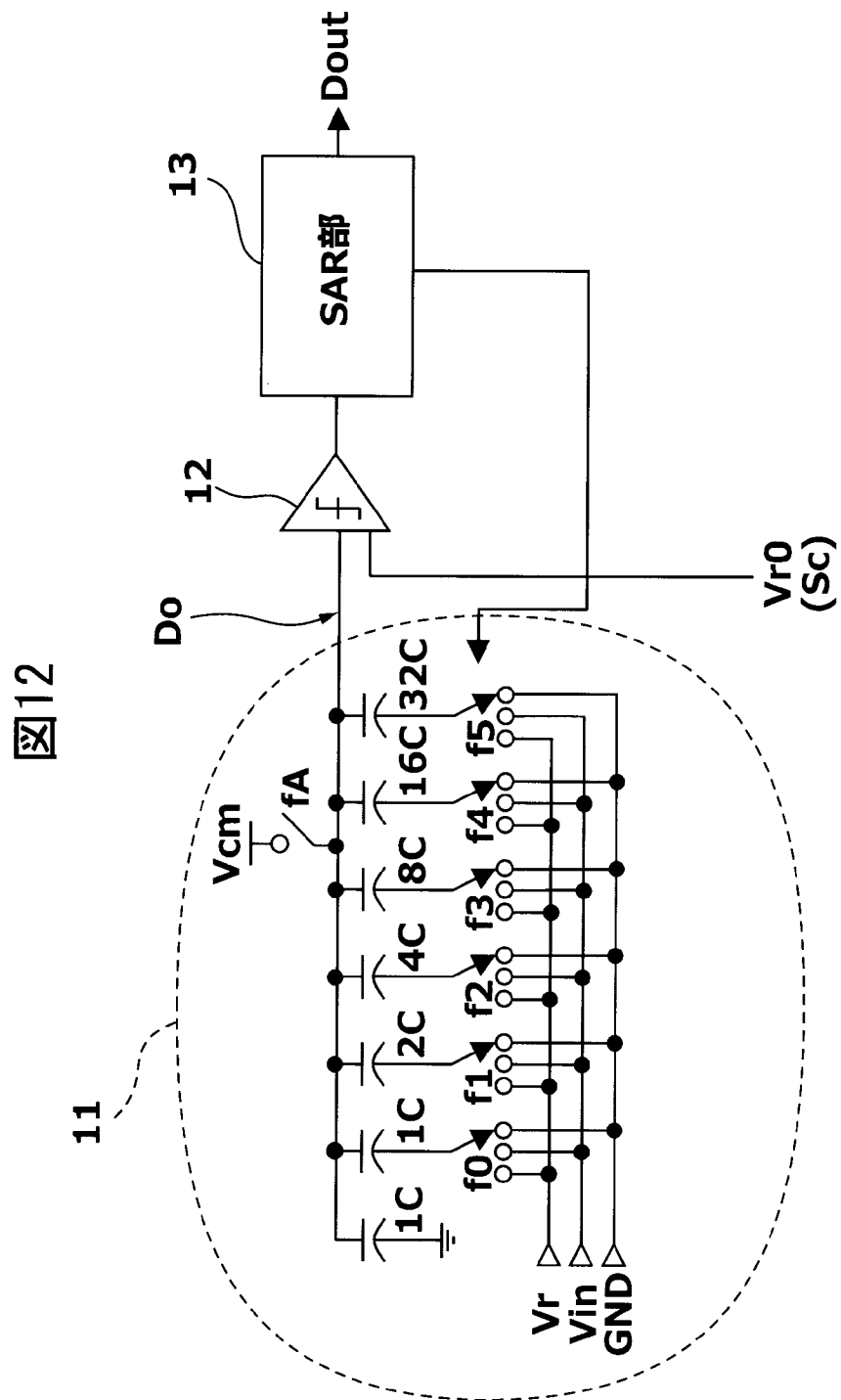


[図9]

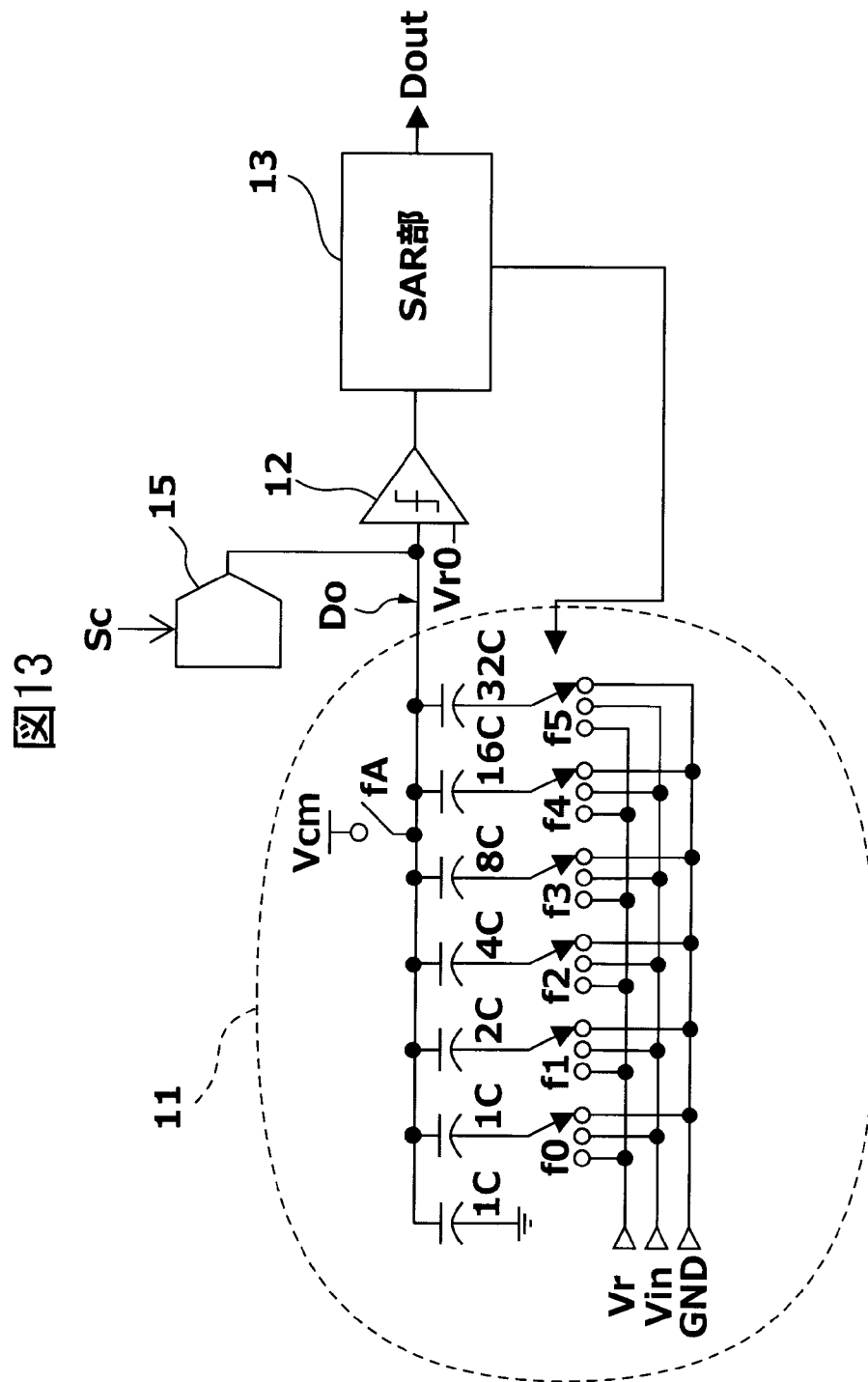
図9



[図12]



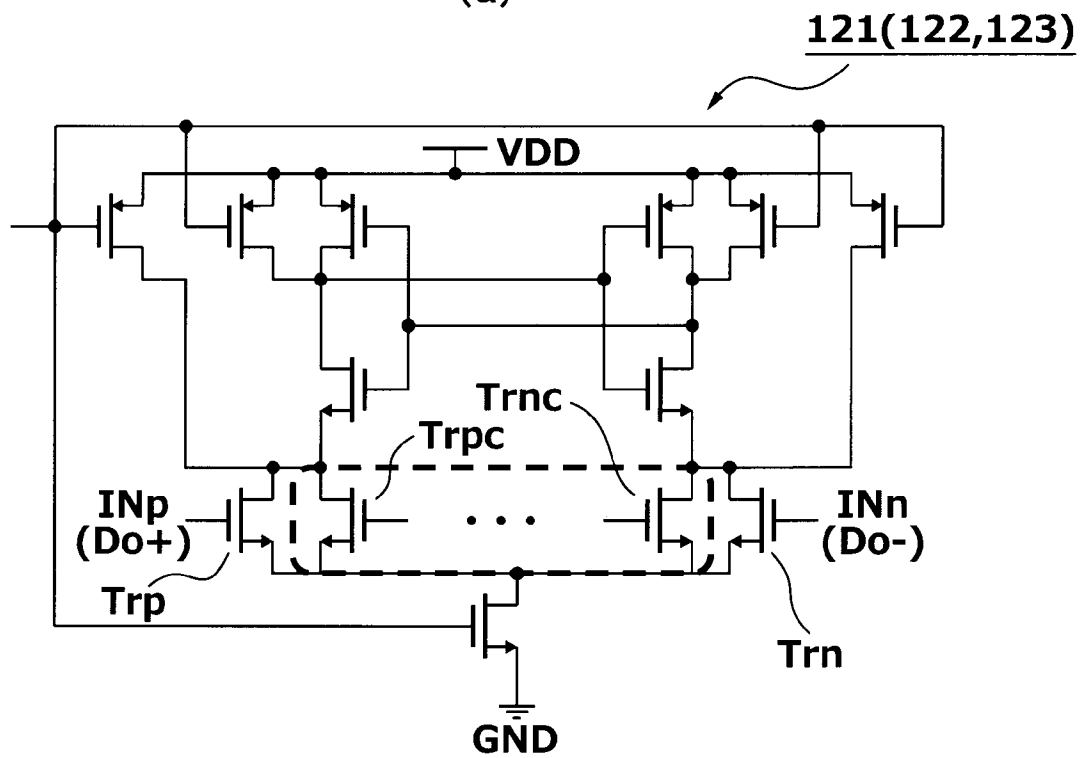
[図13]



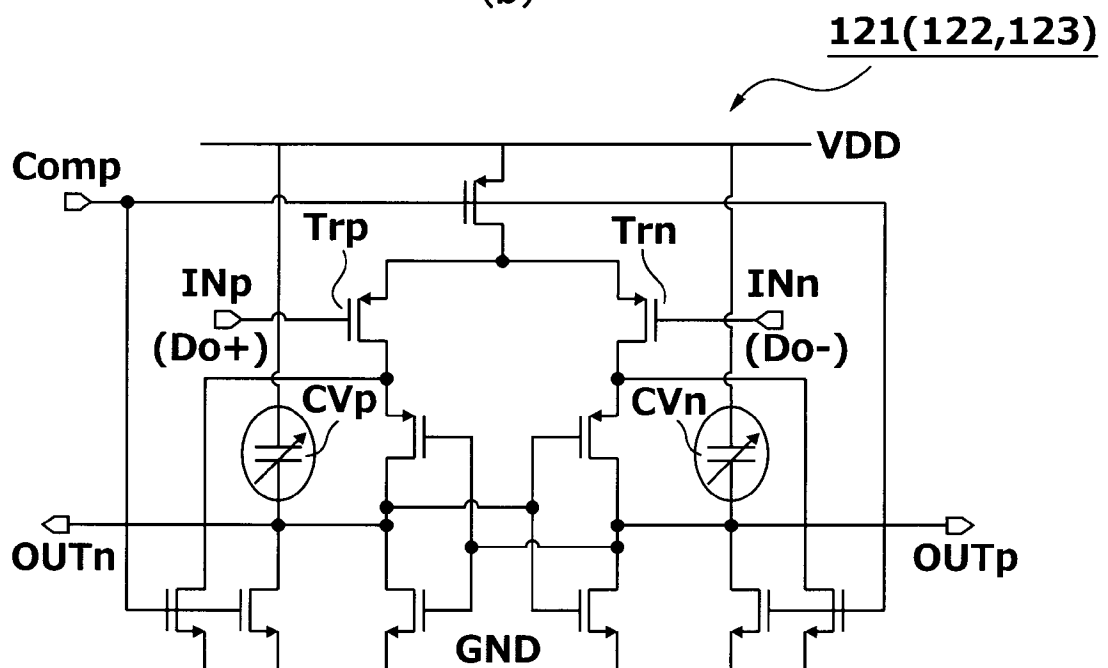
[図15]

図15

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/076709

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/38 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 8-223039 A (Nippon Columbia Co., Ltd.), 30 August 1996 (30.08.1996), entire text; all drawings (Family: none)	1-6, 14-15 7-13
X A	JP 2011-030206 A (Advantest Corp.), 10 February 2011 (10.02.2011), paragraph [0013] & US 2011-0022341 A	1-6, 14-15 7-13
A	JP 2003-179491 A (Matsushita Electric Industrial Co., Ltd.), 27 June 2003 (27.06.2003), paragraphs [0020] to [0031] (Family: none)	1-15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 November, 2013 (19.11.13)

Date of mailing of the international search report
26 November, 2013 (26.11.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03M1/38(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03M1/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 8-223039 A（日本コロムビア株式会社）1996.08.30, 全文, 全図 （ファミリーなし）	1-6, 14-15 7-13
X A	JP 2011-030206 A（株式会社アドバンテスト）2011.02.10, 段落 【0013】 & US 2011-0022341 A	1-6, 14-15 7-13
A	JP 2003-179491 A（松下電器産業株式会社）2003.06.27, 段落【0020】 - 【0031】（ファミリーなし）	1-15

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 1 1 . 2 0 1 3

国際調査報告の発送日

2 6 . 1 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

船越 亮

5 X

3 1 4 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6