

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 4 月 2 日 (02.04.2020)



(10) 国际公布号
WO 2020/062409 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2018/113253

(22) 国际申请日: 2018 年 11 月 1 日 (01.11.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811144369.4 2018年9月29日 (29.09.2018) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

(72) 发明人: 余华伦 (YU, Hualun); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: PHASE INVERTER AND GOA CIRCUIT

(54) 发明名称: 反相器及 GOA 电路

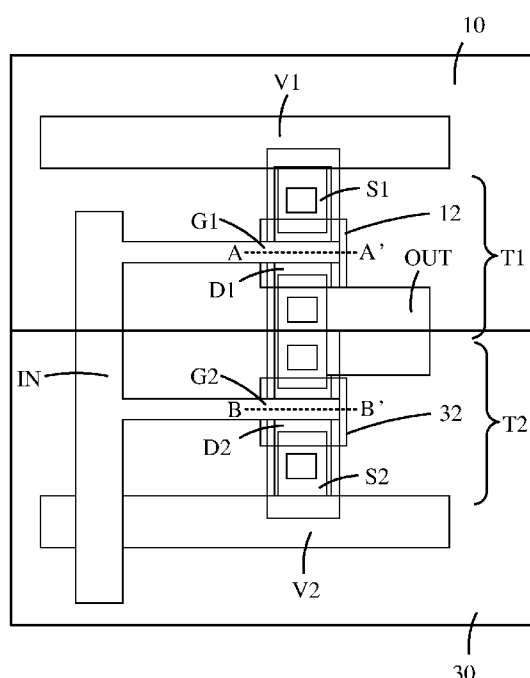


图 2

(57) Abstract: Disclosed is a phase inverter, comprising: a first thin film transistor (T1), including: a first substrate (10); at least one first buffer layer formed on the first substrate (10); and a first polycrystalline silicon layer formed on a part of the at least one first buffer layer; and a second thin film transistor (T2), including: a second substrate (30); at least one second buffer layer formed on a second light shading layer (32); and a second polycrystalline silicon layer formed on a part of the at least one second buffer layer. The first thin film transistor (T1) further comprises a first light shading layer (12) formed between the first substrate and the at least one first buffer layer; and/or the second thin film transistor further comprises a second light shading layer formed between the second substrate and at least one second buffer layer. Further provided is a GOA circuit.

(57) 摘要: 一种反相器, 包括: 第一薄膜晶体管 (T1), 包括: 第一基板 (10); 至少一第一缓冲层, 形成于第一基板 (10) 上; 以及第一多晶硅层, 形成于至少一第一缓冲层上的一部分; 以及第二薄膜晶体管 (T2), 包括: 第二基板 (30); 至少一第二缓冲层, 形成于第二遮光层 (32) 上; 以及第二多晶硅层, 形成于至少一第二缓冲层上的一部分。该第一薄膜晶体管 (T1) 进一步包括第一遮光层 (12) 形成于第一基板及至少一第一缓冲层之间, 及/或第二薄膜晶体管进一步包括第二遮光层形成于第二基板及至少一第二缓冲层之间。还提供了一种 GOA 电路。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明，要求每一种可提供的地区
保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

反相器及GOA电路

技术领域

[0001] 本揭示涉及显示装置，特别是涉及一种用于显示装置的反相器及GOA电路。

背景技术

[0002] 阵列栅极驱动（Gate driver On Array, GOA）电路是利用显示面板的制程将控制扫描线的薄膜晶体管（Thin Film Transistor, TFT）组件制作在显示面板的显示区周边。GOA电路包括反相器、（inverter, INV）、传输门（transfer gate, TG）、与非门（NAND gate）、或非门（NOR gate）等基本逻辑电路。

[0003] 请参阅图1，图1显示现有技术中利用反相器输出扫描信号至扫描线G的示意图。

[0004] 所述反相器包括P型薄膜晶体管P以及N型薄膜晶体管N。所述P型薄膜晶体管P的栅极及所述N型薄膜晶体管N的栅极电性连接至输入端点IN。所述P型薄膜晶体管P的源极电性连接至直流电压源VGH（高电平）。所述N型薄膜晶体管N的源极电性连接至直流电压源VGL（低电平）。所述P型薄膜晶体管P的漏极及所述N型薄膜晶体管N的漏极电性连接至所述扫描线G。

[0005] 当一高电平讯号输入至所述输入端点IN时，所述P型薄膜晶体管P不导通，所述N型薄膜晶体管N导通，所述扫描线G为低电平（电性连接至直流电压源VGL）。

[0006] 当一低电平讯号输入至所述输入端点IN时，所述P型薄膜晶体管P导通，所述N型薄膜晶体管N不导通，所述扫描线G为高电平（电性连接至直流电压源VGH）。

[0007] 当所述P型薄膜晶体管P的电气特性变差，导致临界电压（threshold voltage） V_{th} 往正数值偏移，因此P型薄膜晶体管P的 V_{gs} 会趋于临界电压 V_{th} ，P型薄膜晶体管P的导通电流增大。直流电压源VGH（高电平）和直流电压源VGL（低电平）之间会存在导通路径，最终导致扫描线G趋近于0伏特，进而使得与画素电性连接的薄膜晶体管慢慢导通，漏电流增加，导致面板出现串扰现象。

[0008] 因此需要对现有技术中的问题提出解决方法。

发明概述

技术问题

[0009] 当P型薄膜晶体管的电气特性变差，导致临界电压往正数偏移，使得与画素电性连接的薄膜晶体管慢慢导通，漏电流增加，导致面板出现串扰现象。

问题的解决方案

技术解决方案

[0010] 本揭示的目的在于提供一种反相器及GOA电路，其能解决现有技术中的问题。

[0011] 为解决上述问题，本揭示提供的一种反相器，用于GOA电路，所述反相器包括：第一薄膜晶体管，包括：第一基板；至少一第一缓冲层，形成于所述第一基板上；第一多晶硅层，形成于所述至少一第一缓冲层上的一部分；第一栅极绝缘层，形成于所述至少一第一缓冲层上以及所述第一多晶硅层上；以及第一栅极，形成于所述第一栅极绝缘层上；以及第二薄膜晶体管，包括：第二基板；至少一第二缓冲层，形成于所述第二基板上；第二多晶硅层，形成于所述至少一第二缓冲层上的一部分；第二栅极绝缘层，形成于所述至少一第二缓冲层上以及所述第二多晶硅层上；以及第二栅极，形成于所述第二栅极绝缘层上。所述第一薄膜晶体管进一步包括第一遮光层形成于所述第一基板及所述至少一第一缓冲层之间，及/或所述第二薄膜晶体管进一步包括第二遮光层形成于所述第二基板及所述至少一第二缓冲层之间。所述第一栅极电性连接至一输入端点，且所述第二栅极电性连接至所述输入端点。所述第一薄膜晶体管进一步包括一第一源极以及一第一漏极，所述第一源极电性连接至一第一直流电压源，所述第一漏极电性连接至一输出端点。所述第二薄膜晶体管进一步包括一第二源极以及一第二漏极，所述第二源极电性连接至一第二直流电压源，所述第二漏极电性连接至所述输出端点。当一高电平讯号输入至所述输入端点时，所述输出端点输出低电平讯号。

[0012] 于一实施例中，所述第一薄膜晶体管为P型薄膜晶体管。

[0013] 于一实施例中，所述第二薄膜晶体管为N型薄膜晶体管。

[0014] 为解决上述问题，本揭示提供的一种反相器，用于GOA电路，所述反相器包括

: 第一薄膜晶体管, 包括: 第一基板; 至少一第一缓冲层, 形成于所述第一基板上; 第一多晶硅层, 形成于所述至少一第一缓冲层上的一部分; 第一栅极绝缘层, 形成于所述至少一第一缓冲层上以及所述第一多晶硅层上; 以及第一栅极, 形成于所述第一栅极绝缘层上; 以及第二薄膜晶体管, 包括: 第二基板; 至少一第二缓冲层, 形成于所述第二基板上; 第二多晶硅层, 形成于所述至少一第二缓冲层上的一部分; 第二栅极绝缘层, 形成于所述至少一第二缓冲层上以及所述第二多晶硅层上; 以及第二栅极, 形成于所述第二栅极绝缘层上。所述第一薄膜晶体管进一步包括第一遮光层形成于所述第一基板及所述至少一第一缓冲层之间, 及/或所述第二薄膜晶体管进一步包括第二遮光层形成于所述第二基板及所述至少一第二缓冲层之间。

[0015] 于一实施例中, 所述第一栅极电性连接至一输入端点, 且所述第二栅极电性连接至所述输入端点。

[0016] 于一实施例中, 所述第一薄膜晶体管进一步包括一第一源极以及一第一漏极, 所述第一源极电性连接至一第一直流电压源, 所述第一漏极电性连接至一输出端点, 所述第二薄膜晶体管进一步包括一第二源极以及一第二漏极, 所述第二源极电性连接至一第二直流电压源, 所述第二漏极电性连接至所述输出端点。

[0017] 于一实施例中, 所述第一薄膜晶体管为P型薄膜晶体管。

[0018] 于一实施例中, 所述第二薄膜晶体管为N型薄膜晶体管。

[0019] 本揭示提供的一种GOA电路包括多个反相器, 每一反相器包括: 第一薄膜晶体管, 包括: 第一基板; 第一遮光层, 形成于所述第一基板上; 至少一第一缓冲层, 形成于所述第一遮光层上; 第一多晶硅层, 形成于所述第一缓冲层上的一部分; 第一栅极绝缘层, 形成于所述至少一第一缓冲层上以及所述第一多晶硅层上; 以及第一栅极, 形成于所述第一栅极绝缘层上; 以及第二薄膜晶体管, 包括: 第二基板; 第二遮光层, 形成于所述第二基板上; 至少一第二缓冲层, 形成于所述第二遮光层上; 第二多晶硅层, 形成于所述第二缓冲层上的一部分; 第二栅极绝缘层, 形成于所述至少一第二缓冲层上以及所述第二多晶硅层上; 以及第二栅极, 形成于所述第二栅极绝缘层上。所述第一薄膜晶体管进一步包括第一遮光层形成于所述第一基板上, 及/或所述第二薄膜晶体管进一步包括

第二遮光层形成于所述第二基板上。

[0020] 于一实施例中，所述第一栅极电性连接至一输入端点，且所述第二栅极电性连接至所述输入端点。

[0021] 于一实施例中，所述第一薄膜晶体管进一步包括一第一源极以及一第一漏极，所述第一源极电性连接至一第一直流电压源，所述第一漏极电性连接至一输出端点，所述第二薄膜晶体管进一步包括一第二源极以及一第二漏极，所述第二源极电性连接至一第二直流电压源，所述第二漏极电性连接至所述输出端点。

[0022] 于一实施例中，所述第一薄膜晶体管为P型薄膜晶体管。

[0023] 于一实施例中，所述第二薄膜晶体管为N型薄膜晶体管。

发明的有益效果

有益效果

[0024] 相较于现有技术，本揭示之GOA电路的反相器中，由于在P型薄膜晶体管及N型薄膜晶体管的至少一者设置遮光层，所述遮光层能减少所述漏电流，进而避免所述显示面板的串扰现象。

对附图的简要说明

附图说明

[0025] 图1显示现有技术中利用反相器输出扫描信号至扫描线的示意图。

[0026] 图2显示根据本揭示一实施例之GOA电路的反相器的上视图。

[0027] 图3显示图2沿线段AA'的剖面图。

[0028] 图4显示图2沿线段BB'的剖面图。

实施该发明的最佳实施例

本发明的最佳实施方式

[0029] 以下各实施例的说明是参考附加的图式，用以例示本揭示可用以实施的特定实施例。

[0030] 请参阅图2至图4，图2显示根据本揭示一实施例之GOA电路的反相器的上视图，图3显示图2沿线段AA'的剖面图，图4显示图2沿线段BB'的剖面图。

[0031] 所述GOA电路包括多个反相器且设置于一显示面板上。更明确地说，所述GO

A电路设置于所述显示面板的显示区周边。

[0032] 每一所述反相器包括一第一薄膜晶体管T1以及一第二薄膜晶体管T2。

[0033] 所述第一薄膜晶体管T1包括一第一基板10、一第一遮光层12、至少一第一缓冲层（图中显示两第一缓冲层14、16）、一第一多晶硅层（polysilicon layer）18、一第一栅极绝缘层20、一第一栅极G1、一第一源极S1以及一第一漏极D1。

[0034] 所述第一基板10为所述显示面板的阵列基板。所述第一基板10可以但不限于为玻璃基板或软性基板。

[0035] 所述第一遮光层12形成于所述第一基板10上。

[0036] 所述第一缓冲层14形成于所述第一遮光层12上。所述第一缓冲层14可以为氧化硅层或氮化硅层。

[0037] 所述第一缓冲层16形成于所述第一缓冲层14上。所述第一缓冲层16可以为氧化硅层或氮化硅层。

[0038] 所述第一多晶硅层18形成于所述第一缓冲层16上的一部分。

[0039] 所述第一栅极绝缘层20形成于所述第一缓冲层16上以及所述第一多晶硅层18上。

[0040] 所述第一栅极G1形成于所述第一栅极绝缘层20上且电性连接至一输入端点IN。

[0041] 所述第一源极S1以及所述第一漏极D1形成的位置与现有技术相同，于此不多加赘述。

[0042] 所述第一源极S1电性连接至一第一直流电压源V1。所述第一漏极D1电性连接至一输出端点OUT。所述输出端点OUT电性连接至所述面板之一扫描线。

[0043] 所述第二薄膜晶体管T2包括一第二基板30、一第二遮光层32、至少一第二缓冲层（图中显示两第二缓冲层34、36）、一第二多晶硅层38、一第二栅极绝缘层40、一第二栅极G2、一第二源极S2以及一第二漏极D2。

[0044] 所述第二基板30为所述显示面板的阵列基板。所述第二基板30可以但不限于为玻璃基板或软性基板。所述第二基板30及所述第一基板10皆为所述显示面板的阵列基板。

[0045] 所述第二遮光层32形成于所述第二基板30上。

- [0046] 所述第二缓冲层34形成于所述第二遮光层32上。所述第二缓冲层34可以为氧化硅层或氮化硅层。
- [0047] 所述第二缓冲层36形成于所述第二缓冲层34上。所述第二缓冲层36可以为氧化硅层或氮化硅层。
- [0048] 所述第二多晶硅层38形成于所述第二缓冲层36上的一部分。
- [0049] 所述第二栅极绝缘层40形成于所述第二缓冲层36上以及所述第二多晶硅层38上。
- [0050] 所述第二栅极G2形成于所述第二栅极绝缘层40上且电性连接至所述输入端点IN。
- [0051] 所述第二源极S2以及所述第二漏极D2形成的位置与现有技术相同，于此不多加赘述。
- [0052] 所述第二源极S2电性连接至一第二直流电压源V2。所述第二漏极D2电性连接至所述输出端点OUT。
- [0053] 从图3及图4可知，所述第一薄膜晶体管T1及所述第二薄膜晶体管T2具有类似的结构。
- [0054] 本揭示之GOA电路的反相器的特点在于所述第一薄膜晶体管T1及所述第二薄膜晶体管T2的至少一者设置有遮光层。于本实施例中，所述第一薄膜晶体管T1设置有第一遮光层12，所述第二薄膜晶体管T2设置有第二遮光层32。于另一实施例中，可以仅在所述第一薄膜晶体管T1设置有第一遮光层12，所述第二薄膜晶体管T2不设置第二遮光层32。于又一实施例中，可以仅在所述第二薄膜晶体管T2设置有第二遮光层32，所述第一薄膜晶体管T1不设置第一遮光层12。
- [0055] 此外，于本实施例中，所述第一薄膜晶体管T1掺杂有三价元素以形成一P型薄膜晶体管。更明确地说，所述第一薄膜晶体管T1的源极S1的区域与漏极D1的区域掺杂有三价元素。三价元素例如但不限于为硼。
- [0056] 所述第二薄膜晶体管T2掺杂有五价元素以形成一N型薄膜晶体管。更明确地说，所述第二薄膜晶体管T2的源极S2的区域与漏极D2的区域掺杂有五价元素。五价元素例如但不限于为磷。
- [0057] 本揭示之GOA电路的反相器的特点在于设置所述第一遮光层12或所述第二遮光

层32。所述第一遮光层12用于遮挡住所述第一薄膜晶体管T1（P型薄膜晶体管）。当所述第一薄膜晶体管（P型薄膜晶体管）T1的临界电压往正数值偏移，由于所述第一遮光层12遮挡住所述第一薄膜晶体管（P型薄膜晶体管）T1，所述第一薄膜晶体管（P型薄膜晶体管）T1的导通电流较小，所述第一薄膜晶体管（P型薄膜晶体管）T1不会导通。

[0058] 因此，当一高电平讯号输入至所述第一薄膜晶体管（P型薄膜晶体管）T1的第一栅极G1时，所述第一薄膜晶体管（P型薄膜晶体管）T1不会因为临界电压往正数值偏移而导通，输入至扫描线的扫描信号仍会为图1的直流电压源VGL（低电平）。也就是说，当所述反相器的输入为高电平讯号时，所述反相器的输出为低电平讯号。所述反相器能正常实现功能（输出低电平讯号）。更明确地说，所述第一遮光层12能减少所述第一薄膜晶体管T1（P型薄膜晶体管）的漏电流，进而避免所述显示面板的串扰现象。

[0059] 此外，所述第二遮光层32也能减少所述第二薄膜晶体管T2（N型薄膜晶体管）的漏电流，进而避免所述显示面板的串扰现象。

[0060] 本揭示之GOA电路的反相器中，由于在P型薄膜晶体管及N型薄膜晶体管的至少一者设置遮光层，所述遮光层能减少所述漏电流，进而避免所述显示面板的串扰现象。

[0061] 综上所述，虽然本揭示已以优选实施例揭露如上，但上述优选实施例并非用以限制本揭示，本领域的普通技术人员，在不脱离本揭示的精神和范围内，均可作各种更动与润饰，因此本揭示的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种反相器，用于GOA电路，所述反相器包括：
- 第一薄膜晶体管，包括：
- 第一基板；
- 至少一第一缓冲层，形成于所述第一基板上；
- 第一多晶硅层，形成于所述至少一第一缓冲层上的一部分；
- 第一栅极绝缘层，形成于所述至少一第一缓冲层上以及所述第一多晶硅层上；以及
- 第一栅极，形成于所述第一栅极绝缘层上；以及
- 第二薄膜晶体管，包括：
- 第二基板；
- 至少一第二缓冲层，形成于所述第二基板上；
- 第二多晶硅层，形成于所述至少一第二缓冲层上的一部分；
- 第二栅极绝缘层，形成于所述至少一第二缓冲层上以及所述第二多晶硅层上；以及
- 第二栅极，形成于所述第二栅极绝缘层上，
- 其中所述第一薄膜晶体管进一步包括第一遮光层形成于所述第一基板及所述至少一第一缓冲层之间，及/或
- 所述第二薄膜晶体管进一步包括第二遮光层形成于所述第二基板及所述至少一第二缓冲层之间，
- 所述第一栅极电性连接至一输入端点，且所述第二栅极电性连接至所述输入端点，
- 所述第一薄膜晶体管进一步包括一第一源极以及一第一漏极，所述第一源极电性连接至一第一直流电压源，所述第一漏极电性连接至一输出端点，
- 所述第二薄膜晶体管进一步包括一第二源极以及一第二漏极，所述第二源极电性连接至一第二直流电压源，所述第二漏极电性连接至所述输出端点，

当一高电平讯号输入至所述输入端点时，所述输出端点输出低电平讯号。

[权利要求 2] 根据权利要求1所述的反相器，其中所述第一薄膜晶体管为P型薄膜晶体管。

[权利要求 3] 根据权利要求1所述的反相器，其中所述第二薄膜晶体管为N型薄膜晶体管。

[权利要求 4] 一种反相器，用于GOA电路，所述反相器包括：
第一薄膜晶体管，包括：
第一基板；
至少一第一缓冲层，形成于所述第一基板上；
第一多晶硅层，形成于所述至少一第一缓冲层上的一部分；
第一栅极绝缘层，形成于所述至少一第一缓冲层上以及所述第一多晶硅层上；以及
第一栅极，形成于所述第一栅极绝缘层上；以及
第二薄膜晶体管，包括：
第二基板；
至少一第二缓冲层，形成于所述第二基板上；
第二多晶硅层，形成于所述至少一第二缓冲层上的一部分；
第二栅极绝缘层，形成于所述至少一第二缓冲层上以及所述第二多晶硅层上；以及
第二栅极，形成于所述第二栅极绝缘层上，
其中所述第一薄膜晶体管进一步包括第一遮光层形成于所述第一基板及所述至少一第一缓冲层之间，及/或
所述第二薄膜晶体管进一步包括第二遮光层形成于所述第二基板及所述至少一第二缓冲层之间。

[权利要求 5] 根据权利要求4所述的反相器，其中所述第一栅极电性连接至一输入端点，且所述第二栅极电性连接至所述输入端点。

[权利要求 6] 根据权利要求4所述的反相器，其中所述第一薄膜晶体管进一步包括

一第一源极以及一第一漏极，所述第一源极电性连接至一第一直流电压源，所述第一漏极电性连接至一输出端点，
所述第二薄膜晶体管进一步包括一第二源极以及一第二漏极，所述第二源极电性连接至一第二直流电压源，所述第二漏极电性连接至所述输出端点。

[权利要求 7] 根据权利要求4所述的反相器，其中所述第一薄膜晶体管为P型薄膜晶体管。

[权利要求 8] 根据权利要求4所述的反相器，其中所述第二薄膜晶体管为N型薄膜晶体管。

[权利要求 9] 一种GOA电路，包括多个反相器，每一反相器包括：
第一薄膜晶体管，包括：
第一基板；
至少一第一缓冲层，形成于所述第一基板上；
第一多晶硅层，形成于所述至少一第一缓冲层上的一部分；
第一栅极绝缘层，形成于所述至少一第一缓冲层上以及所述第一多晶硅层上；以及
第一栅极，形成于所述第一栅极绝缘层上；以及
第二薄膜晶体管，包括：
第二基板；
至少一第二缓冲层，形成于所述第二基板上；
第二多晶硅层，形成于所述至少一第二缓冲层上的一部分；
第二栅极绝缘层，形成于所述至少一第二缓冲层上以及所述第二多晶硅层上；以及
第二栅极，形成于所述第二栅极绝缘层上，
其中所述第一薄膜晶体管进一步包括第一遮光层形成于所述第一基板及所述至少一第一缓冲层之间，及/或
所述第二薄膜晶体管进一步包括第二遮光层形成于所述第二基板及所述至少一第二缓冲层之间。

- [权利要求 10] 根据权利要求9所述的GOA电路，其中所述第一栅极电性连接至一输入端点，且所述第二栅极电性连接至所述输入端点。
- [权利要求 11] 根据权利要求9所述的GOA电路，其中所述第一薄膜晶体管进一步包括一第一源极以及一第一漏极，所述第一源极电性连接至一第一直流电压源，所述第一漏极电性连接至一输出端点，
所述第二薄膜晶体管进一步包括一第二源极以及一第二漏极，所述第二源极电性连接至一第二直流电压源，所述第二漏极电性连接至所述输出端点。
- [权利要求 12] 根据权利要求9所述的GOA电路，其中所述第一薄膜晶体管为P型薄膜晶体管。
- [权利要求 13] 根据权利要求9所述的GOA电路，其中所述第二薄膜晶体管为N型薄膜晶体管。

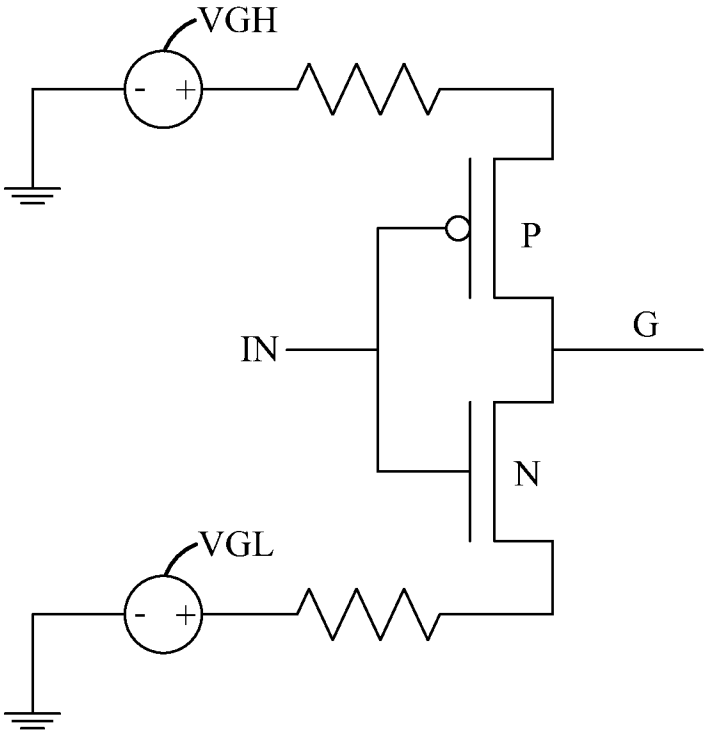


图 1

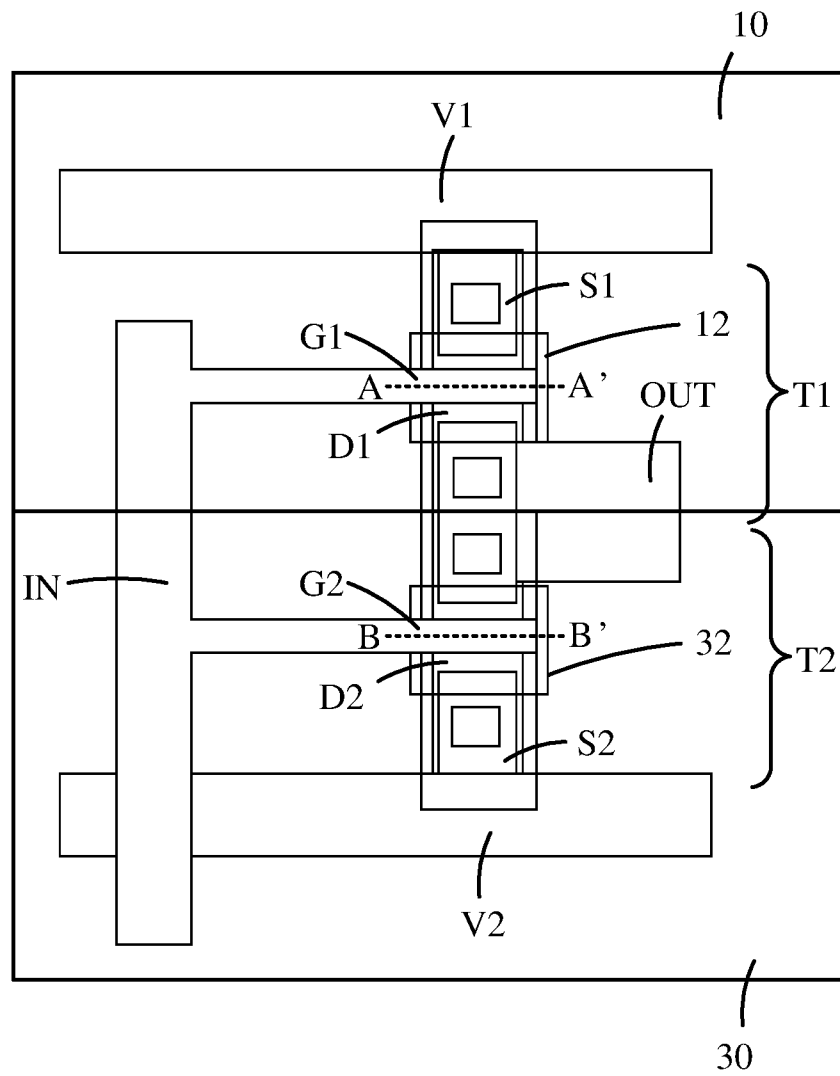


图 2

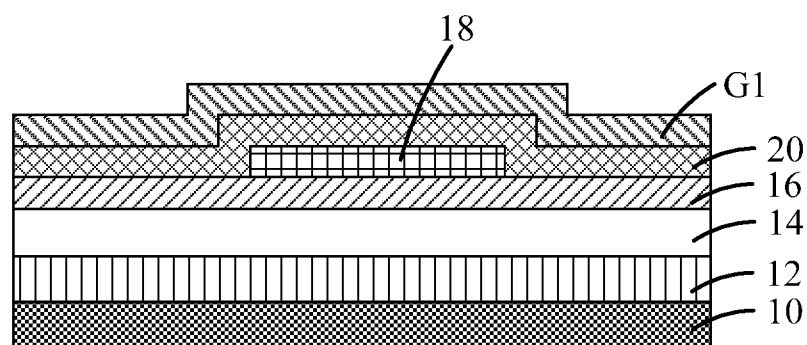


图 3

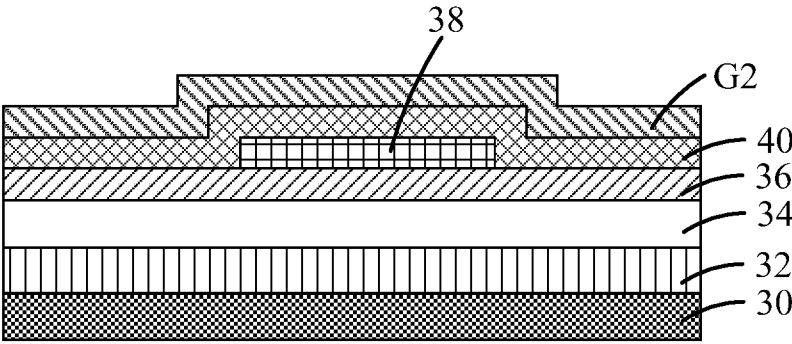


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/113253

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN; CNABS: shield+, GOA, inverter, layer, n, isolat+, g09g3/+, insulat+, cn201811144369, 反相器, 晶体管, 绝缘层, transistor?, light, TFT, 遮光层, 第二晶体管

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	TW 201443856 A (PIXTRONIX INC.) 16 November 2014 (2014-11-16) description, pages 1 and 8, and figures 1-10	1-13
A	CN 10570221 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 June 2016 (2016-06-22) entire document	1-13
A	CN 106097949 A (LG DISPLAY CO., LTD.) 09 November 2016 (2016-11-09) entire document	1-13
A	JP 2008224722 A (SEIKO EPSON CORP.) 25 September 2008 (2008-09-25) entire document	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 June 2019

Date of mailing of the international search report

05 July 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/113253

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
TW	201443856	A	16 November 2014	WO	2014153523	A1	25 September 2014
				JP	2014182333	A	29 September 2014
CN	10570221	A	22 June 2016	None			
CN	106097949	A	09 November 2016	KR	20150124925	A	06 November 2015
JP	2008224722	A	25 September 2008	None			

国际检索报告

国际申请号

PCT/CN2018/113253

A. 主题的分类

G09G 3/36 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN;CNABS:shield+, G0A, inverter, layer, n, isolat+, g09g3/+, insulat+, cn201811144369, 反相器, 晶体管, 绝缘层, transistor?, light, TFT, 遮光层, 第二晶体管

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	TW 201443856 A (PIXTRONIX INC) 2014年 11月 16日 (2014 - 11 - 16) 说明书第1、8页和附图1-10	1-13
A	CN 10570221 A (武汉华星光电技术有限公司) 2016年 6月 22日 (2016 - 06 - 22) 全文	1-13
A	CN 106097949 A (乐金显示有限公司) 2016年 11月 9日 (2016 - 11 - 09) 全文	1-13
A	JP 2008224722 A (SEIKO EPSON CORP) 2008年 9月 25日 (2008 - 09 - 25) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 6月 20日

国际检索报告邮寄日期

2019年 7月 5日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

李军

电话号码 62085773

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/113253

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
TW	201443856	A	2014年 11月 16日	WO	2014153523	A1	2014年 9月 25日
				JP	2014182333	A	2014年 9月 29日
CN	10570221	A	2016年 6月 22日	无			
CN	106097949	A	2016年 11月 9日	KR	20150124925	A	2015年 11月 6日
JP	2008224722	A	2008年 9月 25日	无			