[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H03K 19/003 (2006.01)
H03K 19/0185 (2006.01)
G09G 3/28 (2006.01)

[12] 发明专利申请公布说明书

[21] 申请号 200810083558.5

[43] 公开日 2008 年 10 月 29 日

[11] 公开号 CN 101295977A

[22] 申请日 2008.3.12
[21] 申请号 200810083558.5
[30] 优先权
[32] 2007. 4.24 [33] JP [31] 2007－114304
[71] 申请人 松下电器产业株式会社
地址 日本大阪府
[72] 发明人 中村惠美 松永弘树
[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 汪惠民

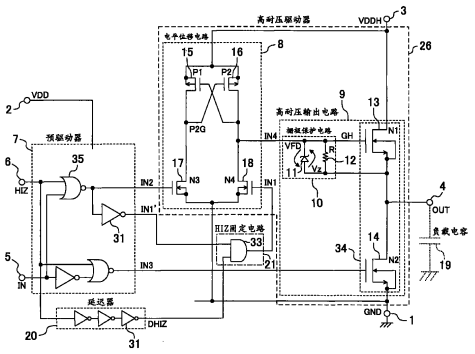
权利要求书 3 页 说明书 24 页 附图 16 页

[54] 发明名称

输出电路及多输出电路

[57] 摘要

本发明公开了一种输出电路及多输出电路。该输出电路包括：高侧晶体管 13、低侧晶体管 14、栅极保护电路 10、电平位移电路 8 以及预驱动电路 7。电平位移电路 8 在使高侧晶体管 13 截止后经过规定时间以后，再使从输出端 4 流向电平位移电路 8 的电流路径成为断路状态。因此，本发明能够提供一种切断负载电流从输出端通过齐纳二极管流向电平位移电路的路径，使输出端完全地成为高阻抗的输出电路。



1、一种输出电路，其包括：高侧晶体管、低侧晶体管、保护所述高侧晶体管的栅极电压的栅极保护电路、经由所述栅极保护电路驱动所述高侧晶体管的电平位移电路以及驱动所述电平位移电路与所述低侧晶体管的预驱动电路，该输出电路以所述高侧晶体管与所述低侧晶体管的连接点作输出端，其特征在于：

所述电平位移电路，在从使所述高侧晶体管截止开始算起又经过了规定时间以后，使从所述输出端流向所述电平位移电路的电流路径成为断路状态。

2、根据权利要求1所述的输出电路，其特征在于：

所述电平位移电路，通过在使所述高侧晶体管截止后成为高阻抗状态来使所述电流路成为断路状态。

3、根据权利要求1所述的输出电路，其特征在于：

还包括延迟器，该延迟器由利用相互串联的多个反相器构成且使所述规定时间经过。

4、根据权利要求1所述的输出电路，其特征在于：

所述规定时间比到所述高侧晶体管确实成为截止状态为止的时间长。

5、根据权利要求3所述的输出电路，其特征在于：

所述延迟器，不使所述规定时间经过，便将所述电流路径的断路状态解除。

6、一种多输出电路，其包括多个权利要求1中所述的输出电路，还包括：使所述输出电路的各个输出依序输出的移位寄存器和一个以上的延迟器，该延迟器由利用相互串联的多个反相器构成，且使对应于所述电平位移电路中的每一个电平位移电路的所述规定时间经过。

7、一种输出电路，其包括：高侧晶体管、并联在所述高侧晶体管上的高侧再生二极管、低侧晶体管、并联在所述低侧晶体管上的低侧再生二极管、保护所述高侧晶体管的栅极电压的栅极保护电路、经由所述栅极保护电路驱动所述高侧晶体管的电平位移电路以及驱动所述电平位移电路与

所述低侧晶体管的预驱动电路，该输出电路以所述高侧晶体管与所述低侧晶体管的连接点作输出端，其特征在于：

所述电平位移电路，在从使所述高侧晶体管截止开始算起又经过了规定时间以后，使从所述输出端流向所述电平位移电路的电流路径成为断路状态。

8、根据权利要求7所述的输出电路，其特征在于：

所述电平位移电路，通过在使所述高侧晶体管截止后成为高阻抗状态来使所述电流路成为断路状态。

9、根据权利要求7所述的输出电路，其特征在于：

还包括延迟器，该延迟器由利用相互串联的多个反相器构成且使所述规定时间经过。

10、根据权利要求7所述的输出电路，其特征在于：

所述规定时间比所述高侧晶体管确实成为截止状态为止的时间长。

11、根据权利要求9所述的输出电路，其特征在于：

所述延迟器，不使所述规定时间经过，便将所述电流路径的断路状态解除。

12、一种多输出电路，其包括多个权利要求7中所述的输出电路，还包括：使所述输出电路的各个输出依序输出的移位寄存器和一个以上的延迟器，该延迟器由利用相互串联的多个反相器构成，且使对应于所述电平位移电路中的每一个电平位移电路的所述规定时间经过。

13、一种输出电路，其包括：高侧晶体管、低侧晶体管、保护所述高侧晶体管的栅极电压的栅极保护电路、经由所述栅极保护电路驱动所述高侧晶体管的电平位移电路以及驱动所述电平位移电路与所述低侧晶体管的预驱动电路，该输出电路以所述高侧晶体管与所述低侧晶体管的连接点作输出端，其特征在于：

还包括:连接在所述电平位移电路和所述栅极保护电路之间的二极管。

14、一种输出电路，其包括：高侧晶体管、并联在所述高侧晶体管上的高侧再生二极管、低侧晶体管、并联在所述低侧晶体管上的低侧再生二极管、保护所述高侧晶体管的栅极电压的栅极保护电路、经由所述栅极保护电路驱动所述高侧晶体管的电平位移电路以及驱动所述电平位移电路与

所述低侧晶体管的预驱动电路，该输出电路以所述高侧晶体管与所述低侧晶体管的连接点作输出端，其特征在于：

还包括：连接在所述电平位移电路和所述栅极保护电路之间的二极管。

输出电路及多输出电路

技术领域

本发明涉及一种输出电路及多输出电路。特别涉及用以驱动等离子显示器等电容性负载的多沟道电容负载驱动电路。

背景技术

图 15 示出了现有技术所涉及的多沟道电容负载驱动电路中包括高耐压驱动器的输出电路的电路结构例。

图 15 所示的输出电路，包括高耐压驱动器 26 以及预驱动电路 7。高耐压驱动器 26 又具有高耐压输出电路 9 与电平位移电路 8。

构成高耐压驱动器 26 的高耐压输出电路 9 包括半桥电路 34 与栅极保护电路 10，该半桥电路 34 由高侧晶体管 13 和低侧晶体管 14 构成。栅极保护电路 10，由齐纳二极管 11 与电阻 12 构成且用来保护高侧晶体管 13 的栅极。而且，构成高耐压驱动器 26 的电平位移电路 8 驱动高侧晶体管 13。

预驱动电路 7 由反相器 31 与“或非”电路 35 构成，驱动电平位移电路 8 及低侧晶体管 14。补充说明一下，高耐压输出电路 9 的输出端 4 连接在高侧晶体管 13 与低侧晶体管 14 的共同连接端上。基准电源端 1 是基准电位端，低压电源端 2 是 5V 左右的低压电源端，高压电源端 3 是 100V 以上的高压电源端，来自未图示的低耐压控制部的输入信号输入控制输入端 5 及 6。

接着，对具有以上结构的现有技术所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器 26 的输出电路的工作情况进行说明。

图 16 是用以说明现有技术所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器 26 的输出电路的工作情况的时序图。

图 16 中示出了以下信号与波形，即，从低耐压控制部输入到控制信

号输入端 5 与 6 的输入信号 IN 与 HIZ，根据输入信号 IN3 与 HIZ 驱动电平位移电路 8 的预驱动电路 7 的输出信号 IN1 及 IN2，根据输入信号 IN 与 HIZ 驱动低侧晶体管 14 的预驱动电路 7 的输出信号 IN，根据预驱动电路 7 的输出信号 IN1 及 IN2 驱动高侧晶体管 13 的电平位移电路 8 的输出信号 IN4，构成电平位移电路 8 的厚膜栅极 P 型 MOS 晶体管 16 的栅极驱动信号 P2G，接收电平位移电路 8 的输出信号 IN4 根据栅极保护电路 10 决定的高侧晶体管 13 的栅极－源极间电压 GH，以及根据预驱动电路 7 的输出信号 IN3 输出的高耐压输出电路 9 的输出端 4 的电压波形 OUT。

这里，对 GND 电平的信号输入控制输入端 6，输入信号 HIZ 成为低电平（GND）的情况进行说明。

首先，若 GND 电平的信号输入到输入端 5，输入信号 IN 成为低电平（GND），则输出信号 IN1 成为低电平（GND），输出信号 IN2 成为高电平（VDD），栅极驱动信号 P2G 成为低电平（GND），输出信号 IN4 成为高电平（VDDH）。因此，栅极－源极间电压 GH 在齐纳二极管 11 的作用下成为 OUT+Vz（击穿电压），在高侧晶体管 13 的阈值电压 Vth（T1）以上。于是，高侧晶体管 13 导通。而且，因为输出信号 IN3 成为低电平（GND），使低侧晶体管 14 截止，所以输出电压波形 OUT 成为高电平（VDDH）。

接着，若 VDD 电平的信号输入到输入端 5，输入信号 IN 成为高电平（VDD），则输出信号 IN1 成为高电平（VDD），输出信号 IN2 成为低电平（GND），栅极驱动信号 P2G 成为高电平（VDDH），输出信号 IN4 成为低电平（GND）。因此，齐纳二极管 11 被正向偏压，栅极－源极间电压 GH 成为 OUT－VFD（齐纳正向电压），在高侧晶体管 13 的阈值电压 Vth（T1）以下。于是，高侧晶体管 13 截止。而且，因为输出信号 IN3 成为高电平（VDD），使低侧晶体管 14 导通，所以输出电压波形 OUT 成为低电平（GND）。

另一方面，对 VDD 电平的信号被输入输入端 6 的情况进行说明。

在该情况下，不管是 GND 电平的信号输入到输入端 5，还是 VDD 电平的信号输入到输入端 5，输出信号 IN1 都成为高电平（VDD），输出信

号IN2也都成为低电平(GND),栅极驱动信号P2G成为高电平(VDDH),构成电平位移电路8的薄膜栅极N型MOS晶体管18导通。此时，构成栅极保护电路10的齐纳二极管11被正向偏压，栅极－源极间电压GH成为OUT－VFD（齐纳正向电压），在高侧晶体管13的阈值电压Vth（T1）以下。高侧晶体管 13 因此便截止。而且，输出信号 IN3 也成为低电平（GND），低侧晶体管14截止，但因为薄膜栅极N型MOS晶体管18导通，所以负载电流会从输出端4经过齐纳二极管11流入。结果是，输出电压波形OUT不久即成为低电平（GND）。

《专利文献1》 日本公开特许公报特开2005－20142号公报（图4）

发明内容

－发明要解决的问题－

但是，在上述现有技术所涉及的多沟道电容负载驱动电路中的高耐压驱动器26中，因为会由构成电平位移电路8的薄膜栅极N型MOS晶体管18与齐纳二极管11而产生负载电流路径，所以不能使输出端4完全地成为高阻抗，这就是问题。

因为通常是让数百pF以上的电容负载在小尺寸的薄膜栅极N型MOS晶体管18长时间地放电，所以该晶体管自我发热等而损坏，这就是问题。在该情况下，也能够增大晶体管的尺寸来防止晶体管损坏，但这样做必然会出现芯片面积增大的问题。

本发明正是为解决上述问题而研究开发出来的，其目的在于：提供一种输出电路及多输出电路，该输出电路与多输出电路具有能够切断负载电流从输出端通过齐纳二极管流向电平位移电路的路径，使输出端完全地成为高阻抗的结构。

－用以解决技术问题的技术方案－

为达成上述目的，本发明的第一个实施例所涉及的输出电路，其包括：高侧晶体管、低侧晶体管、保护高侧晶体管的栅极电压的栅极保护电路、经由栅极保护电路驱动高侧晶体管的电平位移电路以及驱动电平位移电路与低侧晶体管的预驱动电路，该输出电路以高侧晶体管与低侧晶体管的连接点作输出端。电平位移电路，在从使高侧晶体管截止开始算起又经过了

规定时间以后，使从输出端流向电平位移电路的电流路径成为断路状态。

在本发明第一个实施例所涉及的输出电路中，电平位移电路，通过在使高侧晶体管截止后成为高阻抗状态来使电流路成为断路状态。

在本发明第一个实施例所涉及的输出电路中，还包括延迟器，该延迟器由利用相互串联的多个反相器构成且使规定时间经过。

在本发明第一个实施例所涉及的输出电路中，规定时间比到高侧晶体管确实成为截止状态为止的时间长。

在本发明第一个实施例所涉及的输出电路中，延迟器，不使规定时间经过，便将电流路径的断路状态解除。

包括多个本发明第一个实施例所涉及的输出电路的第一多输出电路，还包括：使输出电路的各个输出依序输出的移位寄存器和一个以上的延迟器，该延迟器由利用相互串联的多个反相器构成，且使对应于电平位移电路中的每一个电平位移电路的规定时间经过。

本发明的第二个实施例所涉及的一种输出电路，其包括：高侧晶体管、并联在高侧晶体管上的高侧再生二极管、低侧晶体管、并联在低侧晶体管上的低侧再生二极管、保护高侧晶体管的栅极电压的栅极保护电路、经由栅极保护电路驱动高侧晶体管的电平位移电路以及驱动电平位移电路与低侧晶体管的预驱动电路，该输出电路以高侧晶体管与低侧晶体管的连接点作输出端。电平位移电路，在从使高侧晶体管截止开始算起又经过了规定时间以后，使从输出端流向电平位移电路的电流路径成为断路状态。

在本发明第二个实施例所涉及的输出电路中，电平位移电路，通过在使高侧晶体管截止后成为高阻抗状态来使电流路成为断路状态。

在本发明第二个实施例所涉及的输出电路中，还包括延迟器，该延迟器由利用相互串联的多个反相器构成且使规定时间经过。

在本发明第二个实施例所涉及的输出电路中，规定时间比高侧晶体管确实成为截止状态为止的时间长。

在本发明第二个实施例所涉及的输出电路中，延迟器，不使规定时间经过，便将电流路径的断路状态解除。

包括多个本发明第二个实施例所涉及的输出电路的第二多输出电路，还包括：使输出电路的各个输出依序输出的移位寄存器和一个以上的延迟

器，该延迟器由利用相互串联的多个反相器构成，且使对应于电平位移电路中的每一个电平位移电路的规定时间经过。

本发明第三个实施例所涉及的输出电路，其包括：高侧晶体管、低侧晶体管、保护高侧晶体管的栅极电压的栅极保护电路、经由栅极保护电路驱动高侧晶体管的电平位移电路以及驱动电平位移电路与低侧晶体管的预驱动电路，该输出电路以高侧晶体管与低侧晶体管的连接点作输出端。还包括：连接在电平位移电路和栅极保护电路之间的二极管。

本发明第四个实施例所涉及的输出电路，其包括：高侧晶体管、并联在高侧晶体管上的高侧再生二极管、低侧晶体管、并联在低侧晶体管上的低侧再生二极管、保护高侧晶体管的栅极电压的栅极保护电路、经由栅极保护电路驱动高侧晶体管的电平位移电路以及驱动电平位移电路与低侧晶体管的预驱动电路，该输出电路以高侧晶体管与低侧晶体管的连接点作输出端。还包括：连接在电平位移电路和栅极保护电路之间的二极管。

—发明的效果—

根据本发明所涉及的输出电路及多输出电路，因为使用了具有薄栅极氧化膜的高侧晶体管，所以在采用含有齐纳二极管的栅极保护电路的结构中，也能够使高耐压输出端子完全地成为高阻抗。

附图的简单说明

图1示出了本发明第一个实施例所涉及的的构成多沟道电容负载驱动电路的包括高耐压驱动器的输出电路的电路结构例。

图2是说明本发明第一个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器的输出电路的工作情况的时序图。

图3示出了本发明第二个实施例所涉及的的构成多沟道电容负载驱动电路的包括高耐压驱动器的输出电路的电路结构例。

图4是说明本发明第二个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器的输出电路的工作情况的时序图。

图5示出了本发明第三个实施例所涉及的的构成多沟道电容负载驱动电路的包括高耐压驱动器的输出电路的电路结构例。

图6是说明本发明第三个实施例所涉及的多沟道电容负载驱动电路中

的包括高耐压驱动器的输出电路的工作情况的时序图。

图 7 示出了本发明第四个实施例所涉及的的构成多沟道电容负载驱动电路的包括高耐压驱动器的输出电路的电路结构例。

图 8 是说明本发明第四个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器的输出电路的工作情况的时序图。

图 9 示出了本发明第五个实施例所涉及的的构成多沟道电容负载驱动电路的包括高耐压驱动器组的多输出电路的电路块结构例。

图 10 是说明本发明第五个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器组的多输出电路的工作情况的时序图。

图 11 示出了本发明第六个实施例所涉及的的构成多沟道电容负载驱动电路的包括高耐压驱动器的输出电路的电路结构例。

图 12 是说明本发明第六个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器的输出电路的工作情况的时序图。

图 13 示出了本发明第七个实施例所涉及的的构成多沟道电容负载驱动电路的包括高耐压驱动器的输出电路的电路结构例。

图 14 是说明本发明第七个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器的输出电路的工作情况的时序图。

图 15 示出了现有的多沟道电容负载驱动电路中的包括高耐压驱动器的输出电路的电路结构例。

图 16 是说明现有的多沟道电容负载驱动电路中的包括高耐压驱动器的输出电路的工作情况的时序图。

具体实施方式

下面，参考附图对本发明的各个实施例进行说明。

（第一个实施例）

图 1 示出了本发明第一个实施例所涉及的的构成多沟道电容负载驱动电路的包括高耐压驱动器的输出电路的电路结构例。

图 1 所示的输出电路，包括含有高耐压输出电路 9 与电平位移电路 8 的高耐压驱动器 26、预驱动电路 7、延迟器 20 以及 HIZ 固定电路 21。

构成高耐压驱动器 26 的高耐压输出电路 9 包括半桥电路 34 与栅极保

护电路 10，该半桥电路 34 由高侧晶体管 13 和低侧晶体管 14 构成。栅极保护电路 10，由齐纳二极管 11 与电阻 12 构成且用来保护高侧晶体管 13 的栅极。而且，构成高耐压驱动器 26 的电平位移电路 8 由厚膜栅极 P 型 MOS 晶体管 15 及 16、薄膜栅极 N 型 MOS 晶体管 17 及 18 构成且驱动高侧晶体管 13。

预驱动电路 7 由反相器 31 与“或非”电路 35 构成，预驱动电路 7 根据来自未示的低耐压控制部的控制输入端 5 的信号驱动高耐压驱动器 26，同时驱动低侧晶体管 14 并进行负载电容 19 的充放电。补充说明一下，高耐压输出电路 9 的输出端 4 连接在高侧晶体管 13 与低侧晶体管 14 的共同连接端上。基准电源端 1 是基准电位端，低压电源端 2 是 5V 左右的低压电源端，高压电源端 3 是 100V 以上的高压电源端。控制输入端 5 及 6，输出来自未示的低耐压控制部的输入信号，控制输入端 6 不管控制输入端 5 的状态如何，都经由延迟器 20、HIZ 固定电路 21 以及预驱动电路 7，强制电平位移电路 8、高侧晶体管 13 与低侧晶体管 14 成为高阻抗状态。高侧晶体管 13 用于输出高电平，低侧晶体管 14 用于输出低电平。

延迟器 20 由多个反相器 31 构成，HIZ 固定电路 21 由“与”电路 33 构成。

接着，对具有以上结构的本发明第一个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器 26 的输出电路的工作情况进行说明。

图 2 是说明本发明第一个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器 26 的输出电路的工作情况的时序图。

图 2 中示出了以下信号与波形，即，从低耐压控制部输入到控制输入端 6 的输入信号 HIZ，从低耐压控制部输入到控制输入端 5 的输入信号 IN，根据输入信号 IN 及输入信号 HIZ 驱动电平位移电路 8 的预驱动器 7 的输出信号 IN2，HIZ 固定电路 21 的输出信号 IN1，根据输入信号 IN 及输入信号 HIZ 驱动低侧晶体管 14 的预驱动电路 7 的输出信号 IN3，根据来自把预驱动电路 7 的输出信号 IN1’与接收来自输入信号 HIZ 的输入信号在延迟器 20 延迟了的输出信号 DHIZ“与”后的 HIZ 固定电路 21 的输出信号 IN1 来驱动高侧晶体管 13 的电平位移电路 8 的输出信号 P2G 及 IN4，接收电平位移电路 8 的输出信号 IN4 根据栅极保护电路 10 决定的高侧晶

体管 13 的栅极－源极间电压 GH，以及根据预驱动电路 7 的输出信号 IN3 输出的高耐压输出电路 9 的输出电压波形 OUT。

这里，对 GND 电平的信号被输入控制输入端 6，输入信号 HIZ 成为低电平（GND）的情况进行说明。

在该情况下，因为延迟器 20 的输出信号 DHIZ 成为高电平（VDD），所以 HIZ 固定电路 21 能够输出逻辑值与输出信号 IN1’相同的输出信号 IN1。

此时，首先，因为若 GND 电平的信号输入到输入端 5，输入信号 IN 成为低电平（GND），则输出信号 IN1’成为低电平（GND），所以输出信号 IN1 也成为低电平(GND)。而且，输出信号 IN2 成为高电平(VDD)，输出信号 P2G 成为低电平（GND），输出信号 IN4 成为高电平（VDDH）。栅极－源极间电压 GH 在齐纳二极管 11 的作用下成为 OUT+Vz（击穿电压），在高侧晶体管 13 的阈值电压 Vth（N1）以上。于是，高侧晶体管 13 导通。而且，因为输出信号 IN3 成为低电平（GND），使低侧晶体管 14 截止，所以输出电压波形 OUT 成为高电平（VDDH）。

接着，因为若 VDD 电平的信号输入到输入端 5，输入信号 IN 成为高电平（VDD），则输出信号 IN1’成为高电平（VDD），所以输出信号 IN1 也成为高电平（VDD）。而且，输出信号 IN2 成为低电平（GND），输出信号 P2G 成为高电平（VDDH），输出信号 IN4 成为低电平（GND）。因此，齐纳二极管 11 被正向偏压，栅极－源极间电压 GH 成为 OUT－VFD（齐纳正向电压），在高侧晶体管 13 的阈值电压 Vth（N1）以下。于是，高侧晶体管 13 截止。之后，栅极－源极间电压 GH 由于电阻 12 而返回与输出端 4 相同的电位。而且，因为输出信号 IN3 成为高电平（VDD），使低侧晶体管 14 导通，所以输出电压波形 OUT 成为低电平（GND）。

另一方面，对为了使输出端 4 成为高阻抗，VDD 电平的信号输入到控制输入端 6 的情况进行说明。

在该情况下，当输入信号 HIZ 成为高电平（VDD）时，预驱动电路 7 的输出信号 IN1’成为高电平（VDD），延迟器 20 的输出信号 DHIZ，则因为有了该延迟，最初，是高电平（VDD），由于 HIZ 固定电路 21 而输出与输出信号 IN1’逻辑值相同的输出信号 IN1。因此，输出信号 IN1 成

为高电平（VDD）。而且，输出信号 IN2 成为低电平（GND），输出信号 P2G 成为高电平（VDDH），输出信号 IN4 成为低电平（GND）。因此，齐纳二极管 11 被正向偏压，栅极－源极间电压 GH 成为 OUT－VFD（齐纳正向电压），在高侧晶体管 13 的阈值电压 Vth（N1）以下。于是，高侧晶体管 13 截止。

此时，因为薄膜栅极 N 型 MOS 晶体管 18 导通，所以负载电流从输出端 4 通过齐纳二极管 11 流入。结果是，输出电压波形 OUT 慢慢地朝着低电平（GND）下降。但是，因为在规定时间过后延迟器 20 的输出成为低电平（GND），所以输出信号 IN1 成为低电平（GND）。于是，因为薄膜栅极 N 型 MOS 晶体管 18 截止，所以负载电流从输出端 4 通过齐纳二极管 11 流入的路径被切断。结果是，输出端 4 成为高阻抗。

这里，让延迟器 20 产生延迟的规定时间，只要确保在高侧晶体管 13 确实截止、电平位移电路 8 的输出信号 P2G 成为高电平（VDDH）、厚膜栅极 P 型 MOS 晶体管 16 截止的状态下进行锁存所述需要的时间即可。通常情况下，因为该时间在几百纳秒那么大就足够了，薄膜栅极 N 型 MOS 晶体管 18 的尺寸与让负载电容 19 急速放电的低侧晶体管 14 相比要小大约几十倍到一百倍以上，所以薄膜栅极 N 型 MOS 晶体管 18 在输出电压波形 OUT 几乎没有发生变化的时间内就成为高阻抗。

（第二个实施例）

图 3 示出了本发明第二个实施例所涉及的构成多沟道电容负载驱动电路的包括高耐压驱动器的输出电路的电路结构例。

图 3 所示的输出电路，包括含有高耐压输出电路 9 与电平位移电路 8 的高耐压驱动器 26、预驱动电路 7、延迟器 20 以及 HIZ 固定电路 21。

构成高耐压驱动器 26 的高耐压输出电路 9 包括半桥电路 34 与栅极保护电路 10，该半桥电路 34 由高侧晶体管 13 和低侧晶体管 14 构成。栅极保护电路 10，由齐纳二极管 11 与电阻 12 构成且用来保护高侧晶体管 13 的栅极。而且，构成高耐压驱动器 26 的电平位移电路 8 由厚膜栅极 P 型 MOS 晶体管 15 及 16、薄膜栅极 N 型 MOS 晶体管 17 及 18 构成且驱动高侧晶体管 13。

预驱动电路 7 由反相器 31 与“或非”电路 35 构成，预驱动电路 7 根

据来自未示的低耐压控制部的控制输入端 5 的信号驱动高耐压驱动器 26，同时驱动低侧晶体管 14 并进行负载电容 19 的充放电。补充说明一下，高耐压输出电路 9 的输出端 4 连接在高侧晶体管 13 与低侧晶体管 14 的共同连接端上。基准电源端 1 是基准电位端，低压电源端 2 是 5V 左右的低压电源端，高压电源端 3 是 100V 以上的高压电源端。控制输入端 5 及 6，输出来自未示的低耐压控制部的输入信号，控制输入端 6 不管控制输入端 5 的状态如何，都经由延迟器 20、HIZ 固定电路 21 以及预驱动电路 7，强制电平位移电路 8、高侧晶体管 13 与低侧晶体管 14 成为高阻抗状态。高侧晶体管 13 用于输出高电平，低侧晶体管 14 用于输出低电平。

延迟器 20 由多个反相器 31 与“与非”电路 32 构成，通过使用“与非”电路 32，做到：在从强制地进行的高阻抗状态复原之际使延迟器 20 不产生延迟。HIZ 固定电路 21 由“与”电路 33 构成。

接着，对具有以上结构的本发明第二个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器 26 的输出电路的工作情况进行说明。

图 4 是说明本发明第二个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器 26 的输出电路的工作情况的时序图。

图 4 中示出了以下信号与波形，即，从低耐压控制部输入到控制输入端 6 的输入信号 HIZ,从低耐压控制部输入到控制输入端 5 的输入信号 IN，根据输入信号 IN 及输入信号 HIZ 驱动电平位移电路 8 的预驱动器 7 的输出信号 IN2，HIZ 固定电路 21 的输出信号 IN1，根据输入信号 IN 及输入信号 HIZ 驱动低侧晶体管 14 的预驱动电路 7 的输出信号 IN3，根据来自把预驱动电路 7 的输出信号 IN1’与接收来自输入信号 HIZ 的输入信号中仅仅在高电平输入时才在延迟器 20 延迟的输出信号 DHIZ“与”后的 HIZ 固定电路 21 的输出信号 IN1 来驱动高侧晶体管 13 的电平位移电路 8 的输出信号 P2G 及 IN4，接收电平位移电路 8 的输出信号 IN4 根据栅极保护电路 10 决定的高侧晶体管 13 的栅极－源极间电压 GH，以及根据预驱动电路 7 的输出信号 IN3 输出的高耐压输出电路 9 的输出电压波形 OUT。

这里，对 GND 电平的信号被输入控制输入端 6，输入信号 HIZ 成为低电平（GND）的情况进行说明。

在该情况下，因为延迟器 20 的输出信号 DHIZ 不受延迟器 20 的影响

马上成为高电平（VDD），所以 HIZ 固定电路 21 能够输出逻辑值与输出信号 IN1’相同的输出信号 IN1。

此时，首先，因为若 GND 电平的信号输入到输入端 5，输入信号 IN 成为低电平（GND），则输出信号 IN1’成为低电平（GND），所以输出信号 IN1 也成为低电平(GND)。而且，输出信号 IN2 成为高电平(VDD)，输出信号 P2G 成为低电平(GND)，输出信号 IN4 成为高电平(VDDH)。栅极－源极间电压 GH 在齐纳二极管 11 的作用下成为 OUT+Vz（击穿电压），在高侧晶体管 13 的阈值电压 Vth（N1）以上。于是高侧晶体管 13 导通。而且，因为输出信号 IN3 成为低电平（GND），使低侧晶体管 14 截止，所以输出电压波形 OUT 成为高电平（VDDH）。

接着，因为若 VDD 电平的信号输入到输入端 5，输入信号 IN 成为高电平（VDD），则输出信号 IN1’成为高电平（VDD），所以输出信号 IN1 也成为高电平（VDD）。而且，输出信号 IN2 成为低电平（GND），输出信号 P2G 成为高电平（VDDH），输出信号 IN4 成为低电平（GND）。因此，齐纳二极管 11 被正向偏压，栅极－源极间电压 GH 成为 OUT－VFD（齐纳正向电压），在高侧晶体管 13 的阈值电压 Vth（N1）以下。于是，高侧晶体管 13 截止。之后，栅极－源极间电压 GH 由于电阻 12 而返回到与输出端 4 相同的电位。而且，因为输出信号 IN3 成为高电平（VDD），使低侧晶体管 14 导通，所以输出电压波形 OUT 成为低电平（GND）。

另一方面，对为了使输出端 4 成为高阻抗，VDD 电平的信号输入到控制输入端 6 的情况进行说明。

在该情况下，当输入信号 HIZ 成为高电平（VDD）时，预驱动电路 7 的输出信号 IN1’成为高电平（VDD），延迟器 20 的输出信号 DHIZ，因为有了该延迟，最初，是高电平（VDD），由于 HIZ 固定电路 21 而输出与输出信号 IN1’逻辑值相同的输出信号 IN1。因此，输出信号 IN1 成为高电平(VDD)。而且，输出信号 IN2 成为低电平(GND)，输出信号 P2G 成为高电平（VDDH），输出信号 IN4 成为低电平（GND）。因此，齐纳二极管 11 被正向偏压，栅极－源极间电压 GH 成为 OUT－VFD（齐纳正向电压），在高侧晶体管 13 的阈值电压 Vth（N1）以下。于是，高侧晶体管 13 截止。

此时，因为薄膜栅极 N 型 MOS 晶体管 18 导通，所以负载电流从输出端 4 通过齐纳二极管 11 流入。结果是，输出电压波形 OUT 慢慢地朝着低电平（GND）下降。但是，因为在规定时间过后延迟器 20 的输出成为低电平（GND），所以输出信号 IN1 成为低电平（GND）。于是，因为薄膜栅极 N 型 MOS 晶体管 18 截止，所以负载电流从输出端 4 通过齐纳二极管 11 流入的路径被切断。结果是，输出端 4 成为高阻抗。

这里，让延迟器 20 产生延迟的规定时间，只要确保在高侧晶体管 13 确实截止、电平位移电路 8 的输出信号 P2G 成为高电平（VDDH）、厚膜栅极 P 型 MOS 晶体管 16 截止的状态下进行锁存所述需要的时间即可。通常情况下，因为该时间在几百纳秒那么大就足够了，而且，薄膜栅极 N 型 MOS 晶体管 18 的尺寸与让负载电容 19 急速放电的低侧晶体管 14 相比要小大约几十倍到一百倍以上，所以薄膜栅极 N 型 MOS 晶体管 18 在输出电压波形 OUT 几乎没有发生变化的时间内就成为高阻抗。再就是，在输入信号 HIZ 高电平向低电平迁移时，因为为了不在反相器 31 产生延迟而使用了“与非”电路 32，所以能够从高阻抗马上复原。

（第三个实施例）

图 5 示出了本发明第三个实施例所涉及的的构成多沟道电容负载驱动电路的包括高耐压驱动器的输出电路的电路结构例。

图 5 所示的输出电路，包括含有高耐压输出电路 9 与电平位移电路 8 的高耐压驱动器 26、预驱动电路 7、延迟器 20 以及 HIZ 固定电路 21。

构成高耐压驱动器 26 的高耐压输出电路 9 包括半桥电路 34 与栅极保护电路 10，该半桥电路 34 由高侧晶体管 22、并联在该高侧晶体管 22 上的高侧再生二极管 24、低侧晶体管 23 以及并联在该低侧晶体管 23 上的低侧再生二极管 25 构成。栅极保护电路 10，由齐纳二极管 11 与电阻 12 构成且用来保护高侧晶体管 22 的栅极。而且，构成高耐压驱动器 26 的电平位移电路 8 由厚膜栅极 P 型 MOS 晶体管 15 及 16、薄膜栅极 N 型 MOS 晶体管 17 及 18 构成且驱动高侧晶体管 22。

预驱动电路 7 由反相器 31 与“或非”电路 35 构成，预驱动电路 7 根据来自未示的低耐压控制部的控制输入端 5 的信号驱动高耐压驱动器 26，同时驱动低侧晶体管 23 并进行负载电容 19 的充放电。补充说明一下，高

耐压输出电路9的输出端4连接在高侧晶体管22与低侧晶体管23的共同连接端上。基准电源端1是基准电位端，低压电源端2是5V左右的低压电源端，高压电源端3是100V以上的高压电源端。控制输入端5及6，输出来自未示的低耐压控制部的输入信号，控制输入端6不管控制输入端5的状态如何，都经由延迟器20、HIZ固定电路21以及预驱动电路7，强制电平位移电路8、高侧晶体管22与低侧晶体管23成为高阻抗状态。高侧晶体管22用于输出高电平，低侧晶体管23用于输出低电平。

延迟器20由多个反相器31构成，HIZ固定电路21由“与”电路33构成。

接着，对具有以上结构的本发明第三个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器26的输出电路的工作情况进行说明。

图6是说明本发明第三个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器26的输出电路的工作情况的时序图。

图6中示出了以下信号与波形，即，从低耐压控制部输入到控制输入端6的输入信号HIZ,从低耐压控制部输入到控制输入端5的输入信号IN，根据输入信号IN及输入信号HIZ驱动电平位移电路8的预驱动器7的输出信号IN2，HIZ固定电路21的输出信号IN1，根据输入信号IN及输入信号HIZ驱动低侧晶体管23的预驱动电路7的输出信号IN3，根据来自把预驱动电路7的输出信号IN1’与接收来自输入信号HIZ的输入信号在延迟器20延迟了的输出信号DHIZ“与”后的HIZ固定电路21的输出信号IN1来驱动高侧晶体管22的电平位移电路8的输出信号P2G及IN4，接收电平位移电路8的输出信号IN4根据栅极保护电路10决定的高侧晶体管22的栅极－源极间电压GH,以及根据预驱动电路7的输出信号IN3输出的高耐压输出电路9的输出电压波形OUT。

这里，对GND电平的信号被输入控制输入端6，输入信号HIZ成为低电平（GND）的情况进行说明。

在该情况下，因为延迟器20的输出信号DHIZ成为高电平（VDD），所以HIZ固定电路21能够输出逻辑值与输出信号IN1’相同的输出信号IN1。

此时，首先，因为若GND电平的信号输入到输入端5，输入信号IN

成为低电平（GND），则输出信号 IN1’成为低电平（GND），所以输出信号 IN1 也成为低电平(GND)。而且，输出信号 IN2 成为高电平(VDD)，输出信号 P2G 成为低电平（GND），输出信号 IN4 成为高电平（VDDH）。栅极－源极间电压 GH 在齐纳二极管 11 的作用下成为 OUT+Vz（击穿电压），在高侧晶体管 22 的阈值电压 Vth（T1）以上。于是，高侧晶体管 22 导通。而且，因为输出信号 IN3 成为低电平（GND），使低侧晶体管 23 截止，所以输出电压波形 OUT 成为高电平（VDDH）。

接着，因为若 VDD 电平的信号输入到输入端 5，输入信号 IN 成为高电平（VDD），则输出信号 IN1’成为高电平（VDD），所以输出信号 IN1 也成为高电平（VDD）。而且，输出信号 IN2 成为低电平（GND），输出信号 P2G 成为高电平（VDDH），输出信号 IN4 成为低电平（GND）。因此，齐纳二极管 11 被正向偏压，栅极－源极间电压 GH 成为 OUT－VFD（齐纳正向电压），在高侧晶体管 22 的阈值电压 Vth（T1）以下。于是，高侧晶体管 22 截止。之后，栅极－源极间电压 GH 由于电阻 12 而返回与输出端 4 相同的电位。而且，因为输出信号 IN3 成为高电平（VDD），使低侧晶体管 23 导通，所以输出电压波形 OUT 成为低电平（GND）。

另一方面，对为了使输出端 4 成为高阻抗，VDD 电平的信号输入到控制输入端 6 的情况进行说明。

在该情况下，当输入信号 HIZ 成为高电平（VDD）时，预驱动电路 7 的输出信号 IN1’成为高电平（VDD），延迟器 20 的输出信号 DHIZ，则因为有了该延迟，最初，是高电平（VDD），由于 HIZ 固定电路 21 而输出与输出信号 IN1’逻辑值相同的输出信号 IN1。因此，输出信号 IN1 成为高电平（VDD）。而且，输出信号 IN2 成为低电平（GND），输出信号 P2G 成为高电平（VDDH），输出信号 IN4 成为低电平（GND）。因此，齐纳二极管 11 被正向偏压，栅极－源极间电压 GH 成为 OUT－VFD（齐纳正向电压），在高侧晶体管 22 的阈值电压 Vth（T1）以下。于是，高侧晶体管 22 截止。

此时，因为薄膜栅极 N 型 MOS 晶体管 18 导通，所以负载电流从输出端 4 通过齐纳二极管 11 流入。结果是，输出电压波形 OUT 慢慢地朝着低电平（GND）下降。但是，因为在规定时间过后延迟器 20 的输出成为

低电平（GND），所以输出信号 IN1 成为低电平（GND）。于是，因为薄膜栅极 N 型 MOS 晶体管 18 截止，所以负载电流从输出端 4 通过齐纳二极管 11 流入的路径被切断。结果是，输出端 4 成为高阻抗。

这里，让延迟器 20 产生延迟的规定时间，只要确保在高侧晶体管 22 确实截止、电平位移电路 8 的输出信号 P2G 成为高电平（VDDH）、厚膜栅极 P 型 MOS 晶体管 16 截止的状态下进行锁存所述需要的时间即可。通常情况下，因为该时间在几百纳秒那么大就足够了，薄膜栅极 N 型 MOS 晶体管 18 的尺寸与让负载电容 19 急速放电的低侧晶体管 23 相比要小大约几十倍到一百倍以上，所以薄膜栅极 N 型 MOS 晶体管 18 在输出电压波形 OUT 几乎没有发生变化的时间内就成为高阻抗。

（第四个实施例）

图 7 示出了本发明第四个实施例所涉及的的构成多沟道电容负载驱动电路的包括高耐压驱动器的输出电路的电路结构例。

图 7 所示的输出电路，包括含有高耐压输出电路 9 与电平位移电路 8 的高耐压驱动器 26、预驱动电路 7、延迟器 20 以及 HIZ 固定电路 21。

构成高耐压驱动器 26 的高耐压输出电路 9 包括半桥电路 34 与栅极保护电路 10，该半桥电路 34 由高侧晶体管 22、并联在该高侧晶体管 22 上的高侧再生二极管 24、低侧晶体管 23 以及并联在该低侧晶体管 23 上的低侧再生二极管 25 构成。栅极保护电路 10，由齐纳二极管 11 与电阻 12 构成且用来保护高侧晶体管 22 的栅极。而且，构成高耐压驱动器 26 的电平位移电路 8 由厚膜栅极 P 型 MOS 晶体管 15 及 16、薄膜栅极 N 型 MOS 晶体管 17 及 18 构成且驱动高侧晶体管 22。

预驱动电路 7 由反相器 31 与“或非”电路 35 构成，预驱动电路 7 根据来自未示的低耐压控制部的控制输入端 5 的信号驱动高耐压驱动器 26，同时驱动低侧晶体管 23 并进行负载电容 19 的充放电。补充说明一下，高耐压输出电路 9 的输出端 4 连接在高侧晶体管 22 与低侧晶体管 23 的共同连接端上。基准电源端 1 是基准电位端，低压电源端 2 是 5V 左右的低压电源端，高压电源端 3 是 100V 以上的高压电源端。控制输入端 5 及 6，输出来自未示的低耐压控制部的输入信号，控制输入端 6 不管控制输入端 5 的状态如何，都经由延迟器 20、HIZ 固定电路 21 以及预驱动电路 7，

强制电平位移电路 8、高侧晶体管 22 与低侧晶体管 23 成为高阻抗状态。高侧晶体管 22 用于输出高电平，低侧晶体管 23 用于输出低电平。

延迟器 20 由多个反相器 31 与“与非”电路 32 构成，通过使用“与非”电路 32，做到：在从强制地进行的高阻抗状态复原之际使延迟器 20 不产生延迟。HIZ 固定电路 21 由“与”电路 33 构成。

接着，对具有以上结构的本发明第四个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器 26 的输出电路的工作情况进行说明。

图 8 是说明本发明第四个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器 26 的输出电路的工作情况的时序图。

图 8 中示出了以下信号与波形，即，从低耐压控制部输入到控制输入端 6 的输入信号 HIZ,从低耐压控制部输入到控制输入端 5 的输入信号 IN，根据输入信号 IN 及输入信号 HIZ 驱动电平位移电路 8 的预驱动器 7 的输出信号 IN2，HIZ 固定电路 21 的输出信号 IN1，根据输入信号 IN 及输入信号 HIZ 驱动低侧晶体管 23 的预驱动电路 7 的输出信号 IN3，根据来自把预驱动电路 7 的输出信号 IN1’与接收来自输入信号 HIZ 的输入信号中仅仅在高电平输入时才在延迟器 20 延迟的输出信号 DHIZ“与”后的 HIZ 固定电路 21 的输出信号 IN1 来驱动高侧晶体管 22 的电平位移电路 8 的输出信号 P2G 及 IN4，接收电平位移电路 8 的输出信号 IN4 根据栅极保护电路 10 决定的高侧晶体管 22 的栅极－源极间电压 GH，以及根据预驱动电路 7 的输出信号 IN3 输出的高耐压输出电路 9 的输出电压波形 OUT。

这里，对 GND 电平的信号被输入控制输入端 6，输入信号 HIZ 成为低电平（GND）的情况进行说明。

在该情况下，因为延迟器 20 的输出信号 DHIZ 不受延迟器 20 的影响马上成为高电平（VDD），所以 HIZ 固定电路 21 能够输出逻辑值与输出信号 IN1’相同的输出信号 IN1。

此时，首先，因为若 GND 电平的信号输入到输入端 5，输入信号 IN 成为低电平（GND），则输出信号 IN1’成为低电平（GND），所以输出信号 IN1 也成为低电平(GND)。而且，输出信号 IN2 成为高电平(VDD)，输出信号 P2G 成为低电平（GND），输出信号 IN4 成为高电平（VDDH）。栅极－源极间电压 GH 在齐纳二极管 11 的作用下成为 OUT+Vz（击穿电

压），在高侧晶体管 22 的阈值电压 Vth（T1）以上。于是高侧晶体管 22 导通。而且，因为输出信号 IN3 成为低电平（GND），使低侧晶体管 23 截止，所以输出电压波形 OUT 成为高电平（VDDH）。

接着，因为若 VDD 电平的信号输入到输入端 5，输入信号 IN 成为高电平（VDD），则输出信号 IN1’成为高电平（VDD），所以输出信号 IN1 也成为高电平（VDD）。而且，输出信号 IN2 成为低电平（GND），输出信号 P2G 成为高电平（VDDH），输出信号 IN4 成为低电平（GND）。因此，齐纳二极管 11 被正向偏压，栅极－源极间电压 GH 成为 OUT－VFD（齐纳正向电压），在高侧晶体管 22 的阈值电压 Vth（T1）以下。于是，高侧晶体管 22 截止。之后，栅极－源极间电压 GH 由于电阻 12 而返回到与输出端 4 相同的电位。而且，因为输出信号 IN3 成为高电平（VDD），使低侧晶体管 23 导通，所以输出电压波形 OUT 成为低电平（GND）。

另一方面，对为了使输出端 4 成为高阻抗，VDD 电平的信号输入到控制输入端 6 的情况进行说明。

在该情况下，当输入信号 HIZ 成为高电平（VDD）时，预驱动电路 7 的输出信号 IN1’成为高电平（VDD），延迟器 20 的输出信号 DHIZ，因为有了该延迟，最初，是高电平（VDD），由于 HIZ 固定电路 21 而输出与输出信号 IN1’逻辑值相同的输出信号 IN1。因此，输出信号 IN1 成为高电平（VDD）。而且，输出信号 IN2 成为低电平（GND），输出信号 P2G 成为高电平（VDDH），输出信号 IN4 成为低电平（GND）。因此，齐纳二极管 11 被正向偏压，栅极－源极间电压 GH 成为 OUT－VFD（齐纳正向电压），在高侧晶体管 22 的阈值电压 Vth（T1）以下。于是，高侧晶体管 22 截止。

此时，因为薄膜栅极 N 型 MOS 晶体管 18 导通，所以负载电流从输出端 4 通过齐纳二极管 11 流入。结果是，输出电压波形 OUT 慢慢地朝着低电平（GND）下降。但是，因为在规定时间过后延迟器 20 的输出成为低电平（GND），所以输出信号 IN1 成为低电平（GND）。于是，因为薄膜栅极 N 型 MOS 晶体管 18 截止，所以负载电流从输出端 4 通过齐纳二极管 11 流入的路径被切断。结果是，输出端 4 成为高阻抗。

这里，让延迟器 20 产生延迟的规定时间，只要确保在高侧晶体管 22

确实截止、电平位移电路 8 的输出信号 P2G 成为高电平（VDDH）、厚膜栅极 P 型 MOS 晶体管 16 截止的状态下进行锁存所述需要的时间即可。通常情况下，因为该时间在几百纳秒那么大就足够了，而且，薄膜栅极 N 型 MOS 晶体管 18 的尺寸与让负载电容 19 急速放电的低侧晶体管 23 相比要小几十倍到一百倍以上，所以薄膜栅极 N 型 MOS 晶体管 18 在输出电压波形 OUT 几乎没有发生变化的时间内就成为高阻抗。再就是，在输入信号 HIZ 高电平向低电平迁移时，因为为了不在反相器 31 产生延迟而使用了“与非”电路 32，所以能够从高阻抗马上复原。

（第五个实施例）

图 9 示出了本发明第五个实施例所涉及的的多沟道电容负载驱动电路的电路结构例。图 9 所示的多沟道电容负载驱动电路的特征是，是具有多个上述图 1 到图 8 所示的输出电路的情况下的电路结构。具体而言，特征是，包括：多个高耐压驱动器（以下称其为高耐压驱动器组）、多个预驱动电路（以下称其为预驱动电路组）以及多个 HIZ 固定电路（以下称其为 HIZ 固定电路组），但仅包括一个延迟器 20。而且还包括：连接在 DATA 输入端 27 和 CLK 输入端 28 上且用以让输出电路的各个输出依次输出的移位寄存器 29。

如图 9 所示，高耐压驱动器组 26－1 到 26－N，由高耐压输出电路组 9－1 到 9－N 和将高耐压输出电路组 9－1 到 9－N 分别预驱动的电平位移电路组 8－1 到 8－N 构成。预驱动电路组 7－1 到 7－N，各自根据来自移位寄存器 29 的控制信号 INA－INN 和来自控制信号输入端 6 的控制信号驱动高耐压驱动器组 26－1 到 26－N，且进行负载电容组 19－1 到 19－N 的充放电。这里，控制信号输入端 6 不管来自移位寄存器 29 的控制信号 INA－INN 的状态如何，都通过延迟器 20、HIZ 固定电路组 21－1 到 21－N 以及预驱动电路组 7－1 到 7－N 强制地使电平位移电路组 8－1 到 8－N 和高耐压输出电路组 9－1 到 9－N 成为高阻抗状态。补充说明一下，输出端组 4－1 到 4－N 连接在高耐压输出电路组 9－1 到 9－N 上。

图 10 是说明本发明第五个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器组的多输出电路的工作情况的时序图。

图 10 中示出了以下信号和波形，即，从低耐压控制部输入到控制输入端 6 的输入信号 HIZ，输入到 CLK 输入端 28 的时钟信号 CLK，输入到 DATA 输入端 27 的移位寄存器 29 的数据信号 DATA，来自移位寄存器 29 的控制信号 INA，让来自输入信号 HIZ 的输入信号在延迟器 20 延迟的输出信号 DHIZ、高耐压驱动器组 26－1 到 26－N 的各个输出电压波形 OUTA 到 OUTN。

这里，对 GND 电平的信号被输入控制输入端 6，输入信号 HIZ 成为低电平（GND）的情况进行说明。

在该情况下，因为延迟器 20 的输出信号 DHIZ 成为高电平（VDD），所以 HIZ 固定电路组 21－1 到 21－N 能够输出逻辑值与预驱动电路组 7－1 到 7－N 的输出信号 IN1A'到 IN1N'相同的输出信号 IN1A 到 IN1N。

首先，在 DATA 信号作为高电平（VDD）输入移位寄存器 29，CLK 信号从低电平（GND）朝着高电平（VDD）迁移的情况下，输入信号 INA 成为高电平（VDD），输出电压 OUTA 成为低电平（GND）。在 DATA 信号作为低电平（GND）输入移位寄存器 29，CLK 信号从低电平（GND）朝着高电平（VDD）迁移的情况下，输入信号 INA 成为低电平（GND），输出电压波形 OUTA 成为高电平（VDDH），同时，输入信号 INB 成为高电平（VDD），输出电压波形 OUTB 成为低电平（GND）。

之后，到 INN 为止输出电压波形 OUT 与 CLK 信号同步依序变化。

另一方面，对为了使输出端组 4－1 到 4－N 成为高阻抗，VDD 电平的信号输入到控制输入端 6 的情况进行说明。

在该情况下，当输入信号 HIZ 成为高电平（VDD）时，预驱动电路组 7－1 到 7－N 的输出信号 IN1A' 到 IN1N' 成为高电平（VDD），同时，延迟器 20 的输出信号 DHIZ，因为有了该延迟，最初，是高电平（VDD），由于 HIZ 固定电路组 21－1 到 21－N 而输出逻辑值与输出信号 IN1A' 到 IN1N'相同的输出信号 IN1A 到 IN1N。因此，输出信号 IN1A 到 IN1N 成为高电平（VDD）。而且，输出信号 IN2A 到 IN2N 成为低电平（GND），输出信号组 IN4A 到 IN4N 成为低电平（GND），高耐压输出电路组 9－1 到 9－N 要成为低电平（GND），但因为由延迟器 20 延迟了几百纳秒级别的规定时间后，使电平位移电路组 8－1 到 8－N 成为高阻抗，所以输出端

组 4－1 到 4－N 成为高阻抗。

（第六个实施例）

图 11 示出了本发明第六个实施例所涉及的的构成多沟道电容负载驱动电路的包括高耐压驱动器的输出电路的电路结构例。

图 11 中所示的输出电路，包括含有高耐压输出电路 9 与电平位移电路 8 的高耐压驱动器 26、预驱动电路 7，而且，在高耐压输出电路 9 与电平位移电路 8 之间还包括高耐压二极管 30。有了该高耐压二极管 30 以后，当从电平位移电路 8 来了使高侧晶体管 13 导通的信号的时候使电流通过，当从电平位移电路 8 来了使高侧晶体管 13 截止的信号的时候将电流切断。

构成耐压驱动器 26 的高耐压输出电路 9 包括半桥电路 34 与栅极保护电路 10，该半桥电路 34 由高侧晶体管 13 和低侧晶体管 14 构成。栅极保护电路 10，由齐纳二极管 11 与电阻 12 构成且用来保护高侧晶体管 13 的栅极。而且，构成高耐压驱动器 26 的电平位移电路 8 由厚膜栅极 P 型 MOS 晶体管 15 及 16、薄膜栅极 N 型 MOS 晶体管 17 及 18 构成且驱动高侧晶体管 13。

预驱动电路 7 由反相器 31 与“或非”电路 35 构成，预驱动电路 7 根据来自未示的低耐压控制部的控制输入端 5 的信号驱动高耐压驱动器 26，同时驱动低侧晶体管 14 并进行负载电容 19 的充放电。补充说明一下，高耐压输出电路 9 的输出端 4 连接在高侧晶体管 13 与低侧晶体管 14 的共同连接端上。基准电源端 1 是基准电位端，低压电源端 2 是 5V 左右的低压电源端，高压电源端 3 是 100V 以上的高压电源端。控制输入端 5 及 6，输出来自未示的低耐压控制部的输入信号，控制输入端 6 不管控制输入端 5 的状态如何，都经由预驱动电路 7，强制电平位移电路 8、高侧晶体管 13 与低侧晶体管 14 成为高阻抗状态。高侧晶体管 13 用于输出高电平，低侧晶体管 14 用于输出低电平。

接着，对具有以上结构的本发明第六个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器 26 的输出电路的工作情况进行说明。

图 12 是说明本发明第一个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器 26 的输出电路的工作情况的时序图。

图 12 中示出了以下信号与波形，即，从低耐压控制部输入到控制输

入端 6 的输入信号 HIZ，从低耐压控制部输入到控制输入端 5 的输入信号 IN，根据输入信号 IN 及输入信号 HIZ 驱动电平位移电路 8 的预驱动器 7 的输出信号 IN1 与输出信号 IN2，根据输入信号 IN 及输入信号 HIZ 驱动低侧晶体管 14 的预驱动电路 7 的输出信号 IN3，根据输出信号 IN1 与 IN2 驱动高侧晶体管 13 的电平位移电路 8 的输出信号 P1G（高耐压二极管 30 的阳极侧输入信号），高耐压二极管 30 的阴极侧输出信号 IN4，接收高耐压二极管 30 的阴极侧输出信号 IN4 根据栅极保护电路 10 决定的高侧晶体管 13 的栅极－源极间电压 GH，以及根据预驱动电路 7 的输出信号 IN3 输出的高耐压输出电路 9 的输出电压波形 OUT。

这里，对 GND 电平的信号被输入控制输入端 6，输入信号 HIZ 成为低电平（GND）的情况进行说明。

在该情况下，若 GND 电平的信号输入到输入端 5，输入信号 IN 成为低电平，则输出信号 IN1 成为低电平（GND），输出信号 IN2 成为高电平（VDD）。因为输出信号 P1G 成为高电平（VDDH），所以高耐压二极管 30 被正向偏压，输出信号 IN4 成为高电平（VDDH－VFD（二极管正向电压））。因此，栅极－源极间电压 GH 在齐纳二极管 11 的作用下成为 OUT+Vz（击穿电压），在高侧晶体管 13 的阈值电压 Vth（N1）以上，高侧晶体管 13 导通。而且，因为输出信号 IN3 成为低电平（GND），使低侧晶体管 14 截止，所以输出电压波形 OUT 成为高电平（VDDH）。

接着，若 VDD 电平的信号输入到输入端 5，输入信号 IN 成为高电平，则输出信号 IN1 成为高电平（VDD），输出信号 IN2 成为低电平（GND），输出信号 P1G 成为低电平（GND）。于是，高耐压二极管 30 成为逆向偏压，输出信号 IN4 的电位由于电阻 12 而与高耐压输出端 4 相同。因此，栅极－源极间 GH 也成为 0，高侧晶体管 13 的栅极成为阈值电压 Vth(N1) 以下，高侧晶体管 13 截止。而且，因为输出信号 IN3 成为高电平（VDD），使低侧晶体管 14 导通，所以输出电压波形 OUT 成为低电平（GND）。

另一方面，对为了使输出端 4 成为高阻抗，VDD 电平的信号输入到控制输入端 6 的情况进行说明。

在该情况下，当输入信号 HIZ 成为高电平（VDD）时，预驱动电路 7 的输出信号 IN1 成为高电平（VDD），输出信号 IN2 成为低电平（GND），

输出信号 P1G 成为低电平（GND）。于是，高耐压二极管 30 成为逆向偏压，输出信号 IN4 的电位由于电阻 12 而与高耐压输出端 4 相同。因此，栅极－源极间 GH 也成为 0,高侧晶体管 13 的栅极成为阈值电压 Vth(T1)以下，高侧晶体管 13 截止。此时，因为高耐压二极管 30 是逆向偏压，所以即使薄膜栅极 N 型 MOS 晶体管 18 导通，负载电流从输出端 4 通过齐纳二极管 11 流入的路径也会被切断。结果是，输出端 4 成为高阻抗。

（第七个实施例）

图 13 示出了本发明第七个实施例所涉及的的构成多沟道电容负载驱动电路的包括高耐压驱动器的输出电路的电路结构例。

图 13 中所示的输出电路，包括含有高耐压输出电路 9 与电平位移电路 8 的高耐压驱动器 26、预驱动电路 7，而且，在高耐压输出电路 9 与电平位移电路 8 之间还包括高耐压二极管 30。有了该高耐压二极管 30 以后，当从电平位移电路 8 来了使高侧晶体管 22 导通的信号的时候使电流通过，当从电平位移电路 8 来了使高侧晶体管 22 截止的信号的时候将电流切断。

构成高耐压驱动器 26 的高耐压输出电路 9 包括半桥电路 34 与栅极保护电路 10，该半桥电路 34 由高侧晶体管 22、并联在该高侧晶体管 22 上的高侧再生二极管 24、低侧晶体管 23 以及并联在该低侧晶体管 23 上的低侧再生二极管 25 构成。栅极保护电路 10，由齐纳二极管 11 与电阻 12 构成且用来保护高侧晶体管 22 的栅极。而且，构成高耐压驱动器 26 的电平位移电路 8 由厚膜栅极 P 型 MOS 晶体管 15 及 16、薄膜栅极 N 型 MOS 晶体管 17 及 18 构成且驱动高侧晶体管 22。

预驱动电路 7 由反相器 31 与“或非”电路 35 构成，预驱动电路 7 根据来自未示的低耐压控制部的控制输入端 5 的信号驱动高耐压驱动器 26，同时驱动低侧晶体管 23 并进行负载电容 19 的充放电。补充说明一下，高耐压输出电路 9 的输出端 4 连接在高侧晶体管 22 与低侧晶体管 23 的共同连接端上。基准电源端 1 是基准电位端，低压电源端 2 是 5V 左右的低压电源端，高压电源端 3 是 100V 以上的高压电源端。控制输入端 5 及 6，输出来自未示的低耐压控制部的输入信号，控制输入端 6 不管控制输入端 5 的状态如何，都经由预驱动电路 7，强制电平位移电路 8、高侧晶体管 22 与低侧晶体管 23 成为高阻抗状态。高侧晶体管 22 用于输出高电平，

低侧晶体管 23 用于输出低电平。

接着，对具有以上结构的本发明第七个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器 26 的输出电路的工作情况进行说明。

图 14 是说明本发明第七个实施例所涉及的多沟道电容负载驱动电路中的包括高耐压驱动器 26 的输出电路的工作情况的时序图。

图 14 中示出了以下信号与波形，即，从低耐压控制部输入到控制输入端 6 的输入信号 HIZ，从低耐压控制部输入到控制输入端 5 的输入信号 IN，根据输入信号 IN 及输入信号 HIZ 驱动电平位移电路 8 的预驱动器 7 的输出信号 IN1 与输出信号 IN2，根据输入信号 IN 及输入信号 HIZ 驱动低侧晶体管 23 的预驱动电路 7 的输出信号 IN3，根据输出信号 IN1 与 IN2 驱动高侧晶体管 22 的电平位移电路 8 的输出信号 P1G（高耐压二极管 30 的阳极侧输入信号），高耐压二极管 30 的阴极侧输出信号 IN4，接收高耐压二极管 30 的阴极侧输出信号 IN4 根据栅极保护电路 10 决定的高侧晶体管 22 的栅极－源极间电压 GH，以及根据预驱动电路 7 的输出信号 IN3 输出的高耐压输出电路 9 的输出电压波形 OUT。

这里，对 GND 电平的信号被输入控制输入端 6，输入信号 HIZ 成为低电平（GND）的情况进行说明。

在该情况下，若 GND 电平的信号输入到输入端 5，输入信号 IN 成为低电平，则输出信号 IN1 成为低电平（GND），输出信号 IN2 成为高电平（VDD）。因为输出信号 P1G 成为高电平（VDDH），所以高耐压二极管 30 被正向偏压，输出信号 IN4 成为高电平（VDDH－VFD（二极管正向电压））。因此，栅极－源极间电压 GH 在齐纳二极管 11 的作用下成为 OUT+Vz（击穿电压），在高侧晶体管 22 的阈值电压 Vth（T1）以上，高侧晶体管 22 导通。而且，因为输出信号 IN3 成为低电平（GND），使低侧晶体管 23 截止，所以输出电压波形 OUT 成为高电平（VDDH）。

接着，若 VDD 电平的信号输入到输入端 5，输入信号 IN 成为高电平，则输出信号 IN1 成为高电平（VDD），输出信号 IN2 成为低电平（GND），输出信号 P1G 成为低电平（GND）。于是，高耐压二极管 30 成为逆向偏压，输出信号 IN4 的电位由于电阻 12 而与高耐压输出端 4 相同。因此，栅极－源极间 GH 也成为 0，高侧晶体管 22 的栅极成为阈值电压 Vth(T1)

以下，高侧晶体管 22 截止。而且，因为输出信号 IN3 成为高电平（VDD），使低侧晶体管 23 导通，所以输出电压波形 OUT 成为低电平（GND）。

另一方面，对为了使输出端 4 成为高阻抗，VDD 电平的信号输入到控制输入端 6 的情况进行说明。

在该情况下，当输入信号 HIZ 成为高电平（VDD）时，预驱动电路 7 的输出信号 IN1 成为高电平（VDD），输出信号 IN2 成为低电平（GND），输出信号 P1G 成为低电平（GND）。于是，高耐压二极管 30 成为逆向偏压，输出信号 IN4 的电位由于电阻 12 而与高耐压输出端 4 相同。因此，栅极－源极间 GH 也成为 0，高侧晶体管 22 的栅极成为阈值电压 Vth(T1) 以下，高侧晶体管 22 截止。此时，因为高耐压二极管 30 是逆向偏压，所以即使薄膜栅极 N 型 MOS 晶体管 18 导通，负载电流从高耐压输出端 4 通过齐纳二极管 11 流入的路径也会被切断。结果是，高耐压输出端 4 成为高阻抗。

补充说明一下，在以上各个实施例中，使用“基准电位”进行了说明，而且还包括是接地电位以外的电位的情况，但它是连接在半导体芯片的基板上的电位，通常情况下意味着接地电位。

－工业实用性－

本发明对驱动 PDP 等电容性负载的多沟道电容负载驱动电路很有用。

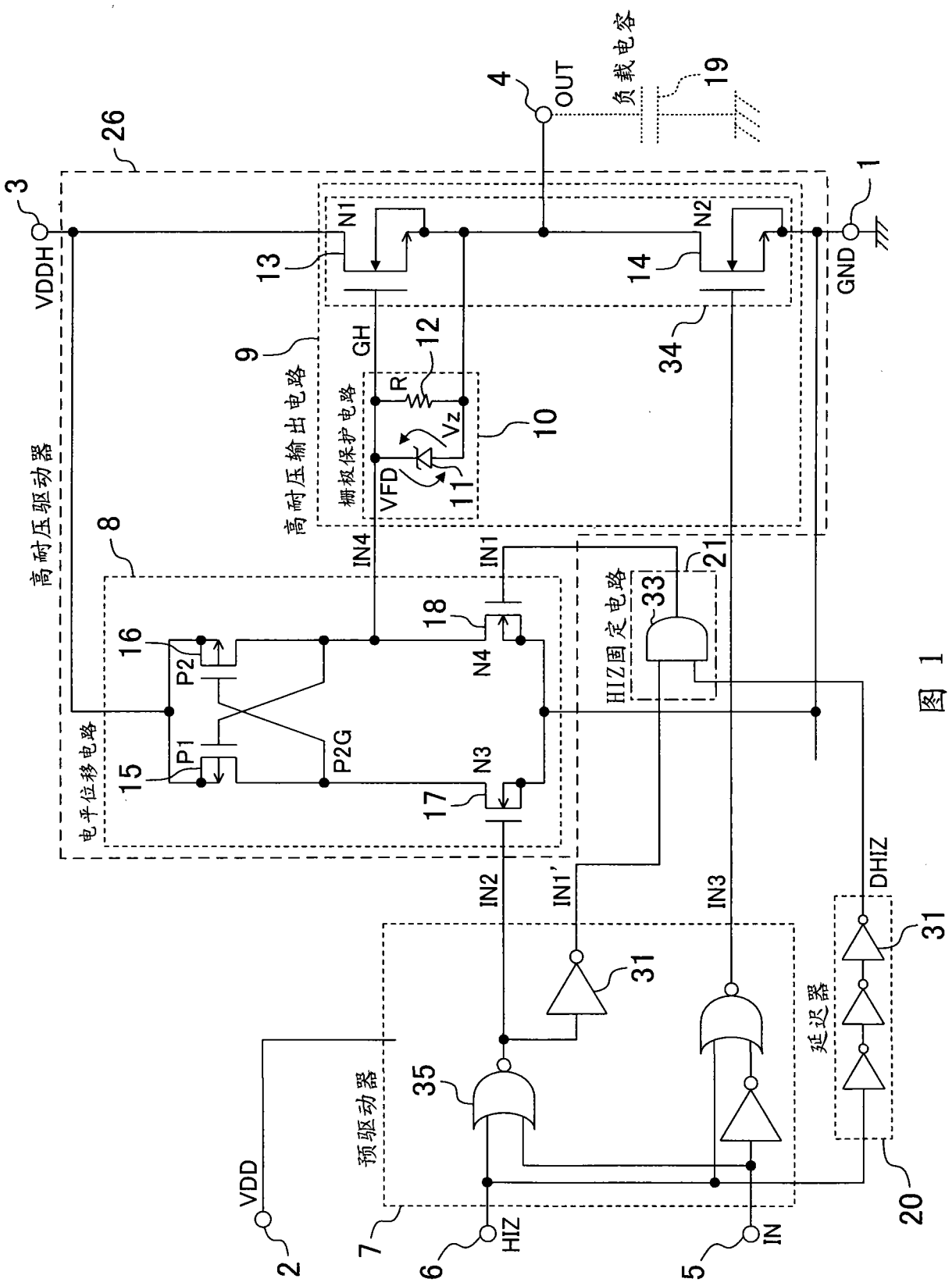

高耐压驱动器
26
3
VDDH
1
GND
4
OUT
负载电容
19
N1
N2
13
14
34
9
高耐压输出电路
GH
12
R
Vz
栅极保护电路
10
VFD
11
8
IN4
IN1
21
HIZ固定电路
33
18
N4
16
P2
P1
15
P2G
N3
17
电平位移电路
IN2
IN1'
IN3
DHIZ
31
31
延迟器
35
预驱动器
VDD
2
7
6
HIZ
5
IN
20

图 1

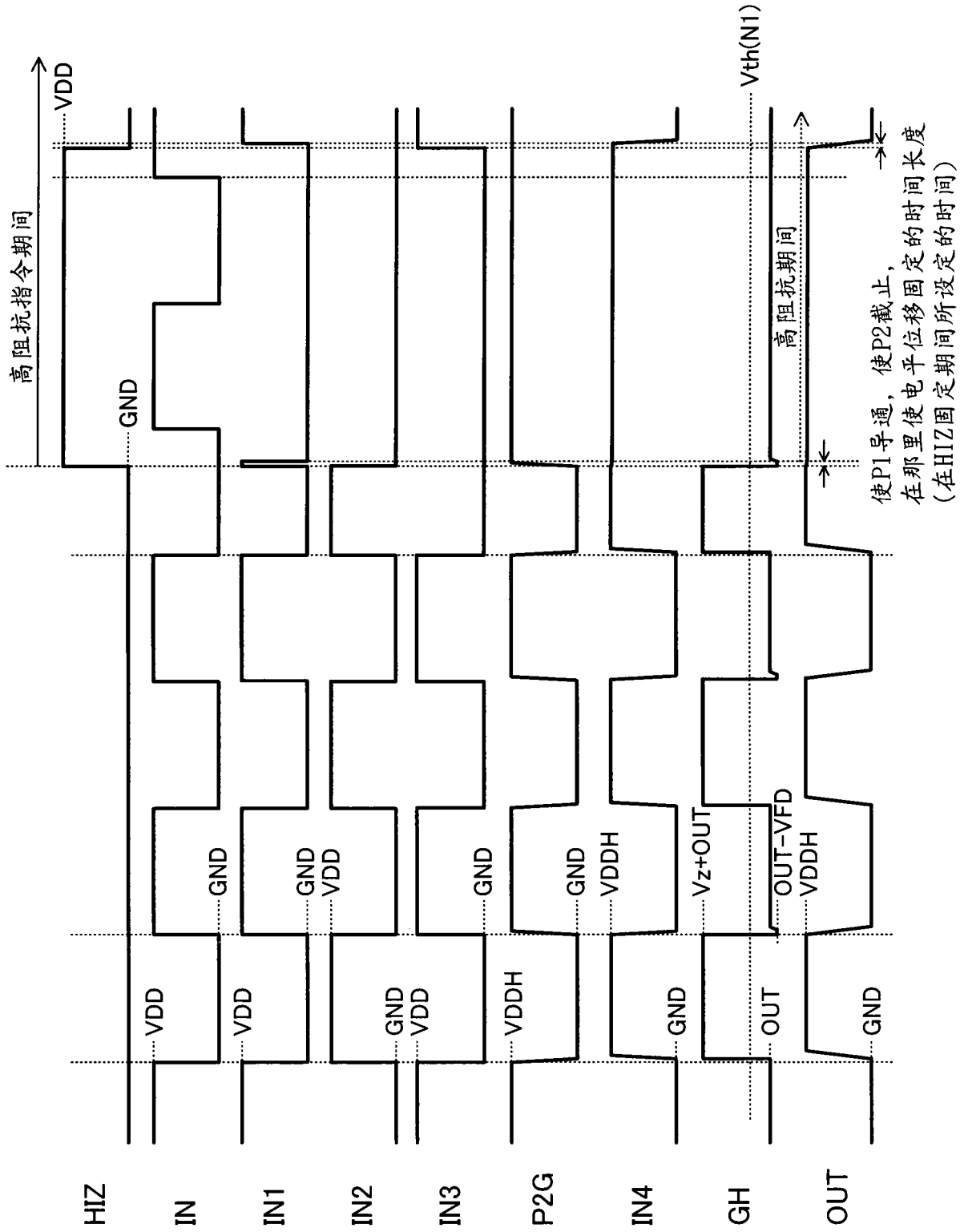

高阻抗指令期间
VDD
GND
Vth(N1)
高阻抗期间
使P1导通，使P2截止，
在那里使电平位移固定的时间长度
(在HIZ固定期间所设定的时间)
HIZ
IN
IN1
IN2
IN3
P2G
IN4
GH
OUT
VDD
GND
VDD
GND
VDD
GND
VDD
GND
VDDH
GND
VDDH
GND
Vz+OUT
OUT
OUT-VFD
VDDH
GND

图 2

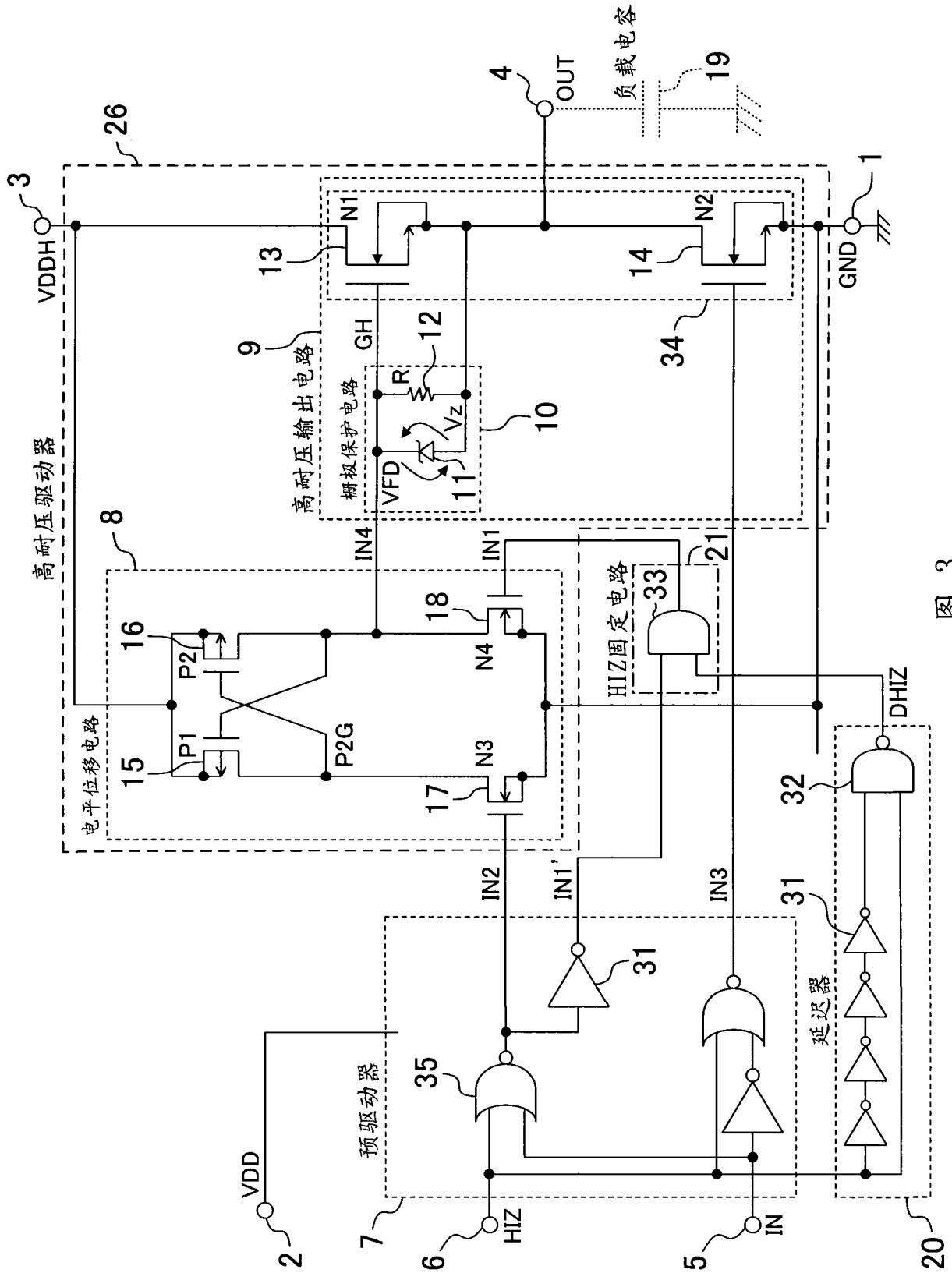

高耐压驱动器
26
3
VDDH
4
OUT
负载电容
19
1
GND
N1
N2
13
14
34
9
高耐压输出电路
GH
12
R
Vz
栅极保护电路
10
VFD
11
8
IN4
IN1
21
HIZ固定电路
33
18
N4
16
P2
P1
15
P2G
N3
17
电平位移电路
DHIZ
32
IN2
IN1'
IN3
31
31
延迟器
35
预驱动器
VDD
2
7
6
HIZ
5
IN
20

图 3

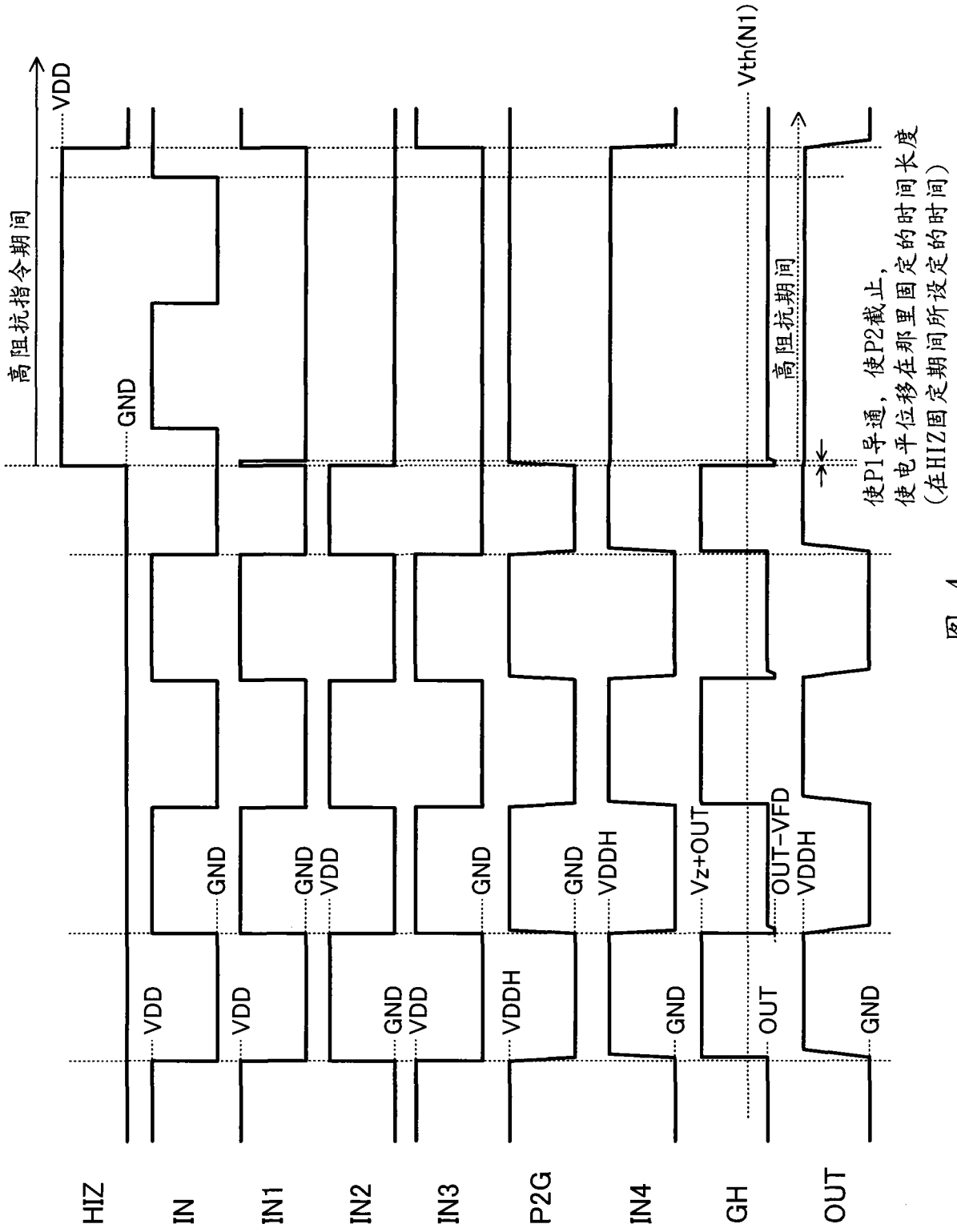

高阻抗指令期间
VDD
GND
Vth(N1)
高阻抗期间
使P1导通，使P2截止，
使电平位移在那里固定的时间长度
(在HIZ固定期间所设定的时间)
HIZ
IN
IN1
IN2
IN3
P2G
IN4
GH
OUT
VDD
GND
VDD
GND
VDD
GND
VDD
VDDH
GND
VDDH
GND
Vz+OUT
OUT
OUT-VFD
VDDH
GND

图 4

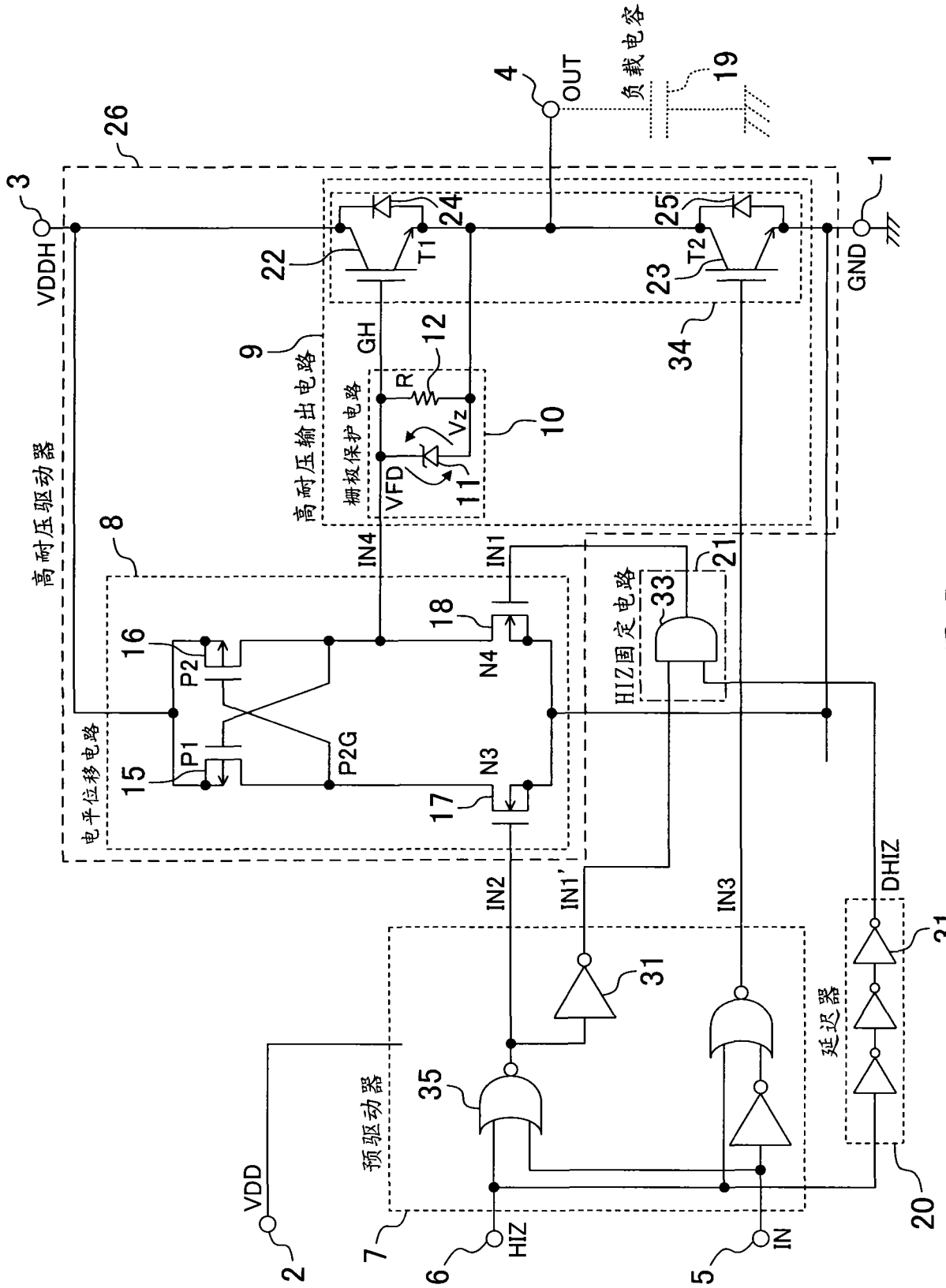

高耐压驱动器
26
3
VDDH
4
OUT
负载电容
19
1
GND
22
T1
24
25
T2
23
34
9
高耐压输出电路
GH
12
R
Vz
栅极保护电路
10
VFD
11
8
IN4
IN1
21
HIZ固定电路
33
16
P2
18
N4
电平位移电路
15
P1
P2G
N3
17
IN2
IN1'
IN3
DHIZ
31
31
延迟器
35
预驱动器
VDD
2
7
6
HIZ
5
IN
20

图 5

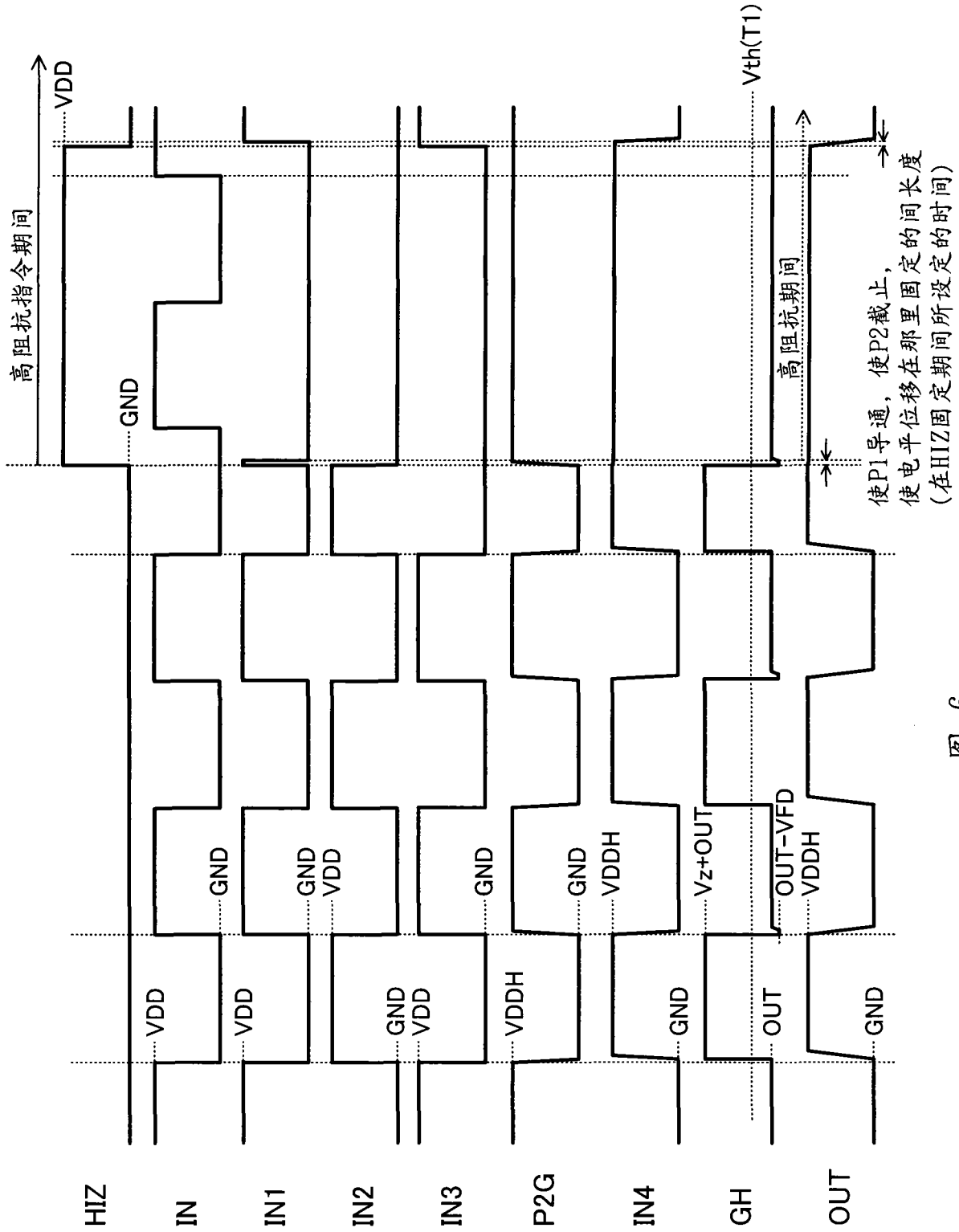

高阻抗指令期间
VDD
GND
Vth(T1)
高阻抗期间
使P1导通，使P2截止，
使电平位移在那里固定的间长度
(在HIZ固定期间所设定的时间)
HIZ
IN
IN1
IN2
IN3
P2G
IN4
GH
OUT
VDD
GND
VDDH
Vz+OUT
OUT-VFD

图 6

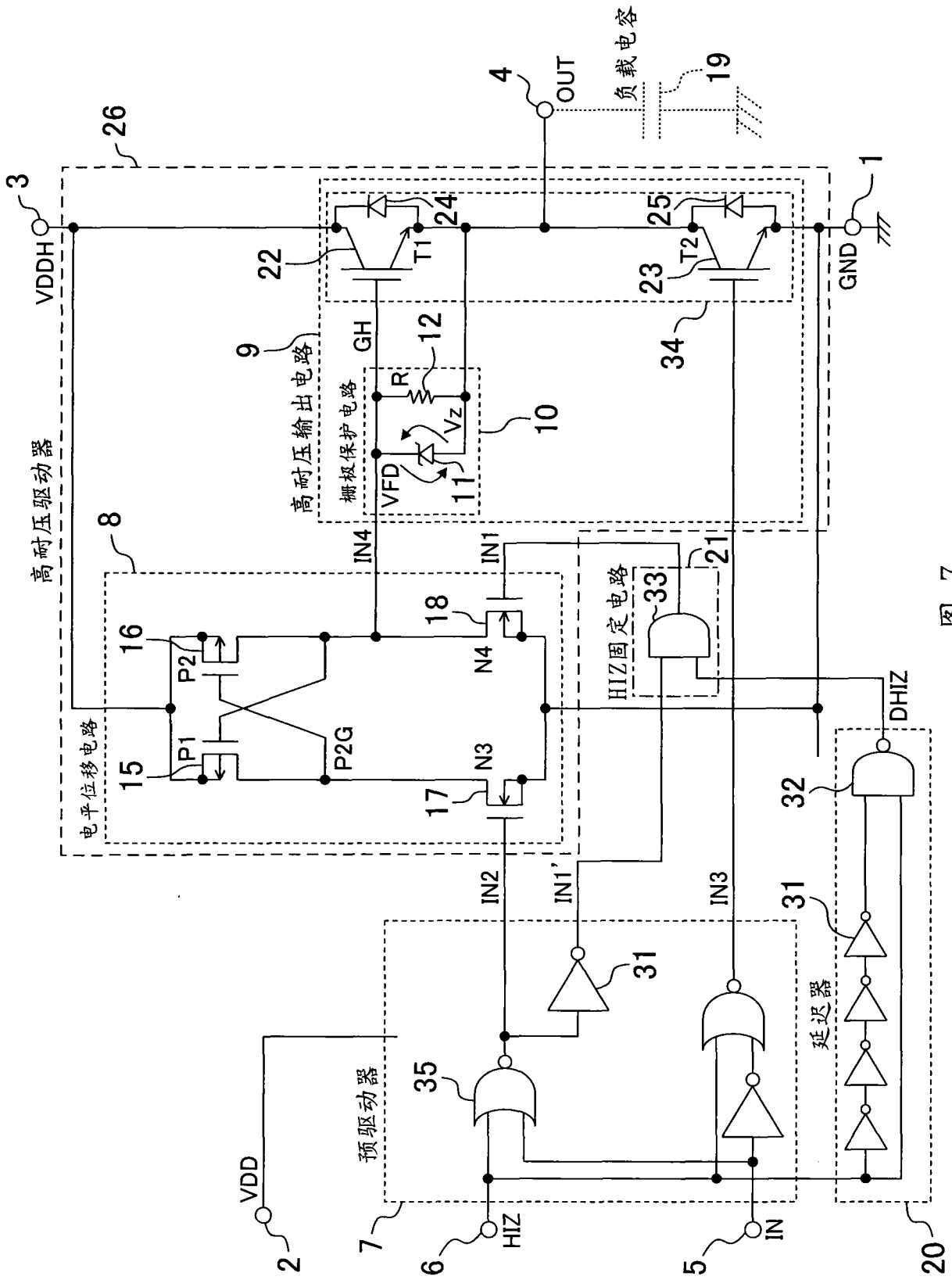

高耐压驱动器
26
3
VDDH
22
24
T1
25
T2
23
4
OUT
负载电容
19
1
GND
34
9
高耐压输出电路
栅极保护电路
GH
12
R
Vz
10
VFD
11
8
IN4
IN1
18
N4
16
P2
P1
15
P2G
N3
17
电平位移电路
21
HIZ固定电路
33
DHIZ
32
IN2
IN1'
IN3
31
31
延迟器
35
预驱动器
VDD
2
7
6
HIZ
5
IN
20

图 7

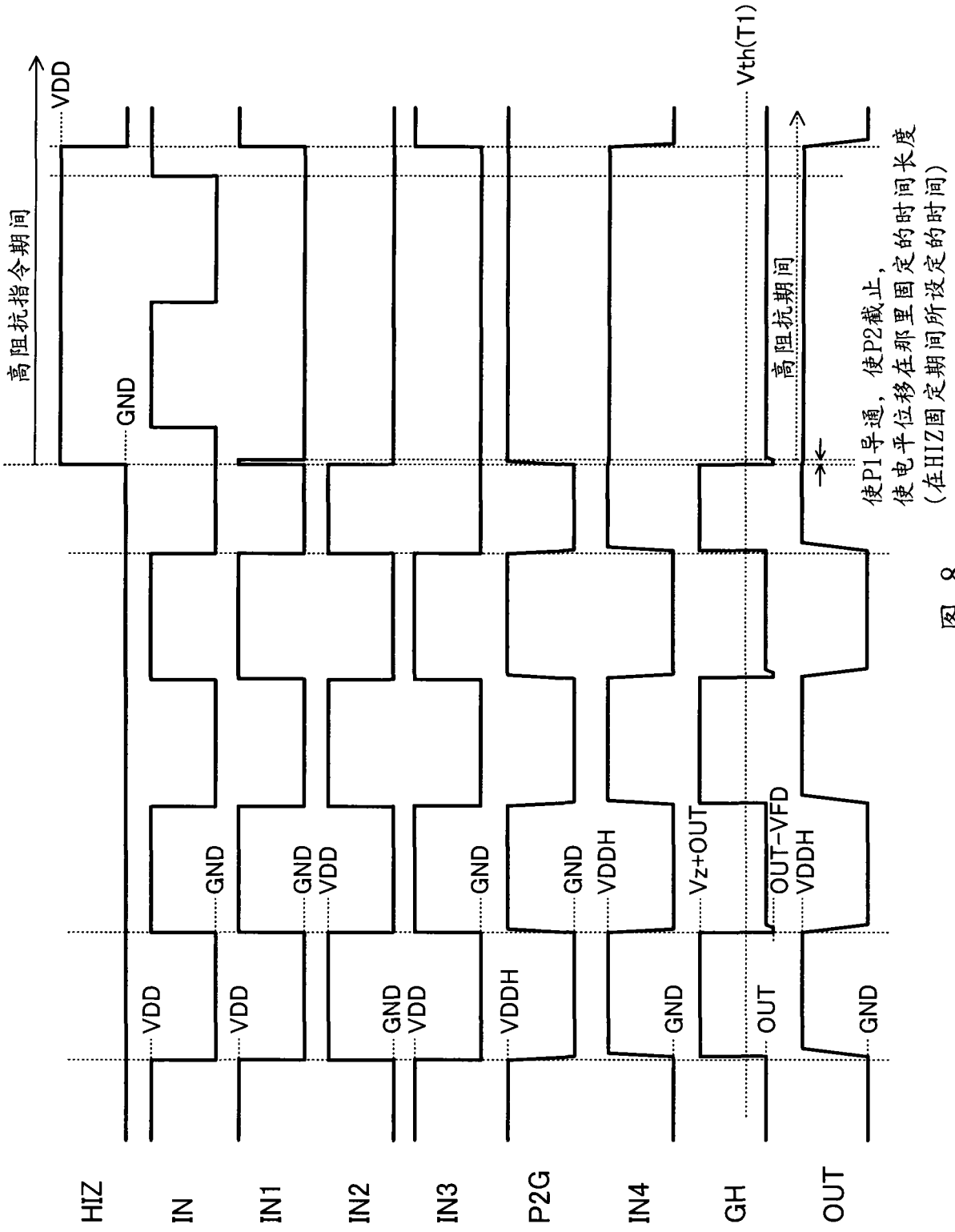

高阻抗指令期间
VDD
GND
Vth(T1)
高阻抗期间
使P1导通，使P2截止，
使电平位移在那里固定的时间长度
(在HIZ固定期间所设定的时间)
HIZ
IN
IN1
IN2
IN3
P2G
IN4
GH
OUT
VDD
GND
VDD
GND
VDD
GND
VDD
GND
VDDH
GND
VDDH
Vz+OUT
OUT
OUT-VFD
VDDH
GND

图 8

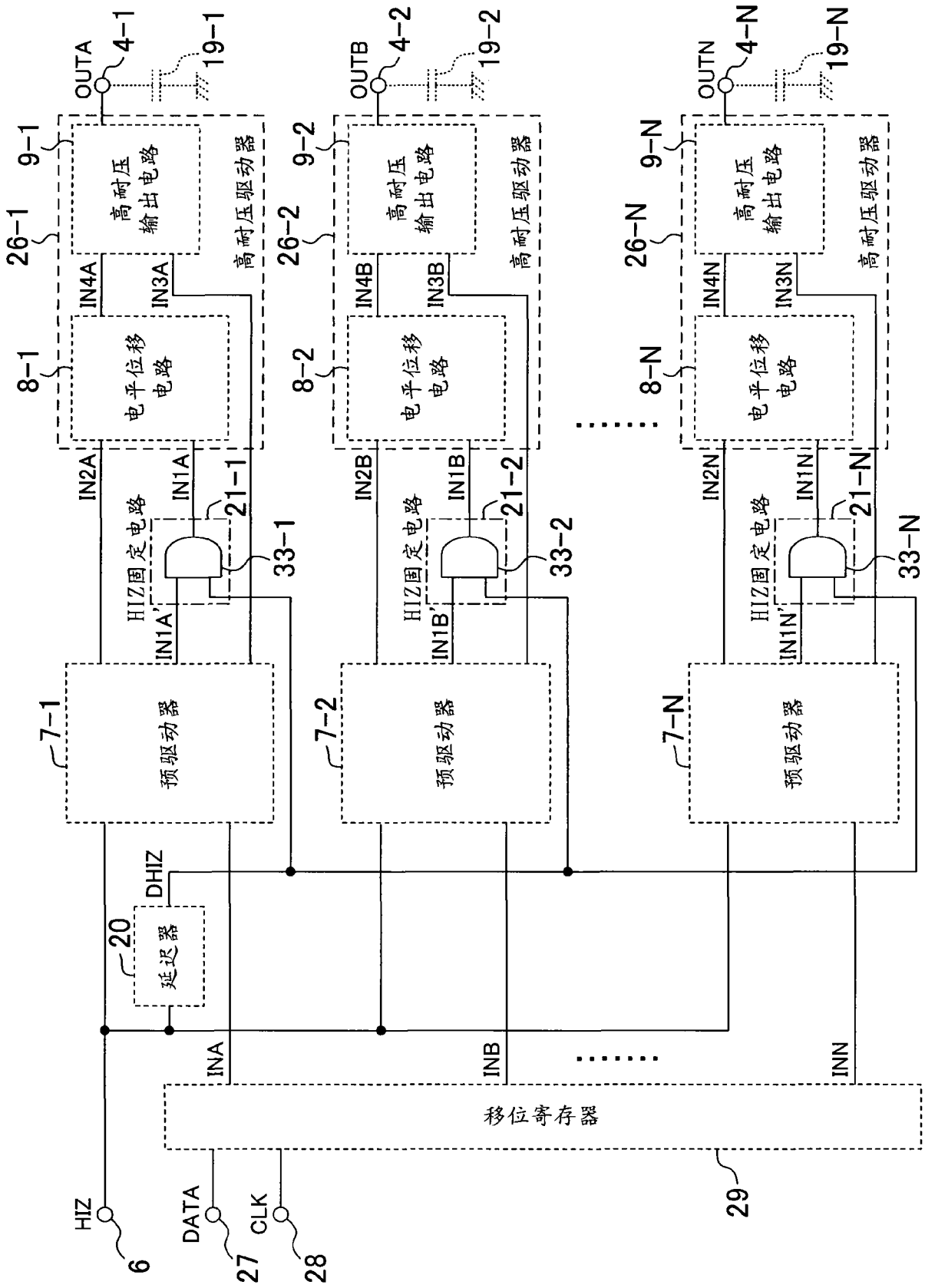

OUTA
4-1
19-1
9-1
26-1
高耐压
输出电路
高耐压驱动器
IN4A
IN3A
8-1
电平位移
电路
IN2A
IN1A
21-1
33-1
HIZ固定电路
IN1A'
7-1
预驱动器
OUTB
4-2
19-2
9-2
26-2
高耐压
输出电路
高耐压驱动器
IN4B
IN3B
8-2
电平位移
电路
IN2B
IN1B
21-2
33-2
HIZ固定电路
IN1B'
7-2
预驱动器
OUTN
4-N
19-N
9-N
26-N
高耐压
输出电路
高耐压驱动器
IN4N
IN3N
8-N
电平位移
电路
IN2N
IN1N
21-N
33-N
HIZ固定电路
IN1N'
7-N
预驱动器
DHIZ
20
延迟器
INA
INB
INN
移位寄存器
29
HIZ
6
DATA
27
CLK
28

图 9

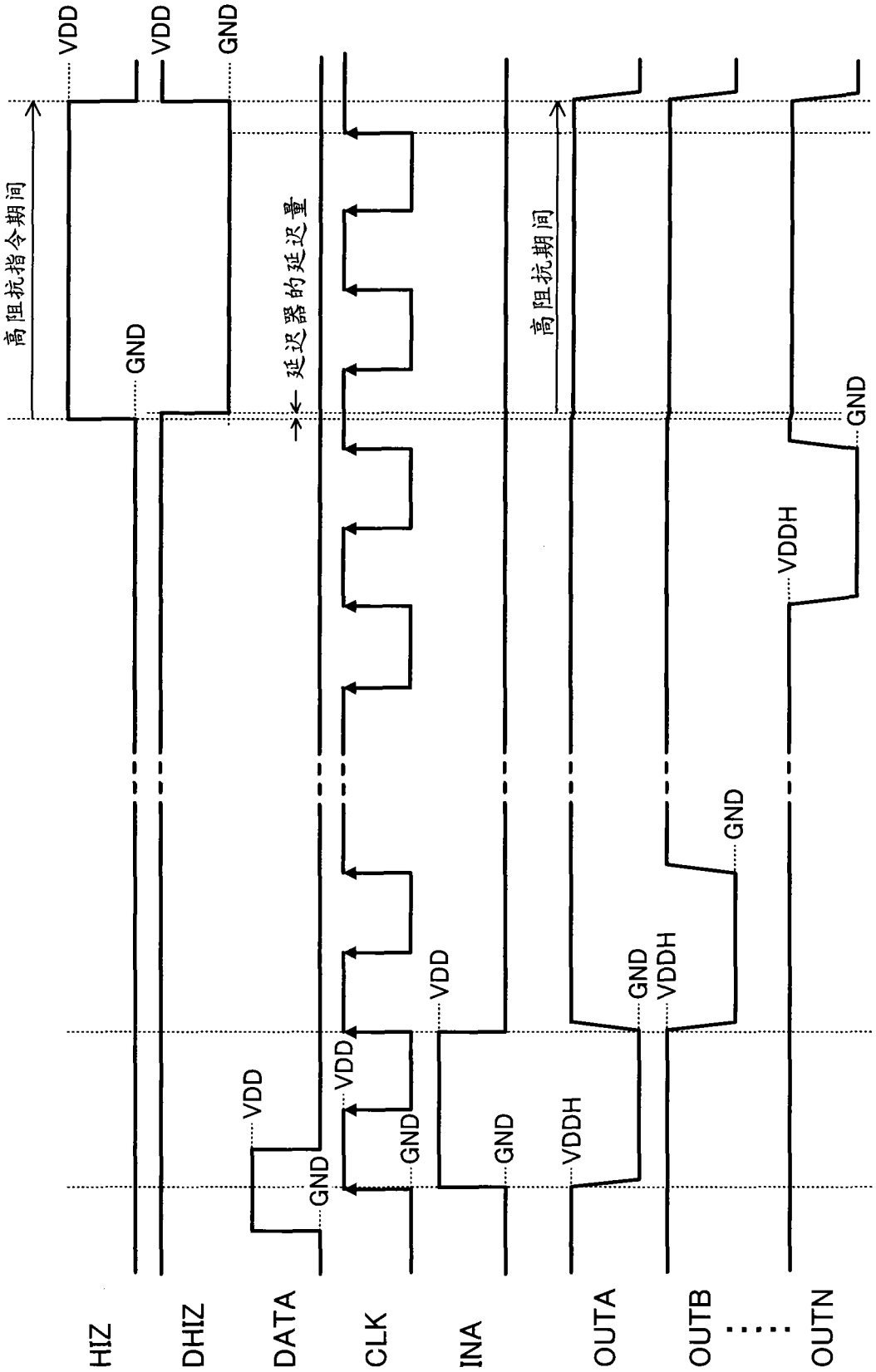

高阻抗指令期间
VDD
VDD
GND
GND
延迟器的延迟量
高阻抗期间
GND
VDDH
GND
GND
VDD
VDD
GND
VDD
GND
VDDH
GND
VDDH
HIZ
DHIZ
DATA
CLK
INA
OUTA
OUTB
OUTN

图 10

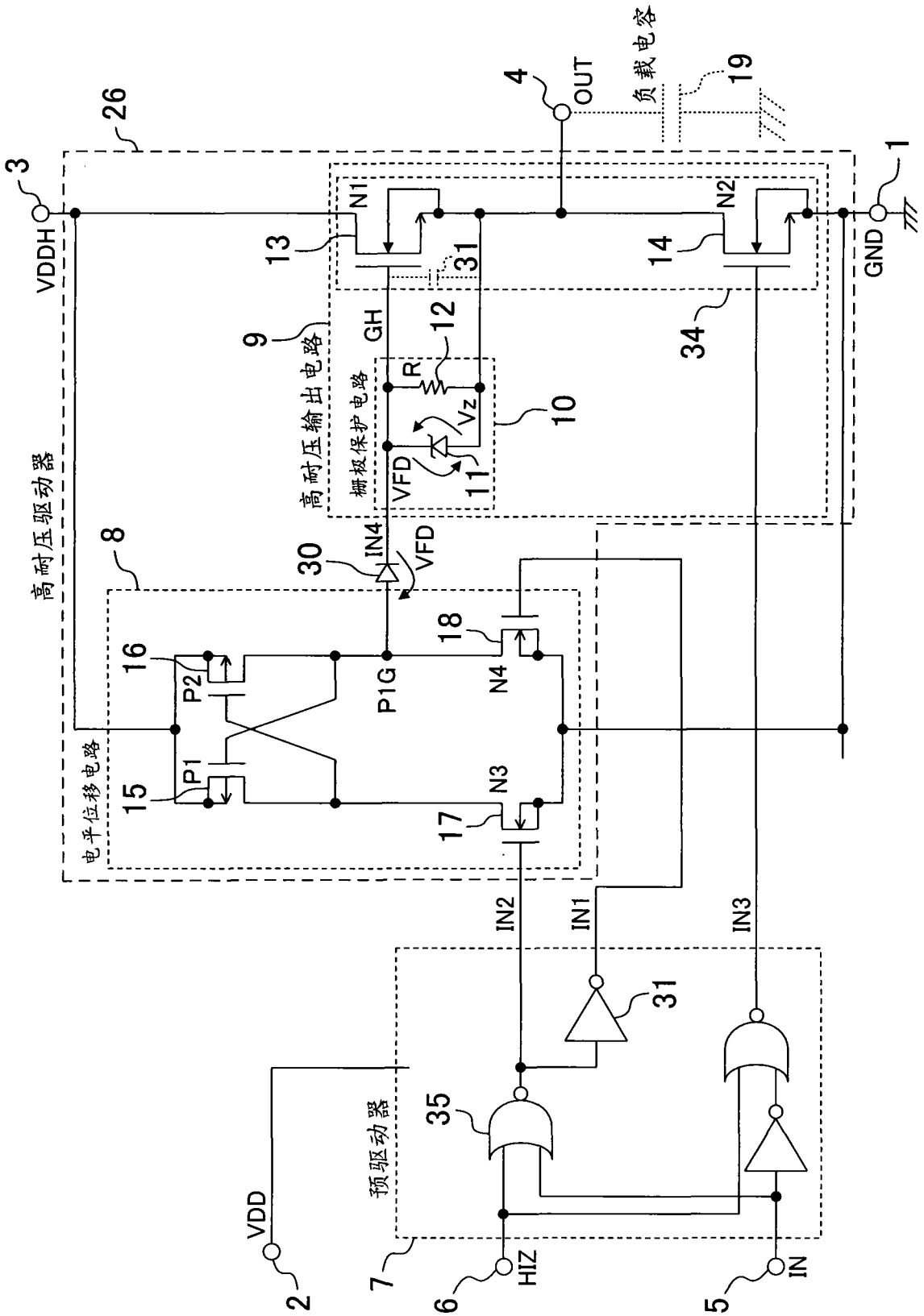

高耐压驱动器
26
3
VDDH
4
OUT
负载电容
19
1
GND
N1
N2
13
14
31
34
9
高耐压输出电路
GH
12
R
Vz
栅极保护电路
10
VFD
11
8
30
IN4
VFD
18
16
P2
P1G
N4
电平位移电路
P1
15
N3
17
IN2
IN1
IN3
31
35
预驱动器
VDD
2
7
6
HIZ
5
IN

图 11

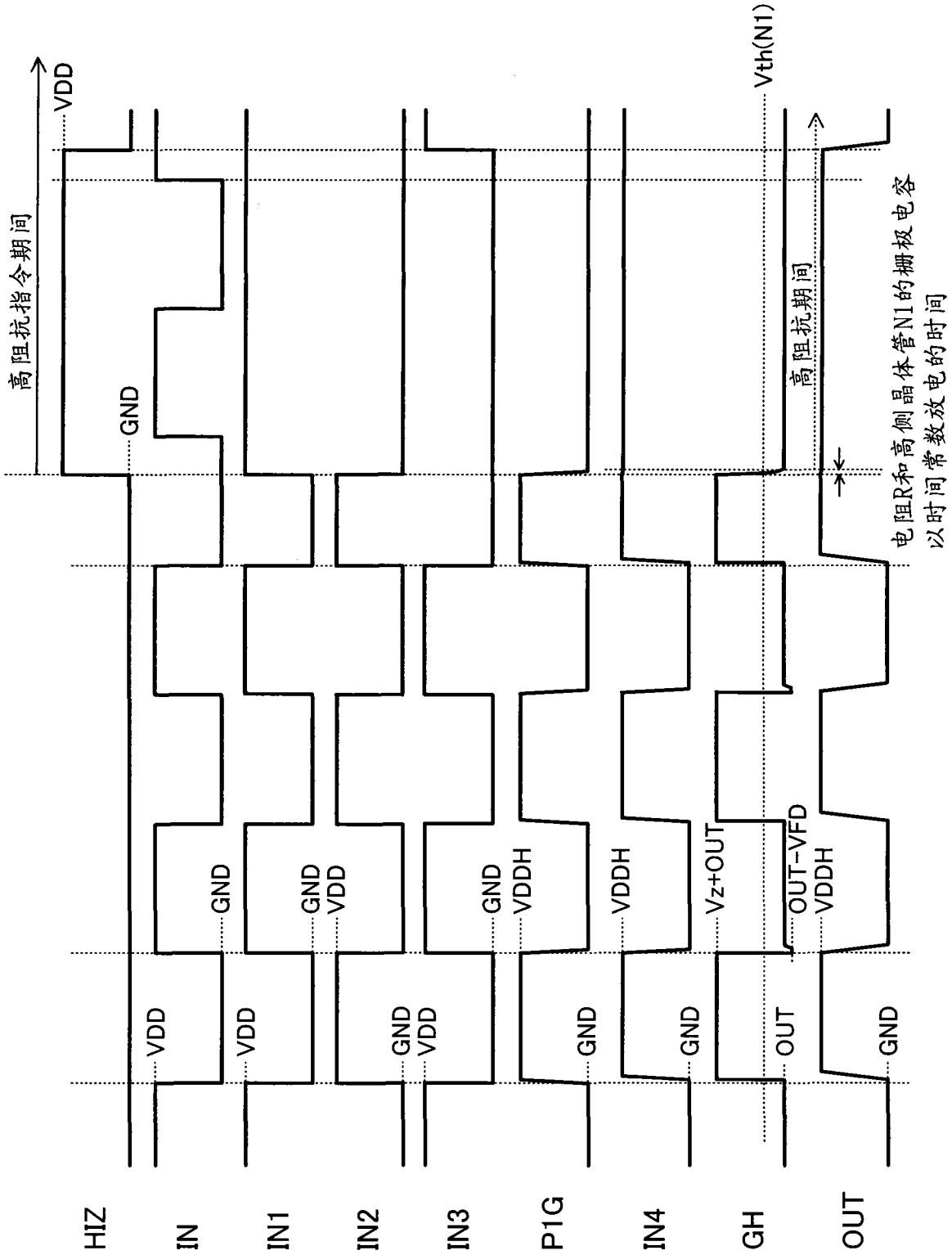

高阻抗指令期间
VDD
GND
Vth(N1)
高阻抗期间
电阻R和高侧晶体管N1的栅极电容
以时间常数放电的时间
HIZ
IN
IN1
IN2
IN3
P1G
IN4
GH
OUT
VDD
GND
GND
VDD
GND
VDD
GND
VDDH
VDDH
Vz+OUT
OUT-VFD
VDDH
OUT
GND

图 12

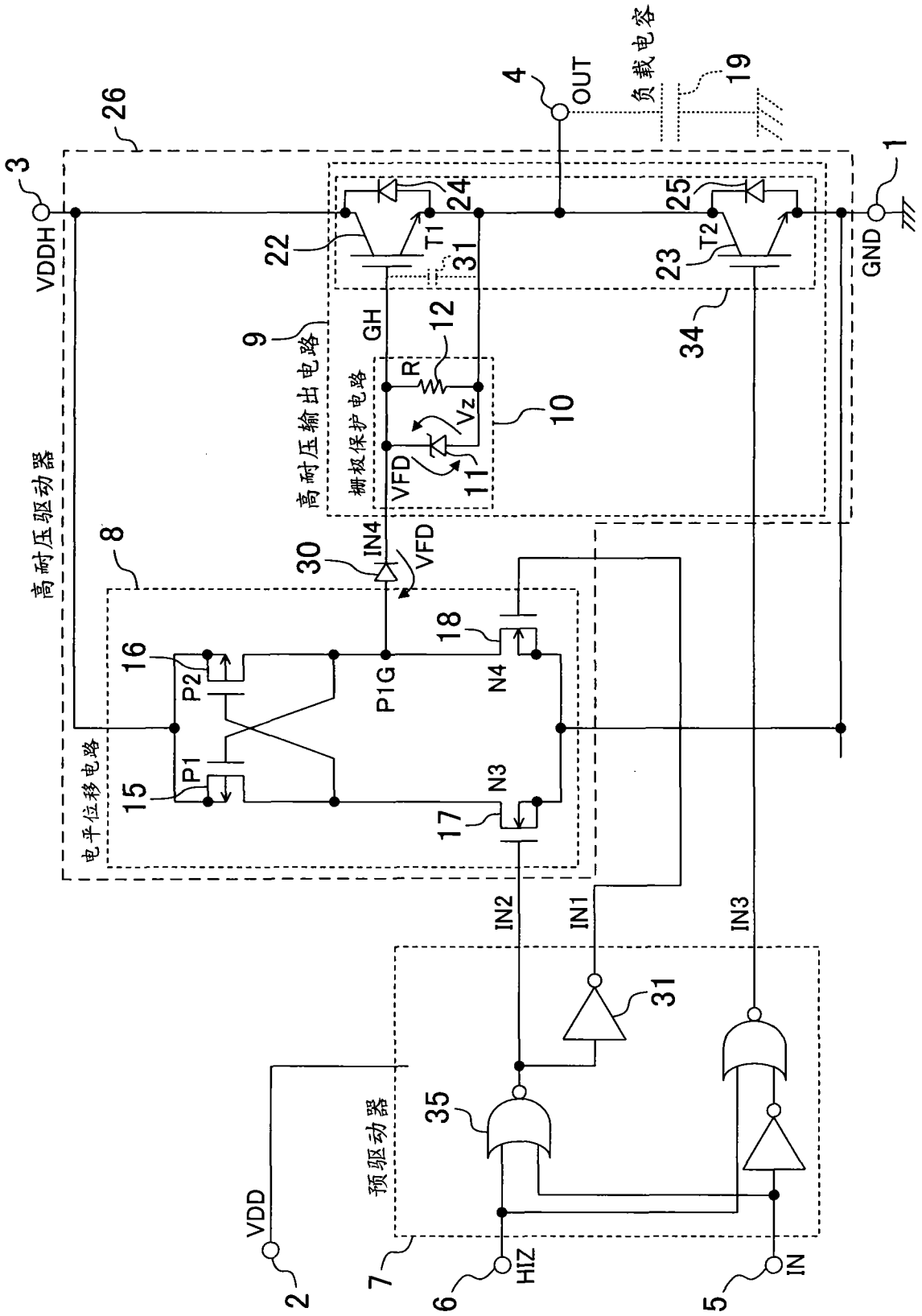

高耐压驱动器
26
3
VDDH
4
OUT
负载电容
19
1
GND
22
T1
24
31
25
T2
23
34
9
高耐压输出电路
GH
12
R
Vz
10
栅极保护电路
VFD
11
8
30
IN4
VFD
18
16
P2
P1G
N4
电平位移电路
P1
15
N3
17
IN2
IN1
IN3
31
35
预驱动器
VDD
2
7
6
HIZ
5
IN

图 13

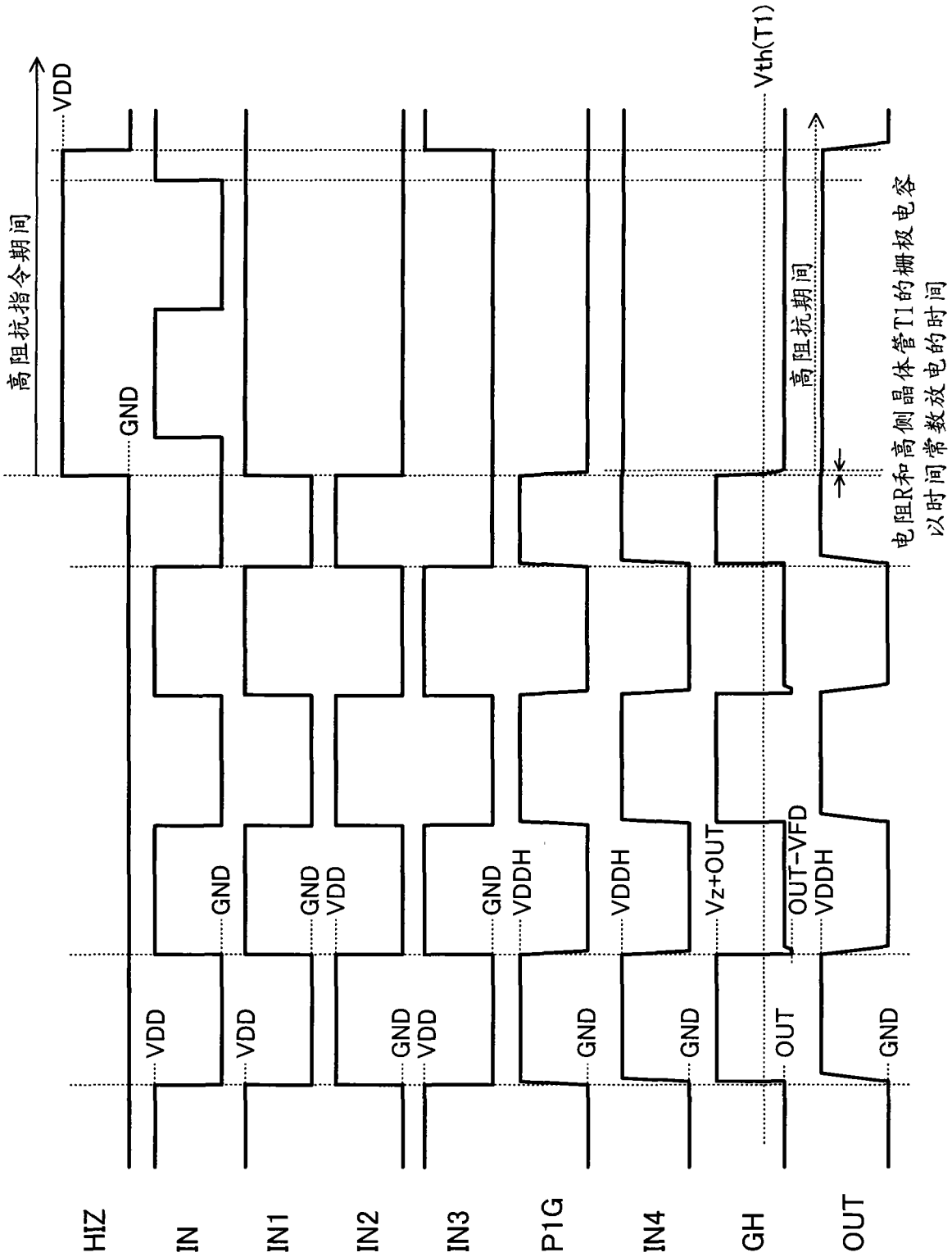

高阻抗指令期间
VDD
GND
Vth(T1)
高阻抗期间
电阻R和高侧晶体管T1的栅极电容
以时间常数放电的时间
HIZ
IN
IN1
IN2
IN3
P1G
IN4
GH
OUT
VDD
GND
GND
VDD
GND
VDD
GND
VDDH
VDDH
Vz+OUT
OUT-VFD
VDDH
OUT
GND

图 14

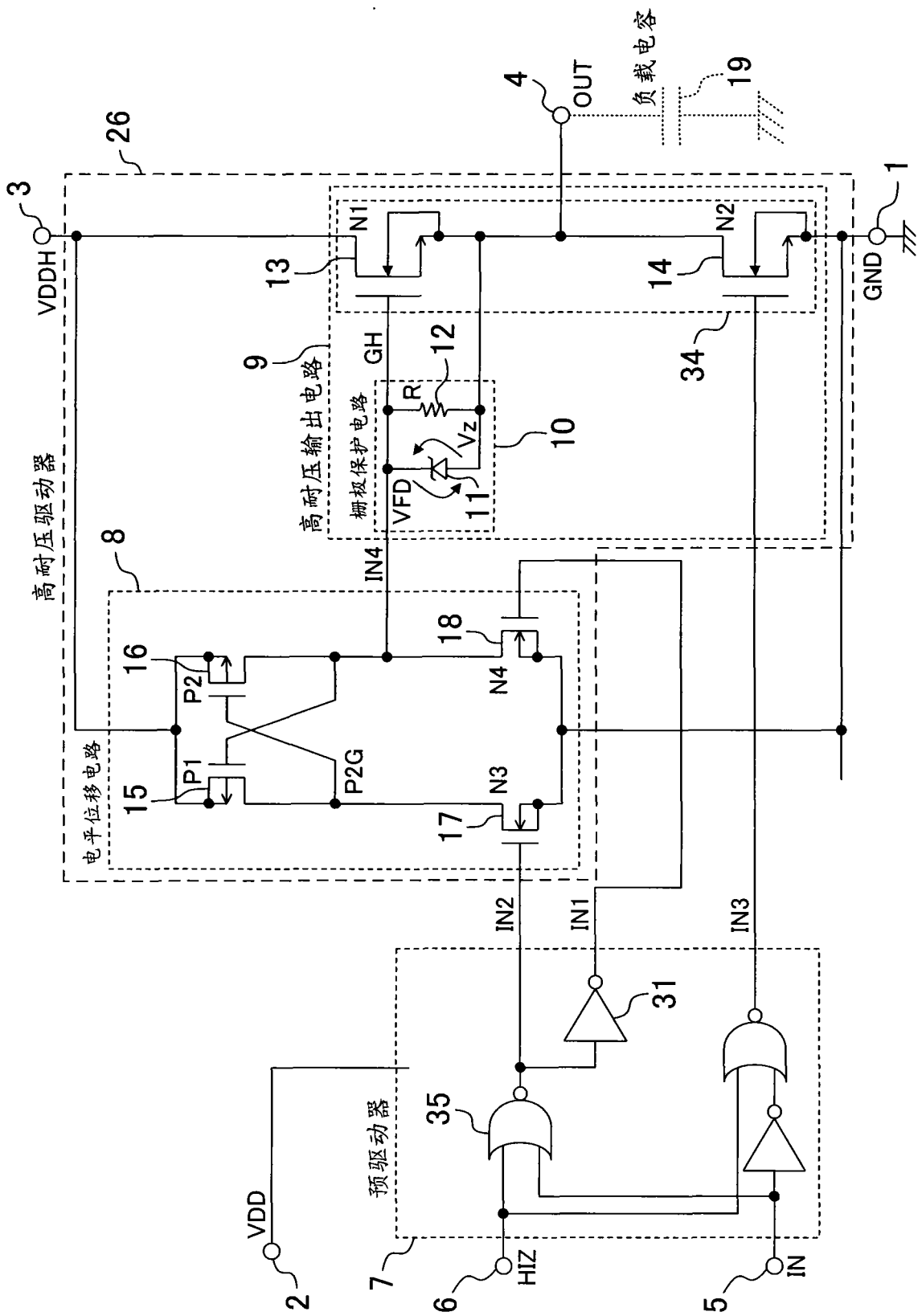

高耐压驱动器
26
3
VDDH
4
OUT
负载电容
19
1
GND
N1
N2
13
14
34
9
高耐压输出电路
GH
12
R
Vz
栅极保护电路
10
VFD
11
8
IN4
18
N4
16
P2
P1
15
P2G
N3
17
电平位移电路
IN2
IN1
IN3
31
35
预驱动器
VDD
2
7
6
HIZ
5
IN

图 15

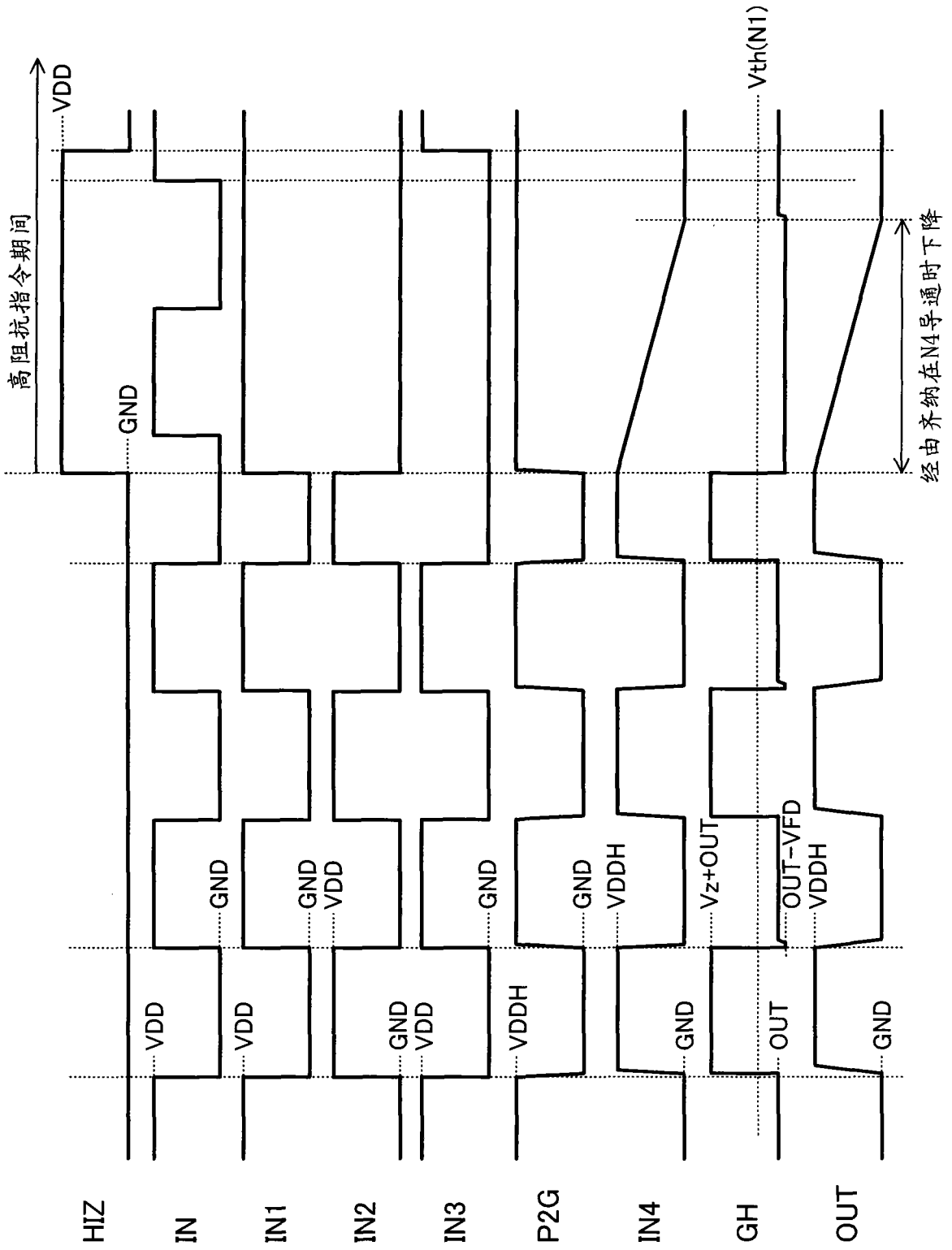

高阻抗指令期间
VDD
GND
Vth(N1)
经由齐纳在N4导通时下降
HIZ
IN
IN1
IN2
IN3
P2G
IN4
GH
OUT
VDD
GND
GND
VDD
GND
VDD
GND
VDD
VDDH
GND
VDDH
Vz+OUT
OUT-VFD
VDDH
OUT
GND

图 16