(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년12월30일
(11) 등록번호 10-2748448
(24) 등록일자 2024년12월26일

(51) 국제특허분류(Int. Cl.)
G01R 31/28 (2006.01) *G01R 31/26* (2014.01)
G05B 19/418 (2024.01) *H01L 21/67* (2006.01)
(52) CPC특허분류
G01R 31/287 (2013.01)
G01R 31/2601 (2013.01)
(21) 출원번호 10-2023-7031890
(22) 출원일자(국제) 2022년04월29일
심사청구일자 2024년11월01일
(85) 번역문제출일자 2023년09월18일
(65) 공개번호 10-2024-0004252
(43) 공개일자 2024년01월11일
(86) 국제출원번호 PCT/US2022/026850
(87) 국제공개번호 WO 2022/235493
국제공개일자 2022년11월10일
(30) 우선권주장
63/184,793 2021년05월06일 미국(US)
17/333,770 2021년05월28일 미국(US)

(56) 선행기술조사문헌
US20190295908 A1
US20170343601 A1
US10761128 B2
US20070212798 A1

(73) 특허권자
케이엘에이 코포레이션
미합중국, 캘리포니아 95035, 밀피타스, 원 테크놀로지 드라이브
(72) 발명자
래서트 로버트 제이
미국 버지니아주 23111 메케닉스빌 파문키 리버 팜스 드라이브 9156
프라이스 데이비드 더블유
미국 텍사스주 78737 오스틴 에코 블러프 14311
(뒷면에 계속)
(74) 대리인
김태홍, 김진회

전체 청구항 수 : 총 25 항 심사관 : 임성묵

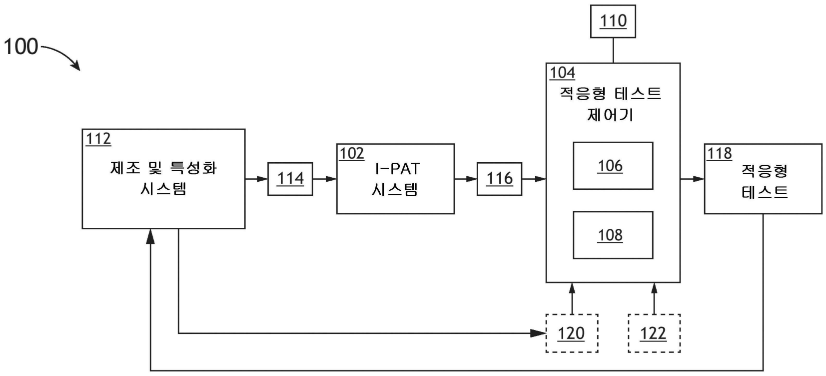
(54) 발명의 명칭 **인라인 결함 부분 평균 테스트를 사용하는 반도체 적응형 테스트를 위한 시스템 및 방법**

(57) 요 약

인라인 결함 부분 평균 테스트(inline defect part average testing; I-PAT)를 사용하는 반도체 적응형 테스트를 위한 시스템 및 방법은 I-PAT 시스템으로부터 복수의 I-PAT 점수를 수신하고 - 복수의 I-PAT 점수는 복수의 반도체 다이에 대한 반도체 다이 데이터에 기초하여 I-PAT 시스템에 의해 생성되고, 반도체 다이 데이터는 복수

(뒷면에 계속)

대 표 도



의 반도체 다이에 대한 특성화 측정치를 포함하고, 복수의 I-PAT 점수 중의 각각의 I-PAT 점수는 복수의 반도체 다이 중의 대응하는 반도체 다이의 특성화 측정치에 기초하여 I-PAT 시스템에 의해 결정된 가중화된 결함성을 나타냄 -; 동적 의사 결정 프로세스 동안 복수의 I-PAT 점수에 하나 이상의 규칙을 적용하고; 동적 의사 결정 프로세스에 기초하여 복수의 반도체 다이 중 적어도 하나의 반도체 다이에 대해 하나 이상의 적응형 테스트를 생성하도록 구성된다.

(52) CPC특허분류

G01R 31/2894 (2013.01)

G05B 19/41875 (2013.01)

H01L 21/67288 (2013.01)

G05B 2219/45031 (2013.01)

(72) 발명자

레녹스 체트

미국 텍사스주 78947 렉싱턴 웨스트 팜-투-마켓 로드 4189

돈젤라 오레스테

미국 캘리포니아주 94582 샌 라몬 발모랄 웨이 7319

로빈슨 존

미국 텍사스주 78731 오스틴 노스 힐스 드라이브 4000

셔먼 카라

미국 캘리포니아주 95125 산 호세 미네소타 애비뉴 603

명 세 서

청구범위

청구항 1

시스템에 있어서,

인라인 결함 부분 평균 테스트(inline defect part average testing; I-PAT) 시스템에 통신가능하게 결합된 적응형 테스트 제어기

를 포함하고, 상기 적응형 테스트 제어기는 하나 이상의 프로세서 및 메모리를 포함하고, 상기 메모리는 프로그램 명령어들의 세트를 저장하도록 구성되며, 상기 하나 이상의 프로세서는, 상기 하나 이상의 프로세서로 하여금,

상기 I-PAT 시스템으로부터 복수의 I-PAT 점수를 수신하고 - 상기 복수의 I-PAT 점수는 복수의 반도체 다이에 대한 반도체 다이 데이터에 기초하여 상기 I-PAT 시스템에 의해 생성되고, 상기 반도체 다이 데이터는 상기 복수의 반도체 다이에 대한 특성화 측정치를 포함하고, 상기 복수의 I-PAT 점수 중의 각각의 I-PAT 점수는 상기 복수의 반도체 다이 중의 대응하는 반도체 다이의 특성화 측정치에 기초하여 상기 I-PAT 시스템에 의해 결정된 가중화된 결함성을 나타냄 -;

동적 의사 결정 프로세스 동안 상기 복수의 I-PAT 점수에 하나 이상의 규칙을 적용하고;

상기 동적 의사 결정 프로세스에 기초하여 상기 복수의 반도체 다이 중 적어도 하나의 반도체 다이에 대해 하나 이상의 적응형 테스트를 생성하게 하는

프로그램 명령어들을 실행하도록 구성되는 것인, 시스템.

청구항 2

제1항에 있어서, 상기 하나 이상의 프로세서는 또한, 상기 하나 이상의 프로세서로 하여금,

상기 하나 이상의 적응형 테스트에 기초하여 반도체 제조 및 특성화 시스템에 대한 하나 이상의 조정을 결정하게 하는 프로그램 명령어들을 실행하도록 구성되고, 상기 반도체 제조 및 특성화 시스템은 상기 반도체 다이 데이터의 특성화 측정치를 획득하도록 구성되는 것인, 시스템.

청구항 3

제1항에 있어서,

상기 복수의 I-PAT 점수 중 적어도 하나의 I-PAT 점수는 선택된 문턱값에 의해 정의된 저결함성(low defectivity) 반도체 다이에 대응하고, 상기 하나 이상의 적응형 테스트는 상기 저결함성 반도체 다이에 대한 최적화된 베이스라인 테스트를 포함하는 것인, 시스템.

청구항 4

제1항에 있어서,

상기 복수의 I-PAT 점수 중 적어도 하나의 I-PAT 점수는 선택된 문턱값 및 제2 선택된 문턱값에 의해 정의된 중결함성(moderate defectivity) 반도체 다이에 대응하고, 상기 하나 이상의 적응형 테스트는 상기 중결함성 반도체 다이에 대한 베이스라인 테스트 프로그램에 하나 이상의 테스트 프로그램 파라미터를 추가하도록 구성된 적응형 테스트를 포함하며, 상기 하나 이상의 테스트 프로그램 파라미터는 추가 테스트 벡터, 테스트 패턴, 및 결함 모델 중, 적어도 하나를 포함하는 것인, 시스템.

청구항 5

제1항에 있어서,

상기 복수의 I-PAT 점수 중 적어도 하나의 I-PAT 점수는 제2 선택된 문턱값에 의해 정의된 고결함성(high defectivity) 반도체 다이에 대응하고, 상기 하나 이상의 적응형 테스트는 상기 고결함성 반도체 다이를 테스트

하지 않도록 구성된 스킵 테스트(skip test)를 포함하는 것인, 시스템.

청구항 6

제1항에 있어서,

상기 복수의 I-PAT 점수 중 적어도 하나의 I-PAT 점수는 고결함성 반도체 다이에 대응하고, 상기 하나 이상의 적응형 테스트는 결함 검출 및 적용 범위(coverage)의 완전한 특성화를 상기 고결함성 반도체 다이에 적용하도록 구성된 테스트를 포함하는 것인, 시스템.

청구항 7

제1항에 있어서,

상기 하나 이상의 프로세서는 또한, 상기 하나 이상의 프로세서로 하여금,

상기 복수의 반도체 다이 중 상기 적어도 하나의 반도체 다이에 대해 상기 하나 이상의 적응형 테스트를 생성하게 하는 프로그램 명령어들을 실행하도록 구성되고, 상기 생성은, 상기 동적 의사 결정 프로세스와,

하나 이상의 전기적 분류 프로세스에 의해 생성된 다이 수준 전기적 분류 데이터; 및

하나 이상의 통계적 예측 프로세스에 의해 생성된 통계적 예측 피드백

중, 적어도 하나에 기초한 것인, 시스템.

청구항 8

방법에 있어서,

적응형 테스트 제어기를 통해, 인라인 결함 부분 평균 테스트(inline defect part average testing; I-PAT) 시스템으로부터 복수의 I-PAT 점수를 수신하는 단계 - 상기 복수의 I-PAT 점수는 복수의 반도체 다이에 대한 반도체 다이 데이터에 기초하여 상기 I-PAT 시스템에 의해 생성되고, 상기 반도체 다이 데이터는 상기 복수의 반도체 다이에 대한 특성화 측정치를 포함하고, 상기 복수의 I-PAT 점수 중의 각각의 I-PAT 점수는 상기 복수의 반도체 다이 중의 대응하는 반도체 다이의 특성화 측정치에 기초하여 상기 I-PAT 시스템에 의해 결정된 가중화된 결함성을 나타냄 -;

동적 의사 결정 프로세스 동안 상기 적응형 테스트 제어기를 통해 하나 이상의 규칙을 상기 복수의 I-PAT 점수에 적용하는 단계; 및

상기 적응형 테스트 제어기를 통해, 상기 동적 의사 결정 프로세스에 기초하여 상기 복수의 반도체 다이 중 적어도 하나의 반도체 다이에 대해 하나 이상의 적응형 테스트를 생성하는 단계

를 포함하는, 방법.

청구항 9

제8항에 있어서,

상기 하나 이상의 적응형 테스트에 기초하여 반도체 제조 및 특성화 시스템에 대한 하나 이상의 조정을 결정하는 단계를 더 포함하고, 상기 반도체 제조 및 특성화 시스템은 상기 반도체 다이 데이터의 특성화 측정치를 획득하도록 구성되는 것인, 방법.

청구항 10

제8항에 있어서,

상기 복수의 I-PAT 점수 중 적어도 하나의 I-PAT 점수는 선택된 문턱값에 의해 정의된 저결함성 반도체 다이에 대응하고, 상기 하나 이상의 적응형 테스트는 상기 저결함성 반도체 다이에 대한 최적화된 베이스라인 테스트를 포함하는 것인, 방법.

청구항 11

제8항에 있어서,

상기 복수의 I-PAT 점수 중 적어도 하나의 I-PAT 점수는 선택된 문턱값 및 제2 선택된 문턱값에 의해 정의된 중결함성 반도체 다이에 대응하고, 상기 하나 이상의 적응형 테스트는 상기 중결함성 반도체 다이에 대한 베이스라인 테스트 프로그램에 하나 이상의 테스트 프로그램 파라미터를 추가하도록 구성된 적응형 테스트를 포함하며, 상기 하나 이상의 테스트 프로그램 파라미터는 추가 테스트 벡터, 테스트 패턴, 및 결함 모델 중, 적어도 하나를 포함하는 것인, 방법.

청구항 12

제8항에 있어서,

상기 복수의 I-PAT 점수 중 적어도 하나의 I-PAT 점수는 제2 선택된 문턱값에 의해 정의된 고결함성 반도체 다이에 대응하고, 상기 하나 이상의 적응형 테스트는 상기 고결함성 반도체 다이를 테스트하지 않도록 구성된 스킵 테스트를 포함하는 것인, 방법.

청구항 13

제8항에 있어서,

상기 복수의 I-PAT 점수 중 적어도 하나의 I-PAT 점수는 고결함성 반도체 다이에 대응하고, 상기 하나 이상의 적응형 테스트는 결함 검출 및 적용 범위의 완전한 특성화를 상기 고결함성 반도체 다이에 적용하도록 구성된 테스트를 포함하는 것인, 방법.

청구항 14

제8항에 있어서,

상기 복수의 반도체 다이 중 상기 적어도 하나의 반도체 다이에 대해 상기 하나 이상의 적응형 테스트를 생성하는 단계는 상기 동적 의사 결정 프로세스와,

하나 이상의 전기적 분류 프로세스에 의해 생성된 다이 수준 전기적 분류 데이터; 및

하나 이상의 통계적 예측 프로세스에 의해 생성된 통계적 예측 피드백

중, 적어도 하나에 기초한 것인, 방법.

청구항 15

시스템에 있어서,

인라인 결함 부분 평균 테스트(inline defect part average testing; I-PAT) 시스템 - 상기 I-PAT 시스템은 복수의 반도체 다이에 대한 반도체 다이 데이터를 수신하고 상기 반도체 다이 데이터에 기초하여 복수의 I-PAT 점수를 생성하도록 구성되고, 상기 반도체 다이 데이터는 상기 복수의 반도체 다이에 대한 특성화 측정치를 포함하고, 상기 복수의 I-PAT 점수 중의 각각의 I-PAT 점수는 상기 복수의 반도체 다이 중의 대응하는 반도체 다이의 특성화 측정치에 기초하여 상기 I-PAT 시스템에 의해 결정된 가중화된 결함성을 나타냄 -; 및

상기 I-PAT 시스템에 통신 가능하게 결합된 적응형 테스트 제어기

를 포함하고, 상기 적응형 테스트 제어기는 하나 이상의 프로세서 및 메모리를 포함하고, 상기 메모리는 프로그램 명령어들의 세트를 저장하도록 구성되며, 상기 하나 이상의 프로세서는 상기 하나 이상의 프로세서로 하여금,

상기 I-PAT 시스템으로부터 상기 복수의 I-PAT 점수를 수신하고;

동적 의사 결정 프로세스 동안 상기 복수의 I-PAT 점수에 하나 이상의 규칙을 적용하고;

상기 동적 의사 결정 프로세스에 기초하여 상기 복수의 반도체 다이 중 적어도 하나의 반도체 다이에 대해 하나 이상의 적응형 테스트를 생성하게

하는 프로그램 명령어들을 실행하도록 구성되는 것인, 시스템.

청구항 16

제15항에 있어서,

상기 반도체 다이 데이터의 상기 특성화 측정치를 획득하도록 구성된 반도체 제조 및 특성화 시스템을 더 포함하고,

상기 하나 이상의 프로세서는 또한, 상기 하나 이상의 프로세서로 하여금,

상기 하나 이상의 적응형 테스트에 기초해 상기 반도체 제조 및 특성화 시스템에 대한 하나 이상의 조정을 결정하게 하는 프로그램 명령어들을 실행하도록 구성되는 것인, 시스템.

청구항 17

제15항에 있어서,

상기 복수의 I-PAT 점수 중 적어도 하나의 I-PAT 점수는 선택된 문턱값에 의해 정의된 저결함성 반도체 다이에 대응하고, 상기 하나 이상의 적응형 테스트는 상기 저결함성 반도체 다이에 대한 최적화된 베이스라인 테스트를 포함하는 것인, 시스템.

청구항 18

제15항에 있어서,

상기 복수의 I-PAT 점수 중 적어도 하나의 I-PAT 점수는 선택된 문턱값 및 제2 선택된 문턱값에 의해 정의된 중결함성 반도체 다이에 대응하고, 상기 하나 이상의 적응형 테스트는 상기 중결함성 반도체 다이에 대한 베이스라인 테스트 프로그램에 하나 이상의 테스트 프로그램 파라미터를 추가하도록 구성된 적응형 테스트를 포함하며, 상기 하나 이상의 테스트 프로그램 파라미터는 추가 테스트 벡터, 테스트 패턴, 및 결함 모델 중, 적어도 하나를 포함하는 것인, 시스템.

청구항 19

제15항에 있어서,

상기 복수의 I-PAT 점수 중 적어도 하나의 I-PAT 점수는 제2 선택된 문턱값에 의해 정의된 고결함성 반도체 다이에 대응하고, 상기 하나 이상의 적응형 테스트는 상기 고결함성 반도체 다이를 테스트하지 않도록 구성된 스킵 테스트를 포함하는 것인, 시스템.

청구항 20

제15항에 있어서,

상기 복수의 I-PAT 점수 중 적어도 하나의 I-PAT 점수는 고결함성 반도체 다이에 대응하고, 상기 하나 이상의 적응형 테스트는 결함 검출 및 적용 범위의 완전한 특성화를 상기 고결함성 반도체 다이에 적용하도록 구성된 테스트를 포함하는 것인, 시스템.

청구항 21

제15항에 있어서,

상기 하나 이상의 프로세서는 또한, 상기 하나 이상의 프로세서로 하여금,

상기 복수의 반도체 다이 중 상기 적어도 하나의 반도체 다이에 대해 상기 하나 이상의 적응형 테스트를 생성하게 하는 프로그램 명령어들을 실행하도록 구성되고, 상기 생성은, 상기 동적 의사 결정 프로세스와,

하나 이상의 전기적 분류 프로세스에 의해 생성된 다이 수준 전기적 분류 데이터; 및

하나 이상의 통계적 예측 프로세스에 의해 생성된 통계적 예측 피드백

중, 적어도 하나에 기초한 것인, 시스템.

청구항 22

제15항에 있어서,

상기 I-PAT 시스템은 상기 I-PAT 점수를 상기 적응형 테스트 제어기로 전송하기 전에 비닝(bin)하도록 구성되는 것인, 시스템.

청구항 23

제15항에 있어서,

상기 I-PAT 시스템은 상기 반도체 다이 데이터를 제1 데이터 형식으로 수신하고, 상기 I-PAT 점수를 제2 데이터 형식으로 전송하도록 구성되는 것인, 시스템.

청구항 24

제15항에 있어서,

상기 I-PAT 시스템은 상기 I-PAT 점수를 상기 적응형 테스트 제어기로 전송하기 전에 상기 I-PAT 점수를 표준화된 데이터 형식으로 변환하도록 구성되는 것인, 시스템.

청구항 25

제15항에 있어서,

상기 적응형 테스트 제어기는 상기 I-PAT 점수를 상기 I-PAT 시스템으로부터 수신한 후에 상기 I-PAT 점수를 표준화된 데이터 형식으로 변환하도록 구성되는 것인, 시스템.

발명의 설명

기 술 분 야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 2021년 5월 6일에 출원된 미국 가출원 제63/184,793호의 이익을 주장하며, 이 가출원은 인용에 의해 그 전부가 본원에 통합된다.

[0003] 본 개시내용은 일반적으로 반도체 디바이스에 관한 것으로, 보다 구체적으로는 인라인 결함 부분 평균 테스트(inline defect part average testing)를 사용하는 반도체 적응형 테스트를 위한 시스템 및 방법에 관한 것이다.

배 경 기 술

[0004] 반도체 디바이스의 제조는 기능하는 디바이스를 형성하기 위해 수백 또는 수천 개의 처리 단계를 통상적으로 필요로 할 수 있다. 이러한 처리 단계의 과정에서 다양한 특성화 측정(예컨대, 검사 및/또는 계측 측정)을 수행하여 결함을 식별하고 그리고/또는 디바이스 상의 다양한 파라미터를 모니터링할 수 있다. 디바이스의 기능을 검증하거나 평가하기 위해 다양한 특성화 측정 대신 또는 추가로 전기적 테스트가 수행될 수 있다. 그러나 일부 검출된 결함 및 계측 오류는 디바이스 고장을 명확하게 나타낼 정도로 중요할 수 있지만, 작업 환경에 노출된 후 디바이스의 초기 신뢰성 실패를 일으킬 수 있는 더 작은 변화가 있을 수 있다. 반도체 디바이스(예컨대, 자동차, 군사, 항공 및 의료 응용 분야)의 위험 회피 사용자(risk-averse user)는 이제 현재의 PPM(parts-per-million) 수준을 초과하는 PPB(parts-per-billion) 범위의 고장률을 찾고 있다. 반도체 다이의 신뢰성을 평가하는 것은 자동차, 군사, 항공, 및 의료 응용 분야에서 반도체 디바이스에 대한 수요가 계속 증가함에 따라 이러한 산업 요건을 충족하는 데 중요하다.

발명의 내용

[0005] 본 개시내용의 하나 이상의 예시적인 실시예에 따라 시스템이 개시된다. 하나의 예시적인 실시예에서, 본 시스템은 인라인 결함 부분 평균 테스트(inline defect part average testing; I-PAT) 시스템에 통신 가능하게 결합된 적응형 테스트 제어기를 포함한다. 또 다른 예시적인 실시예에서, 적응형 테스트 제어기는 하나 이상의 프로세서 및 메모리를 포함한다. 또 다른 예시적인 실시예에서, 메모리는 프로그램 명령어들 세트를 저장하도록 구성된다. 또 다른 예시적인 실시예에서, 하나 이상의 프로세서는 하나 이상의 프로세서로 하여금 I-PAT 시스템으로부터 복수의 I-PAT 점수를 수신하게 하는 프로그램 명령어들을 실행하도록 구성된다. 또 다른 예시적인 실시예에서, 복수의 I-PAT 점수는 복수의 반도체 다이에 대한 반도체 다이 데이터에 기초하여 I-PAT 시스템에 의

해 생성된다. 또 다른 예시적인 실시예에서, 반도체 다이 데이터는 복수의 반도체 다이에 대한 특성화 측정치를 포함한다. 또 다른 예시적인 실시예에서, 복수의 I-PAT 점수 중의 각각의 I-PAT 점수는 복수의 반도체 다이 중 대응하는 반도체 다이의 특성화 측정치에 기초하여 I-PAT 시스템에 의해 결정된 가중화된 결함성을 나타낸다. 또 다른 예시적인 실시예에서, 하나 이상의 프로세서는 하나 이상의 프로세서로 하여금 동적 의사 결정 프로세스 동안 복수의 I-PAT 점수에 하나 이상의 규칙을 적용하게 하는 프로그램 명령어들을 실행하도록 구성된다. 또 다른 예시적인 실시예에서, 하나 이상의 프로세서는 하나 이상의 프로세서로 하여금 동적 의사 결정 프로세스에 기초하여 복수의 반도체 다이 중 적어도 하나의 반도체 다이에 대한 하나 이상의 적응형 테스트를 생성하게 하는 프로그램 명령어들을 실행하도록 구성된다.

[0006] 본 개시내용의 하나 이상의 실시예에 따라서 방법이 개시된다. 하나의 예시적인 실시예에서, 본 방법은 I-PAT 시스템으로부터 복수의 인라인 결함 부분 평균 테스트(I-PAT) 점수를 적응형 테스트 제어기를 통해 수신하는 단계를 포함할 수 있지만 이에 제한되지는 않는다. 또 다른 예시적인 실시예에서, 복수의 I-PAT 점수는 복수의 반도체 다이에 대한 반도체 다이 데이터에 기초하여 I-PAT 시스템에 의해 생성된다. 또 다른 예시적인 실시예에서, 반도체 다이 데이터는 복수의 반도체 다이에 대한 특성화 측정치를 포함한다. 또 다른 예시적인 실시예에서, 복수의 I-PAT 점수 중의 각각의 I-PAT 점수는 복수의 반도체 다이 중 대응하는 반도체 다이의 특성화 측정치에 기초하여 I-PAT 시스템에 의해 결정된 가중화된 결함성을 나타낸다. 또 다른 예시적인 실시예에서, 본 방법은 동적 의사 결정 프로세스 동안 적응형 테스트 제어기를 통해 하나 이상의 규칙을 복수의 I-PAT 점수에 적용하는 단계를 포함할 수 있지만 이에 제한되지는 않는다. 또 다른 예시적인 실시예에서, 본 방법은 적응형 테스트 제어기를 통해 동적 의사 결정 프로세스에 기초하여 복수의 반도체 다이 중 적어도 하나의 반도체 다이에 대한 하나 이상의 적응형 테스트를 생성하는 단계를 포함할 수 있지만 이에 제한되지는 않는다.

[0007] 본 개시내용의 하나 이상의 예시적인 실시예에 따라 시스템이 개시된다. 하나의 예시적인 실시예에서, 본 시스템은 인라인 결함 부분 평균 테스트(I-PAT) 시스템을 포함한다. 또 다른 예시적인 실시예에서, I-PAT 시스템은 복수의 반도체 다이에 대해 반도체 다이 데이터를 수신하고 반도체 다이 데이터에 기초하여 복수의 I-PAT 점수를 생성하도록 구성된다. 또 다른 예시적인 실시예에서, 반도체 다이 데이터는 복수의 반도체 다이에 대한 특성화 측정치를 포함한다. 또 다른 예시적인 실시예에서, 복수의 I-PAT 점수 중의 각각의 I-PAT 점수는 복수의 반도체 다이 중 대응하는 반도체 다이의 특성화 측정치에 기초하여 I-PAT 시스템에 의해 결정된 가중화된 결함성을 나타낸다. 또 다른 예시적인 실시예에서, 본 시스템은 I-PAT 시스템에 통신 가능하게 결합된 적응형 테스트 제어기를 포함한다. 또 다른 예시적인 실시예에서, 적응형 테스트 제어기는 하나 이상의 프로세서 및 메모리를 포함한다. 또 다른 예시적인 실시예에서, 메모리는 프로그램 명령어들 세트를 저장하도록 구성된다. 또 다른 예시적인 실시예에서, 하나 이상의 프로세서는 하나 이상의 프로세서로 하여금 I-PAT 시스템으로부터 복수의 I-PAT 점수를 수신하게 하는 프로그램 명령어들을 실행하도록 구성된다. 또 다른 예시적인 실시예에서, 하나 이상의 프로세서는 하나 이상의 프로세서로 하여금 동적 의사 결정 프로세스 동안 복수의 I-PAT 점수에 하나 이상의 규칙을 적용하게 하는 프로그램 명령어들을 실행하도록 구성된다. 또 다른 예시적인 실시예에서, 하나 이상의 프로세서는 하나 이상의 프로세서로 하여금 동적 의사 결정 프로세스에 기초하여 복수의 반도체 다이 중 적어도 하나의 반도체 다이에 대한 하나 이상의 적응형 테스트를 생성하게 하는 프로그램 명령어들을 실행하도록 구성된다.

[0008] 전술한 일반적인 설명 및 다음의 상세한 설명은 모두 단지 예시적이고 설명적인 것이며, 청구된 본 발명을 반드시 제한하는 것은 아니라는 것을 이해해야 한다. 본 명세서에 통합되어 그 일부를 구성하는 첨부 도면은 본 발명의 실시예를 예시하고, 일반적인 설명과 함께 본 발명의 원리를 설명하는 역할을 한다.

도면의 간단한 설명

[0009] 본 개시내용의 많은 장점은 첨부 도면을 참조함으로써 당업자에 의해 더 잘 이해될 수 있다.

도 1은 본 개시내용의 하나 이상의 실시예에 따른 인라인 결함 부분 평균 테스트(I-PAT)를 사용하는 반도체 적응형 테스트를 위한 시스템의 블록도이다.

도 2는 본 개시내용의 하나 이상의 실시예에 따라 I-PAT를 사용하는 반도체 적응형 테스트를 위한 시스템의 개념 예시이다.

도 3은 본 개시내용의 하나 이상의 실시예에 따른, I-PAT를 사용하는 반도체 적응형 테스트를 위한 방법에서 수행되는 단계를 예시하는 흐름도이다.

도 4a는 본 개시내용의 하나 이상의 실시예에 따라 반도체 디바이스를 제조하고 특성화하기 위한 시스템의 블록

도이다.

도 4b는 본 개시내용의 하나 이상의 실시예에 따라 반도체 디바이스를 제조하고 특성화하기 위한 시스템의 블록도이다.

도 5는 본 개시내용의 하나 이상의 실시예에 따른, 반도체 디바이스를 제조하고 특성화하기 위한 방법에서 수행되는 단계를 예시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이제, 첨부 도면에 예시되는, 개시되는 요지에 대해 참조가 상세하게 이루어질 것이다. 본 개시내용은 특정 실시예 및 이의 특정 피처와 관련하여 특히 도시되고 설명되었다. 본 명세서에 설명된 실시예는 제한하기보다는 예시적인 것으로 간주된다. 본 개시내용의 사상 및 범위를 벗어나지 않고 형태 및 세부 사항에 있어서 다양한 변경 및 수정이 이루어질 수 있음은 당업자에게 쉽게 명백할 것이다.

[0011] 반도체 디바이스의 제조는 기능하는 디바이스를 형성하기 위해 수백 또는 수천 개의 처리 단계를 통상적으로 필요로 할 수 있다 이러한 처리 단계의 과정에서 다양한 특성화 측정(예컨대, 검사 및/또는 계측 측정)을 수행하여 결함을 식별하고 그리고/또는 디바이스 상의 다양한 파라미터를 모니터링할 수 있다. 디바이스의 기능을 검증하거나 평가하기 위해 다양한 특성화 측정 대신 또는 추가로 전기적 테스트가 수행될 수 있다.

[0012] 그러나 일부 검출된 결함 및 계측 오류는 디바이스 고장을 명확하게 나타낼 정도로 중요할 수 있지만, 작업 환경에 노출된 후 디바이스의 초기 신뢰성 실패를 일으킬 수 있는 더 작은 변화가 있을 수 있다. 제조 프로세스 중에 발생하는 결함은 현장에서 디바이스의 성능에 광범위한 영향을 미칠 수 있다. 예를 들어, 설계 내의 알려지거나 알려지지 않은 위치에서 발생하는 "치명적인(killer)" 결함은 즉각적인 디바이스 고장을 초래할 수 있다. 예를 들어, 알려지지 않은 위치의 킬러 결함은 테스트 갭에서 신뢰성 이탈(reliability escape)에 취약한 경우 특히 문제가 될 수 있으며, 여기서 반도체 디바이스는 처리 후 기능적으로 작동하지 않을 수 있지만 디바이스 제조업체는 테스트의 한계로 인해 이러한 결정을 내릴 수 없다. 또 다른 예로서 사소한 결함은 디바이스 수명 내내 디바이스의 성능에 거의 또는 전혀 영향을 미치지 않을 수 있다. 또 다른 예로서, 잠재 신뢰성 결함(latent reliability defect; LRD)이라고 알려진 결함 클래스는 제조/테스트 중에 고장으로 이어지지 않을 수 있거나 작동 중에 즉각적인 디바이스 고장으로 이어지지 않을 수 있지만, 작업 환경에서 사용될 때 작동 중 디바이스의 초기 수명 고장으로 이어질 수 있다. 본원에서, 용어 "제조 프로세스" 및 "제작 프로세스"는 본 개시내용의 목적을 위해 용어들의 각각의 변형(예컨대, "제조 라인" 및 "제작 라인" 등)과 함께 동등한 것으로 간주될 수 있다.

[0013] 반도체 디바이스(예컨대, 자동차, 군사, 항공 및 의료 응용 분야)의 위험을 회피하는 사용자는 이제 현재의 PPM(parts-per-million) 수준을 초과하는 PPB(parts-per-billion) 범위의 고장률을 찾고 있다. 반도체 다이의 신뢰성을 평가하는 것은 자동차, 군사, 항공, 및 의료 응용 분야에서 반도체 디바이스에 대한 수요가 계속 증가함에 따라 이러한 산업 요건을 충족하는 데 중요하다.

[0014] 일례로, 품질이 중요한 역할을 하는 반도체 디바이스는 웨이퍼 분류 동안과 개별화(singulation) 및 패키징 후 최종 테스트에서 다시 광범위한 전기적 테스트를 거칠 수 있다. 이 생산 단계는 테스트 시간을 단축하여 품질 이탈을 줄이고 비용을 절감해야 하는 상충되는 압력을 받고 있다. 두 가지 목표를 달성하는 한 가지 방법은 테스트 중인 각 디바이스에 대한 테스트 프로그램의 변수가 다양한 선험적 정보 소스(priori information source)를 사용하여 동적으로 조정되는 적응형 테스트이다. 적응형 테스트의 출력 또는 결과는 테스트 조건, 제조 흐름, 테스트 내용, 또는 테스트 제한 또는 적응형 테스트 후 다이의 배치 중 하나 이상을 변경할 수 있다.

[0015] 알려진 적응형 테스트 기술은 웨이퍼 분류로부터의 예비 전기 데이터(preliminary electrical data) 또는 이전 로트 및 인접 다이의 전기적 테스트 추세 및 수율 결과에 대한 통계적 예측에만 의존하여 테스트 프로그램을 동적으로 형성한다. 하지만, 결과 인라인 프로세스 제어 정보는 개별 디바이스 수준에서 테스트를 형성하기 위해 사용되기에는 너무 희박한데, 그 이유는 샘플링은 생산 재료의 1% 내지 2%만 포함했기 때문이다. 또한, 알려진 적응형 테스트 기술에는 위험 예측을 지원하는 다이 수준 제조 결함 및/또는 계측 정보가 부족하다. 또한, 활성화되지 않은 LRD는 전기적 테스트에 보이지 않기 때문에 전기적 웨이퍼 분류 데이터에만 의존하면 적응형 테스트의 형성 시에 LRD의 잠재적 존재를 간과할 수 있다. 또한, 통계 기반 예측 알고리즘은 테스트 중인 반도체 다이에 대한 출처 데이터가 부족하고 국부적인 제조 편차로 인해 야기되는 개별 이상치를 놓칠 수 있다. 또한, 테스트 세트를 전기적 테스트로만으로 축소시키는(pare) 과거 피드백 루프에 기초한 예측 알고리즘은 예측할 수 없는 제조 프로세스 일탈(process excursion)의 특성과 이로 인해 발생할 수 있는 예기치 않은 오류를 간과하지

못할 수 있다. 이러한 단점은 수용할 수 없는 위험을 유발할 수 있으므로 PPB 테스트 환경에서 특히 문제가 된다.

[0016] 본 개시내용의 실시예는 인라인 결함 부분 평균 테스트(I-PAT)를 사용하는 반도체 적응형 테스트를 위한 시스템 및 방법에 관한 것이다. 본 개시내용의 실시예는 또한 반도체 다이 이상치를 식별하기 위해 반도체 특성화 프로세스와 함께 인라인 결함 스크리닝 또는 I-PAT를 사용하는 것에 관한 것이다. 본 개시내용의 실시예는 또한 주어진 반도체 다이에 대한 특정 적응형 테스트의 적합성을 평가하는 것을 포함한다. 본 개시내용의 실시예는 또한 주어진 반도체 다이에 대한 특정한 적응형 테스트 파라미터의 적합성을 평가하는 것을 포함한다.

[0017] 도 1 및 도 2는 일반적으로 본 개시내용의 하나 이상의 실시예에 따라 인라인 결함 부분 평균 테스트(I-PAT)를 사용하는 반도체 적응형 테스트를 위한 시스템(100)의 블록도를 예시한다.

[0018] 일부 실시예에서, 시스템(100)은 I-PAT 시스템(102) 및 적응형 테스트 제어기(104)(또는 적응형 테스트 서버(104))를 포함한다. 적응형 테스트 제어기(104)는 메모리(108)(예컨대, 메모리 매체, 메모리 디바이스 등)에 유지되거나 저장된 프로그램 명령어들을 실행하도록 구성된 하나 이상의 프로세서(106)를 포함할 수 있다. 적응형 테스트 제어기(104)의 하나 이상의 프로세서(106)는 본 개시내용 전반에 걸쳐 설명된 다양한 프로세스 단계들 중 임의의 단계를 실행할 수 있다는 것이 본원에서 주목된다. 예를 들어, 하나 이상의 프로세서(106)는 반도체 다이 데이터를 수신하고, I-PAT 시스템(102)을 사용해 반도체 다이 데이터로부터 반도체 다이에 대한 I-PAT 점수를 생성하고, I-PAT 시스템(102)으로부터의 I-PAT 점수에 기초하여 반도체 다이의 적어도 일부에 대한 적응형 테스트를 생성하며, 적응형 테스트에 기초하여 조정을 결정하도록 구성될 수 있다.

[0019] 시스템(100)은 적응형 테스트 제어기(104)에 결합된(예컨대, 물리적 결합, 전기 결합, 통신 결합 등) 사용자 인터페이스(110)를 포함할 수 있다. 예를 들어, 사용자 인터페이스(110)는 적응형 테스트 제어기(104)에 결합된 별도의 디바이스일 수 있다. 또 다른 예로서, 사용자 인터페이스(110) 및 적응형 테스트 제어기(104)는 공통 또는 공유 하우징 내에 위치될 수 있다. 그러나 본원에서는 적응형 테스트 제어기(104)가 사용자 인터페이스(110)를 포함하거나 요구하거나 결합되지 않을 수 있다는 것이 주목된다.

[0020] 일부 실시예에서, 시스템(100)은 I-PAT 시스템(102)에 결합된(예컨대, 물리적 결합, 전기 결합, 통신 결합 등) 반도체 제조 및 특성화 시스템(112)을 포함한다. 반도체 제조 및 특성화 시스템(112)은 I-PAT 시스템(102)에 의해 수신될 수 있는 반도체 데이터(114)를 전송할 수 있다. 예를 들어, 반도체 데이터(114)는 반도체 제조 및 특성화 시스템(112)과 I-PAT 시스템(102) 사이에서 직접 전송될 수 있다. 또 다른 예로서, 반도체 데이터(114)는 반도체 제조 및 특성화 시스템(112)과 I-PAT 시스템(102) 사이에서 하나 이상의 보조 제어기 또는 서버를 통해 전송될 수 있다. 이와 같이, 본 개시내용 전반에 걸쳐 설명된 시스템, 서브시스템, 제어기 또는 서버의 예는 단지 예시 목적으로 제공되며 제한하는 것으로 해석되어서는 안 된다.

[0021] 반도체 데이터(114)는 반도체 제조 및 특성화 시스템(112)과 I-PAT 시스템(102)에 의해 공유되는 표준화된 데이터 형식으로서 I-PAT 시스템(102)에 업로드될 수 있다. 예를 들어, 표준화된 데이터 형식은 Android, Apple iOS, Microsoft Windows, Apple macOS, Linux, ChromeOS, Unix, Ubuntu 등을 포함하되 이에 제한되지 않는 상이한 운영 체제와 사용하도록 포맷될 수 있다. 그러나, 본원에서 제조 환경은 제1 유형의 파일 형식을 사용할 수 있는 반면, I-PAT 환경은 다른 유형의 파일 형식을 사용할 수 있다는 것이 주목된다.

[0022] 이와 같이 반도체 데이터(114)는 변환이 필요한 비표준화된 제조 데이터 형식일 수 있다. 예를 들어, 반도체 제조 및 특성화 시스템(112)은 비표준 제조 데이터 형식의 반도체 데이터(114)를 I-PAT 시스템(102)으로 전송할 수 있고, I-PAT 시스템(102)은 수신 후에 반도체 데이터(114)를 표준화된 테스트 데이터 형식으로 변환할 수 있다. 또 다른 예로, 반도체 제조 및 특성화 시스템(112)은 반도체 데이터(114)를 I-PAT 시스템(102)으로 전송하기 전에 표준화된 테스트 데이터 형식으로 변환할 수 있다. 또한, 반도체 데이터(114)는 제조 환경 및/또는 테스트 환경에 특별한 독점 데이터 형식으로서 I-PAT 시스템(102)에 업로드될 수 있다. 또한, 반도체 데이터(114)는 반도체 데이터(114)가 동기화된 상태를 유지하도록 (예컨대, 데몬을 통해) 암호화된 데이터, 웹 또는 클라우드 인터페이스, 또는 다이 추적성을 사용하는 다른 보안 연결을 사용하여 공유될 수 있다.

[0023] I-PAT 시스템(102)은 반도체 데이터(114)를 수신하고 반도체 데이터(114)에 대해 하나 이상의 스크리닝 검사 프로세스(200)를 수행할 수 있다. 반도체 데이터(114)는 복수의 반도체 웨이퍼(202) 중의 반도체 웨이퍼(202)에 대한 정보를 포함할 수 있고, 복수의 반도체 웨이퍼(202) 중 각각의 반도체 웨이퍼(202)는 다수의 제조 프로세스에 의해 수행되는 다수(예컨대, 수십, 수백, 수천)의 단계에 따라 제조되는 복수의(예컨대, 1, 2, … N개의) 층을 포함하고, 복수의 층 중 각각의 층은 복수의 반도체 다이(204)를 포함하며, 복수의 반도체 다이(204) 중

각각의 반도체 다이(204)는 복수의 블록을 포함한다. 이와 관련하여, 반도체 데이터(114)는 웨이퍼 수준 데이터, 레이어 수준 데이터, 다이 수준 데이터, 및/또는 블록 수준 데이터를 포함할 수 있다. 본 개시내용의 목적을 위해, "반도체 데이터"는 "반도체 데이터" 및 "반도체 다이 데이터"가 동등한 것으로 간주될 수 있도록 "반도체 다이 데이터"를 포함하는 것으로 이해되어야 한다. 그러나 본원에서 "반도체 데이터"는 "반도체 다이 데이터"만을 포함하는 것으로 제한되지 않는다는 것이 주목된다.

[0024] 하나 이상의 스크리닝 검사 프로세스(200)는 복수의 반도체 다이(204)를 특성화할 수 있다. 예를 들어, 복수의 반도체 다이(204) 중 각각의 반도체 다이(204)는 저결함성(low defectivity) "양호한" 반도체 다이(206), 중결함성(moderate defectivity) "위험한(at risk)" 반도체 다이(208), 또는 고결함성(high defectivity) 반도체 다이(210)로 특징지어질 수 있다.

[0025] 복수의 반도체 다이(204)의 특성화는 특정 반도체 웨이퍼(202) 상의 복수의 반도체 다이(204)의 모두(예컨대, 100%) 또는 서브세트에 대해 발생할 수 있다는 것이 본원에서 주목된다. 또한, 본원에서 복수의 반도체 다이(204)의 특성화는 특정 반도체 웨이퍼(202) 상의 복수의 반도체 층의 모두(예컨대, 100%) 또는 서브세트에 대해 발생할 수 있다는 것이 주목된다. 예를 들어, 복수의 반도체 층의 서브세트는 전적으로 중요한 것으로 결정되고 그리고/또는 중요한 측면을 포함하는 하나 이상의 층을 포함할 수 있지만, 이에 제한되지 않는다. 또한, 본원에서 복수의 반도체 다이(204)의 특성화는 복수의 반도체 웨이퍼(202)의 모두(예컨대, 100%) 또는 서브세트에 대해 발생할 수 있다는 것이 주목된다.

[0026] 잠재적으로 웨이퍼의 100% 및 다이의 100%에 대해 I-PAT 점수를 사용할 수 있으므로 각 다이의 상대적 건강(health) 또는 품질 위험에 대한 중요한 정보가 사용 가능하며 테스트 엔지니어가 테스트 프로그램을 적응적으로 형성하는 데 사용될 수 있다. I-PAT 데이터를 추가함으로써 적응형 테스트는 낮은 대기 시간으로 테스트 내용을 동적으로 맞춤화하여 이탈을 줄이는 동시에 총 테스트 비용을 줄일 수 있다. 또한, I-PAT 데이터를 추가하면 각 다이에 대해 테스트 적응이 다를 수 있으므로 잠재적으로 테스트 시간이 조정되거나 테스트 내용이 달라지거나 테스트 대상 각 반도체 디바이스에 대해 테스트 제한이 다를 수 있다. I-PAT 방법론의 사용 예에는 2020년 9월 1일에 허여된 미국 특허 제10,761,128호 및 2020년 11월 23일에 출원된 미국 특허 출원 제17/101,856호가 포함되며, 이들은 각각 전체적으로 본원에 포함된다.

[0027] 일부 실시예에서, I-PAT 시스템(102)은 가중화된 종합 점수(116) 또는 I-PAT 점수(116)를 적응형 테스트 제어기(104)에 출력한다. I-PAT 점수(116)는 I-PAT 점수(116)가 다이-수준 점수가 되도록 검사 스크리닝되는 각각의 층에 걸쳐 합산된 각각의 반도체 다이(204)에 존재하는 결함의 양 및 위험 수준을 나타낼 수 있다. I-PAT 점수(116)는 반도체 다이(들)(204) 내의 x, y 위치에 대한 정보를 포함하여 결함(들)이 발생한 층(들)을 포함할 수 있다. I-PAT 점수(116)는 결함의 유형(예컨대, 짧음, 개방 등), 결함의 크기, 클러스터에 포함, 또는 웨이퍼(202) 상의 위치(예컨대, x, y 위치)를 설명할 수 있다.

[0028] 가중화된 종합 점수(116)는 적응형 테스트 제어기(104)로 출력되기 전에 하나 이상의 미리 설정된 이상치 문턱값 또는 맞춤형 사용자 정의 이상치 문턱값을 사용해 비닝될(binned) 수 있다. 그러나 본원에서 가중화된 종합 점수(116)가 반도체 다이 데이터(114)와 유사한 구성 형태로 적응형 테스트 제어기(104)에 출력될 수 있다는 것이 주목된다.

[0029] I-PAT 점수(116)는 하나 이상의 보조 서버 또는 제어기를 통해 직접적으로 또는 간접적으로 적응형 테스트 제어기(104)로 출력될 수 있다. 이와 같이, 본 개시내용 전반에 걸쳐 설명된 시스템, 서브시스템, 제어기 또는 서버의 예는 단지 예시 목적으로 제공되며 제한하는 것으로 해석되어서는 안 된다.

[0030] I-PAT 점수(116)는 I-PAT 시스템(102) 및 적응형 테스트 제어기(104)에 의해 공유되는 표준화된 데이터 형식으로서 적응형 테스트 제어기(104)에 업로드될 수 있다. 예를 들어, 표준화된 데이터 형식은 Android, Apple iOS, Microsoft Windows, Apple macOS, Linux, ChromeOS, Unix, Ubuntu 등을 포함하되 이에 제한되지 않는 상이한 운영 체제와 사용하도록 포맷될 수 있다. 그러나 본원에서 제조 환경(I-PAT 환경 포함)은 제1 유형의 파일 형식(예컨대, 결함 데이터 형식 및 KLARF 파일 형식)을 사용할 수 있는 반면, 테스트 환경은 다른 유형의 파일 형식(예컨대, STDF 파일 형식, BITdb 파일 형식 등)을 사용할 수 있다는 것이 주목된다.

[0031] 이와 같이, I-PAT 점수(116)는 변환이 필요한 비표준화 제조 데이터 형식일 수 있다. 예를 들어, I-PAT 시스템(102)은 비표준 제조 데이터 형식의 I-PAT 점수(116)를 적응형 테스트 제어기(104)에 전송할 수 있고, 적응형 테스트 제어기(104)는 수신 후에 I-PAT 점수(116)를 표준화된 테스트 데이터 형식으로 변환할 수 있다. 또 다른 예로, I-PAT 시스템(102)은 I-PAT 점수(116)를 적응형 테스트 제어기(104)로 전송하기 전에 표준화된 테스트 데

이터 형식으로 변환할 수 있다. 또한, I-PAT 점수(116)는 제조 환경 및/또는 테스트 환경에 특별한 독점 데이터 형식으로서 적응형 테스트 제어기(104)에 업로드될 수 있다. 또한, I-PAT 점수(116)는 각 반도체 다이(204)에 대한 I-PAT 점수(116)가 동기화된 상태를 유지하도록 보장하기 위해, (예컨대, 데몬을 통해) 암호화된 데이터, 웹 또는 클라우드 인터페이스, 또는 다이 추적성을 사용하는 다른 보안 연결을 사용하여 공유될 수 있다.

[0032] 본원에서 I-PAT 시스템(102), 적응형 테스트 제어기(104) 및/또는 반도체 제조 및 특성화 시스템(112)과 관련하여 "표준화된 데이터 형식" 및/또는 "비표준화된 데이터 형식"으로 동작하는 것의 구별은 단지 예시적인 목적을 위해 제공되며 제한적인 것으로 해석되어서는 안 된다는 것이 주목된다.

[0033] 일부 실시예에서, 적응형 테스트 제어기(104)는, I-PAT 점수(116)를 사용하여 고결함성 다이를 즉시 도태(cull)하는 것에 대한 결정을 내리고, 그리고/또는 최종 전기적 테스트 후에 반도체 다이에 대해 더 나은 정보에 입각한 진행/비진행 결정(better informed go/no-go decisions)을 내리기 위해 I-PAT 점수(116)를 전기적 부분 평균 테스트 데이터와 병합하는 대신에, I-PAT 점수(116)로부터 하나 이상의 적응형 테스트(118)를 생성한다.

[0034] I-PAT 점수(116)(및/또는 I-PAT 점수(116)에 대한 기여 요소)에 대한 제한에 대한 사용자 정의 규칙 또는 사전 설정 규칙의 세트를 사용하여, 적응형 테스트 제어기(104)는 각각의 반도체 다이(204)에 대한 I-PAT 점수(116)에 대한 동적 규칙 기반 의사 결정 프로세스를 사용할 수 있다. 예를 들어, 동적 규칙 기반 의사 결정 프로세스는 존재하는 결함의 양, 유형, 위치 또는 층에 따라 테스트 중인 각 디바이스에서 실행되는 테스트 패턴의 내용, 기간 및 제한에 대한 결정을 내리는 데 사용될 수 있다. 본원에서 의사 결정의 "동적" 특성은 사용자 정의 규칙의 수신 및 의사 결정 프로세스의 후속 조정, I-PAT 점수(116)가 수신됨에 따라 의사 결정 프로세스의 지속적인 동작, 및/또는 하나 이상의 적응형 테스트(118)를 생성하기 위해 정의된 규칙의 적용에 기초한 적응형 테스트(118)의 지속적인 변화 중 하나 이상에 기인될 수 있다는 것이 주목된다.

[0035] 적응형 테스트 제어기(104)는 각각의 반도체 다이(204)에 대한 I-PAT 점수(116)에 대한 동적 규칙 기반 의사 결정을 단독으로 사용하거나 동적 규칙 기반 의사 결정을 다른 프로세스와 조합할 수 있다.

[0036] 예를 들어, 의사 결정은 전기적 분류 프로세스(120)로부터 다이 수준 전기적 분류 데이터(212)를 수신할 수 있다. 예를 들어, 전기적 분류 데이터(212)는 제작 제조 프로세스(예컨대, 전기적 웨이퍼 분류(electrical wafer sort; EWS) 프로세스 등)의 종료 시에 디바이스 기능성을 전기적으로 평가하기 위한 프로세스 동안 또는 후속 프로세스 동안 반도체 제조 및 특성화 시스템(112)으로부터 수신된 웨이퍼 프로브 데이터 또는 다른 전기적 테스트 데이터를 포함할 수 있지만 이에 제한되지는 않는다.

[0037] 또 다른 예로서, 의사 결정은 통계적 예측 프로세스(122)로부터 통계적 예측 피드백(214)을 수신할 수 있다. 예를 들어, 통계적 예측 피드백(214)은 데이터 세트 또는 테이블, 그래프, 모델 또는 다른 형태의 물리적 또는 그래픽 디스플레이의 형태일 수 있다.

[0038] 본원에서 동적 규칙 기반 의사 결정, 전기적 분류 프로세스(120) 및/또는 통계적 예측 프로세스(122)가 조합될 수 있다는 것이 주목된다. 예를 들어, 조합은 하나 이상의 적응형 테스트(118)의 유형을 결정할 때 고려되는 사용자 정의 우선순위(예컨대, 가중 인자)에 기초할 수 있다.

[0039] 하나 이상의 적응형 테스트(118)는 다음의 비제한적인 예 중 하나 이상을 포함할 수 있다. 예를 들어, 하나 이상의 적응형 테스트(118)는 저결함성 "양호한" 반도체 다이(206)와 중결함성 "위험한" 반도체 다이(208) 사이의 문턱값에 기초하여, 그리고/또는 중결함성 "위험한" 반도체 다이(208)와 고결함성 반도체 다이(210) 사이의 제2 문턱값에 기초하여 선택될 수 있다.

[0040] 하나의 비제한적인 예에서, 하나 이상의 적응형 테스트(118)는 공칭 테스트(216)를 포함할 수 있다. 공칭 테스트(216)는 저결함성 "양호한" 반도체 다이(206)에 대해 선택될 수 있다. 공칭 테스트(216)는 베이스라인 테스트 프로그램을 포함할 수 있고, 여기서 베이스라인 테스트 프로그램은 최적화된 최솟값이다(예컨대, 최적화된 최솟값은 어떠한 테스트 파라미터를 변경하지 않아도 베이스라인 테스트 프로그램의 작동이 개선될 때이다). 하지만, 공칭 테스트(216)는, 최적화되지 않은 베이스라인 테스트 프로그램으로부터 최적화가 달성될 때까지 반복적인 프로세스를 통해 감소된 테스트 프로그램일 수 있다. 예를 들어, 공칭 테스트(216)는 최적화가 달성될 때까지 반복 프로세스를 통해 테스트 벡터의 수 및/또는 유형, 적용 범위(coverage) 등의 측면에서 감소될 수 있다. 이와 같이, 낮은 I-PAT 점수(116)를 갖는 낮은 결함도 "양호한" 반도체 다이(206)에 공칭 테스트가 할당되어 시간 및 비용이 절약될 수 있다.

[0041] 또 다른 비제한적인 예에서, 하나 이상의 적응형 테스트(118)는 적응형 테스트(218)를 포함할 수 있다. 적응형 테스트(218)는 중결함성 "위험한" 반도체 다이(208)에 대해 선택될 수 있다. 적응형 테스트(218)는 알려진 결함

을 대상으로 하는 테스트 프로그램 파라미터의 추가를 포함하는 베이스라인 테스트 프로그램에 대한 변경을 포함할 수 있다. 예를 들어, 이 변경은 테스트 적용 범위 확장, 결함 모델 추가 또는 조정, 제어 한계 수정, 다른 비닝 프로세스를 사용해 중결함성의 "위험한" 반도체 다이(208)의 배치 등을 포함할 수 있지만 이에 제한되지 않다. 이와 같이, 상승된 위험을 나타내는 I-PAT 점수를 갖는 중결함성의 "위험한" 반도체 다이(208)는 목적에 대한 적합성을 결정하여 결과의 품질을 개선하기 위해 추가적인 철저함을 갖는 "적응되는" 또는 "적응 가능한" 테스트 프로그램에 할당될 수 있다.

[0042] 또 다른 비제한적인 예에서, 하나 이상의 적응형 테스트(118)는 스킵 테스트(220)를 포함할 수 있다. 스킵 테스트(220)는 I-PAT 시스템(102)에 의해 결정된 바와 같이 공지된 이상치 고결함성 반도체 다이(210)를 패키징 및/또는 테스트하지 않음으로써 비용 절감을 발생시킬 수 있다. 여기에서, 스킵 테스트(220)는 비-선택(non-selected) 세트를 공지된 이상치로서 인식함으로써 비-선택 세트를 테스트하지 않는 감소된 테스트 패턴 세트를 실행할 수 있고, 따라서 비-선택 세트는 사실상 도태되거나 지워지는(inked out) 것과 유사하게 취급된다. 이와 같이, 매우 높은 I-PAT 점수(116)를 갖는 고결함성 반도체 다이(210)는 거부될 수 있고 따라서 테스트를 완전히 생략할 수 있으며, 이는 또한 비용 절감을 초래할 수 있다.

[0043] 또 다른 비제한적인 예에서, 하나 이상의 적응형 테스트(118)는 심층 테스트(deep test)(222)를 포함할 수 있다. 심층 테스트(222)는 결함 검출 및 적용 범위의 철저하거나 완전한 특성화를 위한 잠재적인 후보인 고결함성 반도체 다이(210)에 적용될 수 있다. 이와 같이, I-PAT 점수를 갖는 고결함성 반도체 다이(210)는 해당 결함 유형이 존재할 때 결함을 가장 잘 인식하는 것으로 알려진 고유한 테스트 벡터 세트의 사용을 트리거할 수 있다. 또한, 일탈 또는 새로운 결함 유형을 나타내는 I-PAT 점수를 갖는 고결함성 반도체 다이(210)는 효율적인 적용 범위를 위해 결함 및 적절한 테스트 벡터의 영향을 특성화하는 매우 철저한 테스트 프로그램을 트리거할 수 있다.

[0044] 본원에서 상기 비제한적 예는 적응형 테스트(118) 유형의 예시 목적으로만 제공되며 제한하는 것으로 해석되어서는 안 된다는 것이 주목된다.

[0045] I-PAT 시스템(102) 및 적응형 테스트 제어기(104)가 시스템(100)의 개별 구성요소로 예시되어 있지만, I-PAT 시스템(102)과 적응형 테스트 제어기(104)가 함께 통합될 수 있다는 것이 본원에서 주목된다. 예를 들어, I-PAT 시스템(102)은 적응형 테스트 제어기(104)에 통합될 수 있어서(예컨대, 적응형 테스트 제어기(104)에서 동작하도록 코딩된 프로세스일 수 있음), 적응형 테스트 제어기(104)는 반도체 제조 및 특성화 시스템(112)으로부터 반도체 다이 데이터(114)를 수신한다. 또 다른 예로서, 적응형 테스트 제어기(104)는 I-PAT 시스템(102)에 통합될 수 있어서(예컨대, I-PAT 시스템(102)에서 작동하도록 코딩된 프로세스일 수 있음), I-PAT 시스템(102)은 하나 이상의 적응성 테스트(118)를 생성할 수 있다.

[0046] 도 3은 본 개시내용의 하나 이상의 실시예에 따라 인라인 결함 부분 평균 테스트를 사용하는 반도체 적응형 테스트를 위한 방법 또는 프로세스(300)를 예시한다. 방법 또는 프로세서(300)의 단계는 도 1 및 2에 예시된 시스템(100)에 의해 전부 또는 부분적으로 구현될 수 있다는 점이 본원에서 주목된다. 하지만, 방법 또는 프로세스(300)는, 추가적인 또는 대안적인 시스템-수준 실시예가 방법 또는 프로세스(300)의 단계들의 전부 또는 일부를 수행할 수 있다는 점에서 도 1 및 2에 예시된 시스템(100)에 제한되지 않는다는 것이 추가로 인정된다.

[0047] 단계(302)에서, 반도체 다이 데이터(114)가 수신된다. 일부 실시예에서, 반도체 다이 데이터(114)는 반도체 제조 및 특성화 시스템(112)으로부터 I-PAT 시스템(102)에 의해 수신된다.

[0048] 단계(304)에서, I-PAT 점수(116)는 I-PAT 시스템(102)을 사용해 반도체 다이 데이터(114)로부터 반도체 다이(204)에 대해 생성된다. 일부 실시예에서, I-PAT 점수(116)는 반도체 다이(204)를 저결함성 "양호한" 반도체 다이(206), 중결함성 "위험한" 반도체 다이(208), 또는 고결함성 반도체 다이(210)로 분리한다.

[0049] 단계(306)에서, I-PAT 점수(116)에 대한 동적 의사 결정 프로세스 동안 정의된 규칙이 적용된다. 정의된 규칙은 사용자에 의해 정의되고 적응형 테스트 제어기(104)에 의해 (예컨대, 사용자 인터페이스(110)를 통해) 수신될 수 있다. 정의된 규칙은 적응형 테스트 제어기(104) 내에서 사전 설정될 수 있다. 정의된 규칙은 대응하는 I-PAT 점수(116) 및/또는 반도체 다이(204) 상의 관찰된 결함에 기초하여 반도체 다이(204)를 분리할 수 있다.

[0050] 단계(308)에서, 반도체 다이(204)의 적어도 일부에 대한 적응형 테스트(118)가 동적 의사 결정 프로세스에 기초하여 생성된다. 일부 실시예에서, 적응형 테스트(118)는 공칭 테스트(216), 적응형 테스트(218), 스킵 테스트(220) 및/또는 심층 테스트(222)를 포함하지만 이에 제한되지 않는다.

[0051] 단계(310)에서 적응형 테스트(118)에 기초하여 조정이 결정된다. 일부 실시예에서, 조정은 (예컨대, 현재의 반

도체 디바이스를 보정하기 위해) 피드포워드 루프 또는 (예컨대, 미래의 반도체 디바이스를 조정하기 위해) 피드백 루프를 통해 제작 및/또는 특성화 프로세스를 조정하기 위해 제조 또는 특성화 시스템(112)으로 전송된다. 이와 관련하여, 제조 및/또는 특성화 프로세스가 개선되어 원하는 수준의 품질(예컨대, PPB 실패율)을 유지하면서 제조자의 비용(예컨대, 시간, 비용 등)을 줄일 수 있다.

[0052] 본 개시내용의 실시예는 적응형 테스트 제어기(104)에 의해 수행되고 있는 방법 또는 프로세스(300)의 단계를 예시하지만, 본원에서는 방법 또는 프로세스(300)의 단계 중 일부 또는 전부가 적응형 테스트 제어기(104)에 통신 가능하게 결합된 서버 또는 제어기에 의해 수행될 수 있다는 것이 주목된다. 예를 들어, 서버 또는 제어기는 프로세서 및 메모리, 및 본 개시내용 전반에 걸쳐 설명된 바와 같이 통신 가능하게 결합된 다른 구성요소를 포함할 수 있다.

[0053] 도 4a 및 4b는 본 개시내용의 하나 이상의 실시예에 따른 반도체 제조 및 특성화 시스템(112) 또는 "시스템(112)"의 블록도를 예시한다. 본원에서 시스템(112)은 본 개시내용 전반에 걸쳐 설명된 바와 같이 반도체 디바이스 및/또는 반도체 디바이스 상의 구성요소(예컨대, 반도체 다이)를 제조 및/또는 분석하기 위한 처리 단계를 수행하도록 구성될 수 있다는 것이 주목된다.

[0054] 일부 실시예에서, 시스템(112)은 반도체 다이(204)에 대한 반도체 다이 데이터(114) 내에서(또는 그 자체로) 특성화 측정치를 출력하도록 구성된 하나 이상의 반도체 특성화 서브시스템(400)을 포함한다. 예를 들어, 특성화 측정은 베이스라인 검사(예컨대, 샘플링 기반 검사), 주요 반도체 디바이스 층에서의 스크리닝 검사 등을 포함할 수 있지만 이에 제한되지는 않다. 본 개시내용의 목적을 위해, "특성화"는 인라인 결함 검사 및/또는 인라인 계측 측정을 지칭할 수 있다.

[0055] 하나의 비제한적 예에서, 하나 이상의 반도체 특성화 서브시스템(400)은 샘플(404)(예컨대, 반도체 웨이퍼(202))의 하나 이상의 층에서 결함을 검출하기 위한 적어도 하나의 검사 도구(402)(예컨대, 인라인 샘플 분석 도구)를 포함할 수 있다. 시스템(112)은 일반적으로 임의의 수 또는 유형의 검사 도구(402)를 포함할 수 있다. 예를 들어, 검사 도구(402)는 레이저 소스, 램프 소스, X-선 소스, 또는 광대역 플라즈마 소스를 포함하지만 이에 제한되지 않는 임의의 소스로부터의 광을 사용한 샘플(404)의 조사(interrogation)에 기초하여 결함을 검출하도록 구성된 광학 검사 도구를 포함할 수 있다. 또 다른 예로서, 검사 도구(402)는 전자 빔, 이온 빔 또는 중성 입자 빔과 같은 하나 이상의 입자 빔을 사용한 샘플의 조사에 기초하여 결함을 검출하도록 구성된 입자 빔 검사 도구를 포함할 수 있다. 예를 들어, 검사 도구(402)는 투과 전자 현미경(transmission electron microscope; TEM) 또는 주사 전자 현미경(scanning electron microscope; SEM)을 포함할 수 있다. 본 개시내용의 목적을 위해, 본원에서 적어도 하나의 검사 도구(402)는 단일 검사 도구(402)일 수 있거나 검사 도구(402)의 그룹을 나타낼 수 있다는 것이 주목된다.

[0056] 본원에서 샘플(404)은 복수의 반도체 웨이퍼 중의 한 반도체 웨이퍼일 있고, 복수의 반도체 웨이퍼 중 각각의 반도체 웨이퍼는 다수의 제조 프로세스에 의해 수행되는 다수(예컨대, 수십, 수백, 수천)의 단계에 따라 제조되는 복수의(예컨대, 1, 2, … N개의) 층을 포함하고, 복수의 층 중 각각의 층은 복수의 반도체 다이를 포함하며, 복수의 반도체 다이 중 각각의 반도체 다이는 복수의 블록을 포함한다는 것이 주목된다. 또한, 본원에서 샘플(404)은 고급 다이 패키지 또는 3D 다이 패키지 내부 기판 상의 베어 다이(bare die)의 2.5D 측방향 조합으로 배열된 복수의 반도체 다이로부터 형성된 반도체 다이 패키지일 수 있다는 것이 주목된다.

[0057] 본 개시내용의 목적을 위해, "결함"이라는 용어는 인라인 검사 도구에 의해 발견된 물리적 결함, 계측 측정 이상치 또는 이상(anomaly)으로 간주되는 반도체 디바이스의 다른 물리적 특성을 지칭할 수 있다. 결함은 물리적, 기계적, 화학적 또는 광학적 특성을 포함하지만 이에 제한되지 않는 설계 특성으로부터 제조된 층 또는 층의 제조된 패턴의 임의의 편차로 간주될 수 있다. 또한, 결함은 제조된 반도체 다이 패키지에서 구성요소의 정렬 또는 접합의 임의의 편차로 간주될 수 있다. 또한, 결함은 반도체 다이 또는 그 위의 피처에 대해 임의의 크기를 가질 수 있다. 이러한 방식으로, 결함은 (예컨대, 하나 이상의 패터닝된 피처의 규모에서) 반도체 다이보다 작을 수 있거나 (예컨대, 웨이퍼 규모 스크래치 또는 패턴의 일부로서) 반도체 다이보다 클 수 있다. 예를 들어, 결함은 패터닝 전 또는 후 샘플 층의 두께 또는 조성의 편차를 포함할 수 있다. 또 다른 예로서, 결함은 패터닝된 피처의 크기, 형상, 방향 또는 위치의 편차를 포함할 수 있다. 또 다른 예로서, 결함은 인접한 구조 사이의 브리지 (또는 그것의 결여), 피트(pit) 또는 구멍과 같은 리소그래피 및/또는 에칭 단계와 연관된 결점을 포함할 수 있지만 이에 제한되지는 않다. 또 다른 예로서, 결함은 샘플(404)의 손상된 부분, 예를 들어, 스크래치 또는 칩을 포함할 수 있지만 이에 제한되지는 않다. 예를 들어, 결함의 심각성(예컨대, 스크래치의 길이, 피트의 깊이, 결함의 측정된 크기 또는 극성 등)이 중요하고 고려될 수 있다. 또 다른 예로서, 결함은 샘플(404)에

도입된 외부 입자를 포함할 수 있다. 또 다른 예로서, 결함은 샘플(404) 상의 오정렬 및/또는 오접합된 패키지 구성요소일 수 있다. 따라서, 본 개시내용의 결함의 예는 예시적인 목적으로만 제공되며 제한하는 것으로 해석되어서는 안 됨을 이해해야 한다.

[0058] 또 다른 비제한적인 예에서, 하나 이상의 반도체 특성화 서브시스템(400)은 샘플(404) 또는 샘플의 하나 이상의 층의 하나 이상의 특성을 측정하기 위한 적어도 하나의 계측 도구(406)(예컨대, 인라인 샘플 분석 도구)를 포함할 수 있다. 예를 들어, 계측 도구(406)는 층 두께, 층 조성, 임계 치수(critical dimension; CD), 오버레이 또는 리소그래피 처리 파라미터(예컨대, 리소그래피 단계 동안 조명의 강도 또는 선량)와 같은 특성을 특성화할 수 있지만 이에 제한되지는 않다. 이와 관련하여, 계측 도구(406)는, 결과적으로 제조된 디바이스에 대한 신뢰성 문제를 초래할 수 있는 제조 결함의 확률과 관련될 수 있는 샘플(404), 샘플(404)의 하나 이상의 층, 또는 샘플(404)의 하나 이상의 반도체 다이의 제조에 대한 정보를 제공할 수 있다. 본 개시내용의 목적을 위해, 본원에서 적어도 하나의 계측 도구(406)는 단일 계측 도구(406)일 수 있거나 계측 도구(406)의 그룹을 나타낼 수 있다는 것이 주목된다.

[0059] 일부 실시예에서, 시스템(112)은 적어도 하나의 반도체 제조 도구 또는 프로세스 도구(408)를 포함한다. 예를 들어, 프로세스 도구(408)는 에처, 스캐너, 스테퍼, 클리너 등을 포함하지만 이에 제한되지 않는 당업계에 공지된 임의의 도구를 포함할 수 있다. 예를 들어, 제조 프로세스는 샘플(예컨대, 반도체 웨이퍼 등)의 표면에 걸쳐 분산된 다수의 다이를 제조하는 단계를 포함할 수 있고, 여기서 각 다이는 디바이스 구성요소를 형성하는 물질의 다수의 패터닝된 층을 포함한다. 각각의 패터닝된 층은 재료 퇴적, 리소그래피, 관심 패턴을 생성하기 위한 에칭 및/또는 하나 이상의 노출 단계(예컨대, 스캐너, 스테퍼 등에 의해 수행됨)를 포함하는 일련의 단계를 통해 프로세스 도구(408)에 의해 형성될 수 있다. 또 다른 예로서, 프로세스 도구(408)는 반도체 다이를 2.5D 및/또는 3D 반도체 다이 패키지로 패키징 및/또는 조합하도록 구성된 기술 분야에 알려진 임의의 도구를 포함할 수 있다. 예를 들어, 제조 프로세스는 반도체 다이 및/또는 반도체 다이 상의 전기 구성요소를 정렬하는 것을 포함할 수 있지만, 이에 제한되지는 않는다. 또한, 제조 프로세스는 하이브리드 본딩(예컨대, 다이-대-다이, 다이-대-웨이퍼, 웨이퍼-대-웨이퍼 등) 솔더, 접착제, 패스너 등을 통해 반도체 다이 및/또는 반도체 다이 상의 전기 구성요소를 접합하는 것을 포함할 수 있지만 이에 제한되지는 않다. 본 개시내용의 목적을 위해, 본원에서 적어도 하나의 프로세스 도구(408)는 단일 프로세스 도구(408)일 수 있거나 프로세스 도구(408)의 그룹을 나타낼 수 있다는 것이 주목된다. 본원에서 "제작 프로세스" 및 "제조 프로세스"라는 용어는 본 개시내용의 목적상, 용어의 각각의 변형(예컨대, "제작 라인" 및 "제조 라인", "제작자" 및 "제조자" 등)과 함께 동등한 것으로 간주될 수 있다.

[0060] 일부 실시예에서, 시스템(112)은 제조된 디바이스의 하나 이상의 부분의 기능을 테스트하기 위한 하나 이상의 테스트 도구 서브시스템(410)을 포함한다.

[0061] 하나의 비제한적 예에서, 하나 이상의 테스트 도구 서브시스템(410)은 웨이퍼 수준에서 예비 프로빙을 완료하기 위해 임의의 수 또는 유형의 전기적 테스트 도구(412)를 포함할 수 있다. 예를 들어, 예비 프로빙은 웨이퍼 수준에서 강제로 실패하도록 설계되지 않을 수 있다.

[0062] 일부 실시예에서, 결함은 반도체 특성화 서브시스템(400)(예컨대, 검사 도구(402), 계측 도구(406) 등), 테스트 도구 서브시스템(410)((예컨대, 전기적 테스트 도구(412) 및/또는 스트레스 테스트 도구(414) 등을 포함함)의 임의의 조합을 사용하여 식별되며, 이들은 반도체 다이 및/또는 반도체 다이 패키지 내의 관심 층에 대해 하나 이상의 프로세스 도구(408)에 의해 수행되는 하나 이상의 처리 단계(예컨대, 리소그래피, 에칭, 정렬, 접합 등) 이전 또는 이후에 활용된다. 이와 관련하여, 제조 프로세스의 여러 단계에서의 결함 검출은 인라인 결함 검출이라고 지칭될 수 있다.

[0063] 일부 실시예에서, 시스템(112)은 제어기(416)를 포함한다. 제어기(416)는 메모리(420)(예컨대, 메모리 매체, 메모리 디바이스 등)에 유지되는 프로그램 명령어들을 실행하도록 구성된 하나 이상의 프로세서(418)를 포함할 수 있다. 예를 들어, 하나 이상의 프로세서(418)는 반도체 다이(204)에 대한 특성화 측정치를 포함하는 반도체 다이 데이터(114)를 획득하고, 반도체 다이 데이터(114)를 I-PAT 시스템(102)으로 전송하고, I-PAT 시스템(102)으로부터의 I-PAT 점수(116)에 기초하여 이루어진 반도체 다이의 적어도 일부에 대한 적응성 테스트로부터의 출력에 기초하여 결정된 조정에 대한 제어 신호를 생성하도록 구성될 수 있다.

[0064] 제어기(416)는 검사 도구(402) 또는 계측 도구(406)를 포함하는 반도체 특성화 서브시스템(400), 전기적 테스트 도구(412) 또는 스트레스 테스트 도구(414)를 포함하는 테스트 도구 서브시스템(410) 등을 포함하는 - 이것들에 제한되지는 않음 - 시스템(112)의 임의의 구성요소와 통신 가능하게 결합될 수 있다. 여기서 도 4a에 예시된 실

시예 및 도 4b에 예시된 실시예는 본 개시내용의 목적을 위해 동일한 제조 및 특성화 시스템(112)의 일부 또는 상이한 제조 및 특성화 시스템(112)의 일부로 간주될 수 있다는 것이 주목된다. 또한, 여기서는 도 4a에 예시된 반도체 제조 및 특성화 시스템(112) 내의 구성요소 및 도 4b에 예시된 반도체 제조 및 특성화 시스템(112) 내의 구성요소가 직접 통신하거나 제어기(416)를 통해 통신할 수 있다는 것이 주목된다.

[0065] 하나 이상의 프로세서(106 또는 418)는 해당 기술에서 공지된 임의의 프로세서 또는 처리 요소를 포함할 수 있다. 본 발명의 목적을 위해, 용어 "프로세서" 또는 "처리 요소"는 하나 이상의 처리 또는 논리 요소(예컨대, 하나 이상의 그래픽 처리 유닛(graphics processing unit; GPU), 마이크로-처리 유닛(micro-processing unit; MPU), 시스템-온-어-칩(systems-on-a-chip; SoC), 하나 이상의 주문형 집적 회로(application specific integrated circuit; ASIC) 디바이스, 하나 이상의 현장 프로그래밍 가능 게이트 어레이(field programmable gate array; FPGA), 또는 하나 이상의 디지털 신호 프로세서(digital signal processor; DSP))를 갖는 임의의 디바이스를 포함하도록 광범위하게 정의될 수 있다. 이러한 의미에서, 하나 이상의 프로세서(106 또는 418)는 알고리즘 및/또는 명령어들(예컨대, 메모리에 저장된 프로그램 명령어들)를 실행하도록 구성된 임의의 디바이스를 포함할 수 있다. 일 실시예에서, 하나 이상의 프로세서(106 또는 418)는 본 개시내용 전반에 걸쳐 설명된 바와 같이, 데스크탑 컴퓨터, 메인프레임 컴퓨터 시스템, 워크스테이션, 이미지 컴퓨터, 병렬 프로세서, 네트워크 컴퓨터, 또는 시스템(100 또는 112)의 구성요소를 동작시키도록 또는 이들 구성요소와 함께 동작하도록 구성된 프로그램을 실행하도록 구성된 임의의 다른 컴퓨터 시스템으로서 구현될 수 있다.

[0066] 메모리(108 또는 420)는, 연관된 각각의 하나 이상의 프로세서(106 또는 418)에 의해 실행 가능한 프로그램 명령어들을 저장하기 위해 적절한, 당업계에서 공지된 임의의 저장 매체를 포함할 수 있다. 예를 들면, 메모리 디바이스(108 또는 420)는 비일시적 메모리 매체를 포함할 수 있다. 또 다른 예시에 의해, 메모리(108 또는 420)는 판독 전용 메모리(read-only memory; ROM), 랜덤 액세스 메모리(random-access memory; RAM), 자기 또는 광학 메모리 디바이스(예컨대, 디스크), 자기 테이프, 솔리드 스테이트 드라이브 등을 포함할 수 있지만 이것들에만 제한되지는 않는다. 또한, 메모리(108 또는 420)는 하나 이상의 프로세서(106 또는 418)와 함께 공통 제어기 하우징에 하우징될 수 있다는 것이 추가로 주목된다. 하나의 실시예에서, 메모리(108 또는 420)는 하나 이상의 프로세서(106 또는 418)의 물리적 위치와 관련하여 원격에 위치될 수 있다. 예를 들면, 각각의 하나 이상의 프로세서(106 또는 418)는 네트워크(예컨대, 인터넷, 인트라넷 등)를 통해 액세스 가능한 원격 메모리(예컨대, 서버)를 액세스할 수 있다.

[0067] 또 다른 실시예에서, 시스템(112)은 제어기(416)에 결합된(예컨대, 물리적 결합, 전기 결합, 통신 결합 등) 사용자 인터페이스(422)를 포함한다. 예를 들어, 사용자 인터페이스(422)는 제어기(416)에 결합된 별도의 디바이스일 수 있다. 또 다른 예로서, 사용자 인터페이스(422) 및 제어기(416)는 공통 또는 공유 하우징 내에 위치될 수 있다. 그러나 본원에서는 제어기(416)가 사용자 인터페이스(422)를 포함하거나 요구하거나 사용자 인터페이스(422)에 결합되지 않을 수 있다는 것이 주목된다.

[0068] 사용자 인터페이스(110 또는 422)는 하나 이상의 데스크탑, 랩탑, 태블릿 등을 포함할 수 있지만 이에 제한되지 않는다. 사용자 인터페이스(110 또는 422)는 시스템(100 또는 112)의 데이터를 사용자에게 디스플레이하기 위해 사용되는 디스플레이를 포함할 수 있다. 사용자 인터페이스(110 또는 422)의 디스플레이는 당업계에 공지된 임의의 디스플레이를 포함할 수 있다. 예를 들어, 디스플레이는 액정 디스플레이(liquid crystal display; LCD), 유기 발광 다이오드(organic light-emitting diode; OLED) 기반 디스플레이, 또는 CRT 디스플레이를 포함할 수 있으나, 이에 제한되지 않는다. 당업자는 사용자 인터페이스(110 또는 422)와 통합할 수 있는 임의의 디스플레이 디바이스가 본 발명의 구현에 적합하다는 것을 인식해야 한다. 또 다른 실시예에서, 사용자는 사용자 인터페이스(110 또는 422)의 사용자 입력 디바이스를 통해 사용자에게 디스플레이되는 데이터에 응답하는 선택 및/또는 명령어들을 입력할 수 있다.

[0069] 도 5는 본 개시내용의 하나 이상의 실시예에 따라 인라인 결함 부분 평균 테스트를 사용하는 반도체 적응형 테스트를 위한 방법 또는 프로세스(500)를 예시한다. 방법 또는 프로세서(500)의 단계는 도 4a 및 4b에 예시된 시스템(112)에 의해 전부 또는 부분적으로 구현될 수 있다는 점이 본원에서 주목된다. 하지만, 방법 또는 프로세스(500)는, 추가적인 또는 대안적인 시스템-수준 실시예가 방법 또는 프로세스(500)의 단계들의 전부 또는 일부를 수행할 수 있다는 점에서 도 4a 및 4b에 예시된 시스템(112)에 제한되지 않는다는 것이 추가로 인정된다.

[0070] 단계(502)에서, 반도체 다이(204)에 대한 특성화 측정치가 획득된다. 일부 실시예에서, 특성화 측정치는 반도체 제조 및 특성화 시스템(112)에 의해 획득된다. 본원에서 다이 수준 전기적 분류 데이터(212)는 또한 반도체 제조 및 특성화 시스템(112)으로부터 직접적으로 또는 간접적으로(예컨대, 후속 처리) 획득될 수 있다는 점에 주

목한다.

[0071] 단계(504)에서, 특성화 측정치가 I-PAT 시스템(102)으로 전송된다. 일부 실시예에서, I-PAT 시스템(102)은 특성화 측정치에 기초하여 I-PAT 점수(116)를 생성한다. 일부 실시예에서, 적응형 테스트 제어기(104)는 I-PAT 점수(116)에 기초하여 하나 이상의 적응형 테스트(118)를 결정한다.

[0072] 단계(506)에서, I-PAT 시스템(102)으로부터의 I-PAT 점수(116)에 기초하여 이루어진 반도체 다이(204)의 적어도 일부에 대한 적응형 테스트(118)로부터의 출력에 기초하여 결정된 조정을 위해 하나 이상의 제어 신호가 생성된다. 일부 실시예에서, 하나 이상의 제어 신호는 하나 이상의 반도체 디바이스의 제조, 특성화 또는 테스트 중 적어도 하나에 관련된다. 예를 들어, 하나 이상의 제어 신호는 (예컨대, 현재의 반도체 디바이스를 보정하기 위해) 피드포워드 루프 또는 (예컨대, 미래의 반도체 디바이스를 조정하기 위해) 피드백 루프를 통해 반도체 제조 및 특성화 시스템(112) 및/또는 반도체 제조 및 특성화 시스템(112)에 의해 사용되는 하나 이상의 제조 프로세스 또는 방법 또는 하나 이상의 특성화 프로세스 또는 방법을 조정할 수 있다.

[0073] 본 개시내용의 실시예는 제어기(416)에 의해 수행되고 있는 방법 또는 프로세스(500)의 단계를 예시하지만, 본원에서는 방법 또는 프로세스(500)의 단계 중 일부 또는 전부가 제어기(416)에 통신 가능하게 결합된 서버 또는 제어기에 의해 수행될 수 있다는 것이 주목된다. 예를 들어, 서버 또는 제어기는 프로세서 및 메모리, 및 본 명세서 전반에 걸쳐 설명된 바와 같이 통신 가능하게 결합된 다른 구성요소를 포함할 수 있다.

[0074] 본원에서 방법 또는 프로세스(300 및 500)는 제공된 단계 및/또는 하위 단계로 제한되지 않는다는 것이 주목된다. 방법 또는 프로세스(300 및 500)는 더 많거나 더 적은 단계 및/또는 하위 단계를 포함할 수 있다. 방법 또는 프로세스(300 및 500)는 단계 및/또는 하위 단계를 동시에 수행할 수 있다. 방법 또는 프로세스(300 및 500)는 제공된 순서 또는 제공된 것과 다른 순서를 포함하여 단계 및/또는 하위 단계를 순차적으로 수행할 수 있다. 그러므로 전술한 설명은 본 개시내용의 범위를 제한하는 것이 아니고 단지 예시하는 것으로 해석되어야 한다.

[0075] 이와 관련하여, 반도체 제조 및 특성화 시스템(112)에서 I-PAT 스크리닝으로부터의 고유한 데이터는, 상당한 비즈니스 영향으로 다수의 중요한 메트릭(metric)을 개선하는 데 도움이 될 수 있고, 저결함성 "양호한" 반도체 다이(206)에 대한 감소된 테스트와 이상치에 의해 도태된(outlier-culled) 고결함성 반도체 다이(210)에 대한 스킵된 테스트를 가능하게 하여 테스터 생산성을 향상시킬 수 있고, 이상치를 제거하고 목적에 대한 적합성을 보다 철저하게 평가하는 적응된 테스트를 위해 "위험한" 반도체 다이(208)를 표시(flag)함으로써 품질(공유 및 가격 관련 이점과 함께)을 향상시킬 수 있고, 저결함성 "양호한" 반도체 다이(206)의 과잉을 줄여 수율을 향상시킬 수 있으며, 인라인 결함을 검출하는 데 있어 다양한 결함 모델의 효율성에 대한 통찰력을 제공하여 성능을 향상시킬 수 있다.

[0076] I-PAT 프로세스와 특성화 프로세스를 적응형 테스트와 결합하면 상관관계가 있지만 별도의 데이터 소스가 사전에(proactively) 테스트 프로그램을 형성하고 결과의 품질을 보장하면서 비용을 절감할 수 있다. 예를 들어, 테스트 엔지니어는 PPB(part per billion) 수준의 품질에 대한 요건을 충족하기 위해 자동차 반도체 디바이스를 테스트할 책임이 있을 수 있다. PPB 수준의 품질을 달성하려면 광범위한 반도체 디바이스 적용 범위와 다수의 중첩 테스트 패턴이 필요할 수 있으므로 일부 중복성으로 인해 테스트 시간이 길고 비용이 많이 든다. 테스트 시간 단축에 대한 비용 압박으로 인해 적응형 테스트(118)의 사용이 재정적으로 매력적으로 보인다; 그러나 웨이퍼 분류 데이터와 예측 통계 알고리즘이 유일한 입력인 경우 디바이스의 품질에 대한 불완전한 지식으로 인해 제조 일탈, 잠재적 결함 및 국부적인 무작위 오류에 노출될 가능성이 있으므로 적응형 테스트(118)의 구현을 잠재적인 위험이 되게 한다. 일반적으로 제조 품질 팀은 PPB 목표를 향한 지속적인 개선을 보여주는 차별화된 기능으로서 프런트 엔드 제조와 백 엔드 테스트를 연결하는 이점을 볼 것으로 생각된다.

[0077] 100% 다이와 100% 웨이퍼에 대한 결함 데이터의 가용성은 의사 결정을 위한 품질 데이터의 가용 소스의 변곡점(inflection)을 나타낸다. I-PAT 점수(116) 및 계측 데이터를 제조 스크리닝 검사로부터 적응형 테스트 제어기(104)로 피드포워드하여 반도체 디바이스의 제조 이력으로부터의 유형 데이터(tangible data)에 대한 맞춤화된 적응형 테스트(118) 형성을 허용함으로써 위험이 또한 완화될 수 있다.

[0078] 비제한적인 예에서, 적응형 테스트 제어기(104)가 반도체 디바이스의 얕은 트렌치 모듈에서 결함을 식별하는 경우, 적응형 테스트(118)는 더 많은 누설 테스트를 트리거할 수 있다.

[0079] 또 다른 비제한적 예에서, 적응형 테스트 제어기(104)가 반도체 디바이스의 금속 상호접속 모듈의 결함을 식별하면, 적응형 테스트(118)는 더 많은 지연 테스트를 트리거할 수 있다.

[0080] 또 다른 비제한적인 예에서, 적응형 테스트 제어기(104)가 결함성 수준이 매우 낮은 일련의 반도체 다이(206)를 식별하는 경우, 적응형 테스트(118)는 테스트 내용의 서브샘플링을 시작하도록 트리거하거나(예컨대, 실패가 관찰될 때까지 매 10개의 다이 중 1개에만 특정 테스트 패턴을 실행하기 시작한 다음, 100%로 돌아간다) 테스트 내용을 줄이기 위해 내용을 스킵할 수도 있다.

[0081] 또 다른 비제한적인 예에서, 적응형 테스트 제어기(104)가 테스트하기 어려운 고전압 아날로그 영역에서 단락을 식별하는 경우, 적응형 테스트(118)는 더 많은 테스트를 수행하거나, 파라메트릭 테스트 범위를 확장하거나, 단순히 해당 디바이스를 불합격시키도록(fail) 트리거될 수 있다.

[0082] 또 다른 비제한적인 예에서, 적응형 테스트 제어기(104)가 게이트 수준에서 두께/오버레이의 변화를 갖는 반도체 다이(204)를 식별하는 경우, 적응형 테스트(118)는 정확한 속도 빈을 결정하기 위해 추가 테스트를 트리거할 수 있다.

[0083] 또 다른 비제한적 예에서, 적응형 테스트 제어기(104)가 < 3인 "N 검출" 값에 대한 특정 근접성 내에서 발생하는 결함을 식별하는 경우 - "N 검출"은 상이한 중첩 테스트 패턴에 의해 결함이 실행(exercise)되는 횟수임 -, 적응형 테스트(118)는 추가적인 테스트를 트리거할 수 있다.

[0084] 또 다른 비제한적 예에서, 시스템이 > 50인 "N 검출" 값에 대한 특정 근접성 내에서 발생하는 결함을 식별하는 경우 - "N 검출"은 상이한 중첩 테스트 패턴에 의해 결함이 실행되는 횟수임 -, 적응형 테스트(118)는 이 결함을 무시하도록 지시받을 수 있다.

[0085] 본원에서 상기 비제한적인 예는 적응형 테스트(118)의 유형 및/또는 적응형 테스트(118)에 대한 수정의 예시 목적으로만 제공되며 제한하는 것으로 해석되어서는 안 된다는 것이 주목된다.

[0086] 본 개시내용의 장점은 인라인 결함 부분 평균 테스트를 사용하는 반도체 적응형 테스트를 위한 시스템 및 방법에 관한 것이다. 본 개시내용의 장점은 또한 반도체 다이 이상치를 식별하기 위해 반도체 특성화 프로세스와 함께 인라인 결함 스크리닝 및/또는 인라인 부분 평균 테스트(I-PAT)를 사용하는 것에 관한 것이다. 본 개시내용의 장점은 또한 주어진 반도체 다이에 대한 특정 적응형 테스트 프로그램의 적합성을 평가하는 것에 관한 것이다. 본 개시내용의 장점은 또한 주어진 반도체 다이에 대한 특정 적응형 테스트 파라미터의 적합성을 평가하는 것에 관한 것이다.

[0087] 특히, 본 발명의 장점은 공칭 테스트 프로그램의 적합성 또는 주어진 다이에 대한 대체 테스트 프로그램의 필요성을 평가하는 것과 관련이 있다. 본 개시내용의 장점은 또한 테스트 중인 반도체 디바이스에 어떤 테스트 벡터, 테스트 패턴 또는 결함 모델을 적용해야 하는지를 평가하는 데 관한 것이다. 본 개시내용의 장점은 또한 추가적인 테스트 벡터, 테스트 패턴, 또는 결함 모델을 베이스라인 테스트 프로그램에 첨부(append)하는 것에 관한 것이다. 본 개시내용의 장점은 또한 시간과 비용을 절약하기 위해 실패할 가능성이 있는 것으로 간주되는 다이의 테스트를 스킵하기로 결정하는 것에 관한 것이다. 본 개시내용의 장점은 또한 새로운 결함 유형으로 인해 추가 특성화가 필요한 반도체 다이의 연속 실패 테스트(Continue-on-Fail testing)를 트리거하는 것에 관한 것이다. 본 개시내용의 장점은 또한 수용 가능한 디바이스 성능에 대한 테스트 한계를 조정하는 것에 관한 것이다. 본 개시내용의 장점은 또한 테스트 감소 및 위험 관리에 대한 규칙 기반 의사 결정에서 예측 통계 알고리즘 및 웨이퍼 테스트 데이터를 보완하는 데 관한 것이다. 본 개시내용의 장점은 또한, 추가적인 테스트 벡터, 테스트 패턴, 또는 결함 모델을, 이상치 수준의 결함성을 갖는, 멀티-코어 그래픽 처리 유닛(graphics processing unit; GPU) 내의 하나 이상의 코어, 마이크로-처리 유닛(micro-processing unit; MPU), 또는 시스템-온-어-칩(system-on-a-chip; SoC)으로 지향(direct)시키는 것에 관한 것이다.

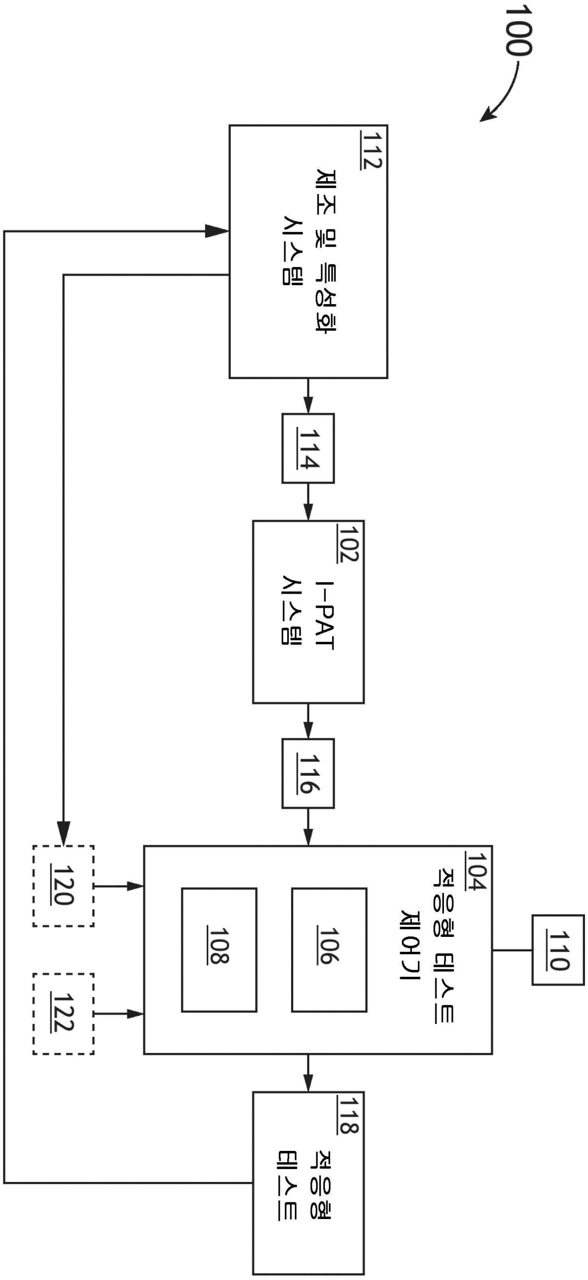
[0088] 본원에 설명된 요지는 때로는 다른 구성요소 내에 포함되거나 다른 구성요소와 접속되는 상이한 구성요소들을 예시한다. 그러한 묘사된 아키텍처는 단지 예시적인 것이며 실제로 동일한 기능을 달성하는 많은 다른 아키텍처가 구현될 수 있다는 것을 이해해야 한다. 개념적 의미에서, 동일한 기능을 달성하기 위한 구성요소의 임의의 배열은 원하는 기능이 달성되도록 효과적으로 "연관된다". 따라서, 본원에서 특정 기능을 달성하기 위해 조합된 임의의 2개의 구성요소는 아키텍처 또는 중간 매개 구성요소와 관계없이 원하는 기능이 달성되도록 "서로 연관된" 것으로 보여질 수 있다. 유사하게, 이와 같이 연관된 임의의 2개의 구성요소는 또한 원하는 기능을 달성하기 위해 서로 "접속된" 또는 "결합된" 것으로 간주될 수 있고, 그렇게 연관될 수 있는 임의의 2개의 구성요소는 또한 원하는 기능을 달성하기 위해 서로 "결합 가능한" 것으로 간주될 수 있다. 결합 가능의 특정 예는, 물리적으로 상호 작용 가능하고 그리고/또는 물리적으로 상호 작용하는 구성요소, 및/또는 무선으로 상호 작용 가능하고 그리고/또는 무선으로 상호 작용하는 구성요소, 및/또는 논리적으로 상호 작용 가능하고 그리고/또는 논리적

으로 상호 작용하는 구성요소를 포함하지만 이에 제한되지는 않는다.

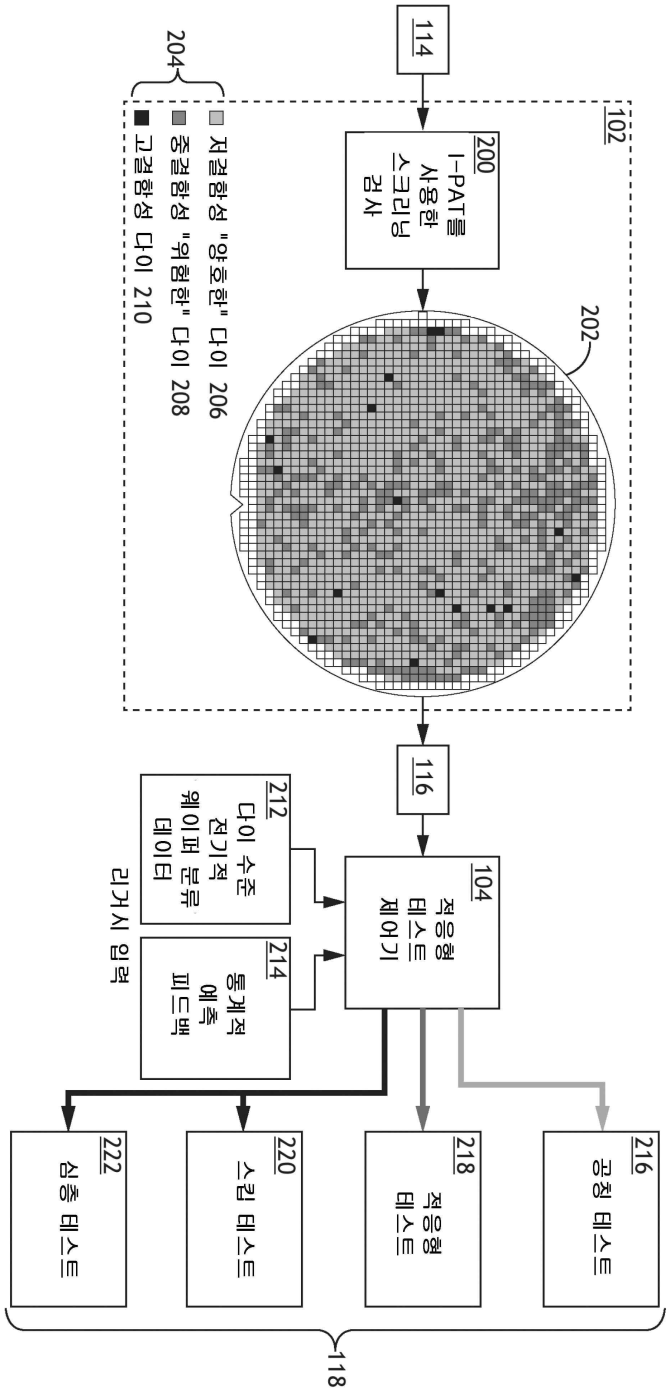
[0089] 본 개시내용 및 그 많은 부수적인 장점은 전술한 설명에 의해 이해될 것으로 믿어지고, 개시되는 요지로부터 벗어나지 않고 또는 그 중요한 장점을 모두 희생하지 않고 구성요소의 형태, 구성 및 배열에 있어서 각종 변화가 이루어질 수 있다는 점은 명백할 것이다. 여기에서 설명된 형태는 단지 설명하기 위한 것이고, 첨부되는 청구항은 그러한 변화를 내포하고 포함하는 것으로 의도된다. 또한, 본 발명은 첨부된 청구항에 의해 한정되는 것으로 이해되어야 한다.

도면

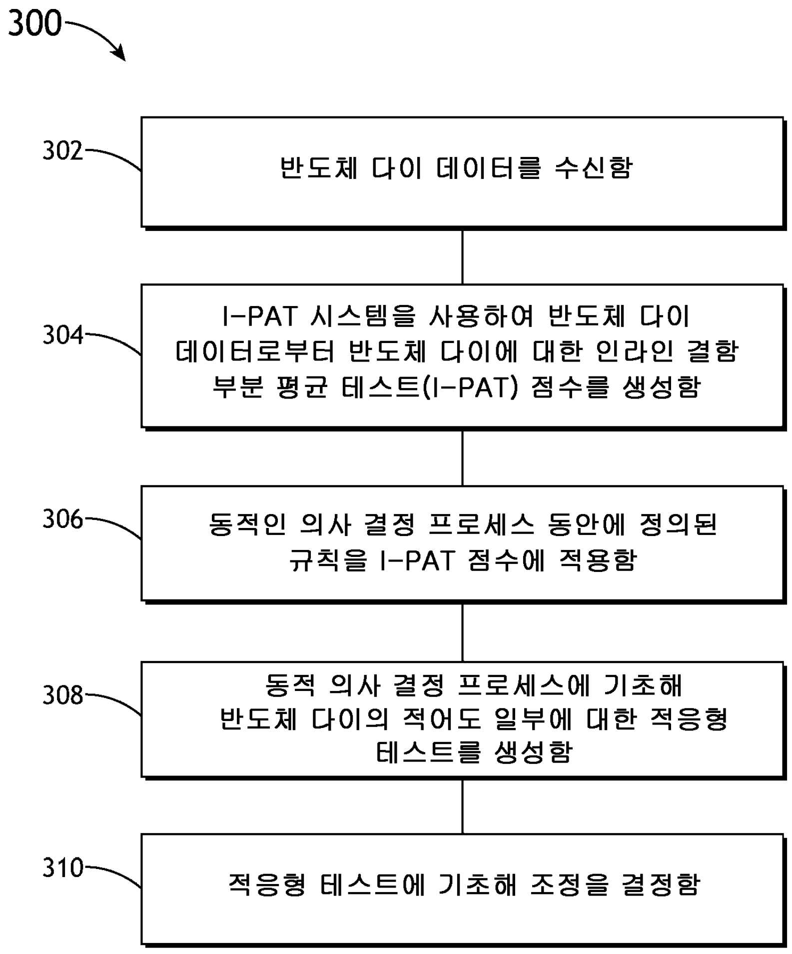
도면1



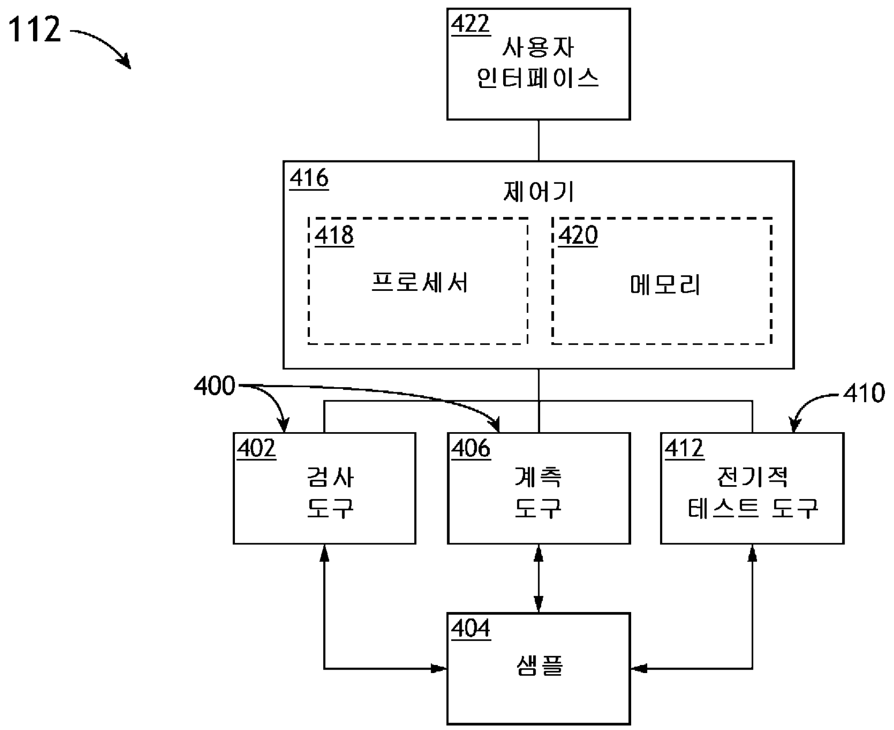
도면2


102
114
200
I-PAT를 사용한 스크리닝 검사
202
204
저결함성 "양호한" 다이 206
중결함성 "위험한" 다이 208
고결함성 다이 210
116
104
적응형 테스트 제어기
212
다이 수준 전기적 웨이퍼 분류 데이터
214
통계적 예측 피드백
리거시 입력
216
공칭 테스트
218
적응형 테스트
220
스킵 테스트
222
심층 테스트
118

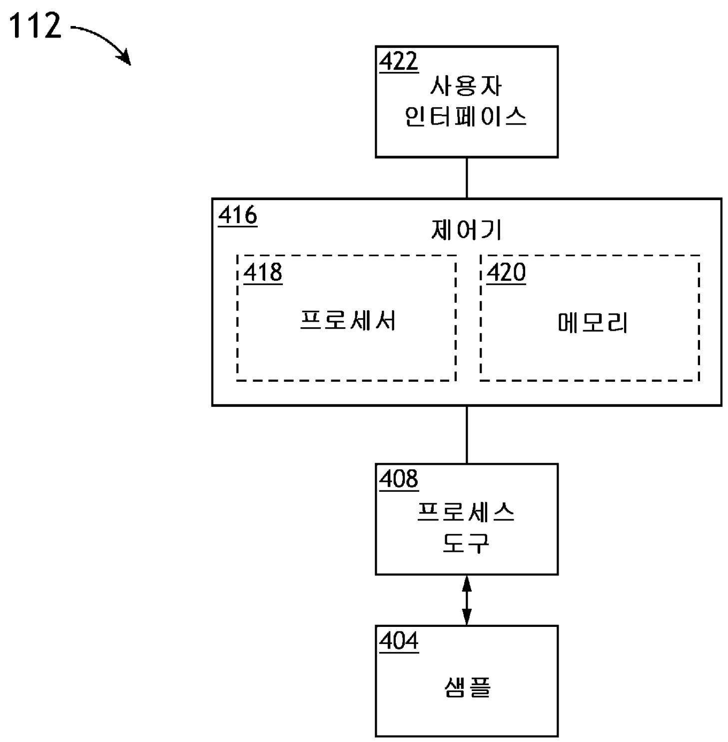
도면3


300
302
반도체 다이 데이터를 수신함
304
I-PAT 시스템을 사용하여 반도체 다이 데이터로부터 반도체 다이에 대한 인라인 결함 부분 평균 테스트(I-PAT) 점수를 생성함
306
동적인 의사 결정 프로세스 동안에 정의된 규칙을 I-PAT 점수에 적용함
308
동적 의사 결정 프로세스에 기초해 반도체 다이의 적어도 일부에 대한 적응형 테스트를 생성함
310
적응형 테스트에 기초해 조정을 결정함

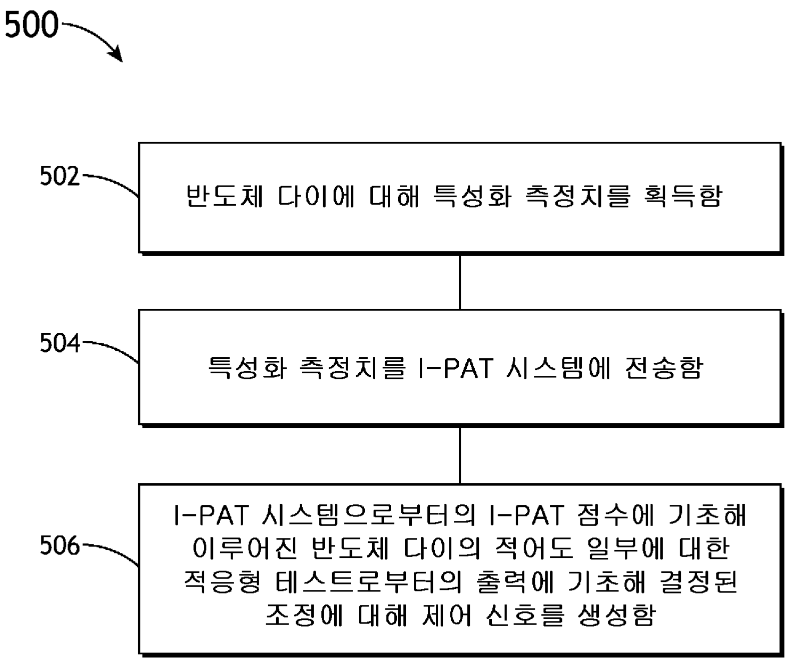
도면4a


112
422
사용자
인터페이스
416
제어기
418
프로세서
420
메모리
400
410
402
검사
도구
406
계측
도구
412
전기적
테스트 도구
404
샘플

도면4b


112
422
사용자
인터페이스
416
제어기
418
프로세서
420
메모리
408
프로세스
도구
404
샘플

도면5


500
502
반도체 다이에 대해 특성화 측정치를 획득함
504
특성화 측정치를 I-PAT 시스템에 전송함
506
I-PAT 시스템으로부터의 I-PAT 점수에 기초해 이루어진 반도체 다이의 적어도 일부에 대한 적응형 테스트로부터의 출력에 기초해 결정된 조정에 대해 제어 신호를 생성함