

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年5月21日(21.05.2015)



(10) 国際公開番号

WO 2015/072196 A1

- (51) 国際特許分類:
H01L 27/10 (2006.01) H01L 29/786 (2006.01)
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2014/071476
- (22) 国際出願日: 2014年8月15日(15.08.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-237885 2013年11月18日(18.11.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 加藤 純男(KATO Sumio). 上田 直樹(UEDA Naoki).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

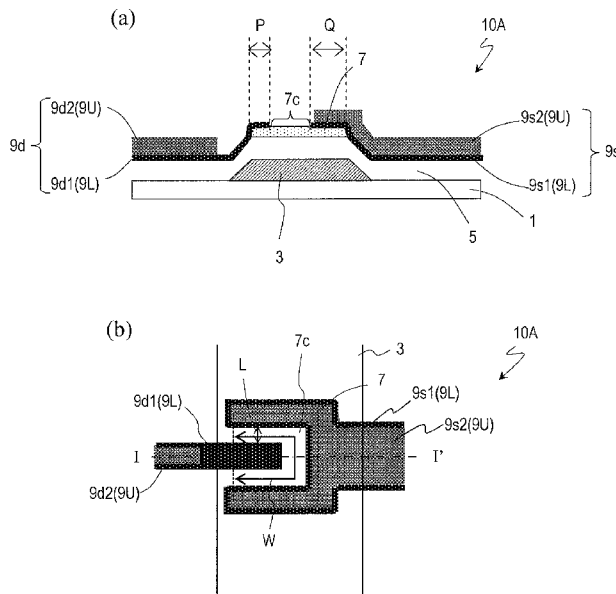
添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



(57) Abstract: This semiconductor device is provided with a memory transistor (10A) which can be irreversibly changed from a semiconductor state where a drain current (I_{ds}) is dependent on the gate voltage (V_g) to a resistor state where the drain current (I_{ds}) is not dependent on the gate voltage (V_g). The memory transistor (10A) comprises a gate electrode (3), a metal oxide layer (7), a gate insulating film (5), and source and drain electrodes. The drain electrode (9d) has a multilayer structure including a first drain metal layer (9d1) that is formed of a first metal having a melting point of 1,200°C or more and a second drain metal layer (9d2) that is formed of a second metal having a lower melting point than the first metal. When viewed from the normal direction of the surface of a substrate, a part (P) of the drain electrode (9d) overlaps both the metal oxide layer (7) and the gate electrode (3), and the part (P) of the drain electrode (9d) contains the first drain metal layer (9d1) but does not contain the second drain metal layer (9d2).

(57) 要約: 半導体装置は、ドレイン電流 I_{ds} がゲート電圧 V_g に依存する半導体状態から、ドレイン電流 I_{ds} がゲート電圧 V_g に依存しない抵抗状態に不可逆的に変化させられ得るメモリトランジスタ (10A) を備え、メモリトランジスタ (10A) は、ゲート電極 (3)、金属酸化層 (7)、ゲート絶縁膜 (5)、ソース及びドレイン電極を有し、ドレイン電極 (9d) は、融点が1200°C以上である第1の金属で形成された第1ドレイン金属層 (9d1) と、第1の金属よりも融点の低い第2の金属で形成された第2ドレイン金属層 (9d2) とを含む積層構造を有し、基板の表面の法線方向から見たとき、ドレイン電極 (9d) の一部Pは金属酸化層 (7) およびゲート電極 (3) の両方と重なっており、ドレイン電極 (9d) の一部 (P) は、第1ドレイン金属層 (9d1) を含み且つ、第2ドレイン金属層 (9d2) を含まない。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、メモリトランジスタを備えた半導体装置に関する。

背景技術

[0002] ROM（読み出し専用メモリ）として利用可能なメモリ素子として、従来から、トランジスタ構造を有する素子（以下、「メモリトランジスタ」と称する。）を用いることが提案されている。

[0003] 例えば特許文献１には、MOSトランジスタ構造を有する不揮発性のメモリトランジスタが開示されている。このメモリトランジスタでは、ゲート絶縁膜に高電界を印加し、絶縁破壊させることにより、書き込みを行う。また、特許文献２には、ゲートに所定の書き込み電圧をかけることによって生じる閾値電圧の変化を利用したメモリトランジスタが開示されている。

[0004] これに対し、本出願人による特許文献３は、従来よりも消費電力を低減可能な新規な不揮発性メモリトランジスタを提案している。このメモリトランジスタは、活性層（チャネル）に金属酸化物半導体を用いており、ドレイン電流により生じるジュール熱によって、ゲート電圧にかかわらずオーミックな抵抗特性を示す抵抗体状態に不可逆的に変化し得る。このようなメモリトランジスタを用いると、書き込みのための電圧を特許文献１、２における電圧よりも低くすることが可能である。なお、本明細書では、このメモリトランジスタの酸化物半導体を抵抗体状態に変化させる動作を「書き込み」という。また、このメモリトランジスタは、書き込みされた後、金属酸化物半導体が抵抗体となるため、トランジスタとして動作しないが、本明細書では、抵抗体に変化した後も「メモリトランジスタ」と呼ぶ。同様に、抵抗体に変化した後も、トランジスタ構造を構成するゲート電極、ソース電極、ドレイン電極、活性層、チャネル領域などの呼称を使用する。特許文献３には、メモリトランジスタを例えば液晶表示装置のアクティブマトリクス基板に形成

することが記載されている。

先行技術文献

特許文献

[0005] 特許文献1：米国特許第6 7 7 5 1 7 1号明細書

特許文献2：特開平 1 1－9 7 5 5 6号公報

特許文献3：国際公開第2 0 1 3／0 8 0 7 8 4号

発明の概要

発明が解決しようとする課題

[0006] 本発明者は、金属酸化物を含む活性層を有するメモリトランジスタの構成を種々の角度から検討した。この結果、メモリトランジスタの書き込み時間をより短縮しようとする、従来の電極構造では、高い信頼性が得られない可能性があることを見出した。この問題については後で詳述する。

[0007] 本発明の実施形態は、メモリトランジスタを備えた半導体装置の信頼性を従来よりも高めることを目的とする。

課題を解決するための手段

[0008] 本発明の一実施形態の半導体装置は、基板と、前記基板に支持された少なくとも1つのメモリトランジスタとを備えた半導体装置であって、前記少なくとも1つのメモリトランジスタは、ドレイン電流 I_{ds} がゲート電圧 V_g に依存する半導体状態から、ドレイン電流 I_{ds} がゲート電圧 V_g に依存しない抵抗体状態に不可逆的に変化させられ得るメモリトランジスタであり、前記少なくとも1つのメモリトランジスタは、ゲート電極と、金属酸化物層と、前記ゲート電極と前記金属酸化物層との間に配置されたゲート絶縁膜と、前記金属酸化物層に電氣的に接続されたソース電極およびドレイン電極とを有し、前記ドレイン電極は、融点が 1200°C 以上である第1の金属で形成された第1ドレイン金属層と、前記第1の金属よりも融点の低い第2の金属で形成された第2ドレイン金属層とを含む積層構造を有し、前記基板の表面の法線方向から見たとき、前記ドレイン電極の一部は前記金属酸化物層お

よび前記ゲート電極の両方と重なっており、前記ドレイン電極の前記一部は、前記第1ドレイン金属層を含み、且つ、前記第2ドレイン金属層を含まない。

[0009] ある実施形態において、前記ソース電極は、前記第1の金属を含む第1ソース金属層と、前記第2の金属を含む第2ソース金属層とを含む積層構造を有し、前記基板の表面の法線方向から見たとき、前記ソース電極の一部は前記金属酸化物層および前記ゲート電極の両方と重なっており、前記ソース電極の前記一部は、前記第1ソース金属層および前記第2ソース金属層を含む。

[0010] ある実施形態において、前記ソース電極は、前記第1の金属を含む第1ソース金属層と、前記第2の金属を含む第2ソース金属層とを含む積層構造を有し、前記基板の表面の法線方向から見たとき、前記ソース電極の一部は前記金属酸化物層および前記ゲート電極の両方と重なっており、前記ソース電極の前記一部は、前記第1ソース金属層を含み、且つ、前記第2ソース金属層を含まない。

[0011] ある実施形態において、前記第1ドレイン金属層は、前記金属酸化物層の上面と直接接している。

[0012] ある実施形態において、前記第1ドレイン金属層は、前記金属酸化物層の下面と直接接している。

[0013] ある実施形態において、前記ゲート電極は、前記金属酸化物層の前記基板側に位置している。

[0014] ある実施形態において、前記第1ドレイン金属層および前記第2ドレイン金属層は、前記基板側からこの順で積層されている。

[0015] ある実施形態において、前記基板の法線方向から見たとき、前記金属酸化物層のうち、前記ゲート電極と前記ゲート絶縁膜を介して重なり、かつ、前記ソース電極と前記ドレイン電極との間に位置する部分は、U字形状を有している。

[0016] ある実施形態において、前記第1の金属は、W、Ta、Ti、Moおよび

C r かなる群から選択される金属またはその合金である。

[0017] ある実施形態において、前記第2の金属の融点は1200℃未満である。

[0018] ある実施形態において、前記第2の金属は、A l およびC u かなる群から選択される金属である。

[0019] ある実施形態において、前記金属酸化物層は、I n 、G a およびZ n を含む。

[0020] ある実施形態において、前記金属酸化物層は結晶質部分を含む。

[0021] ある実施形態において、前記少なくとも1つのメモリトランジスタは、前記半導体状態であるメモリトランジスタS T と、前記抵抗体状態であるメモリトランジスタR T とを含む複数のメモリトランジスタである。

[0022] ある実施形態において、前記基板に支持された、金属酸化物を含む半導体層を有する他のトランジスタをさらに備え、前記他のトランジスタの前記半導体層と、前記メモリトランジスタの前記金属酸化物層とは、共通の酸化物半導体膜から形成されており、前記他のトランジスタのソース電極およびドレイン電極は、前記第1の金属を含む第1金属層と、前記第2の金属を含む第2金属層とを含む積層構造を有し、前記基板の表面の法線方向から見たとき、前記他のトランジスタのドレイン電極の一部は、前記他のトランジスタのゲート電極および前記金属酸化物層の両方と重なっており、前記他のトランジスタのドレイン電極の前記一部は、前記第1金属層および前記第2金属層を含む。

[0023] ある実施形態において、前記半導体装置は、アクティブマトリクス基板であり、複数の画素電極と、それぞれが前記複数の画素電極のうち対応する画素電極に電氣的に接続された画素トランジスタとを有する表示領域、および、前記表示領域以外の領域に配置された、複数の回路を有する周辺領域を備え、前記複数の回路は、前記少なくとも1つのメモリトランジスタを有するメモリ回路を含み、前記画素トランジスタ、および、前記周辺領域において前記複数の回路を構成する複数のトランジスタの少なくとも1つは、前記少なくとも1つのメモリトランジスタの前記金属酸化物層と共通の酸化物半導

体膜を用いて形成された半導体層を有する。

発明の効果

[0024] 本発明の一実施形態によると、活性層として金属酸化物層を有し、且つ、半導体状態から抵抗体状態への変化を利用したメモリトランジスタを備えた半導体装置において、メモリトランジスタへの書き込みの際に生じる熱でドレイン電極が融解することを抑制できる。従って、書き込みの際に生じる熱によるメモリトランジスタのダメージや破壊を抑制できるので、半導体装置の信頼性を高めることができる。

図面の簡単な説明

[0025] [図1] (a) および (b) は、それぞれ、第1実施形態の半導体装置におけるメモリトランジスタ10Aの断面図および平面図である。

[図2]第1の実施形態におけるメモリ回路を構成する単一のメモリセルを例示する図である。

[図3] (a) および (b) は、それぞれ、実施例のメモリトランジスタ10(1)の断面図および平面図、(c)は、書き込み後のメモリトランジスタ10(1)の上面図である。

[図4] (a) および (b) は、それぞれ、参考例のメモリトランジスタ10(2)の断面図および平面図、(c)は、書き込み後のメモリトランジスタ10(2)の上面図である。

[図5] (a) は、第1実施形態のアクティブマトリクス基板1002を例示する平面図、(b)は、アクティブマトリクス基板1002における画素用トランジスタ10Tを例示する断面図、(c)は、アクティブマトリクス基板1002を用いた表示装置2001を例示する断面図である。

[図6]液晶表示装置2001のブロック構成を例示する図である。

[図7] (a) および (b) は、それぞれ、不揮発性記憶装置60a~60cを構成するメモリセル、および液晶表示装置2001の画素回路の構成を示す概略図である。

[図8]第1の実施形態の半導体装置(アクティブマトリクス基板1002)の

製造方法を説明するための工程図であり、(a) および (b) は断面図、(c) は上面図である。

[図9]第1の実施形態の半導体装置（アクティブマトリクス基板1002）の製造方法を説明するための工程図であり、(a) および (b) は断面図、(c) は上面図である。

[図10]第1の実施形態の半導体装置（アクティブマトリクス基板1002）の製造方法を説明するための工程図であり、(a) および (b) は断面図、(c) は上面図である。

[図11]第1の実施形態の半導体装置（アクティブマトリクス基板1002）の製造方法を説明するための工程図であり、(a) および (b) は断面図、(c) は上面図である。

[図12]第1の実施形態の半導体装置（アクティブマトリクス基板1002）の製造方法を説明するための工程図であり、(a) および (b) は断面図、(c) は上面図である。

[図13]第1の実施形態の半導体装置（アクティブマトリクス基板1002）の製造方法を説明するための工程図であり、(a) および (b) は断面図、(c) は上面図である。

[図14](a) は、メモリトランジスタ10Aの初期状態（半導体状態）における $I_{ds} - V_{gs}$ 特性を示す図であり、(b) は、メモリトランジスタ10Aの初期状態における $I_{ds} - V_{ds}$ 特性を示す図である。

[図15](a) は、メモリトランジスタ10Aの抵抗体状態における $I_{ds} - V_{gs}$ 特性を示す図であり、(b) は、メモリトランジスタ10Aの抵抗体状態における $I_{ds} - V_{ds}$ 特性を示す図である。

[図16]書き込み前後のメモリトランジスタ10Aにおける、 $V_{gs} = 0V$ の場合の原点付近の $I_{ds} - V_{ds}$ 特性を拡大して示す図である。

[図17]書き込み前後のメモリトランジスタ10Aの $I_{ds} - V_{gs}$ 特性を重ね合わせて示す図である。

[図18]書き込み前後のメモリトランジスタ10Aの微分抵抗 (dV_{ds}/dI_{ds})

I_{ds} 、単位： $\Omega \mu m$)とドレイン電圧 V_{ds} との関係を示す図である。

[図19]メモリトランジスタ10Aの書き込み時間(単位:m秒)と単位ドレイン電流(単位: $A/\mu m$)との関係の一例を示す。

[図20]メモリトランジスタのチャネル領域の平面形状と書き込み時間との関係を示す図である。

[図21](a)および(b)は、第1実施形態における他のメモリトランジスタの構成を例示する平面図および断面図である。

[図22](a)および(b)は、それぞれ、第2の実施形態の半導体装置におけるメモリトランジスタ10Cを示す平面図および断面図である。

[図23]第2の実施形態の半導体装置(アクティブマトリクス基板1003)の製造方法を説明するための工程図であり、(a)および(b)は断面図、(c)は上面図である。

[図24]第2の実施形態の半導体装置(アクティブマトリクス基板1003)の製造方法を説明するための工程図であり、(a)および(b)は断面図、(c)は上面図である。

[図25]第2の実施形態の半導体装置(アクティブマトリクス基板1003)の製造方法を説明するための工程図であり、(a)および(b)は断面図、(c)は上面図である。

[図26]第2の実施形態の半導体装置(アクティブマトリクス基板1003)の製造方法を説明するための工程図であり、(a)および(b)は断面図、(c)は上面図である。

[図27]第2の実施形態の半導体装置(アクティブマトリクス基板1003)の製造方法を説明するための工程図であり、(a)および(b)は断面図、(c)は上面図である。

[図28]第2の実施形態の半導体装置(アクティブマトリクス基板1003)の製造方法を説明するための工程図であり、(a)および(b)は断面図、(c)は上面図である。

[図29](a)および(b)は、それぞれ、第3の実施形態の半導体装置にお

けるメモリトランジスタ 10Dを示す平面図および断面図である。

[図30]第3の実施形態の半導体装置（アクティブマトリクス基板1004）の製造方法を説明するための工程図であり、（a）および（b）は断面図、（c）は上面図である。

[図31]第3の実施形態の半導体装置（アクティブマトリクス基板1004）の製造方法を説明するための工程図であり、（a）および（b）は断面図、（c）は上面図である。

[図32]第3の実施形態の半導体装置（アクティブマトリクス基板1004）の製造方法を説明するための工程図であり、（a）および（b）は断面図、（c）は上面図である。

[図33]第3の実施形態の半導体装置（アクティブマトリクス基板1004）の製造方法を説明するための工程図であり、（a）および（b）は断面図、（c）は上面図である。

[図34]第3の実施形態の半導体装置（アクティブマトリクス基板1004）の製造方法を説明するための工程図であり、（a）および（b）は断面図、（c）は上面図である。

[図35]（a）～（c）は、本発明による実施形態における他のメモリトランジスタの構成を例示する平面図および断面図である。

[図36]（a）～（c）は、それぞれ、本発明による実施形態における他のメモリトランジスタの構成を例示する断面図である。

発明を実施するための形態

[0026] まず、半導体状態から抵抗体状態への変化を利用したメモリトランジスタ（特許文献3）の構成について、本発明者が検討により見出した知見を説明する。

[0027] 上記メモリトランジスタの書き込みは、ドレイン電流（書き込み電流）により生じるジュール熱によって、メモリトランジスタの活性層である金属酸化物層を低抵抗化することによって行われる。書き込み時には、メモリトランジスタの金属酸化物層に熱が生じる。

- [0028] 書き込み時に金属酸化物層に生じる熱量（発熱量）をより大きくすると、書き込み時間をより短縮することが可能である。発熱量は、メモリトランジスタにより大きな電力を投入することによって増加させることができる。しかしながら、発熱量を増加させると、次のような問題がある。
- [0029] nチャネル型のメモリトランジスタでは、書き込み時の発熱量は、特に、金属酸化物層（チャネル領域）のうちドレイン電極近傍で大きくなる。金属酸化物層のドレイン側では局所的に例えば1000℃以上の高温になる場合がある。このため、メモリトランジスタがボトムゲート構造を有する場合、金属酸化物層の上面に、ドレイン電極として、アルミニウムや銅などの比較的融点の低い金属からなる金属層が設けられていると、そのような金属が書き込み時に生じる熱によって融解するおそれがある。この結果、ドレイン電極と金属酸化物層との間が導通しなくなり、ソースー金属酸化物層ードレイン間の電流経路が断たれる（ソースとドレインとの間で電流が流れなくなる）等のダメージが生じ、メモリトランジスタが破壊される場合もある。このため、書き込み後のメモリトランジスタからの読み出し動作を正常に行うことが困難になる可能性がある。
- [0030] 一方、従来、金属酸化物層を活性層とする薄膜トランジスタ（酸化物半導体TFT）において、金属酸化物層とアルミニウム（Al）層または銅（Cu）層とが直接接すると、これらの間で接触抵抗が高くなったり、AlやCuが金属酸化物層に拡散してTFT特性の低下を引き起こす等の問題があることが知られている。この問題を解決するために、AlやCuからなるソースおよびドレイン電極と金属酸化物層との間に、バリアメタル層としてTi層などを形成することが提案されている（例えば特開2010-123923号公報）。また、ソースおよびドレインを含む金属配線膜として、金属酸化物層側から、Ti膜とAl合金膜とをこの順で積み重ねた積層膜を用いることが提案されている（例えば特開2010-123748号公報）。これらの特許文献で提案された電極または配線を用いると、Al、Cuなどの比較的融点の低い金属と金属酸化物層とは直接接触しない。しかしながら、本

発明者が検討したところ、比較的融点の低い金属が金属酸化物層の上方に位置していれば、金属酸化物層と直接接していない場合でも、書き込み時に融解する可能性があることが確認された。逆に、Tiなどの比較的融点の高い金属は、金属酸化物層上に位置していても、書き込み時の熱による融解が生じないことも確認された。

[0031] 本発明者は、上記の知見に基づいて、メモリトランジスタのドレイン電極のうち金属酸化物層上に位置する部分を比較的融点の高い金属で形成し、融点の低い金属を含まないようにすることにより、書き込み時の発熱に起因する上記問題を解決し得ることを見出し、本発明に至った。このような構成によれば、書き込み時の熱に起因するメモリトランジスタの信頼性の低下を抑制しつつ、書き込み時間を従来よりも短縮することが可能である。

[0032] 以下、図面を参照しながら、本発明による半導体装置の実施形態を具体的に説明する。

[0033] (第1の実施形態)

図1(a)は、本実施形態の半導体装置におけるメモリトランジスタ10Aを示す断面図、図1(b)は、メモリトランジスタ10Aの平面図である。図1(a)は、図1(b)のI-I'線に沿った断面構造を示している。

[0034] 本実施形態の半導体装置は、基板1と、基板1に支持されたメモリトランジスタ10Aとを備えている。メモリトランジスタ10Aは、例えばnチャネル型メモリトランジスタである。

[0035] メモリトランジスタ10Aは、ゲート電極3と、金属酸化物を含む活性層(以下、「金属酸化物層」)7と、ゲート電極3と金属酸化物層7との間に配置されたゲート絶縁膜5と、金属酸化物層7に電氣的に接続されたソース電極9sおよびドレイン電極9dとを有している。基板1の法線方向から見たとき、金属酸化物層7の少なくとも一部は、ゲート絶縁膜5を介してゲート電極3と重なるように配置される。図1に示す例では、ゲート電極3は、金属酸化物層7の基板1側に配置されている(ボトムゲート構造)。ソース電極9sは金属酸化物層7の一部と接し、ドレイン電極9dは金属酸化物層

7の他の一部と接していてもよい。

[0036] 金属酸化物層7のうちソース電極9sと接する（または電氣的に接続される）領域を「ソースコンタクト領域」、ドレイン電極9dと接する（または電氣的に接続される）領域を「ドレインコンタクト領域」と称する。基板1の法線方向から見たとき、金属酸化物層7のうち、ゲート電極3とゲート絶縁膜5を介して重なり、かつ、ソースコンタクト領域とドレインコンタクト領域との間に位置する領域がチャンネル領域7cとなる。ソース電極9sとドレイン電極9dとが金属酸化物層7の上面と接する場合には、基板1の法線方向から見たとき、金属酸化物層7のうちソース電極9sとドレイン電極9dとの間に位置する領域がチャンネル領域7cとなる。

[0037] ドレイン電極9dは、第1の金属で形成された第1ドレイン金属層9d1と、第1の金属よりも融点の低い第2の金属で形成された第2ドレイン金属層9d2とを含む積層構造を有している。「第1の金属（または第2の金属）で形成された」とは、第1の金属（または第2の金属）を主として含むことを意味する。なお、第1または第2の金属は、金属単体であってもよいし、合金であってもよい。

[0038] 第1ドレイン金属層9d1に含まれる第1の金属は、1200℃以上、好ましくは1600℃以上の融点を有する金属（以下、「第1の金属」と称する。）である。第1の金属は金属単体であってもよいし合金であってもよい。第1の金属として、例えばTi（チタン、融点：1667℃）、Mo（モリブデン、融点：2623℃）、Cr（クロム、融点：1857℃）、W（タングステン、融点：3380℃）、Ta（タンタル、融点：2996℃）、またはその合金などを用いることができる。第2ドレイン金属層9d2に含まれる第2の金属は、第1の金属よりも低い融点を有する金属（以下、「第2の金属」と称する。）である。第2の金属の融点は1200℃未満、例えば700℃以下であってもよい。第2の金属として、例えばAl（アルミニウム、融点：660℃）、Cu（銅、融点：1083℃）などを用いることができる。

[0039] ソース電極 9 s およびドレイン電極 9 d は、共通の導電膜から形成されていてもよい。図示する例では、ソース電極 9 s およびドレイン電極 9 d は、第 1 の金属から形成された第 1 金属膜 9 L と、第 2 の金属から形成された第 2 金属膜 9 U とを含む共通の積層膜を用いて形成されている。従って、ソース電極 9 s は、第 1 金属膜 9 L および第 2 金属膜 9 U を含む積層構造を有している。ソース電極 9 s における第 1 金属膜 9 L および第 2 金属膜 9 U から形成された層を、それぞれ、第 1 ソース金属層 9 s 1 および第 2 ソース金属層 9 s 2 と称する。同様に、ドレイン電極 9 d は、第 1 金属膜 9 L から形成された第 1 ドレイン金属層 9 d 1 と、第 2 金属膜 9 U から形成された第 2 ドレイン金属層 9 d 2 とを含む積層構造を有している。

[0040] 第 1 金属膜 9 L および第 2 金属膜 9 U は、それぞれ、上記の金属を主として含む導電体層であればよく、金属単体からなる層のみでなく、合金層、金属窒化物層、金属シリサイド層なども含み得る。

[0041] 基板 1 の表面の法線方向から見たとき、ドレイン電極 9 d は、ゲート電極 3 および金属酸化物層 7 の両方と重なる部分 P を有している。ドレイン電極 9 d のうちゲート電極 3 および金属酸化物層 7 の両方と重なる部分 P は、第 1 ドレイン金属層 9 d 1（第 1 金属膜 9 L）を含み、且つ、第 2 ドレイン金属層 9 d 2（第 2 金属膜 9 U）を含まない。上記部分 P は、第 1 ドレイン金属層 9 d 1 のみから構成されていてもよいし、第 1 ドレイン金属層 9 d 1 以外の融点の高い金属層を含んでいてもよい。

[0042] 本実施形態のメモリトランジスタ 10 A は、ドレイン電流 I_{ds} がゲート電圧 V_{gs} に依存する状態（「半導体状態」という。）から、ドレイン電流 I_{ds} がゲート電圧 V_{gs} に依存しない状態（「抵抗体状態」という。）に不可逆的に変化させられ得る不揮発性メモリ素子である。ドレイン電流 I_{ds} は、メモリトランジスタ 10 A のソース電極 9 s とドレイン電極 9 d との間（ソースドレイン間）を流れる電流であり、ゲート電圧 V_{gs} は、ゲート電極 3 とソース電極 9 s との間（ゲートソース間）の電圧である。

[0043] 上記の状態変化は、例えば、半導体状態（初期状態）のメモリトランジス

タ 10 A のソースドレイン間に所定の書き込み電圧 V_{ds} を印加し、ゲートソース間に所定のゲート電圧を印加することによって生じる。書き込み電圧 V_{ds} の印加により、金属酸化物層 7 のうちチャンネルが形成される部分（チャンネル領域）7 c に電流（書き込み電流）が流れ、ジュール熱が発生する。このジュール熱により、金属酸化物層 7 のうちチャンネル領域 7 c が低抵抗化される。この結果、ゲート電圧 V_{gs} に依存せずに、オーミックな抵抗特性を示す抵抗体状態となる。酸化物半導体の低抵抗化が生じる理由は現在解明中であるが、ジュール熱によって酸化物半導体中に含まれる酸素がチャンネル領域 7 c の外部に拡散することにより、チャンネル領域 7 c 中の酸素欠損が増加してキャリア電子が生じるからと考えられる。なお、このような状態変化を生じ得るメモリトランジスタは、本出願人による特許文献 3、本出願人による未公開の特許出願である特願 2012-137868 号および特願 2012-231480 号に記載されている。これらの開示内容の全てを参考のために本明細書に援用する。

[0044] メモリトランジスタ 10 A への書き込みは、上述のように、書き込み電流によるジュール熱を利用して行う。前述したように、ジュール熱は、金属酸化物層 7 に形成されるチャンネル領域 7 c のドレイン側端部で特に高くなる。このため、本実施形態では、ジュール熱の高いドレイン側端部近傍に第 2 ドレイン金属層 9 d 2 を配置しない。より具体的には、基板 1 の表面の法線方向から見たとき、ドレイン電極 9 d のうち比較的融点の高い金属を含む第 1 ドレイン金属層 9 d 1 は、ゲート電極 3 および金属酸化物層 7 の両方と重なるように配置され、チャンネル領域 7 c を画定する。一方、比較的融点の低い金属を含む第 2 ドレイン金属層 9 d 2 は、金属酸化物層 7 上には配置されていないので、書き込みの際に生じる熱で第 2 ドレイン金属層 9 d 2 に含まれる金属が融解することを抑制できる。従って、金属の融解によるメモリトランジスタ 10 A の破壊や変形を抑制できる。

[0045] 本実施形態では、基板 1 の表面の法線方向から見たとき、金属酸化物層 7 全体がゲート電極 3 と重なっているが、金属酸化物層 7 は、その少なくとも

一部がゲート電極3と重なるように配置されていてもよい。その場合、第2ドレイン金属層9d2は、金属酸化物層7のうちゲート電極3と重なる部分上に位置していなければ、上記と同様の効果が得られる。例えば、基板1の表面の法線方向から見たとき、第2ドレイン金属層9d2は、金属酸化物層7およびゲート電極3の両方と重なっていなければよく、いずれか一方と重なっていても構わない。

[0046] また、ここでは、ドレイン電極9dは、第1および第2ドレイン金属層9d1、9d2からなる2層構造であるが、他の導電層を含む3層以上から構成されていてもよい。第1ドレイン金属層9d1は、金属酸化物層7の上面と接していてもよい。第1ドレイン金属層9d1として例えばTi、Mo層を用いる場合、第1ドレイン金属層9d1と金属酸化物層7とを接するように配置すると、コンタクト抵抗を低減できる。なお、金属酸化物層7と第1ドレイン金属層9d1との間に、コンタクト層などの他の導電層が形成されていてもよい。

[0047] nチャネル型メモリトランジスタの場合、ドレイン電流 I_{ds} の流れる方向の上流側がドレイン、下流側がソースとなる。本明細書では、「ソース電極」は、活性層（ここでは金属酸化物層7）のソース側に電氣的に接続された電極を指し、配線（ソース配線）の一部であってもよい。典型的には、「ソース電極」は、活性層のソース側に直接接するコンタクト部のみでなく、その近傍に位置する部分も含む。例えば、ソース配線の一部が活性層に電氣的に接続されている場合、「ソース電極」は、ソース配線のうちメモリトランジスタ形成領域に位置する部分を含む。あるいは、「ソース電極」は、ソース配線のうち活性層に接するコンタクト部から、他の素子または他の配線に接続されるまでの部分を含み得る。同様に、「ドレイン電極」は、活性層（ここでは金属酸化物層7）のドレイン側に電氣的に接続された電極を指し、配線の一部であってもよい。「ドレイン電極」は、活性層のドレイン側に直接接するコンタクト部のみでなく、その近傍に位置する部分も含む。配線の一部が活性層のドレイン側に電氣的に接続されている場合、「ドレイン電

極」は、その配線のうちメモリトランジスタ形成領域内に位置する部分を含む。例えば、配線のうち活性層に接するコンタクト部から、他の素子または他の配線に接続されるまでの部分を含み得る。本実施形態では、ドレイン電極 9 d の部分 P が第 1 ドレイン金属層 9 d 1 を含み且つ第 2 ドレイン金属層 9 d 2 を含まない単層構造（または n 層構造（ $n : 2$ 以上の自然数））、ドレイン電極の他の部分が第 1 ドレイン金属層 9 d 1 および第 2 ドレイン金属層 9 d 2 を含む 2 層構造（または $(n + 1)$ 層構造）である。

[0048] ソース電極 9 s は、基板 1 の表面の法線方向から見たとき、金属酸化物層 7 およびゲート電極 3 の両方と重なる部分 Q を有していてもよい。ソース電極 9 s のうち金属酸化物層 7 およびゲート電極 3 の両方と重なる部分 Q は、第 1 ソース金属層 9 s 1 だけでなく、第 2 ソース金属層 9 s 2 を含んでいてもよい。金属酸化物層 7 のチャネル領域 7 c におけるソース側では、書き込み電流による発熱量がドレイン側よりも小さい。このため、7 c の近傍に第 2 ソース金属層 9 s 2 が配置されていても、第 2 ソース金属層 9 s 2 に含まれる第 2 の金属が融解しにくく、書き込み時の発熱によってメモリトランジスタ 10 A にダメージが生じにくいからである。本実施形態では、ソース電極 9 s とドレイン電極 9 d とで、チャネル領域 7 c 側の端部の構造を異ならせることにより、比較的電気伝導度の高い金属層（A 1 層等）を使用するメリットを最大限に享受しつつ、書き込み時の発熱によるダメージを低減できる。

[0049] なお、後述するように、ソース電極 9 s の部分 Q が、第 1 ソース金属層 9 s 1 を含み、且つ、第 2 ソース金属層 9 s 2 を含まなくてもよい。これにより、書き込み時の発熱によるダメージをより確実に低減できる。

[0050] 図示する例では、基板 1 の表面の法線方向から見たとき、ドレイン電極 9 d およびソース電極 9 s のうち一方の電極（ここではソース電極 9 s）は、金属酸化物層 7 上に凹部を有しており、他方の電極（ここではドレイン電極 9 d）は、ソース電極 9 s の凹部内に、ソース電極 9 s と間隔を空けて配置されている。このため、ソース電極 9 s およびドレイン電極 9 d の間に位置

するチャンネル領域 7 c は、U 字形状を有している。このような場合、図 1 (b) に示すように、ソース電極 9 s とドレイン電極 9 d との間に位置する間隙部分の幅がチャンネル長（チャンネル方向の長さ） L_1 である。また、チャンネル領域 7 c のうちソース電極 9 s からの距離とドレイン電極 9 d からの距離とが等しくなる線の長さ、言い換えると、ソース電極 9 s とドレイン電極 9 d との金属酸化物層 7 上での離間距離の 2 等分点を結ぶ線の長さがチャンネル幅（チャンネル方向に直交する方向の長さ） W_1 である。なお、メモリトランジスタ 10 のチャンネル領域 7 c の平面形状は U 字形に限定されず、例えば矩形であってもよい。

[0051] メモリトランジスタ 10 A の構造は、ボトムゲート構造に限定されず、金属酸化物層 7 の上方にゲート電極 3 を有するトップゲート構造であってもよい。メモリトランジスタ 10 A が上記の何れの構造を有する場合でも、基板 1 の法線方向から見たとき、第 2 ドレイン金属層 9 d 2 がゲート電極 3 および金属酸化物層 7 の両方と重ならないように配置されていれば、上述した本願発明の効果が得られる。

[0052] 第 1 ドレイン金属層 9 d 1 は、金属酸化物層 7 と直接接していてもよい。これにより、第 1 ドレイン金属層 9 d 1 と金属酸化物層 7 とのコンタクト抵抗を低減できる。第 1 ドレイン金属層 9 d 1 は金属酸化物層 7 の上面と接していてもよいし（トップコンタクト構造）、金属酸化物層 7 の下面と接していてもよい（ボトムコンタクト構造）。

[0053] 第 1 ドレイン金属層 9 d 1（第 1 金属膜 9 L）および第 2 ドレイン金属層 9 d 2（第 2 金属膜 9 U）の積層順序は特に問わない。図 1 に示す例では、第 1 ドレイン金属層 9 d 1 は、第 2 ドレイン金属層 9 d 2 よりも基板 1 側に配置されているが、基板 1 の反対側に配置されてもよい。例えば図 36 (a) に例示するように、ソース電極 9 s およびドレイン電極 9 d は、第 2 ソース金属層 9 s 2 または第 2 ドレイン金属層 9 d 2 を下層とし、第 1 ソース金属層 9 s 1 または第 1 ドレイン金属層 9 d 1（第 1 金属膜 9 L）を上層とする積層構造を有していてもよい。なお、第 1 金属膜 9 L が、第 2 金属膜 9 U

よりも金属酸化物層 7 側に配置されていると、第 2 金属膜 9 U（第 2 ドレイン金属層 9 d 2 および第 2 ソース金属層 9 s 2）に含まれる第 2 の金属（特に Al、Cu）の金属酸化物層 7 への拡散を、第 1 金属膜 9 L（第 1 ドレイン金属層 9 d 1 および第 1 ソース金属層 9 s 1）によって抑制できる。

[0054] 本実施形態の半導体装置は、複数のメモリトランジスタ 10 A を有してもよい。複数のメモリトランジスタ 10 A は、何れも、上述したような電極構造を有していることが好ましい。この場合、書き込み動作を行った後の半導体装置は、半導体状態のメモリトランジスタ（メモリトランジスタ ST）と、抵抗体状態のメモリトランジスタ（メモリトランジスタ RT）とを含んでいる。メモリトランジスタ RT では、書き込み時の熱によってドレイン電極 9 d を構成する金属が融解し、その結果、ソースー金属酸化物層ードレイン間の電流経路が断たれる等のダメージが生じることを抑制できる。また、例えば基板 1 の法線方向から見ただけで、メモリトランジスタ ST、RT を区別することは困難となるので、セキュリティ性が高まる。

[0055] 金属酸化物層 7 に含まれる金属酸化物は、例えば In、Ga および Zn を含む酸化物である。金属酸化物層 7 は、In-Ga-Zn-O 系半導体を含む膜から形成され得る。ここで、In-Ga-Zn-O 系半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、Ga および Zn の割合（組成比）は特に限定されず、例えば In : Ga : Zn = 2 : 2 : 1、In : Ga : Zn = 1 : 1 : 1、In : Ga : Zn = 1 : 1 : 2 等を含む。本実施形態の金属酸化物層 7 は、In、Ga、Zn を、例えば In : Ga : Zn = 1 : 1 : 1 の割合で含む In-Ga-Zn-O 系金属酸化物層であってもよい。なお、書き込み前のメモリトランジスタ ST の金属酸化物層 7 は半導体層であるが、書き込み後のメモリトランジスタ RT では、金属酸化物層 7 の少なくともチャネル領域は半導体特性を示さない。

[0056] In-Ga-Zn-O 系半導体を含む膜を用いてメモリトランジスタ 10 A を形成する場合、共通の半導体膜を用いて、メモリトランジスタ 10 A と

同一基板上に、他のトランジスタ（酸化物半導体 T F T）を形成できるので有利である。そのような酸化物半導体 T F T は、高い移動度（a-S i T F T に比べ 20 倍超）および低いリーク電流（a-S i T F T に比べ 100 分の 1 未満）を有している。従って、半導体装置の消費電力を大幅に削減することが可能になる。

[0057] I n-G a-Z n-O 系半導体は、アモルファスでもよいし、結晶質部分を含んでもよい。結晶質 I n-G a-Z n-O 系半導体としては、c 軸が層面に概ね垂直に配向した結晶質 I n-G a-Z n-O 系半導体を用いてもよい。このような I n-G a-Z n-O 系半導体の結晶構造は、例えば、特開 2012-134475 号公報に開示されている。参考のために、特開 2012-134475 号公報の開示内容の全てを本明細書に援用する。

[0058] I n-G a-Z n-O 系半導体の代わりに、ジュール熱による低抵抗化が生じ得る他の半導体膜を用いてもよい。例えば N i O、S n O₂、T i O₂、V O₂、I n₂O₃、S r T i O₃ を含む半導体膜を用いてもよい。あるいは、Z n-O 系半導体（Z n O）、I n-Z n-O 系半導体（I Z O（登録商標））、Z n-T i-O 系半導体（Z T O）、C d-G e-O 系半導体、C d-P b-O 系半導体、C d O（酸化カドミウム）、M g-Z n-O 系半導体、I n-S n-Z n-O 系半導体（例えば I n₂O₃-S n O₂-Z n O）、I n-G a-S n-O 系半導体などを用いることもできる。さらに、これらの酸化物半導体に種々の不純物を添加した膜を使用してもよい。

[0059] <メモリトランジスタ 10A の動作>

メモリトランジスタ 10A は、例えば半導体状態（初期状態）を論理値「0」、抵抗体状態を論理値「1」に割り当てることにより、情報を不揮発的に記憶するメモリ回路に用いられ得る。以下、メモリトランジスタ 10A を用いたメモリ回路の構成および動作の一例を説明する。メモリ回路は、1 つまたは複数のメモリセルを有している。

[0060] 図 2 は、メモリ回路を構成する単一のメモリセルを例示する図である。メモリセルは、例えば、メモリトランジスタ 10A と、メモリトランジスタ 1

10Aに直列に接続されたメモリセル選択用のトランジスタ（「選択トランジスタ」と称する。）10aとを有している。メモリ回路は、例えば、複数のメモリセルがマトリクス状に配列された構成を有している。

[0061] 選択トランジスタ10aの構造は特に限定しないが、メモリトランジスタ10Aの金属酸化物層7と共通の酸化物半導体膜から形成された活性層を有していてもよい。これにより、メモリトランジスタ10Aと選択トランジスタ10aとを共通のプロセスを利用して簡便に製造できる。

[0062] 図2に示すメモリセルでは、選択トランジスタ10aにゲート電圧を印加してオン状態にすることにより、メモリトランジスタ10Aへの書き込みまたは読み出し動作が可能になる。

[0063] メモリトランジスタ10Aへの書き込みは、期間（書き込み時間） T_{pp} の間、メモリトランジスタ10Aのゲート電極に所定のゲート電圧 V_g を印加し、かつ、ドレイン電極に所定の書き込み電圧 V_{pp} を印加することにより行うことができる。この間、選択トランジスタ10aのソース電極は固定電圧（例えば接地電位）に接続しておく。これにより、期間 T_{pp} の間、メモリトランジスタ10Aのチャネル領域を書き込み電流 I_{pp} が流れる。書き込み電流 I_{pp} によるジュール熱により、チャネル領域を構成する酸化物半導体の化学組成比が変化し、チャネル領域が低抵抗化した抵抗体状態となる。

[0064] メモリトランジスタ10Aの読み出しは、メモリトランジスタ10Aのソースドレイン間に所定の電圧を印加することによって流れる電流（読み出し電流）のゲート電圧依存性を調べることによって行うことができる。具体的には、半導体状態にあるメモリトランジスタ10Aに流れる読み出し電流を I_t とすると、電流 I_t に対する読み出し時の読み出し電流 I_r の比によって容易に判別できる。なお、読み出しの際のゲート電圧 V_{gs} を、所定の電圧範囲内（例えば約0.5V以下）に設定すると、読み出し電流 I_t と読み出し電流 I_r との差が大きいため、メモリトランジスタ10Aの状態をより容易に判別できる。

[0065] <実施例>

ここで、実施例および参考例のメモリトランジスタ10(1)、10(2)を作製し、書き込みによるメモリトランジスタへのダメージを比較した。

[0066] 図3(a)および(b)は、それぞれ、実施例のメモリトランジスタ10(1)の断面図および平面図である。メモリトランジスタ10(1)は、ソース電極9sのうち金属酸化物層7上に位置する部分Qを第1ソース金属層9s1のみで構成し、第2ソース金属層9s2を金属酸化物層7上に配置していない点で、図1に示すメモリトランジスタ10Aと異なっている。他の構成は、メモリトランジスタ10Aと同様である。メモリトランジスタ10(1)では、第1ドレイン金属層9d1および第1ソース金属層9s1としてTi層、第2ドレイン金属層9d2および第2ソース金属層9s2としてAl層、金属酸化物層7としてIn-Ga-Zn-O系半導体層を形成した。また、メモリトランジスタ10(1)のチャネル長Lを、例えば、1μm以上20μm以下、チャネル幅を2μm以上1mm以下、金属酸化物層7の厚さを5nm以上500nm以下とした。

[0067] 参考例として、従来のボトムゲート・トップコンタクト型TFETに、積層構造を有するソースおよびドレイン電極を適用したトランジスタ構造を有するメモリトランジスタ10(2)を作製した。

[0068] 図4(a)および(b)は、それぞれ、参考例のメモリトランジスタ10(2)の断面図および平面図である。メモリトランジスタ10(2)は、第2ソース金属層9s2および第2ドレイン金属層9d2が金属酸化物層7上にも配置されている点でのみ、メモリトランジスタ10(1)と異なっている。すなわち、メモリトランジスタ10(2)では、ドレイン電極9dの部分Pが、比較的融点の低い金属から形成された第2ドレイン金属層9d2を含んでいる。その他の構成、各層の材料や厚さなどはメモリトランジスタ10(1)と同じである。

[0069] メモリトランジスタ10(1)および10(2)に対して、同じ条件で書き込み動作を行い、書き込み後の各トランジスタを観察した。ここでは、書

き込み条件としては、書き込み電圧 V_{ds} を 50 V、ゲート電圧 V_{gs} を 40 V、書き込み時間を 100 msec とした。

[0070] 図3(c)は書き込み後のメモリトランジスタ10(1)、図4(c)は書き込み後のメモリトランジスタ10(2)を示す上面図である。図4(c)から、参考例のメモリトランジスタ10(2)では、金属酸化物層7上に破壊痕Dが形成されていることが確認できる。破壊痕Dは、ドレイン電極9dのチャネル側の端部において金属が融解して破壊した痕と考えられる。書き込み後のメモリトランジスタ10(2)に対して読み出し動作を行ったが、ソースとドレインとの間で電流が流れなくなっており、読み出し電流の測定を行うことは困難である。これに対し、実施例では、図3(c)から分かるように、ドレイン電極9dの変形や破壊痕は全く認められず、読み出し動作も正常に行うことができる。よって、本実施形態によると、書き込み時に生じる熱によるメモリトランジスタの破壊を抑制できることが分かる。

[0071] <半導体装置の構成>

本実施形態は、メモリ回路を備えた電子機器に広く適用され得る。本実施形態の半導体装置は、メモリトランジスタ10Aを少なくとも1つ備えていればよく、その用途や構成は限定されない。例えば、不揮発性半導体記憶装置、集積回路(IC、LSI)、液晶表示装置や有機EL表示装置などの各種表示装置、各種表示装置に用いられるアクティブマトリクス基板であってもよい。

[0072] 半導体装置は、メモリトランジスタ10Aの活性層(金属酸化物層7)と共通の酸化物半導体膜から形成された活性層を有する薄膜トランジスタをさらに備えていてもよい。薄膜トランジスタは、回路を構成する回路素子であってもよい。

[0073] 本実施形態を表示装置のアクティブマトリクス基板に適用する場合、アクティブマトリクス基板の表示領域以外の領域(周辺領域)に、メモリトランジスタ10Aを含むメモリ回路を設けてもよい。周辺領域には、駆動回路などの周辺回路を構成する回路素子として、薄膜トランジスタ(回路用トラン

ジスタ）が形成されていてもよい。また、表示領域において、各画素に設けられるスイッチング素子として、薄膜トランジスタ（画素用トランジスタ）が形成されていてもよい。回路用トランジスタおよび画素用トランジスタは、メモリトランジスタ 10A の活性層と共通の酸化物半導体膜から形成された活性層と、メモリトランジスタ 10A のソースおよびドレイン電極と共通の積層導電膜から形成されたソースおよびドレイン電極を有していてもよい。回路用トランジスタおよび画素用トランジスタは、メモリトランジスタ 10A と同様のトランジスタ構造を有していてもよい。この場合、これらのトランジスタは、メモリトランジスタ 10A と共通のプロセスを利用して製造され得る。ただし、回路用トランジスタおよび画素用トランジスタには書き込みを行わないことから、基板の法線方向から見たときにドレイン電極のうち活性層およびゲート電極と重なる部分が、比較的融点の低い金属または合金を含んでいても構わない。

[0074] 以下、図面を参照しながら、本実施形態の半導体装置のより具体的な構成を説明する。

[0075] <アクティブマトリクス基板の構成>

本実施形態は、例えば液晶表示装置に用いられるアクティブマトリクス基板に適用され得る。

[0076] 図 5（a）は、アクティブマトリクス基板 1002 の一部を示す平面図である。アクティブマトリクス基板 1002 は、複数の画素 101 を含む表示領域 100 と、表示領域以外の領域（周辺領域）200 とを有している。

[0077] 表示領域 100 の各画素 101 には、スイッチング素子として薄膜トランジスタ（「画素用トランジスタ」と称する。）10T が形成されている。画素用トランジスタ 10T は、メモリトランジスタ 10A（図 1）と同様のトランジスタ構造を有していてもよい。または、図 5（b）に例示するように、ドレイン電極 9d のうち金属酸化物層 7 およびゲート電極 3 と重なる部分にも、第 2 ドレイン金属層 9d2 が形成されていてもよい。

[0078] 図示しないが、周辺領域 200 には、表示装置を構成する複数の回路（メ

メモリ回路や駆動回路など）の少なくとも一部がモノリシックに形成されている。周辺領域 200 に形成された回路を「周辺回路」と称する。本実施形態では、メモリトランジスタ 10A は、例えば周辺領域 200 に形成されたメモリ回路に用いられる。

[0079] 各画素 101 には、画素の列方向に沿って延びるソース配線 S と、画素の行方向に沿って延びるゲート配線 G と、画素電極 19 とが設けられている。画素用トランジスタ 10T は、ソース配線 S とゲート配線 G とが交差する点の近傍に配置されている。図示する例では、画素 101 には、ゲート配線 G と同一の導電膜から形成された容量配線 CS が設けられている。容量配線 CS 上には、容量部 20 が配置されている。

[0080] 本実施形態では、ソース配線 S、画素用トランジスタ 10T およびメモリトランジスタ 10A のソースおよびドレイン電極は、同一の配線（ソース配線層）内に形成されている。ソース配線層は、例えば、比較的融点の高い金属から形成された第 1 金属膜 9L（図 1）と、それよりも融点の低い金属から形成された第 2 金属膜 9U（図 1）とを含む積層構造を有していてもよい。

[0081] 周辺領域 200 には、ゲート配線 G またはソース配線 S を外部配線と接続するための複数の端子部 201 が設けられている。ソース配線 S は、表示領域 100 の端部まで延びて、ソース接続部 9sg と接続されている。ソース接続部 9sg は、ゲート配線 G と同一膜から形成されたゲート接続部 3sg と電氣的に接続される。この接続部を「ソース・ゲート接続部」30 と称する。ゲート接続部 3sg は周辺領域 200 まで延び、端子部（ソース端子）201 を介して、例えばソースドライバ（図示せず）に接続される。一方、図示しないが、ゲート配線 G も周辺領域 200 まで延びて、端子部（ゲート端子）を介して、例えばゲートドライバ（図示せず）と接続される。

[0082] 周辺領域 200 には、メモリ回路を含む複数の周辺回路（図示せず）がモノリシックに形成されている。例えばゲートドライバ、ソースドライバなどの駆動回路と、各駆動回路に接続されたメモリ回路とが形成されていてもよ

い。メモリ回路は、図 1 に示すメモリトランジスタ 10A を含んでいる。

[0083] アクティブマトリクス基板 1002 は、液晶表示装置などの表示装置に適用され得る。液晶表示装置は、例えば、図 5 (c) に示すように、アクティブマトリクス基板 1002 と、表面に対向電極 42 を有する対向基板 41 と、これらの間に配置された液晶層 43 とを備える。液晶層 43 には、画素電極 19 と対向電極 42 とによって画素ごとに電圧が印加され、これにより、表示が行われる。

[0084] 図 6 は、アクティブマトリクス基板 1002 を用いた液晶表示装置 2001 のブロック構成を例示する図である。図 7 (a) および (b) は、それぞれ、不揮発性記憶装置 60a ~ 60c を構成するメモリセル、および、液晶表示装置 2001 の画素回路の構成を示す概略図である。

[0085] 液晶表示装置 2001 は、複数の画素を含む表示部 71 を有している。表示部 71 は、アクティブマトリクス基板 1002 の表示領域 100 (図 5 (a)) に対応している。本実施形態では、表示部 71 には、複数の画素回路 70 がマトリクス状に配列されている。これらの画素回路 70 は、ソース線 SL1 ~ SLk、ゲート線 GL1 ~ GLj、及び、補助容量線 CSL1 ~ CSLj により相互に接続されている。

[0086] 各画素回路 70 は、図 7 (b) に示すように、画素用トランジスタ 10T、液晶容量 Clc、補助容量 Cs を有している。画素用トランジスタ 10T のソース電極はソース配線 S、ゲート電極はゲート配線 G と、ドレイン電極は画素電極 (図示せず) と接続されている。画素電極と、共通電極 COM とによって液晶容量 Clc が形成され、画素電極と、容量配線 CS とによって補助容量 Cs が形成されている。

[0087] 液晶表示装置 2001 は、また、ソース配線 S と電氣的に接続されたソースドライバ 75、ゲート配線 G と電氣的に接続されたゲートドライバ 76、容量配線 CS に電氣的に接続された CS ドライバ 77、および、共通電極を駆動する共通電極駆動回路 74 を備えている。これらの駆動回路 75、76、77、74 は、タイミングやソース配線 S、ゲート配線 G、容量配線 CS

および共通電極に印加する電圧を制御する表示制御回路 73 と、これらの回路に電源を供給する電源回路（図示せず）とに接続されている。さらに、ソースドライバ 75、ゲートドライバ 76 および表示制御回路 73 は、それぞれ、不揮発性記憶装置 60a、60b、60c に接続されている。不揮発性記憶装置 60a、60b、60c は共通メモリ制御回路部 61 に接続されている。

[0088] 不揮発性記憶装置 60a、60b、60c は、例えば、複数のメモリセルがアレイ状に配列された構成を有している。メモリセルは、メモリトランジスタ 10A を含んでいる。メモリセルは、図 2 を参照しながら前述した構成を有していてもよい。あるいは、図 7（a）に例示するように、図 2 に示す選択トランジスタ 10a の代わりに、並列に接続された 2 個または 2 以上の選択トランジスタ 10a、10b を有してもよい。

[0089] 不揮発性記憶装置 60a には、ディスプレイパネルの構成情報や固有 ID 等が格納されている。これらの不揮発性記憶装置 60a に記憶された情報は、表示制御回路 73 により参照され、これらの情報に基づいて詳細な表示制御方法の切り替え、或いは、制御パラメータの最適化が行われる。また、固有 ID 等は、ディスプレイパネルと接続するシステム側からの照会が可能であり、ディスプレイパネルの判別や、最適な駆動方法の選択等に利用される。表示制御回路 73 は、不揮発性記憶装置 60a に格納された情報に基づいて表示制御のために使用する回路を切り替え、最適なディスプレイの表示制御を実現する。

[0090] 不揮発性記憶装置 60b には、ゲートドライバの冗長救済情報等、ゲートドライバの駆動に必要な構成パラメータの情報が格納されている。同様に、不揮発性記憶装置 60c には、ソースドライバの冗長救済情報等、ソースドライバの駆動に必要な構成パラメータの情報が格納されている。

[0091] 不揮発性記憶装置 60a、60b、60c の少なくとも一部と、表示部 71 以外に設けられる回路 73、74、75、76、77、61 の少なくとも一部とは、アクティブマトリクス基板 1002 の周辺領域 200（図 5（a

））にモノリシックに形成されている。本実施形態では、例えばゲートドライバ76が、アクティブマトリクス基板にモノリシックに形成されている。

[0092] 次に、図面を参照しながら、アクティブマトリクス基板1002の製造方法の一例を説明する。

[0093] 図8～図13は、アクティブマトリクス基板1002の製造方法を説明するための工程図であり、各図の（a）および（b）は断面図、（c）は上面図である。これらの図では、アクティブマトリクス基板1002におけるメモリトランジスタ10A、10Bを形成する領域R（10A）およびR（10B）、容量部20を形成する領域R（20）、ゲート・ソースコンタクト部30を形成する領域R（30）およびゲート・ソース交差部40を形成する領域R（40）をそれぞれ示している。ゲート・ソース交差部40は、ゲート配線またはゲート配線と同一の導電膜から形成された導電層と、ソース配線またはソース配線と同一の導電膜から形成された導電層とが、絶縁層を介して交差する部分を指す。なお、これらの図では、便宜上、メモリトランジスタ10A、10Bや容量部20などの形成領域を並べて示しているが、これらの形成領域の配置は図示する配置に限定されない。また、半導体装置1002は、2種類のメモリトランジスタ10A、10Bを備えている必要はなく、いずれか一方のメモリトランジスタを備えていけばよい。

[0094] まず、基板1上に、例えばスパッタリング法でゲート用導電膜を形成し、これを周知のドライエッチング法でパターニングする。これにより、図8（a）～図8（c）に示すように、ゲート・ソースコンタクト部形成領域R（30）にゲート接続部3sg、ゲート・ソース交差部形成領域R（40）にゲート配線G、メモリトランジスタ形成領域R（10A）にゲート電極3A、容量部形成領域R（20）に容量配線CS、メモリトランジスタ形成領域R（10B）にゲート電極3Bをそれぞれ形成する。ゲート用導電膜から形成されたこれらの配線および電極を含む層を「ゲート配線層」と称する。

[0095] 基板1としては、例えばガラス基板などの透明絶縁性の基板を用いることができる。ゲート用導電膜として、例えばアルミニウム（Al）、クロム（

Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、またはタングステン(W)などの単層膜、それらを2層以上積層した積層膜、あるいは上記の金属元素のうち2以上の元素を成分とする合金膜を用いてもよい。例えば、基板1側からTi膜、Al膜およびTi膜をこの順で有する3層膜(Ti/Al/Ti)、Mo膜、Al膜およびMo膜をこの順で有する3層膜(Mo/Al/Mo)等を用いることができる。本実施形態では、一例として、基板1から、厚さが10~100nmのTi膜、厚さが50~500nmのAl膜、および厚さが50~300nmのTi膜をこの順で有する3層膜(Ti/Al/Ti)を用いる。

[0096] この後、ゲート配線層を覆うようにゲート絶縁膜5を形成する。ゲート絶縁膜5は、例えばプラズマCVD法、スパッタリング法などにより形成される。ゲート絶縁膜5としては、例えば、酸化シリコン膜(SiO₂)、窒化シリコン膜(SiN)、酸化窒化シリコン膜(SiNO)、窒化酸化シリコン膜(SiON)、酸化アルミニウム(Al₂O₃)、酸化タンタル(Ta₂O₅)から選択される単層または2層以上の積層膜を用いてもよい。本実施形態では、一例として、基板1側から、厚さが100~500nmのSiN膜、および厚さが20~100nmのSiO₂膜をこの順で有する2層膜を使用する。

[0097] 続いて、ゲート絶縁膜5上に、例えばスパッタリング法で酸化物半導体膜(厚さ:例えば5~500nm)を形成した後、周知のウェットエッチング法で酸化物半導体膜のパターニングを行う。これにより、図9(a)~図9(c)に示すように、メモリトランジスタ形成領域R(10A)に金属酸化物層7A、メモリトランジスタ形成領域R(10B)に金属酸化物層7Bをそれぞれ形成する。金属酸化物層7A、7Bは、それぞれ、対応するゲート電極3A、3Bにゲート絶縁膜5を介して重なるように配置される。ここでは、ゲート電極3A、3Bのチャネル方向の幅を略等しくし、金属酸化物層7Aのチャネル方向の幅を、金属酸化物層7Bのチャネル方向の幅よりも小さくしている。例えば、図示するように、金属酸化物層7Aのチャネル方向

の幅を、ゲート電極 3 A のチャネル方向の幅よりも小さく、金属酸化物層 7 B のチャネル方向の幅を、ゲート電極 3 B のチャネル方向の幅よりも大きくしてもよい。このような構成により、ゲート電極 3 A、3 B とソース・ドレイン電極とが重なる部分に形成される寄生容量を増大させることなく、チャネル長の異なるトランジスタ構造を作り分けることができる。

[0098] 酸化物半導体膜として、例えば In 、 Ga および Zn を含む酸化物半導体膜を用いることができる。本実施形態では、 In-Ga-Zn-O 系のアモルファス酸化物半導体膜（厚さ：例えば $5 \sim 500 \text{ nm}$ ）を用いる。この半導体膜は、 n 型の金属酸化物半導体であり、低温で形成される。 In-Ga-Zn-O 系酸化物半導体膜における各金属元素の組成比 $\text{In} : \text{Ga} : \text{Zn}$ は、例えば $1 : 1 : 1$ である。この組成比を基準として組成比が調整されても本発明の効果を奏する。

[0099] 次に、図 10 (a) ~ (c) に示すように、ゲート絶縁膜 5 および金属酸化物層 7 A、7 B の上に、ソース用導電膜 9 として、第 1 金属膜 9 L を下層とし、第 2 金属膜 9 U を上層とする積層膜を形成した後、1 回目のパターニングを行う。

[0100] 第 1 金属膜 9 L は、比較的融点の高い金属（合金を含む）から形成された金属膜であってもよい。または、比較的融点の高い金属窒化物等の金属化合物からなる膜であってもよい。第 1 金属膜 9 L は、例えば W 、 Ta 、 Ti 、 Mo 、 Cr などの金属膜であり得る。第 2 金属膜 9 U は、比較的融点の低い金属（合金を含む）から形成された金属膜であってもよい。または、比較的融点の低い金属窒化物等の金属化合物からなる膜であってもよい。第 2 金属膜 9 U は、例えば Cu 、 Al などの金属膜であり得る。ソース用導電膜は、例えば Ti 膜を下層、 Al 膜を上層とする Ti 膜- Al 膜の 2 層構造、 Mo 膜を下層、 Al 膜を上層とする Mo 膜- Al 膜の 2 層構造、または、これらの 2 層を含む 3 層以上の積層構造を有していてもよい。ここでは、例えばスパッタリング法で、第 1 金属膜 9 L として Ti 膜（厚さ： $10 \sim 100 \text{ nm}$ ）、第 2 金属膜 9 U として Al 膜（厚さ： $50 \sim 400 \text{ nm}$ ）を連続して形

成する。

[0101] 第1および第2金属膜9L、9Uを含むソース用導電膜9に対し、例えばウェットエッチングで1回目のパターニングを行う。ウェットエッチングは、第2金属膜9Uのみをエッチングし、第1金属膜9Lをエッチングしない条件で行う。これにより、第2金属膜9Uのうち、メモリトランジスタ10A、10Bの金属酸化物層7A、7B上に位置する部分にそれぞれ開口が形成される。これらの開口では第1金属膜9Lが露出する。各開口は、金属酸化物層7A、7Bにおけるドレインコンタクト領域となる領域全体とチャンネル領域となる領域の一部とを含む部分上に設けられる。

[0102] 次いで、図11(a)～(c)に示すように、ソース用導電膜9上に、メモリトランジスタ10A、10Bのチャンネル領域となる領域上に開口部を有するレジスト層Mを形成する。この後、レジスト層Mを用いて、ソース用導電膜に対する2回目のパターニングを行う。2回目のパターニングでは、例えば、レジスト層Mをマスクとして、ウェットエッチングで第2金属膜9Uを除去し、次いで、ドライエッチングで第1金属膜9Lを除去する。これにより、第1および第2金属膜9L、9Uのうち金属酸化物層7A、7Bのチャンネル領域となる領域上に位置する部分を除去する（ソースードレイン分離）。

[0103] このようにして、メモリトランジスタ形成領域R(10A)、R(10B)にソース電極9sA、9sBおよびドレイン電極9dA、9dBが形成される。また、ゲート・ソースコンタクト部形成領域R(30)にソース接続部9sg、ゲート・ソース交差部形成領域R(40)にソース配線S、容量部形成領域R(20)に容量電極9csが形成される。ソース用導電膜から形成されたこれらの配線および電極を含む層を「ソース配線層」と称する。ソース電極9sA、9sBは、第1金属膜9Lから形成された第1ソース金属層9s1A、9s1Bを下層とし、第2金属膜9Uから形成された第2ソース金属層9s2A、9s2Bを上層とする積層電極（あるいは積層配線）である。同様に、ドレイン電極9dA、9dBは、第1金属膜9Lから形成

された第1ドレイン金属層9d1A、9d1Bを下層とし、第2金属膜9Uから形成された第2ドレイン金属層9d2A、9d2Bを上層とする積層電極（あるいは積層配線）である。

[0104] ここでは、第2金属膜9Uはウェットエッチングでパターニングされるため、ソース配線層において、第2金属膜9Uの端部は、基板1の法線方向から見たとき、レジスト層Mの端部よりも内側に位置する。これに対し、第1金属膜9Lはドライエッチングでパターニングされるため、基板1の法線方向から見たとき、第1金属膜9Lの端部とレジスト層Mの端部とは略整合する。従って、基板1の法線方向からソース配線層を見たとき、第2金属膜9Uは、第1金属膜9Lの輪郭の内部に位置する。断面図においては、第2金属膜9Uの端部は、第1金属膜9L上に位置する。また、第1回目のパターニングで、ドレインコンタクト領域となる領域上の第2金属膜9Uは除去されているため、金属酸化物層7A、7Bのドレインコンタクト領域上には第1金属膜9Lのみが残る。

[0105] ソース電極9sAとドレイン電極9dAとは、互いに電氣的に分離し、かつ、金属酸化物層7Aの一部とそれぞれ接するように配置される。同様に、ソース電極9sBとドレイン電極9dBとは、互いに電氣的に分離し、かつ、金属酸化物層7Bの一部とそれぞれ接するように配置される。基板1の法線方向から見たとき、金属酸化物層7A、7Bのうち対応するゲート電極3A、3Bと重なり、かつ、ソース電極9sA、7sBとドレイン電極9dA、7dBとの間に位置する領域がチャネル領域7cA、7cBとなる。本実施形態では、例えば、メモリトランジスタ形成領域R（10A）において、基板1の法線方向から見たとき、チャネル領域7cAがU字形となるように、ソース電極9sAおよびドレイン電極9dAを配置する。一方、メモリトランジスタ形成領域R（10B）において、基板1の法線方向から見たとき、チャネル領域7cBが矩形となるように、ソース電極9sBおよびドレイン電極9dBを配置する。

[0106] このようにして、メモリトランジスタ10A、10Bが形成される。何れ

のトランジスタ 10A、10Bでも、ドレイン電極 9dA、9dBのうち、金属酸化物層 7A、7Bおよびゲート電極 3A、3Bの両方と重なる部分は第1金属膜 9Lのみから構成され、第2金属膜 9Uを含まない。一方、ソース電極 9sA、9sBのうち、金属酸化物層 7A、7Bおよびゲート電極 3A、3Bの両方と重なる部分は、第1金属膜 9Lおよび第2金属膜 9Uを含む。

[0107] また、容量部形成領域 R (20) に、容量配線 CS と、容量電極 9cs と、その間に位置する誘電体層（ここではゲート絶縁膜 5）とを有する容量部 20 が形成される。ゲート・ソース交差部形成領域 R (40) には、ゲート配線 G とソース配線 S とがゲート絶縁膜 5 を介して交差するゲート・ソース交差部 40 が形成される。ゲート・ソースコンタクト部形成領域 R (30) において、ソース接続部 9sg は、ゲート絶縁膜 5 を介して、ゲート接続部 3sg の一部と重なるように配置される。

[0108] なお、図示しないが、画素用トランジスタ 10T (図 5 (a)、(b) 参照) や回路用トランジスタも、メモリトランジスタ 10A、10B と共通のプロセスで形成され得る。画素用トランジスタ 10T や回路用トランジスタでは、図 5 (b) に例示するように、ドレイン電極の第2金属膜 9U が金属酸化物層 7 上に配置されていても構わない。

[0109] 次いで、図 12 (a) ~ 図 12 (c) に示すように、例えばプラズマ CVD 法またはスパッタリング法で、ソース配線層を覆うように保護膜（パッシベーション膜） 11 を形成する。保護膜 11 として、例えば、酸化シリコン膜 (SiO_2)、窒化シリコン膜 (SiN)、酸化窒化シリコン膜 (SiNO)、窒化酸化シリコン膜 (SiON)、酸化アルミニウム (Al_2O_3)、酸化タンタル (Ta_2O_5) から選択される単層または2層以上の積層膜を用いてもよい。本実施形態では、一例として、保護膜 11 として、CVD 法により SiO_2 膜（厚さ：例えば 50 ~ 500 nm）を用いる。

[0110] この後、大気雰囲気中で、200 ~ 400 °C の温度で、30 分 ~ 4 時間程度のアニーリングを行う。これにより、ソース電極 9sA、9sB およびド

レイン電極 9 d A、9 d B と金属酸化物層 7 A、7 B との界面に、反応層が形成される。このため、ソース電極 9 s A、9 s B およびド레인電極 9 d A、9 d B と金属酸化物層 7 A、7 B とのコンタクト抵抗を低減できる。

[0111] この後、図 13 (a) ~ (c) に示すように、必要に応じて、パッシベーション膜 11 上に平坦化膜を形成してもよい。本実施形態では、平坦化膜として、例えば、感光性樹脂等の有機絶縁膜 13 を形成する。有機絶縁膜 13 は、公知のフォトリソ法（露光、現像、ベーク）によりパターンニングされる。これにより、有機絶縁膜 13 のうちゲート・ソースコンタクト部形成領域 R (30) 上に位置する部分に開口部を形成する。この後、有機絶縁膜 13 をマスクとして、ゲート絶縁膜 5 およびパッシベーション膜 11 のエッチングを行う。エッチングでは、ソース接続部 9 s g およびゲート接続部 3 s g はエッチストップとして機能する。このため、ゲート絶縁膜 5 のうちソース接続部 9 s g で覆われた部分はエッチングされずに残る。このようにして、ゲート接続部 3 s g およびソース接続部 9 s g の表面を露出するコンタクトホール 15 を得る。

[0112] 続いて、コンタクトホール 15 内および有機絶縁膜 13 上に導電膜を形成し、パターンニングを行う。これにより、ゲート・ソースコンタクト部形成領域 R (30) において、コンタクトホール 15 内で、ゲート接続部 3 s g とソース接続部 9 s g とを電氣的に接続する上部導電層 17 を得る。このようにして、ゲート・ソースコンタクト部 30 が形成される。

[0113] 本実施形態では、導電膜として、ITO 膜（厚さ：例えば約 20 nm ~ 300 nm）などの透明導電膜を用いる。なお、この導電膜から、各画素に形成される画素電極 19（図 5 (a)）も形成され得る。このようにして、アクティブマトリクス基板 1002 が得られる。

[0114] 本実施形態の半導体装置は、アクティブマトリクス基板 1002 やそれを用いた表示装置に限定されない。本実施形態は、酸化物半導体 TFT と不揮発性メモリとを備えるデバイスに好適に適用され得る。例えば、メモリトランジスタ 10A は比較的低温（例えば 200℃以下）で製造可能であるため

、ICタグ等にも適用され得る。この場合、メモリトランジスタ10Aは1Dの記憶に利用され得る。さらに、酸化物半導体膜として透明な金属酸化物膜を用いることができるので、デジタルサイネージ向けの大容量記憶装置に利用することもできる。記憶装置以外にも、ASIC (Application Specific Integrated Circuit) やFPGA (Field-Programmable Gate Array) 等のプログラム可能な論理回路装置に適用することも可能である。

[0115] <メモリトランジスタ10Aの電気的特性>

ここで、図14～図20を参照しながら、メモリトランジスタ10Aの電気的特性を説明する。

[0116] メモリトランジスタ10Aとして、金属酸化物層7としてIn-Ga-Zn-O系の酸化物半導体を用いたnチャネル型の薄膜トランジスタを作製し、書き込み前および書き込み後の電気的特性を測定した。測定に用いたメモリトランジスタ10Aのチャネル長 L_1 を $4\mu\text{m}$ 、チャネル幅 W_1 を $20\mu\text{m}$ 、活性層（金属酸化物層）7Aの厚さを $20\sim 100\text{nm}$ 、チャネル領域7cAの平面形状を矩形またはU字形とした。

[0117] メモリトランジスタ10Aは、製造された直後（初期状態）には、通常の薄膜トランジスタと同様にトランジスタ特性を示す。すなわち、ドレイン電流 I_{ds} （ドレイン電極からソース電極に流れる電流）は、ゲート電圧 V_{gs} （ソース電極を基準としてゲート電極に印加される電圧）およびドレイン電圧 V_{ds} （ソース電極を基準としてドレイン電極に印加される電圧）のそれぞれに依存して変化する。

[0118] 図14(a)は、メモリトランジスタ10Aの初期状態における、 $V_{ds}=0.1\text{V}$ および $V_{ds}=10\text{V}$ の場合の $I_{ds}-V_{gs}$ 特性を示す図である。図14(b)は、メモリトランジスタ10Aの初期状態において、 V_{gs} を0から7Vまで1Vごとに変化させた場合の $I_{ds}-V_{ds}$ 特性を示す図である。なお、図14(a)および(b)におけるドレイン電流 I_{ds} の値は、単位ゲート幅（ $1\mu\text{m}$ ）あたりのドレイン電流（単位ドレイン電流）

の値を示している。

[0119] 図14(a)および(b)より明らかなように、初期状態のメモリトランジスタ10Aでは、ゲート電圧 V_{gs} が約0.5V以下の範囲(特定電圧範囲)であり、かつ、ドレイン電圧 V_{ds} が0.1V以上10V以下の範囲において、単位ドレイン電流は極めて微小(例えば $1 \times 10^{-14} \text{ A} / \mu\text{m}$ 以下)となる。これは、実質的にオフ状態である。ゲート電圧 V_{gs} が上記特定電圧範囲よりも大きくなると、ゲート電圧 V_{gs} の増加とともにドレイン電流 I_{ds} も増加する(図14(a))。また、ドレイン電圧 V_{ds} の増加とともにドレイン電流 I_{ds} も増加する(図14(b))。

[0120] このような初期状態(半導体状態ともいう。)のメモリトランジスタ10Aに対して書き込み動作を行って、書き込み後の電気的特性を調べた。書き込みは、メモリトランジスタ10Aに所定のゲート電圧 V_{gs} およびドレイン電圧 V_{ds} を印加し、チャネル領域7cAに大きなドレイン電流を流すことによって行う。ドレイン電流により、金属酸化物層7Aに局所的にジュール熱が発生し、チャネル領域7cAの電気抵抗を低下させることができる。なお、書き込みの際のゲート電圧 V_{gs} は、例えば、回路動作によって回路用トランジスタに印加されるゲート電圧の範囲より高い電圧に設定される。ここでは、メモリトランジスタ10Aに、ドレイン電圧 V_{ds} : 24V、ゲート電圧 V_{gs} : 30Vを印加して書き込みを行った。書き込み時間(ドレイン電流 I_{ds} の通電時間)を100m秒とした。

[0121] 図15(a)は、メモリトランジスタ10Aの書き込み動作後における、 $V_{ds}=0.1\text{V}$ および $V_{ds}=10\text{V}$ の場合の $I_{ds}-V_{gs}$ 特性を示す図である。図15(b)は、メモリトランジスタ10Aの書き込み動作後において、 V_{gs} を0から7Vまで1Vごとに変化させた場合の $I_{ds}-V_{ds}$ 特性を示す図である。

[0122] また、図16は、書き込み前後の電気的特性を比較するため、書き込み前(初期状態)および書き込み後のメモリトランジスタ10Aにおける、 $V_{gs}=0\text{V}$ の場合の原点付近の $I_{ds}-V_{ds}$ 特性を拡大して示す図である。

線 R 1 は書き込み前の $I_{ds} - V_{ds}$ 特性、線 T 1 は書き込み後の $I_{ds} - V_{ds}$ 特性を表している。

[0123] 図 1 7 は、書き込み前後のメモリトランジスタ 10 A の $I_{ds} - V_{gs}$ 特性を重ね合わせて示す図である。線 T 2 および T 3 は、それぞれ、 V_{ds} が 0.1 V および 10 V のときの書き込み前の $I_{ds} - V_{gs}$ 特性を表している。線 R 2 および R 3 は、それぞれ、 V_{ds} が 0.1 V および 10 V のときの書き込み後の $I_{ds} - V_{gs}$ 特性を表している。

[0124] 図 1 8 は、書き込み前後のメモリトランジスタ 10 A の、 $I_{ds} - V_{ds}$ 特性から得られる微分抵抗 (dV_{ds}/dI_{ds} 、単位: $\Omega \mu m$) とドレイン電圧 V_{ds} との関係を示す図である。線 T 4、T 5 は、それぞれ、ゲート電圧 V_{gs} が 0 V および 7 V のときの、書き込み前の dV_{ds}/dI_{ds} と V_{ds} との関係を表している。線 R 4、R 5 は、それぞれ、ゲート電圧 V_{gs} が 0 V および 7 V のときの、書き込み後の dV_{ds}/dI_{ds} と V_{ds} との関係を表している。

[0125] 図 1 5 (a) および (b) から明らかなように、書き込み後のメモリトランジスタ 10 A では、ドレイン電流 I_{ds} は、ゲート電圧 V_{gs} に殆ど依存せず、主としてドレイン電圧 V_{ds} に依存して変化する。ドレイン電圧 V_{ds} が一定であれば、ドレイン電流 I_{ds} はほぼ一定値である。また、 $I_{ds} - V_{ds}$ 特性の各ゲート電圧 V_{gs} における $I-V$ 曲線は、ゲート電圧 V_{gs} にかかわらず、ほぼ直線状であり、かつ、原点 ($I_{ds} = 0 A/\mu m$ 、 $V_{ds} = 0 V$) を通過する。すなわち、書き込み後のメモリトランジスタ 10 A は、オーミックな抵抗特性を呈する抵抗体であることが分かる。原点における微分抵抗 (dV_{ds}/dI_{ds}) は無限大でも 0 でも無い有限値を有する。

[0126] 初期状態のメモリトランジスタ 10 A では、ドレイン電圧 V_{ds} が一定とすると、ドレイン電流 I_{ds} はゲート電圧 V_{gs} に大きく依存して変化する。また、ゲート電圧 V_{gs} が特定電圧範囲内 (例えば約 0.5 V 以下) にある場合、ドレイン電流 I_{ds} は殆ど流れず、実質的にオフ状態である。これ

に対し、書き込み後においては、ドレイン電圧 V_{ds} が一定とすると、ゲート電圧 V_{gs} にかかわらず、一定のドレイン電流 I_{ds} が流れる。ゲート電圧 V_{gs} が特定電圧範囲内にある場合、ドレイン電圧が例えば 0.1 V 以上 10 V 以下の範囲であれば、単位ドレイン電流は $1 \times 10^{-11}\text{ A}/\mu\text{m}$ 以上となる。

[0127] このように、メモリトランジスタ 10 A では、半導体状態のとき、ドレイン電圧の絶対値が 0.1 V 以上 10 V 以下の範囲内において、単位チャネル幅当たりのドレイン電流 I_{ds}/W_1 の絶対値が、例えば $1 \times 10^{-14}\text{ A}/\mu\text{m}$ 以下の微小電流状態となるゲート電圧の電圧範囲が存在する。抵抗体状態に変化した後は、ドレイン電圧の絶対値が 0.1 V 以上 10 V 以下の範囲内において、ゲート電圧を上記の電圧範囲内に設定した場合でも、単位チャネル幅当たりのドレイン電流 I_{ds}/W_1 の絶対値は、ドレイン電圧に応じて、例えば $1 \times 10^{-11}\text{ A}/\mu\text{m}$ 以上の電流状態となる。

[0128] さらに、図 18 から分かるように、初期状態における微分抵抗 dV_{ds}/dI_{ds} は、ゲート電圧 V_{gs} により変化する。これに対し、書き込み後における微分抵抗 dV_{ds}/dI_{ds} は、ゲート電圧 V_{gs} により変化しない。

[0129] 次に、メモリトランジスタ 10 A の書き込み動作について更に説明を追加する。メモリトランジスタ 10 A の書き込み動作は、高電流密度のドレイン電流 I_{ds} を、チャネル領域 $7c\text{ A}$ に一定の書き込み時間流すことで実行される。高電流密度のドレイン電流 I_{ds} は、書き込み動作以外の回路動作においてメモリトランジスタ 10 A に印加されるゲート電圧 V_{gs} およびドレイン電圧 V_{ds} の電圧範囲よりも高いバイアス状態で流れる。所定の高電流密度のドレイン電流 I_{ds} が一定の書き込み時間流れることにより、チャネル領域 $7c\text{ A}$ にジュール熱とエレクトロマイグレーションが発生する。これにより、チャネル領域 $7c$ （金属酸化物層 7 ）を構成する金属酸化物の組成が変化して、低抵抗化が誘起されるものと考えられる。なお、金属酸化物層 7 の厚さを一定とすると、単位ドレイン電流（単位： $\text{A}/\mu\text{m}$ ）は、ドレイ

ン電流の電流密度（単位： A/m^2 ）と比例関係にある。単位ドレイン電流（単位： $A/\mu m$ ）を大きくすることにより、ドレイン電流の電流密度（単位： A/m^2 ）が大きくなる。本実施形態では、書き込み動作時の単位ドレイン電流を例えば $1\mu A/\mu m \sim 1mA/\mu m$ 程度、書き込み時間を例えば $10\mu s \sim 100s$ 程度とする。書き込み時のゲート電圧 V_{gs} は、例えば $0V$ より大きく $200V$ 以下、好ましくは $20V$ 以上 $100V$ 以下に設定される。書き込み時のドレイン電圧 V_{ds} は、例えば $0V$ より大きく $200V$ 以下、好ましくは $20V$ 以上 $100V$ 以下に設定される。ただし、書き込み時の電圧 V_{gs} 、 V_{ds} は上記範囲に限定されず、所望の単位ドレイン電流が流れるように適宜設定され得る。また、書き込み動作時の単位ドレイン電流および書き込み時間も、上述の数値範囲に限定されない。単位ドレイン電流および書き込み時間は、金属酸化物層 7 A に使用する金属酸化物半導体の種類や厚さ、メモリトランジスタ 10 A の素子構造などに依存して変化し得る。

[0130] メモリトランジスタ 10 A の電気的特性は、メモリトランジスタ 10 A で発生するジュール熱が大きいほど変化しやすい。例えば、書き込み時の単位ドレイン電流 I_{ds} を大きくすると、より大きなジュール熱を生じさせることができる。

[0131] 図 19 に、書き込み時間（単位： ms ）と単位ドレイン電流（単位： $A/\mu m$ ）との関係の一例を示す。図 19 から、単位ドレイン電流が大きい程、ジュール熱が大きくなり、書き込み時間を短縮できることが分かる。

[0132] 書き込み時の単位ドレイン電流は、書き込み時のゲート電圧 V_{gs} を高くする、あるいは、ゲート絶縁膜 5 の容量を高めることにより増加させることができる。ただし、書き込み時のゲート電圧 V_{gs} はゲート絶縁膜 5 の絶縁破壊電圧よりも低い値に設定される。従って、書き込み時のゲート電圧 V_{gs} をさらに高くするためには、ゲート絶縁膜 5 の絶縁破壊電圧を高めることが好ましい。このような観点から、本実施形態では、ゲート絶縁膜 5 に比誘電率の高い材料を使用して、電気容量を大きくしている。比誘電率の高い絶縁材料として、例えば、窒化シリコン膜（SiN）または酸化窒化シリコン

膜 (SiNO) を用いてもよい。これらの比誘電率は、酸化シリコン膜 (SiO_2) の比誘電率よりも高い。また、誘電率の大きい材料の選択とは別に、または併せて、ゲート絶縁膜 5 の厚さを大きくすることにより、ゲート絶縁膜 5 にかかる電界強度を低く抑えてもよい。これにより、ゲート絶縁膜 5 の絶縁破壊電圧を低減できる。なお、比誘電率の高い絶縁膜として、窒化シリコン膜 (SiN) や窒化酸化シリコン膜 (SiON) を CVD 法で形成すると、これらの膜中に水素が含まれる。このため、 SiN 膜または SiON 膜と金属酸化物層 7A である金属酸化物層とが接していると、水素が酸化物半導体の酸素と反応する結果、金属酸化物層 7A が導電体に近づく可能性がある。そこで、金属酸化物層 7A と窒化シリコン膜 (SiN) や酸化窒化シリコン膜 (SiNO) とが直接接触しないように、これらの間に、膜中の水素濃度の低い酸化シリコン膜 (SiO_2) または窒化酸化シリコン膜 (SiON) を挿入してもよい。

[0133] 本実施形態のメモリトランジスタは、ジュール熱を発生しやすい構造、あるいは、発生したジュール熱を拡散し難い構造を有していると、より高い書き込み特性を実現できる。例えばチャネル領域の平面形状によって、ジュール熱をさらに効率的に利用し、書き込み時間をさらに短縮できる。具体的には、チャネル領域の平面形状が例えば U 字形であれば、矩形よりも、書き込みに要する時間を短縮できる。

[0134] 図 20 は、チャネル領域の平面形状と書き込み時間との関係を示す図である。横軸は、ゲート電圧 V_{gs} および書き込み電圧 V_{ds} (ただし、 $V_{gs} = V_{ds}$ とする)、縦軸は書き込み時間である。ここでは、チャネル領域の平面形状が矩形であるメモリトランジスタと、チャネル領域の平面形状が U 字形であるメモリトランジスタとについて、書き込み時間を調べた。なお、これらのメモリトランジスタのチャネル幅およびチャネル長は等しく、また、チャネル領域の平面形状以外の構成 (活性層の厚さ、ゲート絶縁膜の材料や厚さなど) も同じとした。

[0135] 図 20 に示す結果から、チャネル領域を U 字形にすることにより、矩形の

場合よりも、書き込み電流によって生じたジュール熱をより効率的に書き込みに利用できることが分かる。この理由は、次のように考えられる。U字形のチャネル領域を形成する場合、基板の法線方向から見たとき、ドレイン電極およびソース電極のうち一方が他方によって囲まれる構造となる。このため、囲まれた方の電極側で電流密度が高くなって、他方の電極側よりも大きなジュール熱が発生する。この結果、ジュール熱による酸化物半導体の低抵抗化が進み、書き込み動作が促進される。特に、囲まれる方の電極をドレイン電極とすると、すなわちチャネル領域のU字形の外側にソース電極、U字形の内側にドレイン電極を配置すると、金属酸化物層のドレイン側で生じる熱量を大きくできるので、書き込み速度をさらに高めることが可能になる。従って、U字形のチャネル領域を有するメモリトランジスタに本実施形態の電極構造を適用すると、より顕著な効果が得られる。なお、チャネル領域の平面形状はU字形に限定されず、局所的に電流密度が高くなるような形状を有していれば、同様の効果を呈する。

[0136] <メモリトランジスタの構成例>

メモリトランジスタの書き込み動作時のドレイン電流 I_{ds} をさらに大きくするために、金属酸化物層 7 におけるゲート電極 3 と反対側に、他のゲート電極 18 を設けてもよい。

[0137] 図 21 (a) および (b) は、本実施形態における他のメモリトランジスタの構成を例示する平面図および断面図である。この例では、金属酸化物層 7 の上方に、層間絶縁層（ここではパッシベーション膜 11 および有機絶縁膜 13）を介して上部ゲート電極 18 が設けられている。上部ゲート電極 18 は、基板 1 の法線方向から見たとき、金属酸化物層 7 の少なくともチャネル領域 7c と重なるように配置されている。上部ゲート電極 18 は、例えば画素電極と共通の透明導電膜から形成された透明電極であってもよい。また、上部ゲート電極 18 と、金属酸化物層 7 の基板 1 側にあるゲート電極（ゲート配線）3 とは、コンタクトホール CH を介して接続されていてもよい。これにより、他のゲート電極 18 とゲート電極 3 とが同電位となるので、バ

ックゲート効果によりドレイン電流 I_{ds} をさらに大きくできる。このように、メモリトランジスタに上部ゲート電極 18 を設けることにより、ゲート電圧 V_{gs} を大幅に高めることなく、ジュール熱を増加させ、書き込み時間を短縮することが可能になる。なお、図 21 に示す例では、上部ゲート電極 18 は透明電極として示されているが、透明電極でなくてもよい。また、チャネル領域 7c の平面形状は U 字形であるが、矩形または他の形状であってもよい。

[0138] 本実施形態のメモリトランジスタは、後述するように、チャネル領域 7c の表面と接するようにエッチストップ層を設けたエッチストップ構造を有していてもよい。あるいは、金属酸化物層 7 をソースおよびドレイン電極上に形成し、金属酸化物層 7 の下面がこれらの電極と接するように配置されたボトムコンタクト構造を有していてもよい。

[0139] (第 2 の実施形態)

以下、本発明の半導体装置の第 2 の実施形態を説明する。本実施形態の半導体装置は、金属酸化物層上に、エッチストップとして保護層を有するメモリトランジスタを備える点で、第 1 の実施形態の半導体装置と異なる。その他の構成は同様である。

[0140] 図 22 (a) および (b) は、それぞれ、第 2 の実施形態におけるメモリトランジスタ 10C の構成の一例を示す平面図及び断面図である。図 22 (b) に示す断面は、図 22 (a) に示す A-A' 線に沿った断面である。図 22 では、図 1 と同様の構成要素には同じ参照符号を付し、説明を省略している。

[0141] メモリトランジスタ 10C は、金属酸化物層 7 とソース配線層との間に形成された保護層 31 を有している。保護層 31 は、金属酸化物層 7 の少なくともチャネル領域 7c と接している。保護層 31 のうちチャネル領域 7c と接する部分をチャネル保護層 31c と称する。金属酸化物層 7 のチャネル方向の幅は、ゲート電極 3 のチャネル方向の幅よりも大きい。この例では、保護層 31 は、金属酸化物層 7 を覆うように設けられている。保護層 31 には

、金属酸化物層 7 のうちチャネル領域 7 c の両側に位置する領域をそれぞれ露出する開口部 3 2 s、3 2 d が設けられている。ソース電極 9 s およびドレイン電極 9 d は、それぞれ、保護層 3 1 上および開口部 3 2 s、3 2 d 内に形成され、開口部 3 2 s、3 2 d 内で金属酸化物層 7 と接している。これにより、金属酸化物層 7 のうちソース電極 9 s と接する領域はソースコンタクト領域、ドレイン電極 9 d と接する領域はドレインコンタクト領域となる。

[0142] メモリトランジスタ 1 0 C では、第 1 の実施形態と同様に、ドレイン電極 9 d のうち、基板 1 の法線方向から見たときに金属酸化物層 7 およびゲート電極 3 の両方と重なる部分は、第 1 ドレイン金属層 9 d 1 で構成されており、第 2 ドレイン金属層 9 d 2 を含まない。例えば、図示するように、開口部 3 2 d 内には第 1 ドレイン金属層 9 d 1 のみが配置され、第 2 ドレイン金属層 9 d 2 は配置されていなくてもよい。これにより、第 1 の実施形態と同様の効果が得られる。ソース電極 9 s の構造は特に限定しないが、例えば、開口部 3 2 s 内には第 1 および第 2 ソース金属層 9 s 1、9 s 2 の両方が配置され、基板 1 の法線方向から見たときに金属酸化物層 7 およびゲート電極 3 の両方と重なっていてもよい。なお、図 2 2 では、チャネル領域 7 c の平面形状は矩形であるが、図 1 (b) に示すような U 字形であってもよい。

[0143] 次に、図面を参照しながら、本実施形態の半導体装置の製造方法を、アクティブマトリクス基板を例に説明する。

[0144] 図 2 3 ～図 2 8 は、アクティブマトリクス基板 1 0 0 3 の製造方法の一例を説明するための工程図であり、各図の (a) および (b) は断面図、(c) は上面図である。ここでは、アクティブマトリクス基板 1 0 0 3 におけるメモリトランジスタ 1 0 C、容量部 2 0、ゲート・ソースコンタクト部 3 0 およびゲート・ソース交差部 4 0 を形成する工程を示す。

[0145] まず、図 2 3 (a) ～ (c) に示すように、基板 1 上にゲート用導電膜を形成し、これをパターニングすることにより、ゲート接続部 3 s g、ゲート配線 G、ゲート電極 3 C および容量配線 C S を含むゲート配線層を形成する

。この後、ゲート配線層を覆うようにゲート絶縁膜 5 を形成する。次いで、ゲート絶縁膜 5 上に、酸化物半導体膜を形成し、これをパターニングすることにより、メモリトランジスタ形成領域 R (10C) に金属酸化物層 7C を形成する。また、容量部形成領域 R (20) に、容量配線 CS とゲート絶縁膜 5 を介して重なるように半導体層 7cs を形成する。容量部形成領域 R (20) に半導体層 7cs を残しておく点で、前述の実施形態とは異なっている。各層の材料や厚さ、形成方法は、第 1 の実施形態で説明した各層の材料・厚さおよび形成方法と同様である。

[0146] 次いで、図 24 (a) ~ (c) に示すように、ゲート絶縁膜 5、金属酸化物層 7C および半導体層 7cs の上に絶縁保護膜を形成し、これをパターニングすることにより保護層 31 を得る。保護層 31 は、少なくとも金属酸化物層 7C のチャネル領域となる領域上に設けられる。保護層 31 のうちチャネル領域上に位置する部分をチャネル保護層 31c と称する。

[0147] 絶縁保護膜のパターニングの際には、絶縁保護膜の下方にあるゲート絶縁膜 5 も同時にエッチングされる。このとき、金属酸化物層 7C および半導体層 7cs はエッチストップして機能するため、ゲート絶縁膜 5 のうちこれらの層で覆われた部分は除去されない。ここでは、パターニングにより、ゲート・ソースコンタクト部形成領域 R (30) においては、保護層 31 およびゲート絶縁膜 5 に、ゲート接続部 3sg を露出する開口部 33 が形成される。容量部形成領域 R (20) では、保護層 31 に半導体層 7cs を露出する開口部 34 が形成される。さらに、メモリトランジスタ形成領域 R (10C) では、金属酸化物層 7C のうちチャネル領域 7cC となる部分の両側に、金属酸化物層 7C を露出する開口部 32s、32d がそれぞれ形成される。

[0148] 絶縁保護膜は、例えばプラズマ CVD 法またはスパッタリング法で形成され、周知のドライエッチング法でパターニングされ得る。絶縁保護膜の形成後、例えば、大気雰囲気中で、200~450℃の温度で、30分~4時間程度のアニーリングを行う。絶縁保護膜として、例えば、酸化シリコン膜 (SiO₂)、窒化シリコン膜 (SiN)、酸化窒化シリコン膜 (SiNO)、

窒化酸化シリコン膜 (SiON)、酸化アルミニウム (Al_2O_3)、酸化タンタル (Ta_2O_5) から選択される単層または2層以上の積層膜を用いることができる。本実施形態では、一例として、厚さが $10\text{ nm} \sim 500\text{ nm}$ の SiO_2 膜を用いる。

[0149] 続いて、図25 (a) ~ (c) に示すように、保護層31の上および保護層31の開口部内にソース用導電膜を形成し、1回目のパターニングを行う。ソース用導電膜として、第1金属膜9Lを下層とし、第2金属膜9Uを上層とする積層膜を形成する。

[0150] 第1金属膜9Lおよび第2金属膜9Lの材料は、図10を参照しながら前述した材料と同様である。ここでは、例えばスパッタリング法で、第1金属膜9LとしてTi膜 (厚さ: $10 \sim 100\text{ nm}$)、第2金属膜9UとしてAl膜 (厚さ: $50 \sim 400\text{ nm}$) を連続して形成する。これにより、Ti膜-AI膜の2層構造を有するソース用導電膜を得る。

[0151] このソース用導電膜に対し、例えばウェットエッチングで1回目のパターニングを行う。ウェットエッチングは、第2金属膜9Uのみをエッチングし、第1金属膜9Lをエッチングしない条件で行う。これにより、第2金属膜9Uには、メモリトランジスタ10Cの金属酸化物層7Cの一部上に開口が形成される。開口は、金属酸化物層7Cにおけるドレインコンタクト領域となる領域全体とチャネル領域となる領域の一部とを含む部分上に設けられる。開口では第1金属膜9Lが露出する。

[0152] 次いで、ソース用導電膜上にレジスト層Mを形成した後、ソース用導電膜に対する2回目のパターニングを行う。2回目のパターニングでは、例えば、レジスト層Mをマスクとして、ウェットエッチングで第2金属膜9Uを除去し、次いで、ドライエッチングで第1金属膜9Lを除去する。これにより、第1および第2金属膜9L、9Uのうち金属酸化物層7Cのチャネル領域となる領域上に位置する部分を除去する (ソースドレイン分離)。

[0153] このようにして、図26 (a) ~ (c) に示すように、メモリトランジスタ形成領域R (10C) にソース電極9sCおよびドレイン電極9dC、ゲ

ート・ソースコンタクト部形成領域 R (30) にソース接続部 9 s g、ゲート・ソース交差部形成領域 R (40) にソース配線 S、容量部形成領域 R (20) に容量電極 9 c s が形成される。ソース用導電膜から形成されたこれらの配線および電極を含む層を「ソース配線層」とする。

[0154] ここでは、第 2 金属膜 9 U がウェットエッチングでパターニングされるため、ソース配線層において、第 2 金属膜 9 U の端部は、基板 1 の法線方向から見たとき、レジスト層 M の端部よりも内側に位置する。これに対し、第 1 金属膜 9 L はドライエッチングでパターニングされるため、基板 1 の法線方向から見たとき、第 1 金属膜 9 L の端部とレジスト層 M の端部とは整合する。従って、基板 1 の法線方向からソース配線層を見たとき、第 2 金属膜 9 U は、第 1 金属膜 9 L の輪郭の内部に位置する。断面図においては、第 2 金属膜 9 U の端部は、第 1 金属膜 9 L 上に位置する。また、第 1 回目のパターニングで、ドレインコンタクト領域となる領域上の第 2 金属膜 9 U は除去されているため、金属酸化物層 7 C のドレインコンタクト領域上には第 1 金属膜 9 L のみが残る。金属酸化物層 7 C のうち対応するゲート電極 3 C と重なり、かつ、ソース電極 9 s C とドレイン電極 9 d C との間に位置する領域がチャネル領域 7 c C となる。本実施形態では、例えば、メモリトランジスタ形成領域 R (10A) において、基板 1 の法線方向から見たとき、チャネル領域 7 c A が矩形となるように、ソース電極 9 s C およびドレイン電極 9 d C を配置する。

[0155] このようにして、メモリトランジスタ 10 C が形成される。メモリトランジスタ 10 C では、第 1 の実施形態と同様に、ドレイン電極 9 d のうち、金属酸化物層 7 C およびゲート電極 C の両方と重なる部分は第 1 金属膜 9 L のみから構成され、第 2 金属膜 9 U を含まない。一方、ソース電極 9 s C のうち、金属酸化物層 7 C およびゲート電極 3 C の両方と重なる部分は第 1 金属膜 9 L および第 2 金属膜 9 U を含む積層構造を有する。

[0156] また、ゲート・ソースコンタクト形成領域 R (30) に、開口部 33 内でゲート接続部 3 s g と接するソース接続部 9 s g が得られる。また、ゲート

・ソース交差部形成領域 R (40) にソース配線 S が形成される。容量部形成領域 R (20) には、開口部 34 内で半導体層 7 c s と接する容量電極 9 c s が形成される。このようにして、ゲート・ソースコンタクト部形成領域 R (30) にゲート・ソースコンタクト部 30、ゲート・ソース交差部形成領域 R (40) にゲート・ソース交差部 40、容量部形成領域 R (20) に容量部 20、メモリトランジスタ形成領域 R (10A、10B) にメモリトランジスタ 10A、10B が形成される。

[0157] なお、図示しないが、画素用トランジスタ 10T (図 5 (a)、(b) 参照) も、メモリトランジスタ 10C と共通のプロセスで形成され得る。画素用トランジスタ 10T では、ドレイン電極の第 2 金属膜 9 U が金属酸化物層 7 上にも配置されていても構わない。

[0158] 続いて、図 27 および図 28 (a) ~ (c) に示すように、保護層 (パッシベーション膜) 11、感光性樹脂等の有機絶縁膜 13 および上部導電層 17 を形成する。まず、第 1 の実施形態で前述した方法と同様の方法で、保護膜 11 および有機絶縁膜 13 をこの順で形成する。次いで、有機絶縁膜 13 のうちゲート・ソースコンタクト部形成領域 R (30) 上に位置する部分に開口部を形成する。この後、有機絶縁膜 13 をマスクとして、パッシベーション膜 11 のエッチングを行う。これにより、ソース接続部 9 s g の表面を露出するコンタクトホール 15 を得る。続いて、コンタクトホール 15 内および有機絶縁膜 13 上に導電膜を形成し、パターニングを行う。これにより、ゲート・ソースコンタクト部形成領域 R (30) において、コンタクトホール 15 内でソース接続部 9 s g に接する上部導電層 17 を得る。保護膜 11、有機絶縁膜 13 および導電膜の材料や厚さ、形成方法は、第 1 の実施形態で説明したこれらの膜の材料、厚さおよび形成方法と同様である。このようにして、アクティブマトリクス基板 1003 が得られる。

[0159] 本実施形態のメモリトランジスタ 10C は、エッチストップ層を有する (エッチストップ構造) ので、エッチストップ層を有しない場合 (チャネルエッチ構造) と比べて次のような利点を有する。

[0160] 本実施形態では、チャネル領域 7 c C がチャネル保護層 3 1 c で覆われた状態で、ソース・ドレイン分離のためのソース用導電膜のエッチング工程を行う。このため、チャネルエッチ構造を有する薄膜トランジスタと比べて、エッチングによるチャネル領域 7 c C のダメージを低減できる。従って、メモリトランジスタ 1 0 C の電気的特性のばらつきを改善できる。また、電気ストレスによる電気的特性の変動量を低減できる。さらに、ゲート・ソースコンタクト部 3 0 において、ゲート接続部 3 s g とソース接続部 9 s g とを直接コンタクトさせることが可能となる。従って、ゲート・ソースコンタクト部 3 0 のサイズを小さくできるので、回路面積を縮小できる。

[0161] (第 3 の実施形態)

以下、本発明の半導体装置の第 3 の実施形態を説明する。本実施形態の半導体装置は、ソースおよびドレイン電極上に活性層を有するボトムコンタクト構造のメモリトランジスタ 1 0 D を有する点で、第 1 の実施形態の半導体装置と異なる。その他の構成は同様である。

[0162] 図 2 9 (a) および (b) は、それぞれ、第 3 の実施形態におけるメモリトランジスタ 1 0 D の構成の一例を示す平面図及び断面図である。図 2 9 (b) に示す断面は、図 2 9 (a) に示す A - A ' 線に沿った断面である。図 2 9 では、図 1 と同様の構成要素には同じ参照符号を付し、説明を省略している。

[0163] メモリトランジスタ 1 0 D では、ゲート電極 3 を覆うゲート絶縁膜 5 上に、ソース電極 9 s およびドレイン電極 9 d が離間して設けられ、その上に金属酸化物層 7 が形成されている。金属酸化物層 7 は、ソース電極 9 s とドレイン電極 9 d との間に位置するゲート絶縁膜 5 と、ソース電極 9 s およびドレイン電極 9 d の上面および側面と接するように配置されている。基板 1 の法線方向から見たとき、金属酸化物層 7 のうち、ゲート電極 3 と重なり、かつ、ソース電極 9 s とドレイン電極 9 d との間に位置する部分がチャネル領域 7 c となる。図 2 9 では、チャネル領域 7 c の平面形状は矩形であるが、図 1 (b) に示すような U 字形であってもよい。

[0164] 本実施形態では、基板 1 の法線方向から見たとき、ドレイン電極 9 d のうち金属酸化物層 7 およびゲート電極 3 の両方と重なる部分は第 1 ドレイン金属層 9 d 1 から構成されており、第 2 ドレイン金属層 9 d 2 を含まない。一方、ソース電極 9 s では、金属酸化物層 7 およびゲート電極 3 の両方と重なる部分は第 1 および第 2 ソース金属層 9 s 1、9 s 2 を含んでいる。このような構成により、第 1 の実施形態と同様の効果が得られる。

[0165] 図示するように、第 1 ドレイン金属層 9 d 1、第 1 ソース金属層 9 s 1 および第 2 ソース金属層 9 s 2 は、金属酸化物層 7 の下面と接していてもよい（ボトムコンタクト構造）。ただし、第 2 ドレイン金属層 9 d 2 は、金属酸化物層 7 の下面と接していないことが好ましい。

[0166] 次に、図面を参照しながら、本実施形態の半導体装置の製造方法を、アクティブマトリクス基板を例に説明する。

[0167] 図 30～図 34 は、アクティブマトリクス基板の製造方法の一例を説明するための工程図であり、各図の（a）および（b）は断面図、（c）は上面図である。ここでは、アクティブマトリクス基板におけるメモリトランジスタ 10 D および 10 E、容量部 20、ゲート・ソースコンタクト部 30 およびゲート・ソース交差部 40 を形成する工程を示す。なお、本実施形態のアクティブマトリクス基板は、2 種類のメモリトランジスタ 10 D および 10 E の何れか一方を備えていればよく、両方を備えていなくてもよい。

[0168] まず、図 30（a）～（c）に示すように、基板 1 上にゲート用導電膜を形成し、これをパターンニングすることにより、ゲート接続部 3 s g、ゲート配線 G、ゲート電極 3 D および 3 E および容量配線 C S を含むゲート配線層を形成する。この後、ゲート配線層を覆うようにゲート絶縁膜 5 を形成する。

[0169] 次いで、ゲート絶縁膜 5 上に、ソース用導電膜として、第 1 金属膜 9 L を下層とし、第 2 金属膜 9 U を上層とする積層膜を形成し、1 回目のパターンニングを行う。

[0170] 第 1 金属膜 9 L および第 2 金属膜 9 U の材料は、図 10 を参照しながら前

述した材料と同様である。ここでは、例えばスパッタリング法で、第1金属膜9LとしてTi膜（厚さ：10～100nm）、第2金属膜9UとしてAl膜（厚さ：50～400nm）を連続して形成する。これにより、Ti膜－Al膜の2層構造を有するソース用導電膜を得る。

[0171] このソース用導電膜に対し、例えばウェットエッチングで1回目のパターニングを行う。ウェットエッチングは、第2金属膜9Uのみをエッチングし、第1金属膜9Lをエッチングしない条件で行う。これにより、第2金属膜9Uのうちゲート電極3D、3Eの上方に位置する部分に開口を形成する。開口は、後の工程で形成する金属酸化物層のドレインコンタクト領域となる領域全体とチャネル領域となる領域の一部とを含む部分に対応するように配置される。開口では第1金属膜9Lが露出する。

[0172] 次いで、ソース用導電膜上に、メモリトランジスタ10D、10Eのゲート電極3D、3E上に開口部を有するレジスト層Mを形成する。この後、ソース用導電膜に対する2回目のパターニングを行う。2回目のパターニングでは、例えば、レジスト層Mをマスクとして、ウェットエッチングで第2金属膜9Uを除去し、次いで、ドライエッチングで第1金属膜9Lを除去する。これにより、メモリトランジスタ形成領域R（10D）、R（10E）において、ソース用導電膜から、互いに離間して配置されたソース電極9sA、9sBとドレイン電極9dA、9dBとが形成される（ソースドレイン分離）。また、ゲート・ソースコンタクト部形成領域R（30）にソース接続部9sg、ゲート・ソース交差部形成領域R（40）にソース配線S、容量部形成領域R（20）に容量電極9csが形成される。ソース用導電膜から形成されたこれらの配線および電極を含む層を「ソース配線層」とする。

[0173] 次いで、図32（a）～（c）に示すように、ゲート絶縁膜5およびソース配線層上に酸化物半導体膜を形成し、これをパターニングする。これにより、メモリトランジスタ形成領域R（10D）、R（10E）に金属酸化物層7D、7Eをそれぞれ形成する。酸化物半導体膜の材料や厚さ、形成方法は、前述した実施形態の材料・厚さおよび形成方法と同様である。

[0174] 金属酸化物層 7 D、7 E は、それぞれ、ソース電極 9 s A、7 s B とドレイン電極 9 d A、7 d B との間に位置するゲート絶縁膜 5 と接し、且つ、ソース電極 9 s A、7 s B およびドレイン電極 9 d A、7 d B の上面および側面と接するように配置される。この例では、金属酸化物層 7 D は、ドレイン電極 9 d D の第 1 ドレイン金属層 9 d 1 D と接し、且つ、第 2 ドレイン金属層 9 d 2 D と接しないようにパターニングされる。ソース電極 9 s D の第 2 ソース金属層 9 s 2 D とは接していてもよい。金属酸化物層 7 E も同様である。これにより、基板 1 の法線方向から見たとき、ドレイン電極 9 d D、9 d E のうちゲート電極 3 D、3 E および金属酸化物層 7 D、7 E の両方と重なる部分は、第 2 ドレイン金属層 9 d 2 D、9 d 2 E を含まないので、前述の実施形態と同様の効果が得られる。このようにして、メモリトランジスタ 10 D、10 E が形成される。

[0175] 本実施形態では、ソース用導電膜のエッチング工程後に、金属酸化物層 7 D、7 E を形成するため、エッチング工程による金属酸化物層 7 D、7 E のダメージを抑制できる。

[0176] 続いて、図 33 および図 34 (a) ~ (c) に示すように、ソース配線層および金属酸化物層 7 D、7 E 上に、保護膜（パッシベーション膜）11、感光性樹脂等の有機絶縁膜 13 および上部導電層 17 を形成する。まず、前述の実施形態と同様の方法で、保護膜 11 および有機絶縁膜 13 をこの順で形成し、有機絶縁膜 13 のうちゲート・ソースコンタクト部形成領域 R (30) 上に位置する部分に開口部を形成する。次いで、この有機絶縁膜 13 をマスクとして、パッシベーション膜 11 のエッチングを行う。これにより、ゲート接続部 3 s g およびソース接続部 9 s g の表面を露出するコンタクトホール 15 を得る。続いて、コンタクトホール 15 内および有機絶縁膜 13 上に導電膜を形成し、パターニングを行う。これにより、コンタクトホール 15 内でソース接続部 9 s g とを電氣的に接続する上部導電層 17 を得る。保護膜 11、有機絶縁膜 13 および導電膜の材料や厚さ、形成方法は、前述した実施形態の材料、厚さおよび形成方法と同様である。このようにして、

アクティブマトリクス基板 1004 が得られる。

[0177] 本実施形態のメモリトランジスタ 10D、10E は、活性層 7A、7B の下面でソースおよびドレイン電極と接するように構成されたボトムコンタクト構造を有する。このような構造によると、チャネルエッチ構造を有する場合と比べて次のような利点を有する。

[0178] 本実施形態では、ソース・ドレイン分離のためのソース用導電膜のエッチング工程を行った後で金属酸化物層 7D、7E を形成する。このため、チャネルエッチ構造を有する薄膜トランジスタと比べて、エッチングによるチャネル領域 7cD、7cE のダメージを低減できる。従って、メモリトランジスタ 10D、10E の電気的特性のばらつきを改善できる。また、電気ストレスによる電気的特性の変動量を低減できる。

[0179] さらに、本実施形態では、第 2 の実施形態のエッチストップ構造を有する場合よりも、製造工程が簡略化される。このため、製造コストを低減でき、かつ、歩留まりを向上できるという利点がある。

[0180] なお、第 2 および第 3 の実施形態におけるメモリトランジスタ 10C～10E の動作や電気的特性については、第 1 の実施形態で説明した動作および電気的特性と同様である。また、これらの実施形態も、第 1 の実施形態と同様に、アクティブマトリクス基板に限らず、集積回路など、メモリ回路を備えた電子機器などに広く適用され得る。

[0181] なお、上記各実施形態では、メモリトランジスタ 10A～10E として、ボトムゲート型の薄膜トランジスタを用いたが、トップゲート型の薄膜トランジスタであってもよい。

[0182] 図 36 (b) および (c) は、それぞれ、トップゲート型のメモリトランジスタの構成を例示する断面図である。図 36 (b) に示す例では、ゲート電極 3 が金属酸化物層 7 の上方に配置されている点以外は、図 34 に示すメモリトランジスタ 10D、10E と同様の構成を有している。図 36 (c) に示す例では、第 1 金属膜 9L と第 2 金属膜 9U との積層順序を変更している点以外は、図 36 (a) に示すメモリトランジスタと同様の構成を有して

いる。

[0183] 本実施形態の半導体装置では、メモリトランジスタ 10A への書き込み動作は、金属酸化物層 7A で生じるジュール熱によって行う。書き込み動作時のチャネル領域 7cA の温度は、例えば 200℃ 以上になる。チャネル領域 7cA のドレイン側では、さらに高くなることもあり得る（例えば 250℃ 以上、あるいは 300℃ 以上）。このため、メモリトランジスタ 10A の金属酸化物層 7A の上方に、耐熱性の低い材料（軟化温度：200℃ 未満、好ましくは 300℃ 未満）からなる層（例えば有機絶縁膜）が配置されていないことが好ましい。以下、アクティブマトリクス基板を例に、より具体的に説明する。

[0184] アクティブマトリクス基板 1002～1004 では、メモリトランジスタ 10A～10E は、パッシベーション膜 11 および有機絶縁膜 13 で覆われている。この有機絶縁膜 13 の耐熱性が低いと、書き込み条件などによっては、有機絶縁膜 13 のうち金属酸化物層上に位置する部分がパッシベーション膜 11 から剥がれたり、変形する可能性がある。特に、有機絶縁膜 13 のうち金属酸化物層のドレイン側の端部上で、剥離や変形が生じ得る。有機絶縁膜 13 の剥離や変形が生じると、例えば複数のメモリトランジスタを用いてメモリアレイを構成した場合、書き込まれたメモリトランジスタ RT と書き込まれていないメモリトランジスタ ST とを、有機絶縁膜 13 の剥離や変形の位置によって見分けられるおそれがある。

[0185] そこで、図 35 (a)～(c) に例示するように、金属酸化物層 7A の上方に、パッシベーション膜 11 として、耐熱性の比較的高い無機絶縁膜（上記に列挙したシリコン酸化膜等）を設け、パッシベーション膜 11 上に有機絶縁膜 13 を形成しなくてもよい。これにより、書き込み時の熱に起因する上記問題が生じないので、デバイスの信頼性やセキュリティ性をさらに向上できる。

[0186] 図 35 (a)～(c) に例示するアクティブマトリクス基板は、平坦化膜として有機絶縁膜を有していなくてもよい。あるいは、基板 1 の一部領域の

みに有機絶縁膜 13 を有していてもよい。この場合、有機絶縁膜 13 は、少なくともメモリトランジスタ 10A、10C、10D の金属酸化物層 7A、7C、7D の上方に形成されていなければよく、例えば画素用トランジスタや回路用トランジスタの金属酸化物層の上方には有機絶縁膜 13 が形成されていてもよい。

[0187] 図 5 に例示するアクティブマトリクス基板 1002 において、有機絶縁膜 13 は、複数の画素用トランジスタ 10T の上方に形成され、メモリ回路内のメモリトランジスタ 10A の上方には形成されていなくてもよい。例えば、有機絶縁膜 13 は表示領域 100 に設けられ、周辺領域 200（周辺領域 200 のうち少なくともメモリ回路上）に設けられていなくてもよい。

[0188] あるいは、アクティブマトリクス基板 1002～1004 において、有機絶縁膜 13 の代わりに、耐熱性の高い材料（例えば軟化温度：200℃以上、好ましくは 300℃以上）からなる平坦化膜を用いても、書き込み時の熱による上記問題を抑制できる。例えば、平坦化膜として、無機系の SOG（スピノングラス）膜などの無機絶縁膜を用いてもよい。

[0189] また、上記各実施形態では、メモリトランジスタ 10A、10B は薄膜トランジスタであるが、MOS 型のトランジスタであってもよい。MOS 型のトランジスタでも、チャネル領域に高電流密度のドレイン電流を流すことにより、抵抗体状態に変化させることが可能である。MOS 型のトランジスタは、例えば、シリコン基板上に絶縁膜を介して金属酸化物半導体膜が配置された構成を有する。このような構成では、放熱性の高いシリコン基板を用いるが、シリコン基板と酸化物半導体膜とが絶縁膜によって分離されているので、書き込み電流によるジュール熱がシリコン基板に放出することを抑制できる。このため、酸化物半導体膜をジュール熱によって低抵抗化させることが可能である。

[0190] メモリトランジスタ 10A～10E を構成する各導電膜及び各絶縁膜の材料、構造、厚さ、及びトランジスタ特性及び書き込み特性は、上記各実施形態で例示した内容に限定されない。

[0191] さらに、上記実施形態では、 n チャネル型のメモリトランジスタ $10A \sim 10E$ を備えた半導体装置を例に説明したが、メモリトランジスタの導電型は n チャネル型に限定されず、 p チャネル型であってもよい。 p チャネル型メモリトランジスタの場合、ドレイン電流 I_{ds} はソースからドレインに向かって流れる。 p チャネル型メモリトランジスタの場合でも、上記実施形態の電極構造を適用することにより、書き込み時の熱によるダメージを抑制できる。

産業上の利用可能性

[0192] 本発明は、メモリ回路を備えた半導体装置および電子機器に広く適用され得る。例えば、不揮発性半導体記憶装置、集積回路（ IC 、 LSI ）、液晶表示装置や有機 EL 表示装置などの各種表示装置、各種表示装置に用いられるアクティブマトリクス基板に適用される。

符号の説明

[0193]	1	基板
	3	ゲート電極
	3 s g	ゲート接続部
	5	ゲート絶縁膜
	7	金属酸化物層
	7 c	チャネル領域
	9 d	ドレイン電極
	9 d 1、9 d 2	ドレイン金属層
	9 s	ソース電極
	9 s 1、9 s 2	ソース金属層
	9 L	第1金属膜
	9 U	第2金属膜
	9 c s	容量電極
	9 s g	ソース接続部
	10A～10E	メモリトランジスタ

1 0 T	画素用トランジスタ
1 1	保護膜（パッシベーション膜）
1 3	有機絶縁膜
1 5	コンタクトホール
1 7	上部導電層
1 8	上部ゲート電極
1 9	画素電極
2 0	容量部
3 0	ソースコンタクト部
3 1	保護層
4 0	ソース交差部
1 0 0	表示領域
1 0 1	画素
2 0 0	周辺領域
2 0 1	端子部
1 0 0 1	半導体装置
1 0 0 2、1 0 0 3、1 0 0 4	アクティブマトリクス基板
C S	容量配線
G	ゲート配線
S	ソース配線

請求の範囲

[請求項1] 基板と、前記基板に支持された少なくとも1つのメモリトランジスタとを備えた半導体装置であって、

前記少なくとも1つのメモリトランジスタは、ドレイン電流 I_{ds} がゲート電圧 V_g に依存する半導体状態から、ドレイン電流 I_{ds} がゲート電圧 V_g に依存しない抵抗体状態に不可逆的に変化させられ得るメモリトランジスタであり、

前記少なくとも1つのメモリトランジスタは、ゲート電極と、金属酸化物層と、前記ゲート電極と前記金属酸化物層との間に配置されたゲート絶縁膜と、前記金属酸化物層に電氣的に接続されたソース電極およびドレイン電極とを有し、

前記ドレイン電極は、融点が 1200°C 以上である第1の金属で形成された第1ドレイン金属層と、前記第1の金属よりも融点の低い第2の金属で形成された第2ドレイン金属層とを含む積層構造を有し、

前記基板の表面の法線方向から見たとき、前記ドレイン電極の一部は前記金属酸化物層および前記ゲート電極の両方と重なっており、

前記ドレイン電極の前記一部は、前記第1ドレイン金属層を含み、且つ、前記第2ドレイン金属層を含まない半導体装置。

[請求項2] 前記ソース電極は、前記第1の金属を含む第1ソース金属層と、前記第2の金属を含む第2ソース金属層とを含む積層構造を有し、

前記基板の表面の法線方向から見たとき、前記ソース電極の一部は前記金属酸化物層および前記ゲート電極の両方と重なっており、前記ソース電極の前記一部は、前記第1ソース金属層および前記第2ソース金属層を含む請求項1に記載の半導体装置。

[請求項3] 前記ソース電極は、前記第1の金属を含む第1ソース金属層と、前記第2の金属を含む第2ソース金属層とを含む積層構造を有し、

前記基板の表面の法線方向から見たとき、前記ソース電極の一部は前記金属酸化物層および前記ゲート電極の両方と重なっており、前記

ソース電極の前記一部は、前記第1ソース金属層を含み、且つ、前記第2ソース金属層を含まない請求項1に記載の半導体装置。

[請求項4] 前記第1ドレイン金属層は、前記金属酸化物層の上面と直接接している請求項1から3のいずれかに記載の半導体装置。

[請求項5] 前記第1ドレイン金属層は、前記金属酸化物層の下面と直接接している請求項1から3のいずれかに記載の半導体装置。

[請求項6] 前記ゲート電極は、前記金属酸化物層の前記基板側に位置している請求項1から5のいずれかに記載の半導体装置。

[請求項7] 前記第1ドレイン金属層および前記第2ドレイン金属層は、前記基板側からこの順で積層されている請求項1から6のいずれかに記載の半導体装置。

[請求項8] 前記基板の法線方向から見たとき、前記金属酸化物層のうち、前記ゲート電極と前記ゲート絶縁膜を介して重なり、かつ、前記ソース電極と前記ドレイン電極との間に位置する部分は、U字形状を有している請求項1から7のいずれかに記載の半導体装置。

[請求項9] 前記第1の金属は、W、Ta、Ti、MoおよびCrからなる群から選択される金属またはその合金である請求項1から8のいずれかに記載の半導体装置。

[請求項10] 前記第2の金属の融点は1200℃未満である請求項1から9のいずれかに記載の半導体装置。

[請求項11] 前記第2の金属は、AlおよびCuからなる群から選択される金属である請求項1から9のいずれかに記載の半導体装置。

[請求項12] 前記金属酸化物層は、In、GaおよびZnを含む請求項1から11のいずれかに記載の半導体装置。

[請求項13] 前記金属酸化物層は結晶質部分を含む請求項12に記載の半導体装置。

[請求項14] 前記少なくとも1つのメモリトランジスタは、前記半導体状態であるメモリトランジスタSTと、前記抵抗体状態であるメモリトランジ

スタ R T とを含む複数のメモリトランジスタである請求項 1 から 1 3 のいずれかに記載の半導体装置。

[請求項15] 前記基板に支持された、金属酸化物を含む半導体層を有する他のトランジスタをさらに備え、

前記他のトランジスタの前記半導体層と、前記メモリトランジスタの前記金属酸化物層とは、共通の酸化物半導体膜から形成されており、

前記他のトランジスタのソース電極およびドレイン電極は、前記第 1 の金属を含む第 1 金属層と、前記第 2 の金属を含む第 2 金属層とを含む積層構造を有し、

前記基板の表面の法線方向から見たとき、前記他のトランジスタのドレイン電極の一部は、前記他のトランジスタのゲート電極および前記金属酸化物層の両方と重なっており、前記他のトランジスタのドレイン電極の前記一部は、前記第 1 金属層および前記第 2 金属層を含む請求項 1 から 1 1 のいずれかに記載の半導体装置。

[請求項16] 前記半導体装置は、アクティブマトリクス基板であり、

複数の画素電極と、それぞれが前記複数の画素電極のうち対応する画素電極に電氣的に接続された画素トランジスタとを有する表示領域、および、

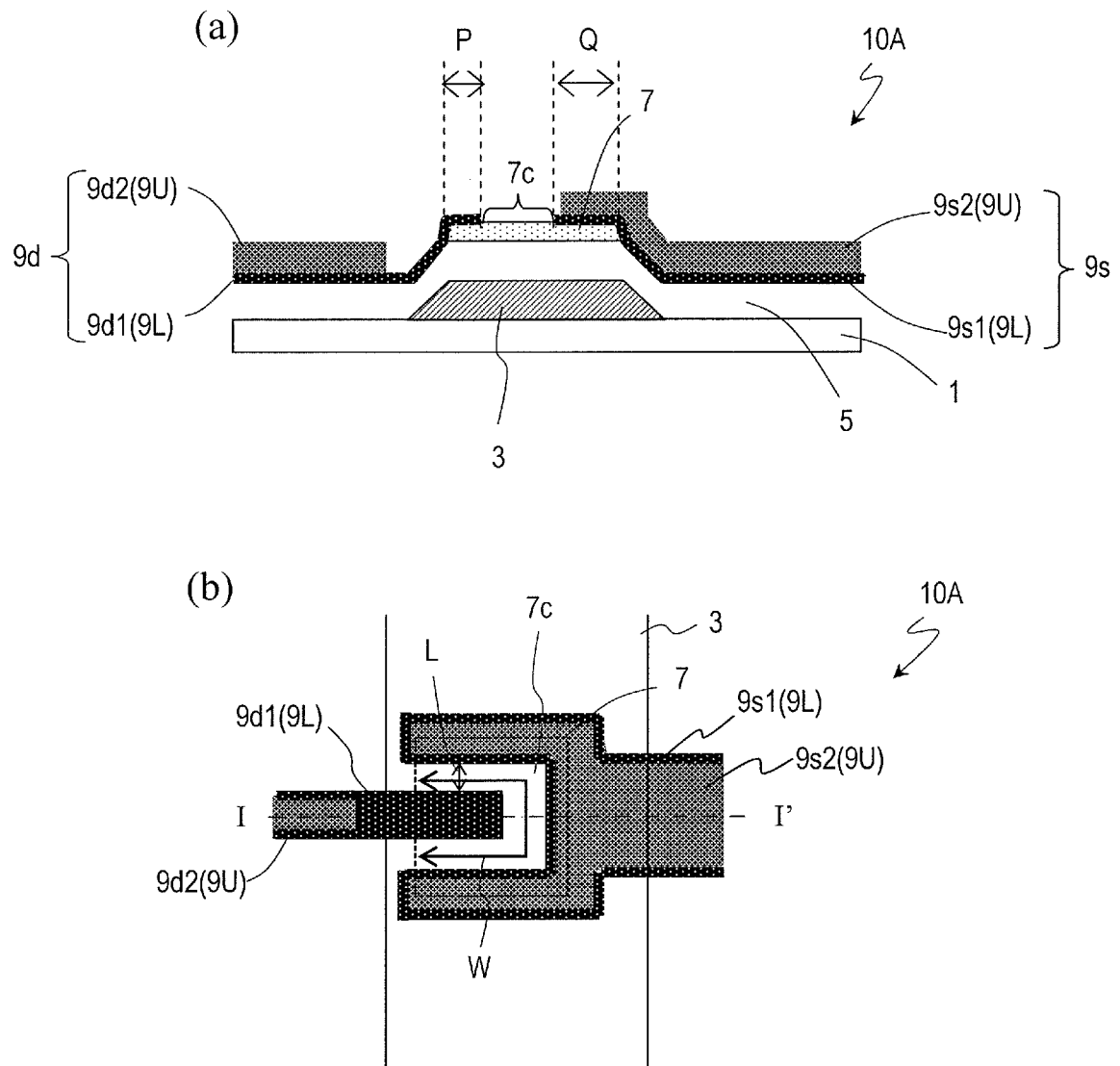
前記表示領域以外の領域に配置された、複数の回路を有する周辺領域を備え、

前記複数の回路は、前記少なくとも 1 つのメモリトランジスタを有するメモリ回路を含み、

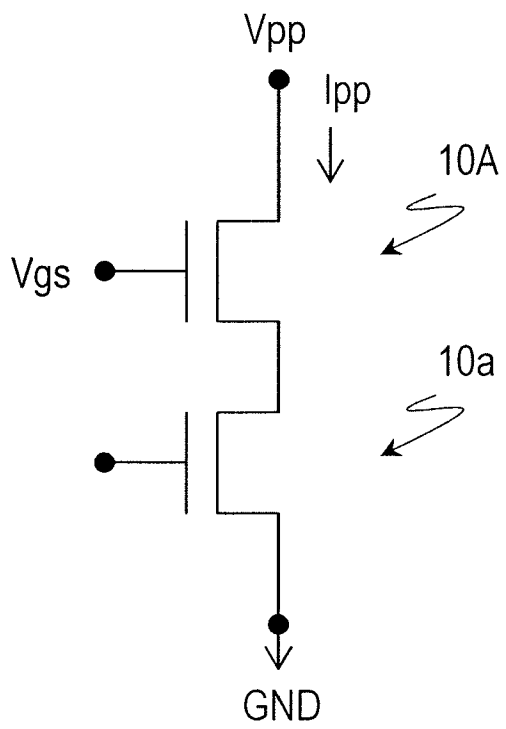
前記画素トランジスタ、および、前記周辺領域において前記複数の回路を構成する複数のトランジスタの少なくとも 1 つは、前記少なくとも 1 つのメモリトランジスタの前記金属酸化物層と共通の酸化物半導体膜を用いて形成された半導体層を有する請求項 1 から 1 5 のい

れかに記載の半導体装置。

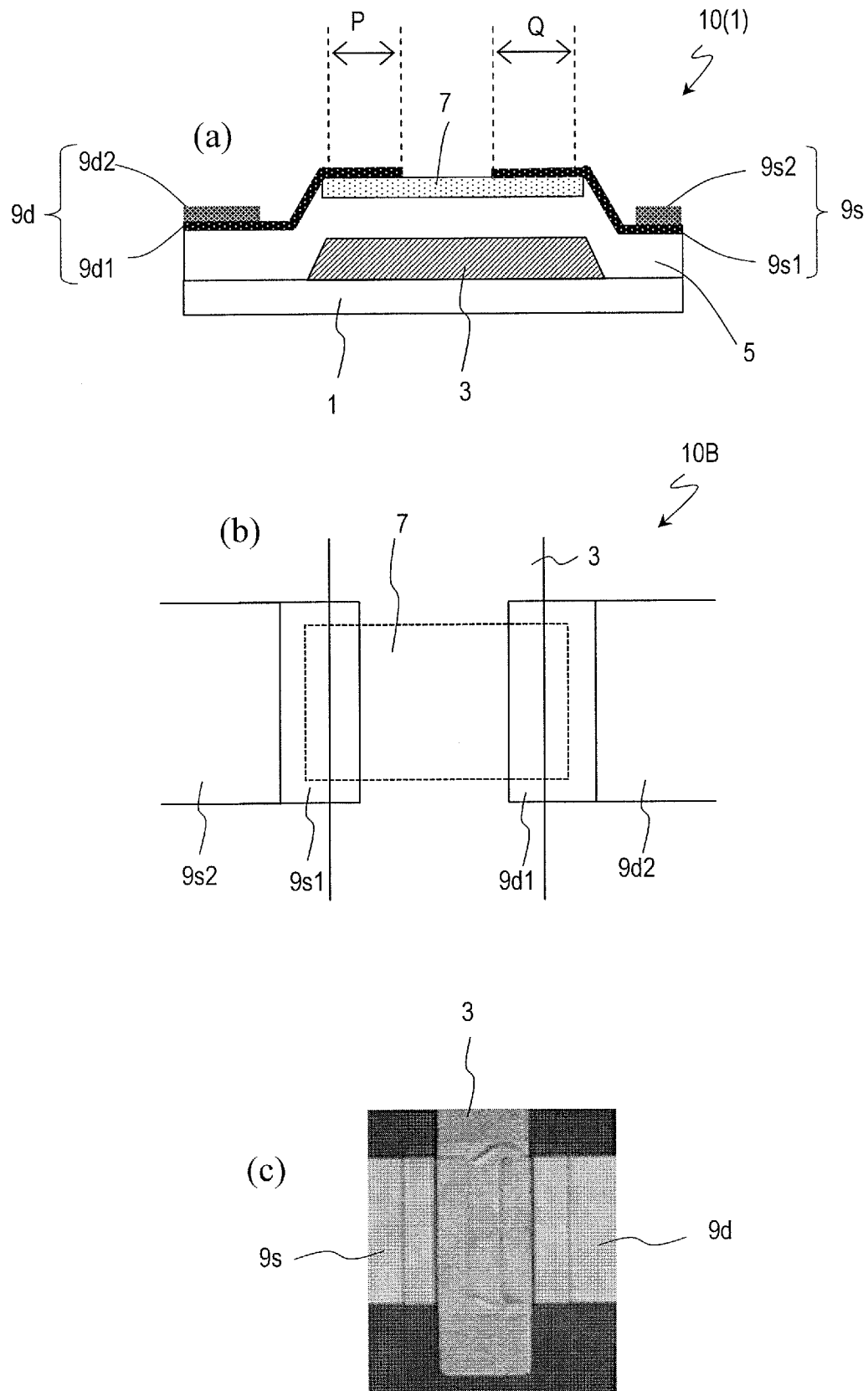
[図1]



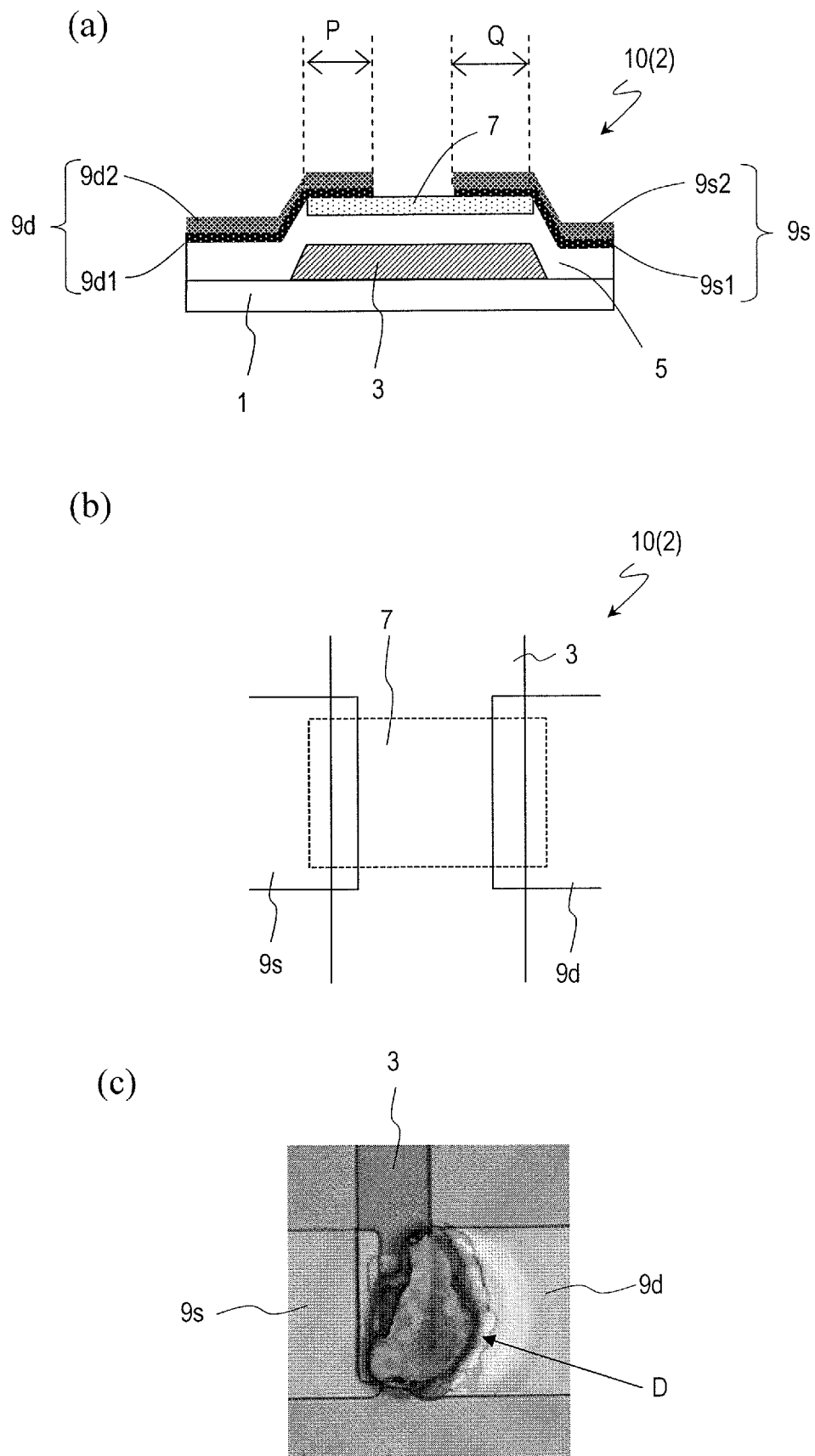
[図2]



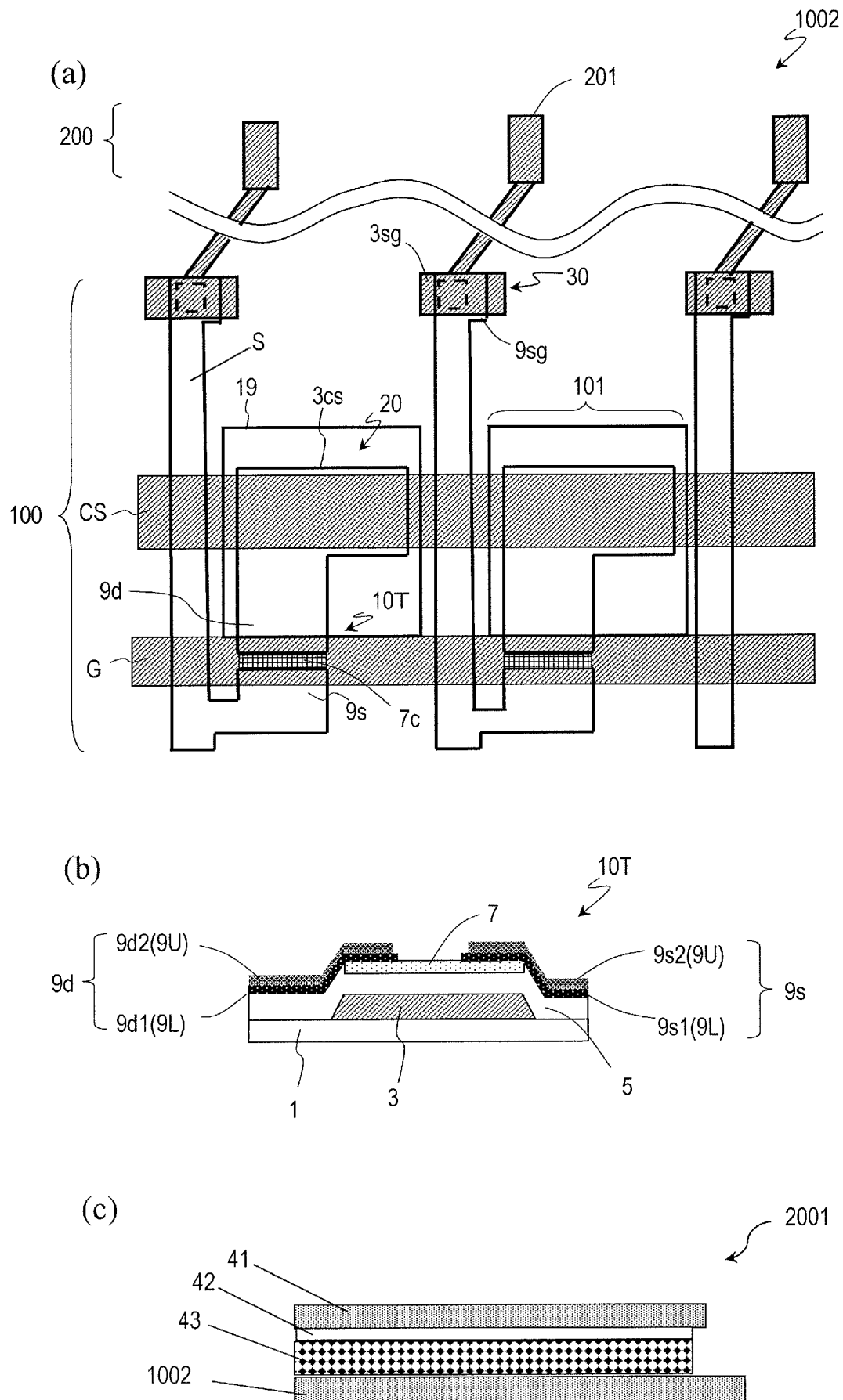
[図3]



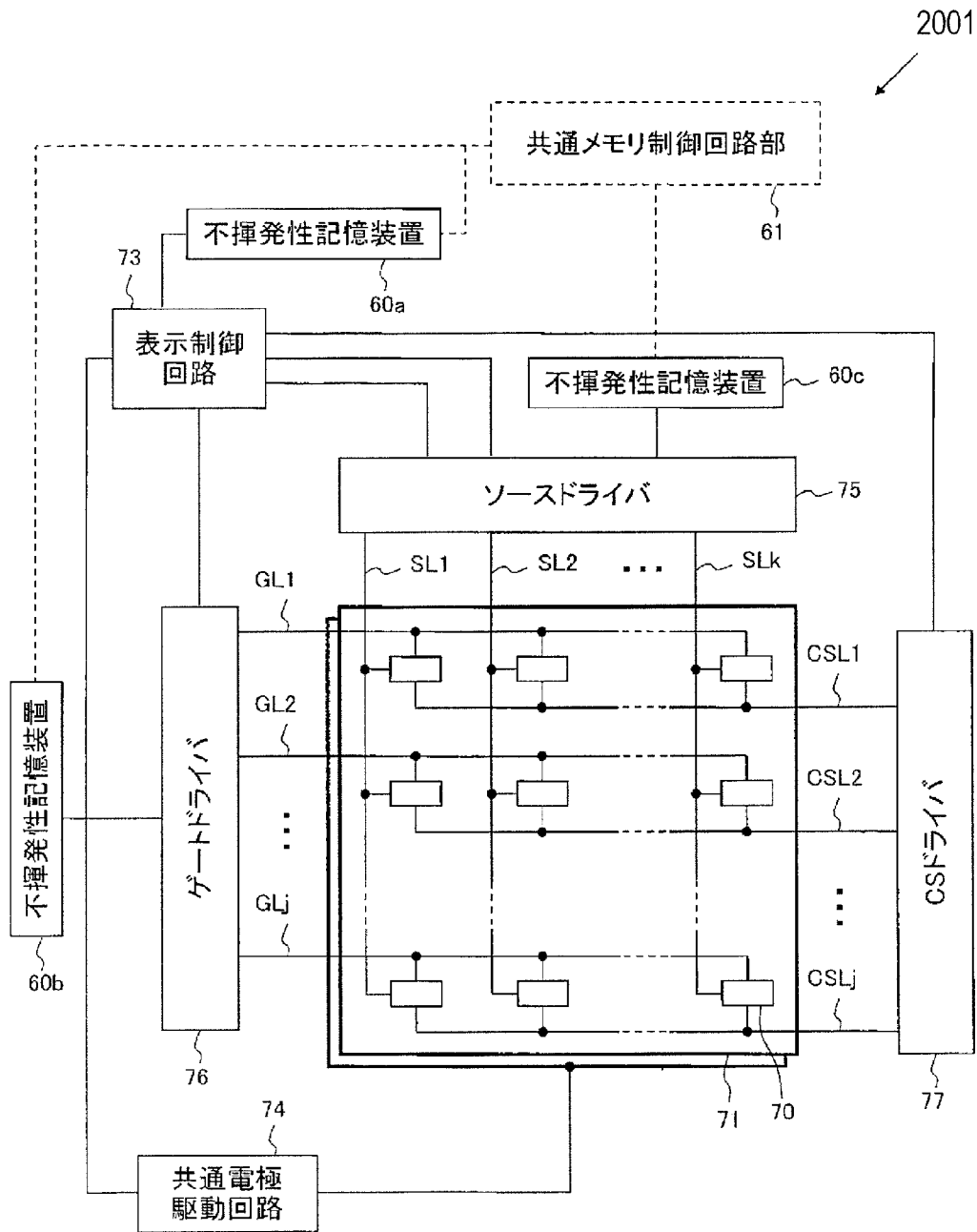
[図4]



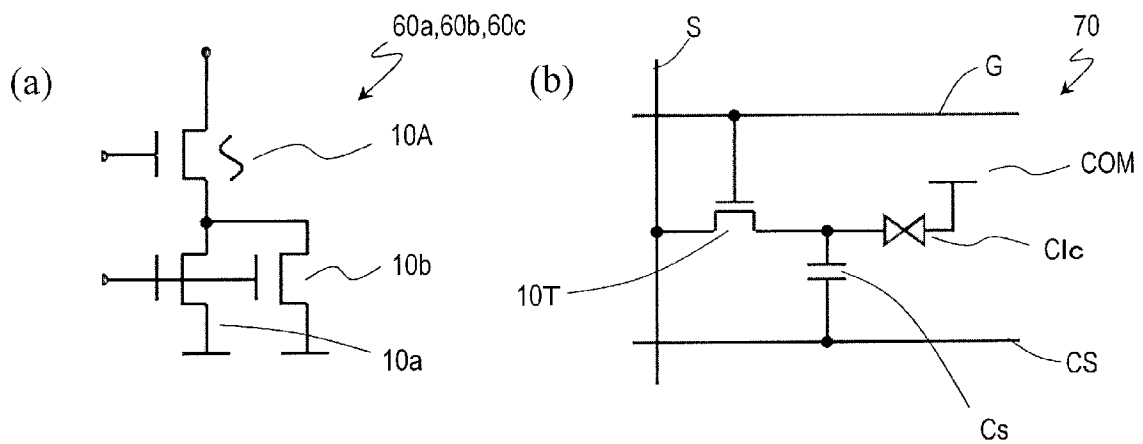
[図5]



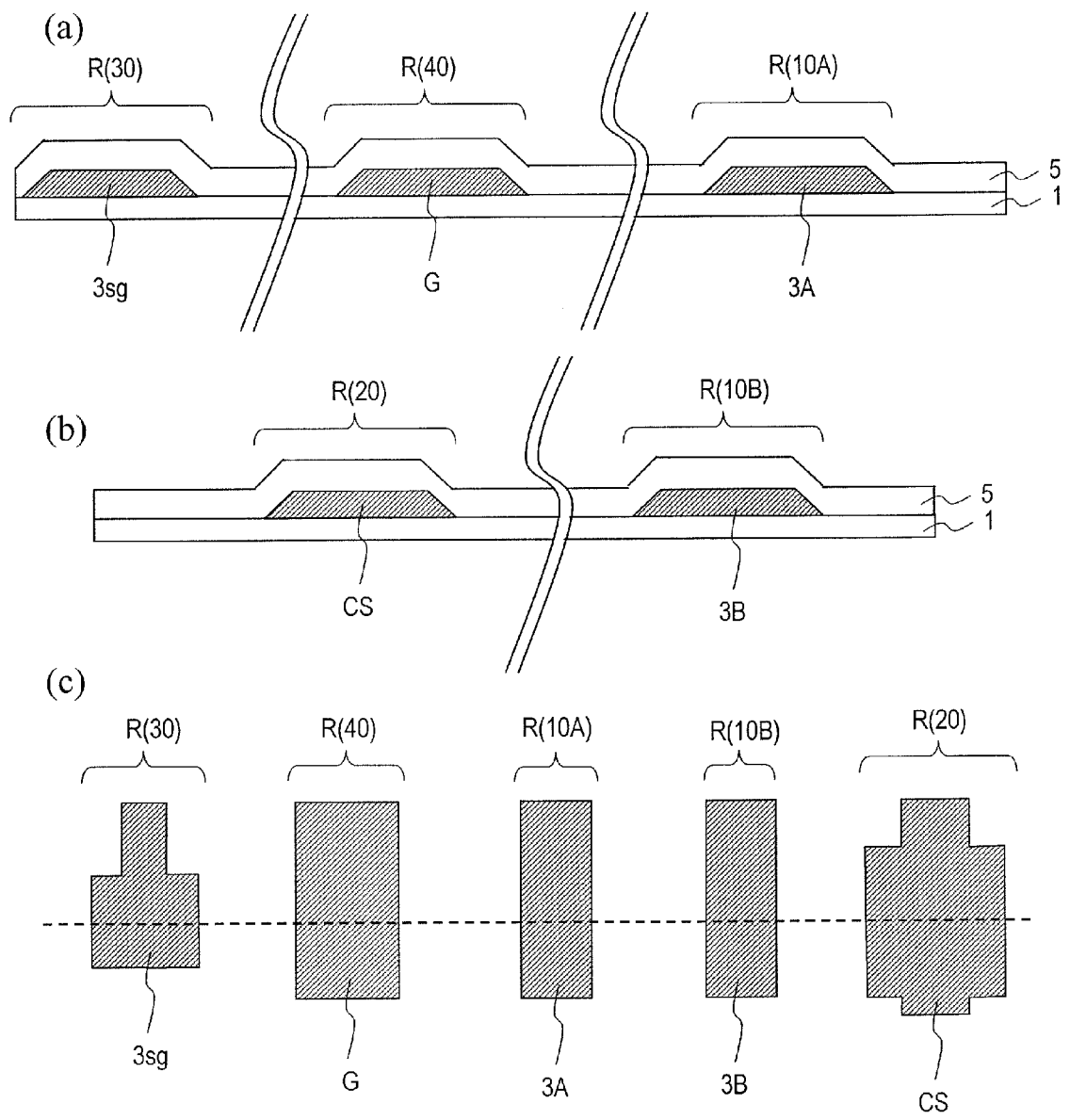
[図6]



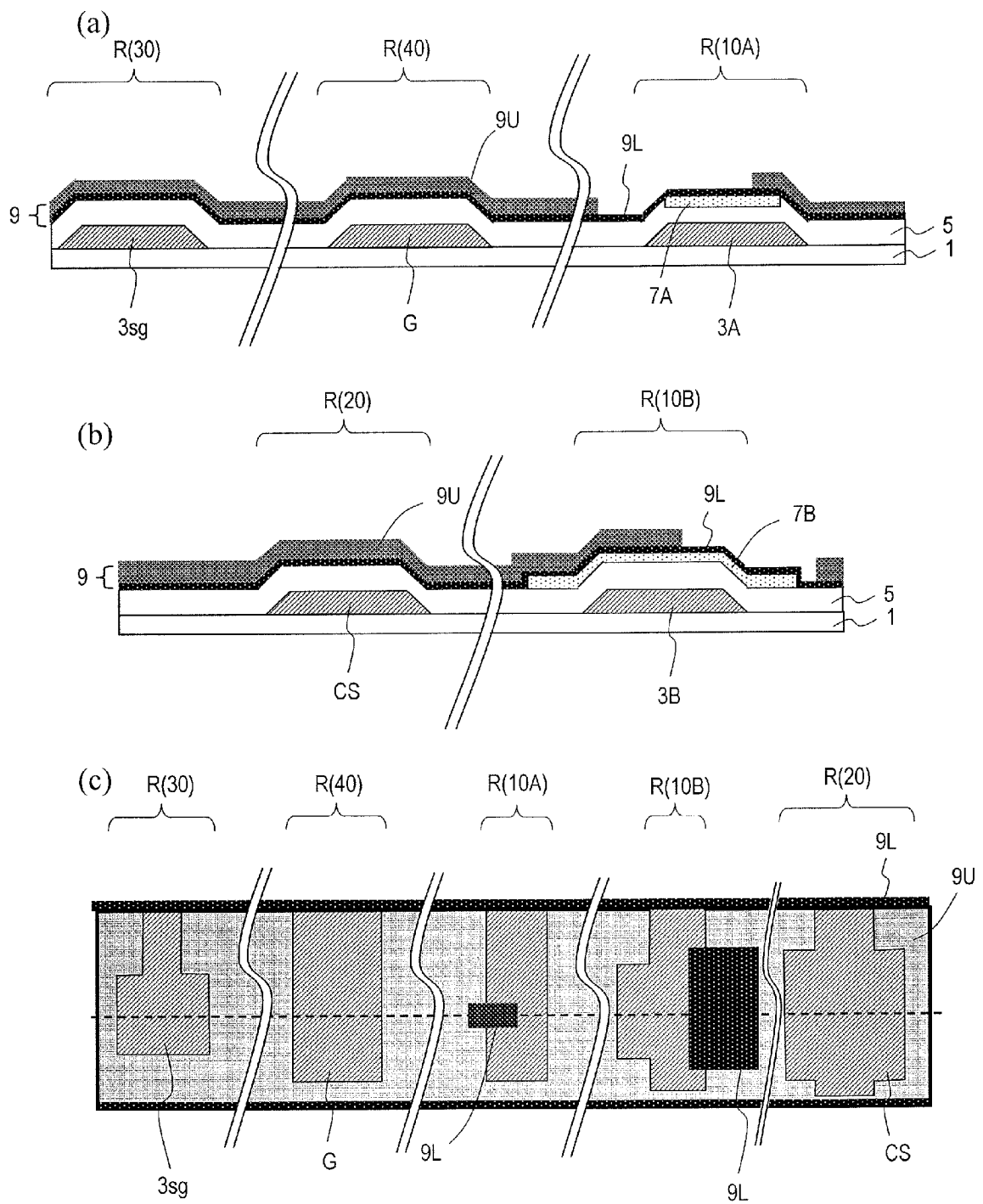
[図7]



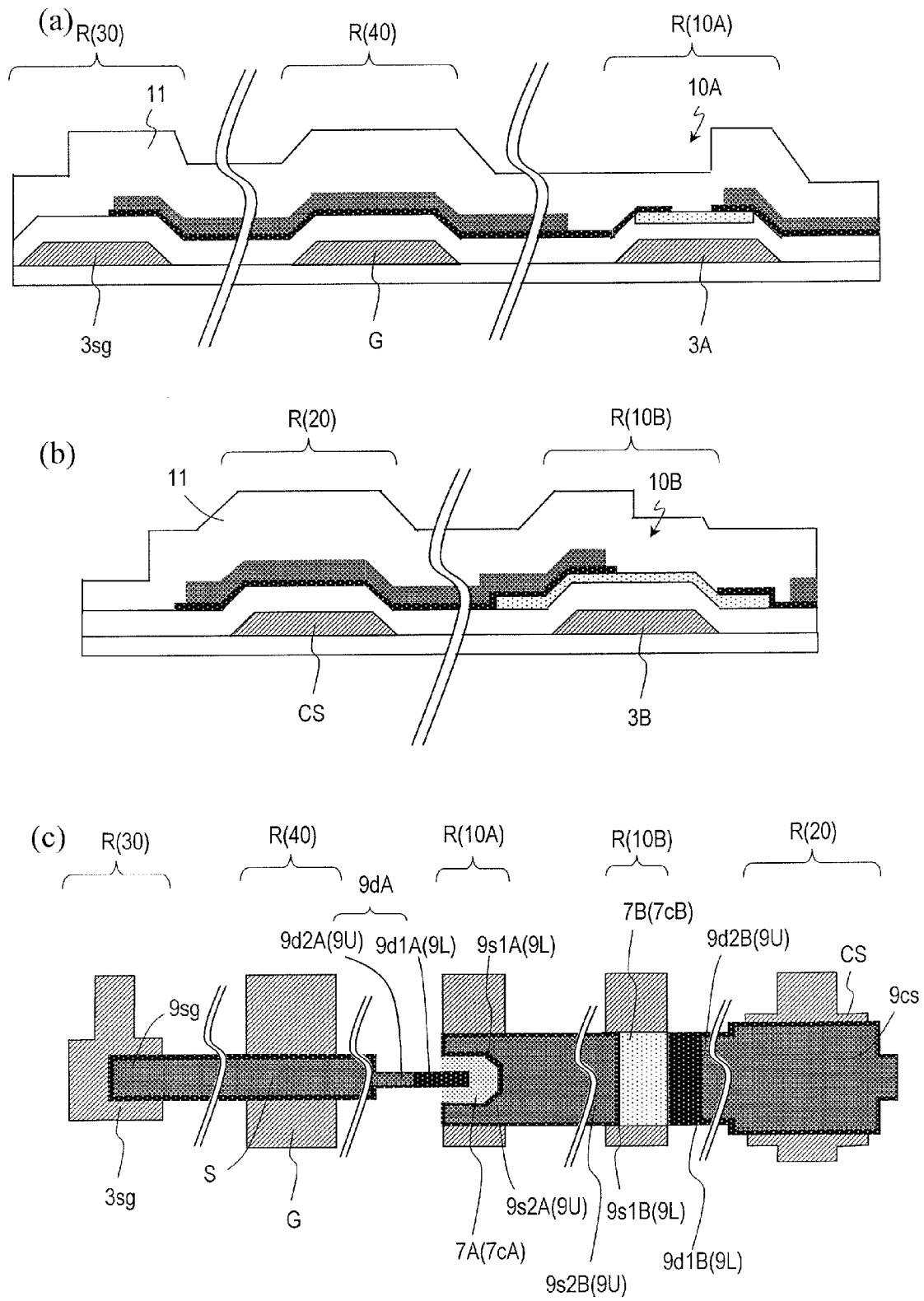
[図8]



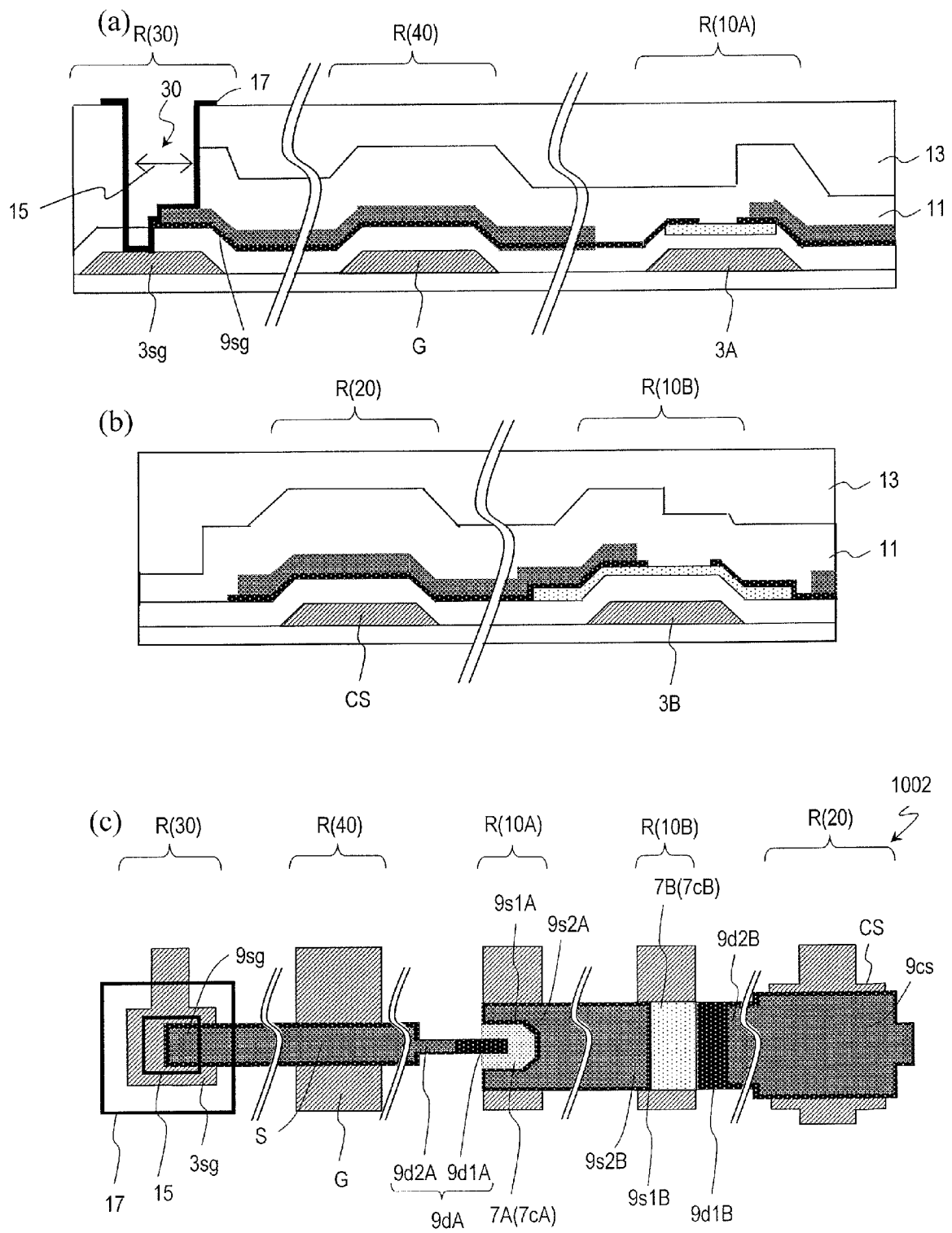
[図10]



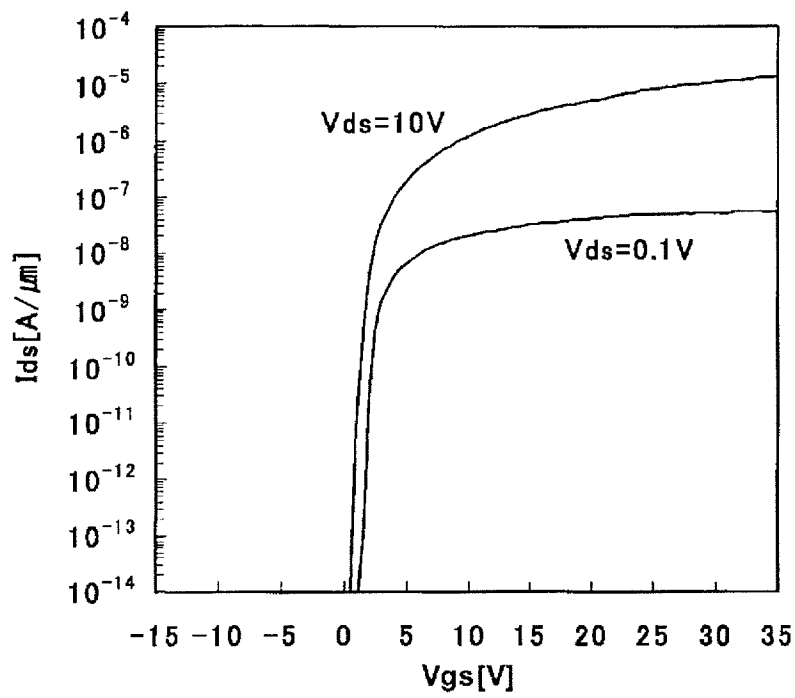
[図12]



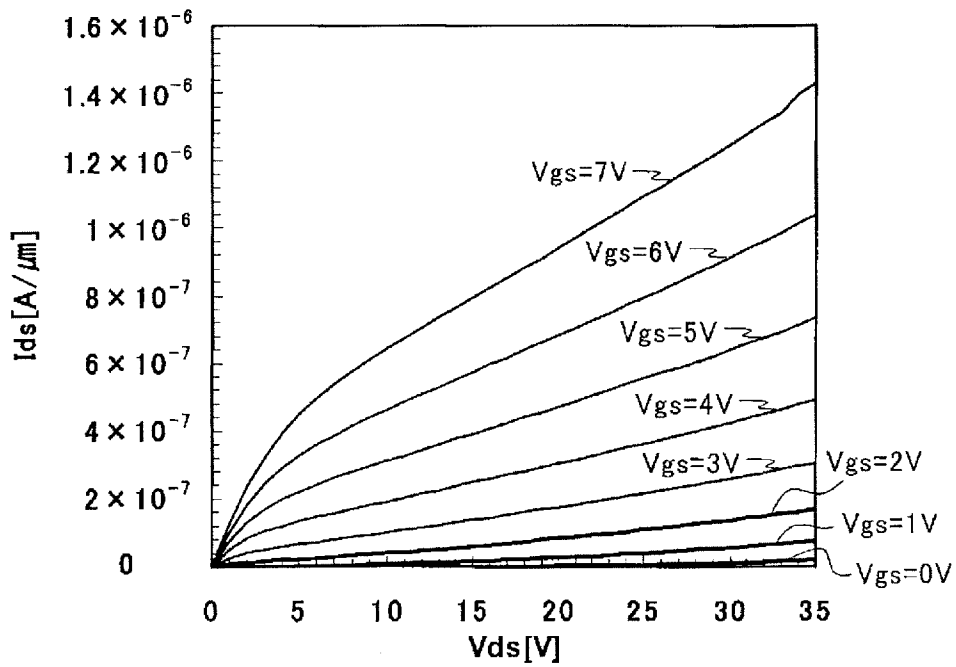
[図13]



[図14]

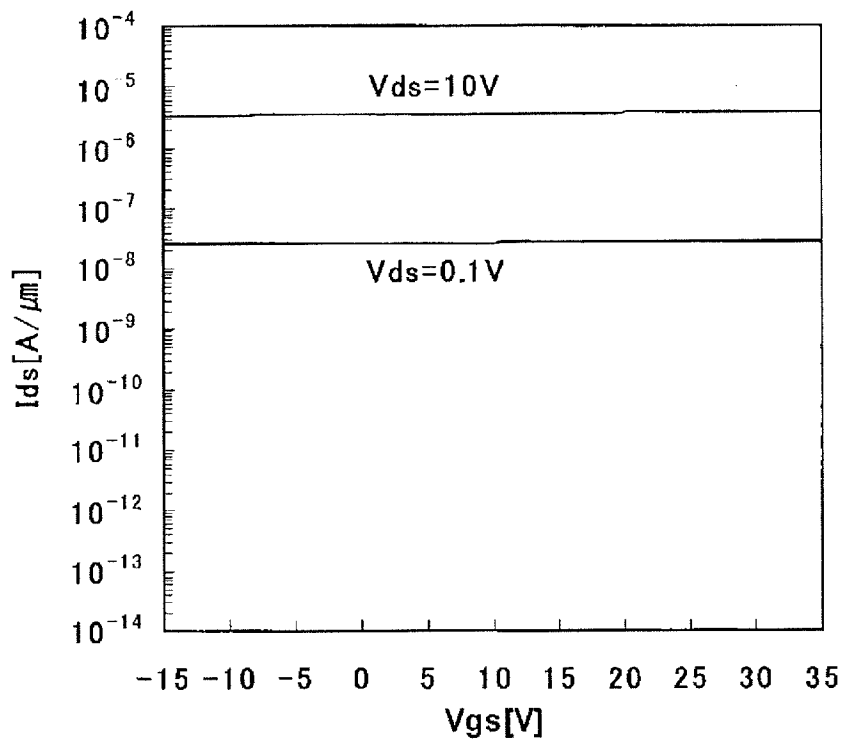


(a)

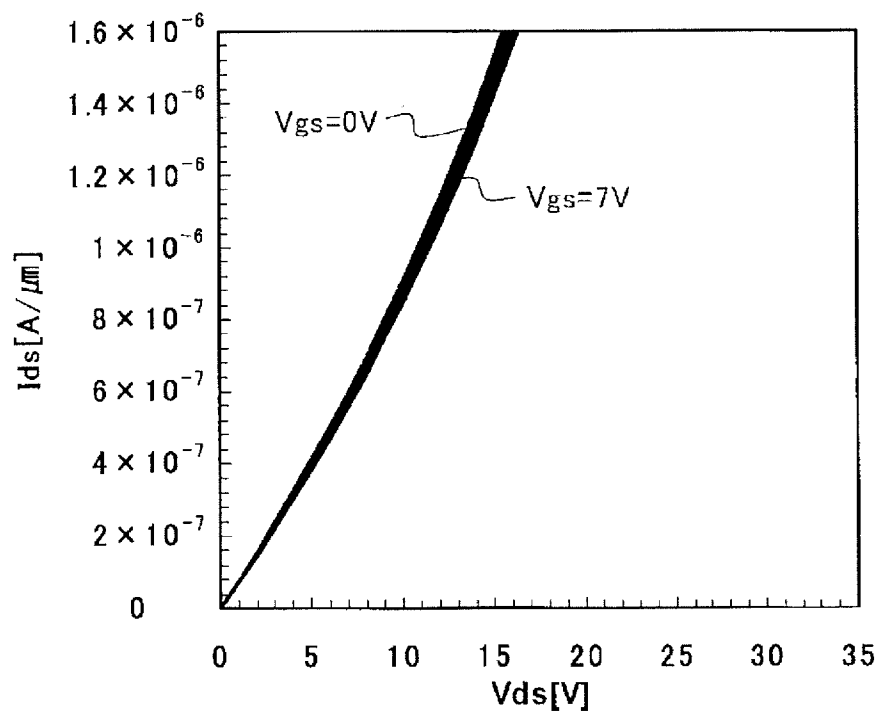


(b)

[図15]

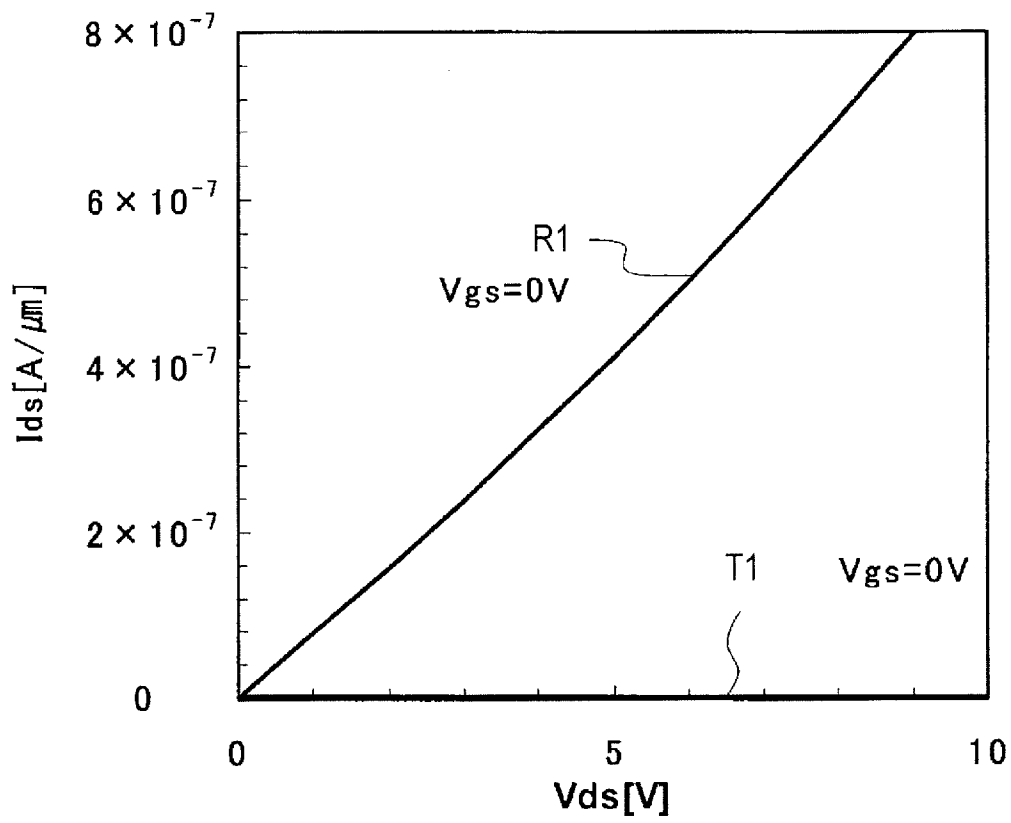


(a)

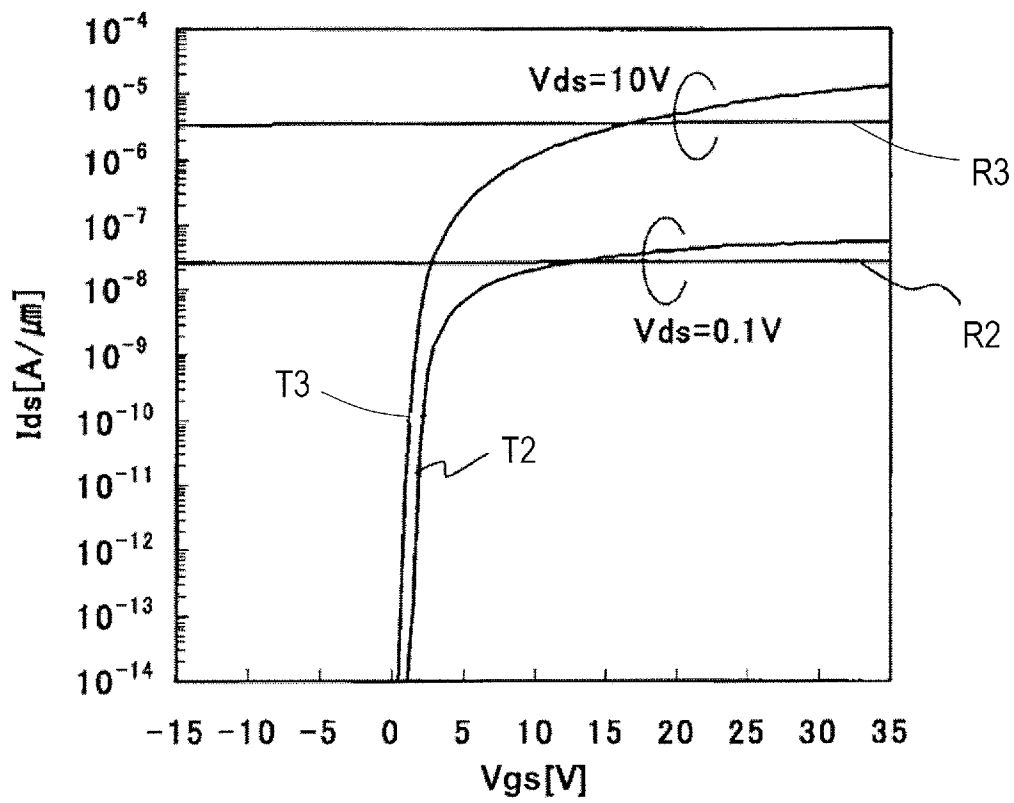


(b)

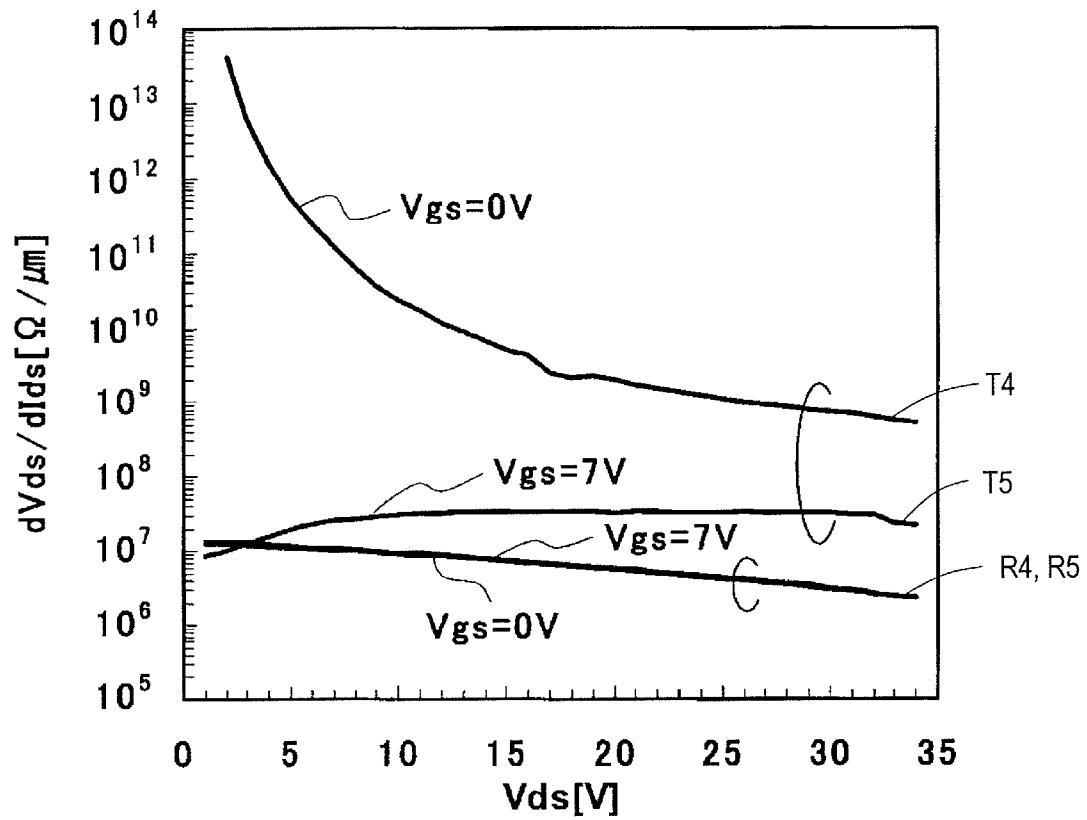
[図16]



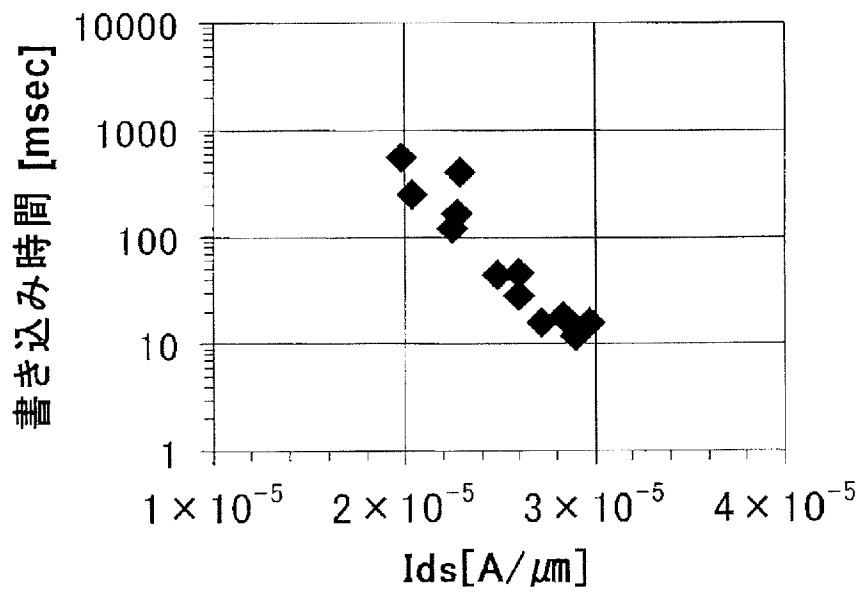
[図17]



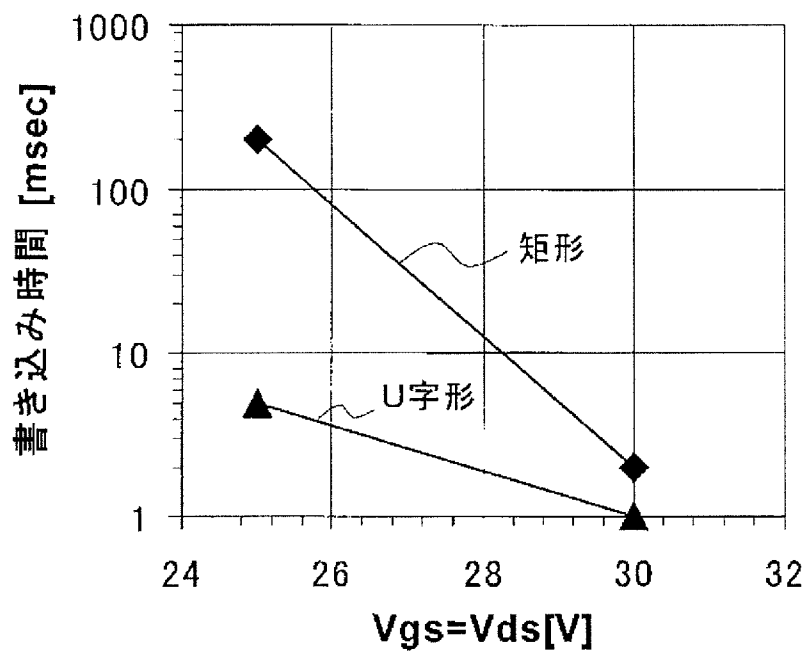
[図18]



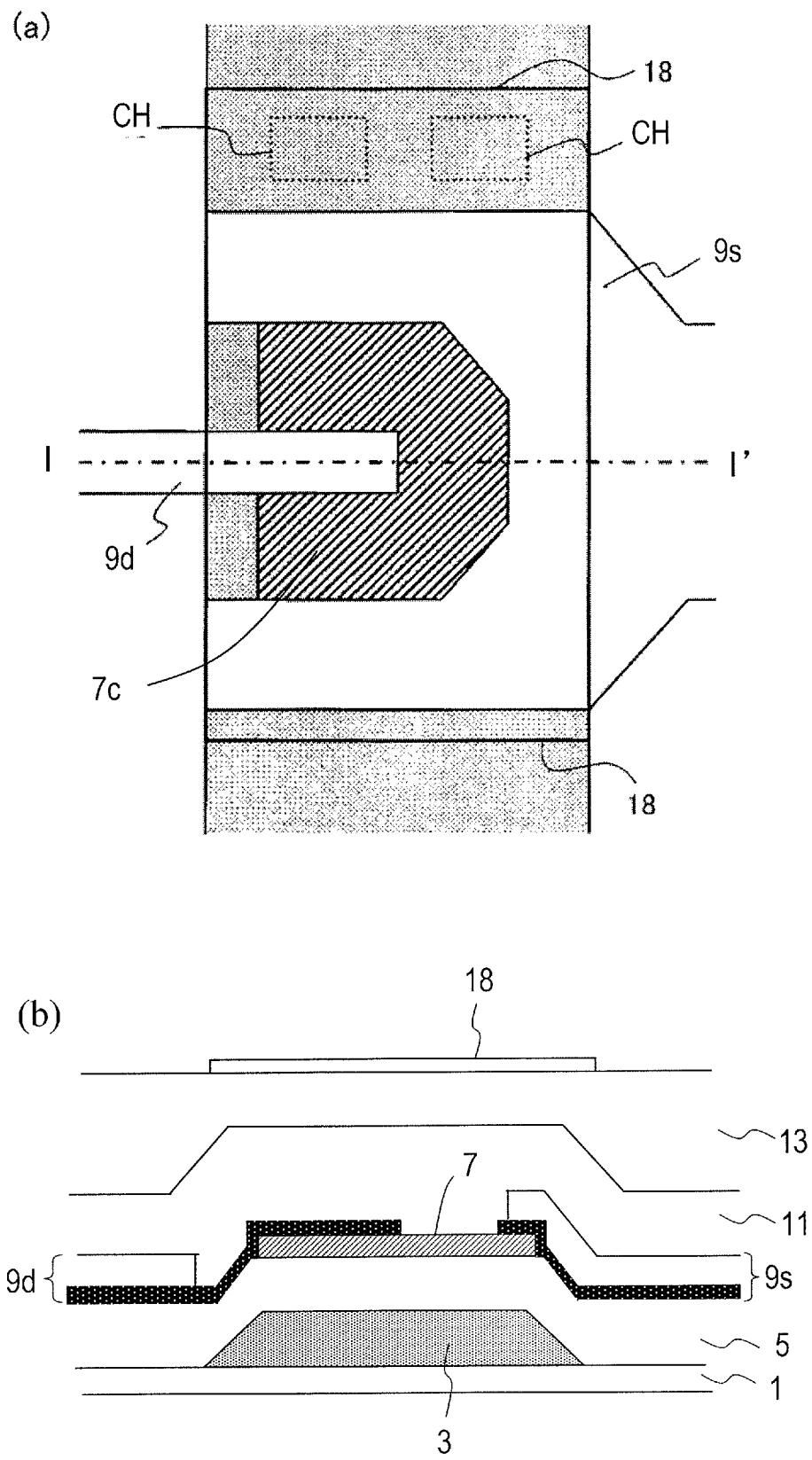
[図19]



[図20]

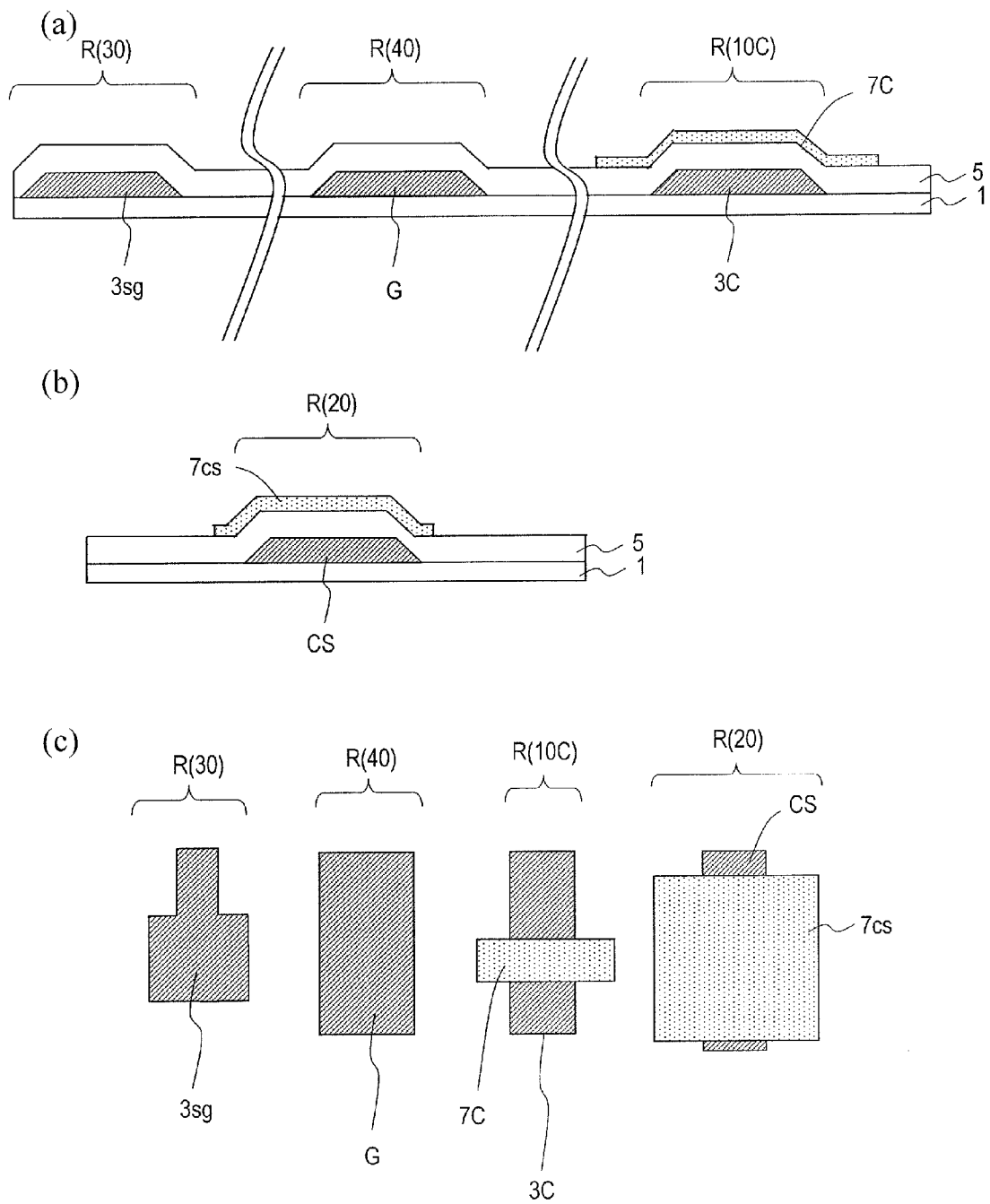


[図21]

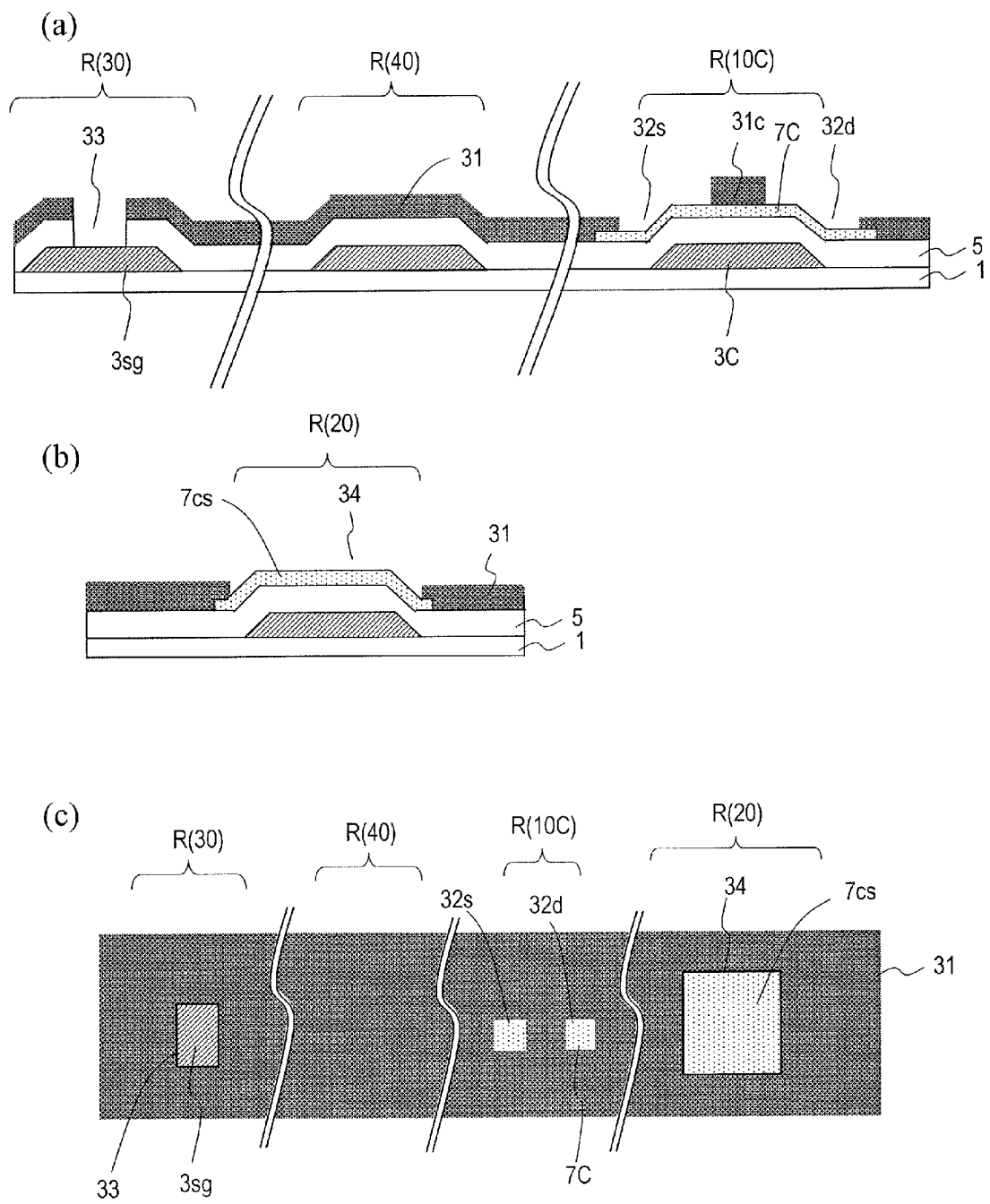


[illegible]

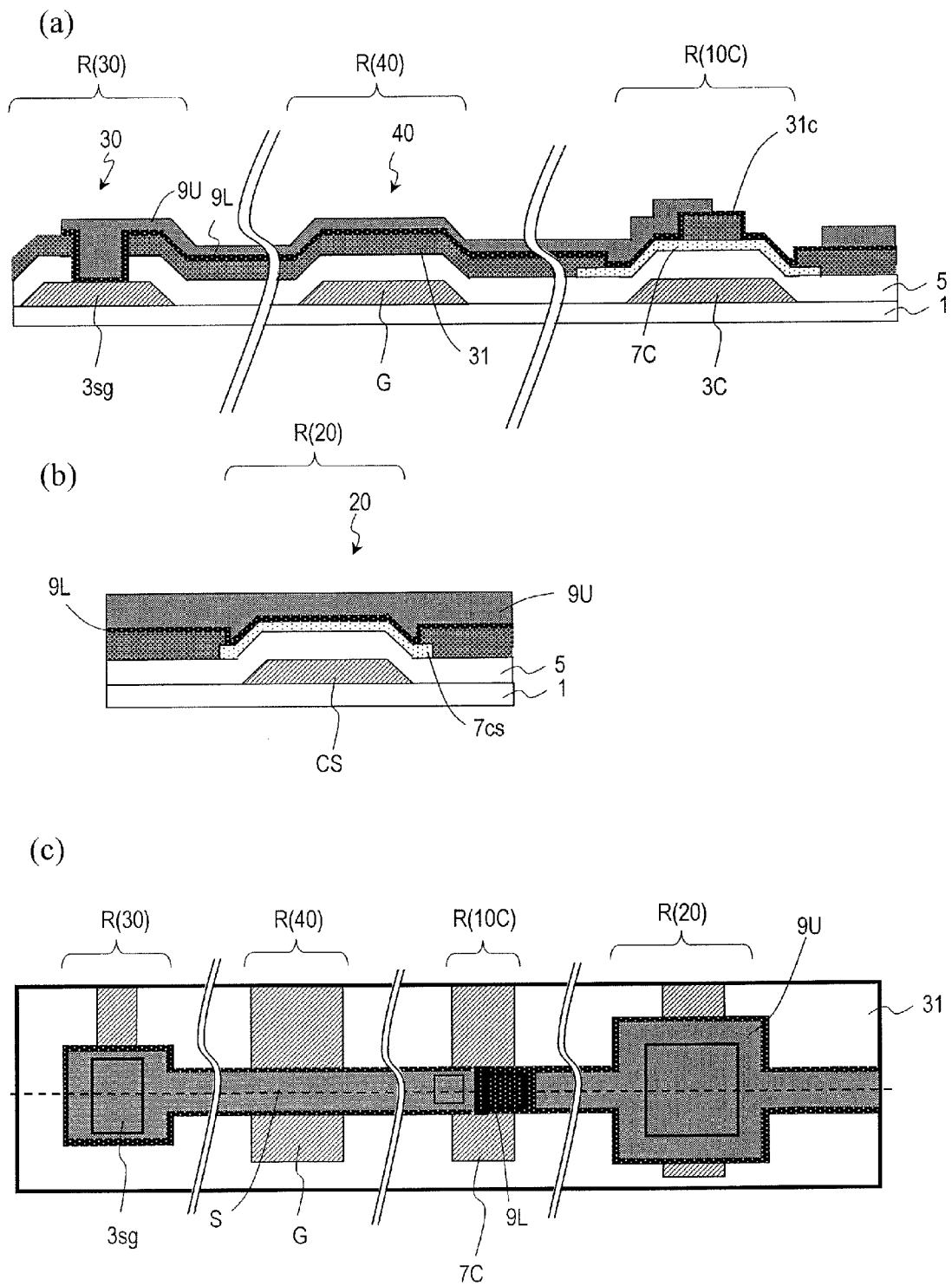
[図23]



[図24]



[図25]



[図27]

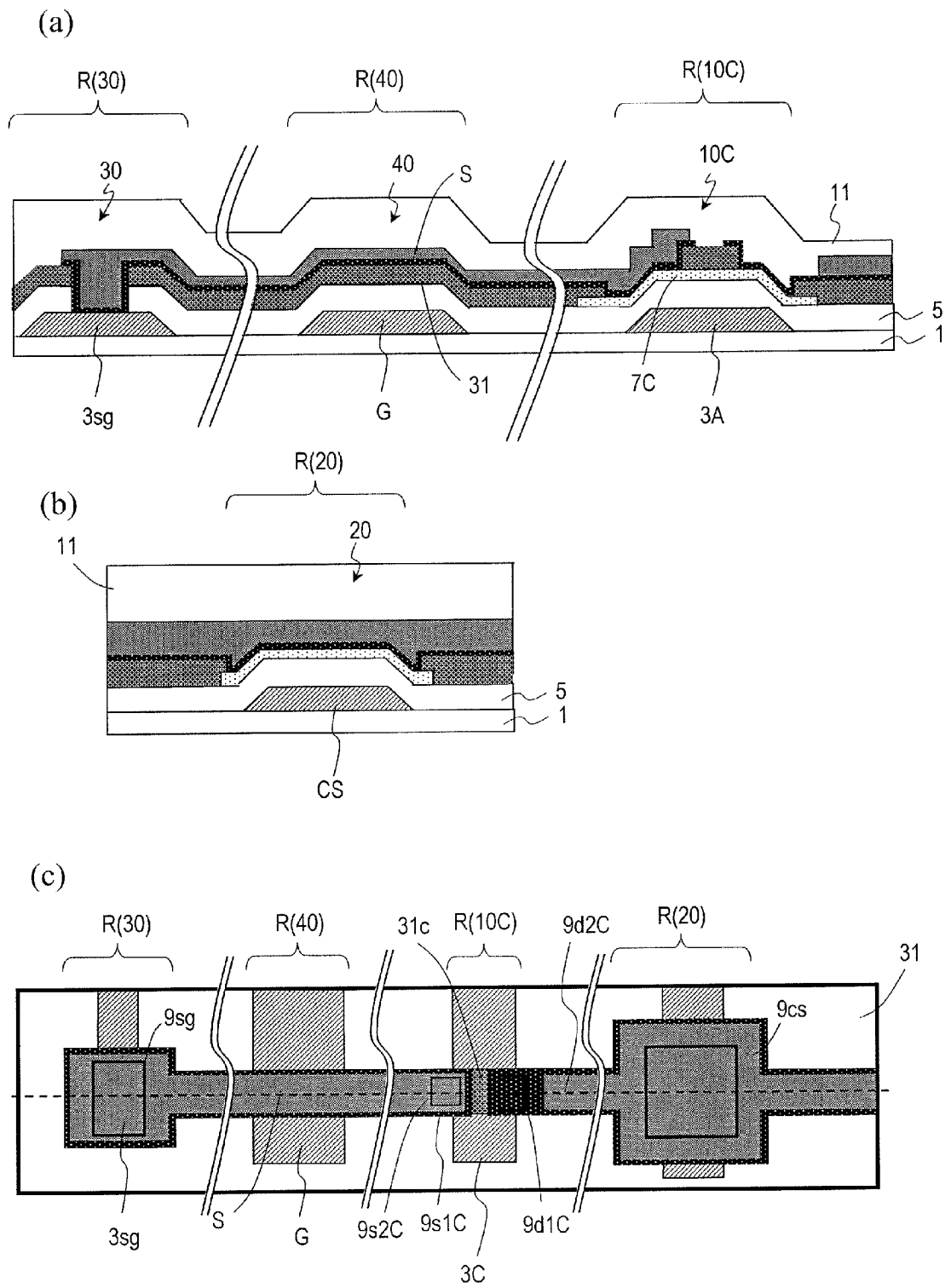
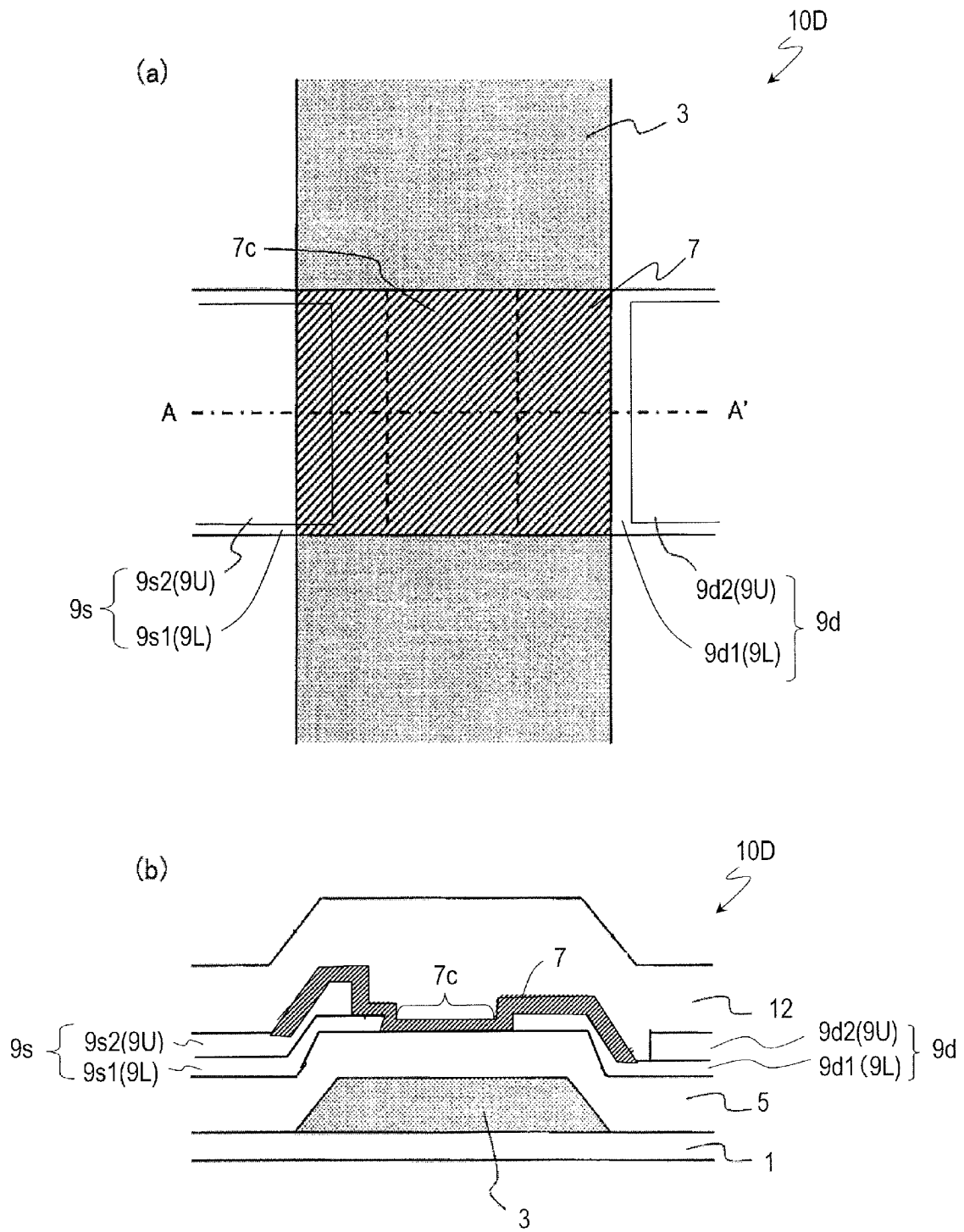


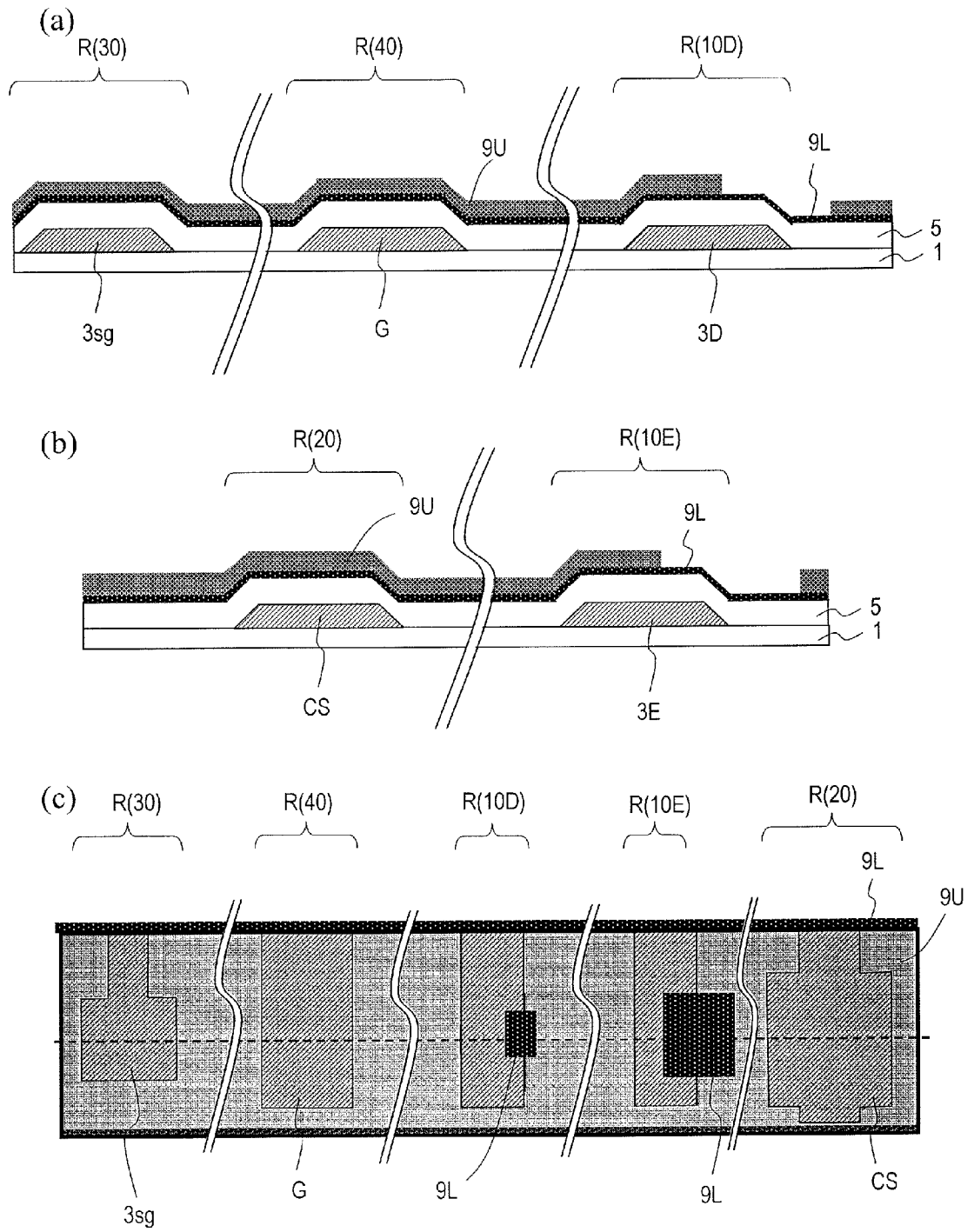
Figure 1 consists of three views of a semiconductor device:

- (a) Cross-sectional view:** Shows a substrate with layers 1, 5, 11, and 13. Regions R(30), R(40), and R(10C) are defined. Structures 3sg, 9sg, G, and 3A are shown. A vertical structure 15 is in R(30), and a horizontal structure 17 is in R(40).
- (b) Cross-sectional view:** Shows a substrate with layers 1, 5, 11, and 13. Region R(20) is defined. Structure CS is shown.
- (c) Plan view:** Shows the layout of the device. Regions R(30), R(40), R(10C), and R(20) are defined. Structures 9sg, 15, 17, S, G, 7C, and 1003 are shown.

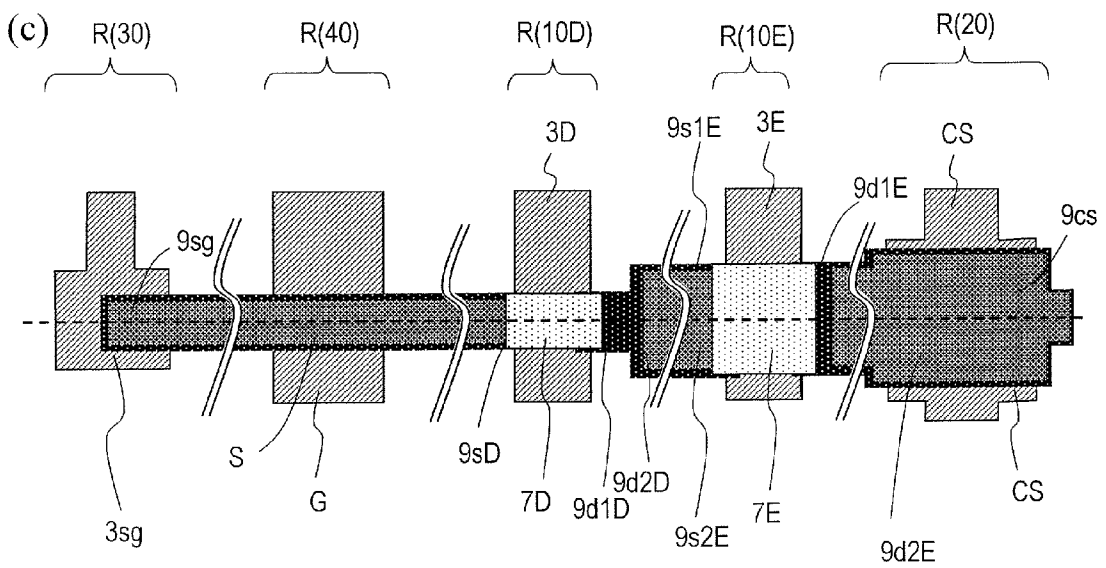
[図29]



[図30]

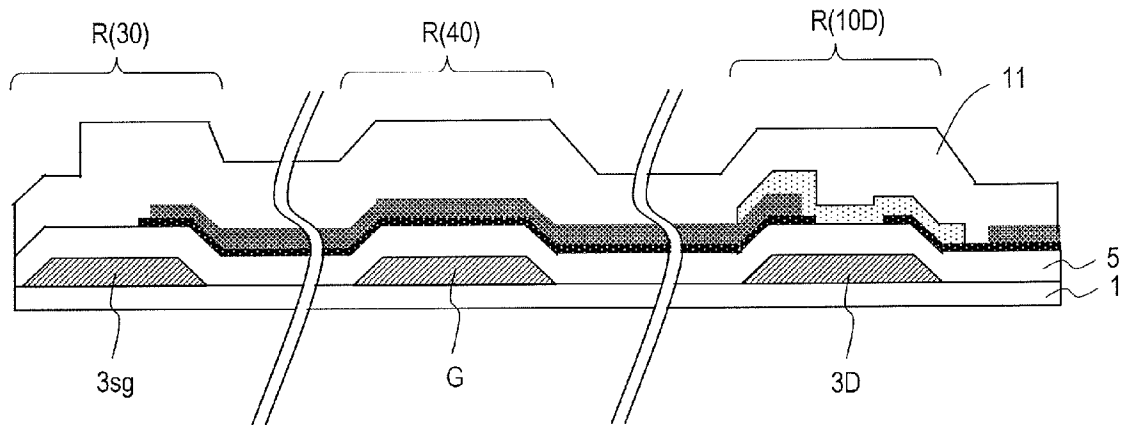


(a)

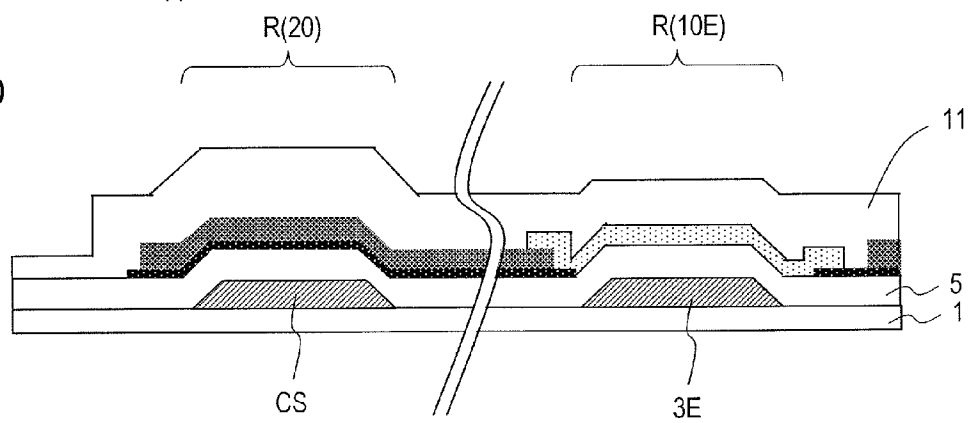


[図33]

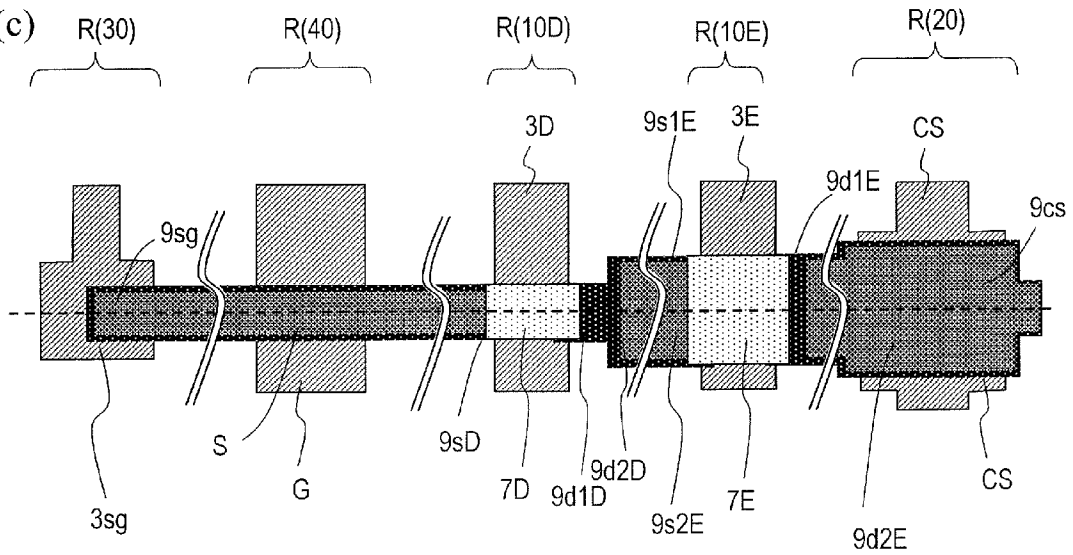
(a)



(b)



(c)



[図34]

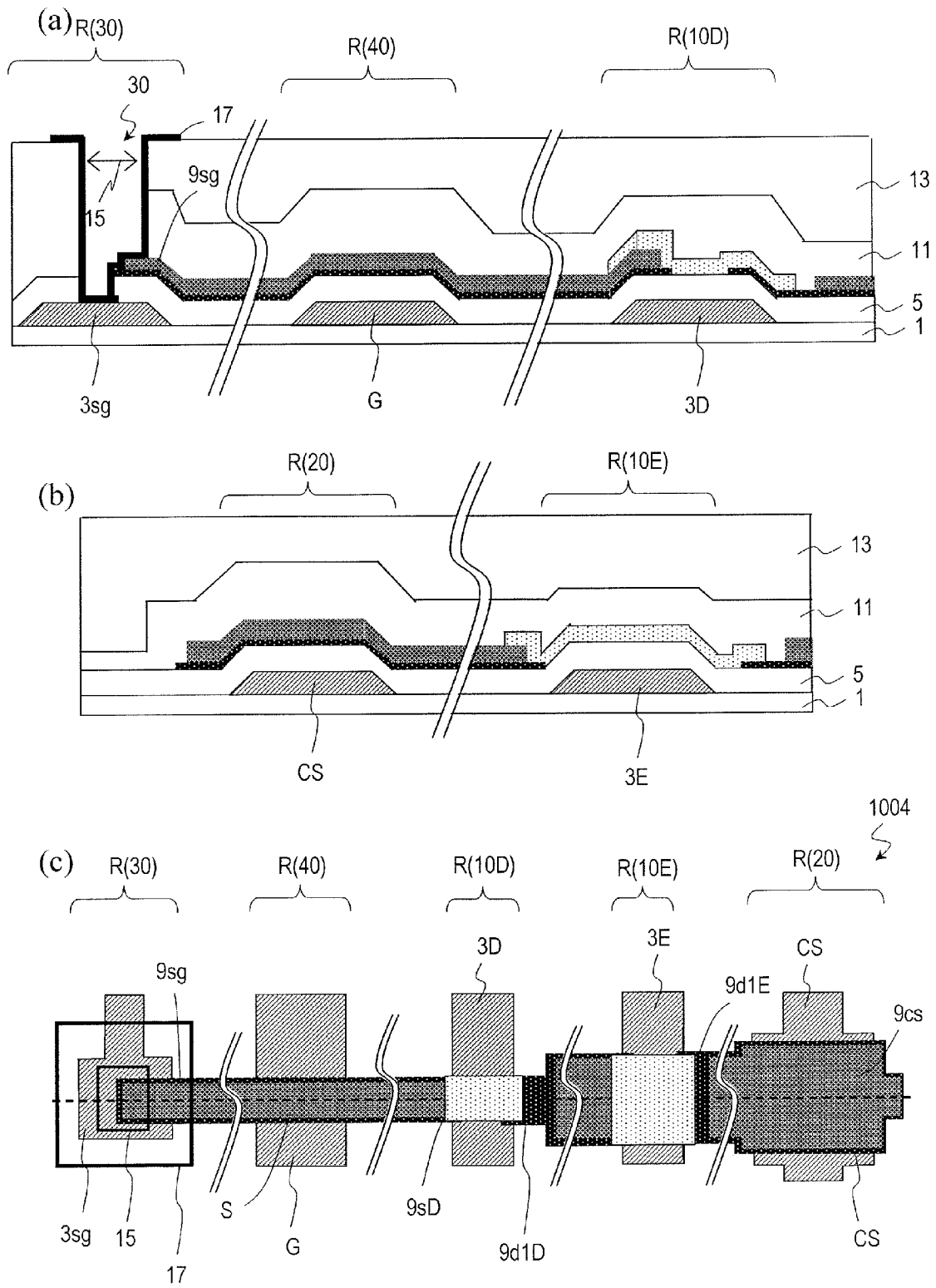
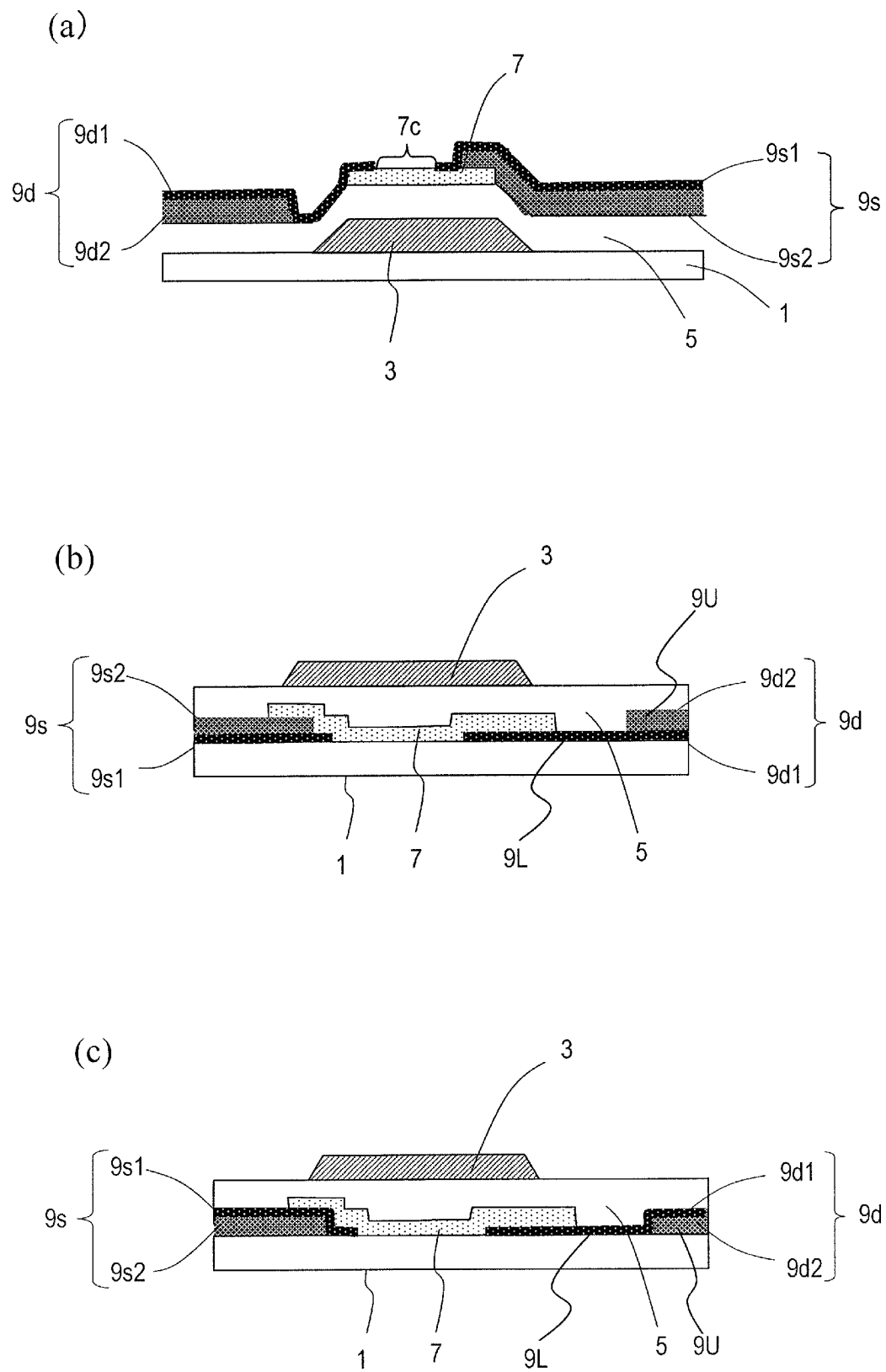


Figure 1 consists of three cross-sectional views of a semiconductor device, labeled (a), (b), and (c). Each view shows a substrate with various layers and structures. In (a), the device includes regions R(30), R(40), and R(10A). R(30) contains a stack of layers 3sg, 9sg, and 17. R(40) contains a layer G. R(10A) contains a stack of layers 9sA, 10A, 9d1A, 7A, 11, and 9d2A. In (b), the device includes regions R(30), R(40), and R(10C). R(30) contains a stack of layers 3sg, 9sg, and 17. R(40) contains a layer G. R(10C) contains a stack of layers 9sC, 10C, 9d1C, 7C, 11, and 9d2C. In (c), the device includes regions R(30), R(40), and R(10D). R(30) contains a stack of layers 3sg, 9sg, and 17. R(40) contains a layer G. R(10D) contains a stack of layers 9sD, 10D, 9d1D, 7D, 11, and 9d2D. The layers 9s, 10, 9d1, 7, 11, and 9d2 are shown in different patterns to represent different materials or layers.

[図36]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/071476

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/10(2006.01)i, G02F1/1368(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/10, G02F1/1368, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2013/080784 A1 (Sharp Corp.), 06 June 2013 (06.06.2013), paragraphs [0097] to [0213]; fig. 1 to 28 (Family: none)	1-16
A	WO 2013/065600 A1 (Sharp Corp.), 10 May 2013 (10.05.2013), paragraphs [0063] to [0075]; fig. 7 & TW 201327839 A	1-16
A	JP 2010-123748 A (Toshiba Corp.), 03 June 2010 (03.06.2010), paragraphs [0013] to [0025]; fig. 1 & US 2010/0127266 A1 & US 2012/0058601 A1 & US 2012/0132909 A1	1-16

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 September, 2014 (04.09.14)

Date of mailing of the international search report
16 September, 2014 (16.09.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/10(2006.01)i, G02F1/1368(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/10, G02F1/1368, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2013/080784 A1（シャープ株式会社）2013.06.06, [0097]-[0213], 図 1-28 (ファミリーなし)	1-16
A	WO 2013/065600 A1（シャープ株式会社）2013.05.10, [0063]-[0075], 図 7 & TW 201327839 A	1-16

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 9 . 2 0 1 4

国際調査報告の発送日

1 6 . 0 9 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

加藤 俊哉

5 F

9 5 5 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-123748 A (株式会社東芝) 2010.06.03, [0013]-[0025], 図 1 & US 2010/0127266 A1 & US 2012/0058601 A1 & US 2012/0132909 A1	1-16