



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년10월14일

(11) 등록번호 10-2717556

(24) 등록일자 2024년10월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/1343 (2006.01)

(52) CPC특허분류
G02F 1/1368 (2013.01)
G02F 1/1343 (2013.01)

(21) 출원번호 10-2018-7025600

(22) 출원일자(국제) 2017년01월18일
심사청구일자 2022년01월18일

(85) 번역문제출일자 2018년09월04일

(65) 공개번호 10-2018-0102207

(43) 공개일자 2018년09월14일

(86) 국제출원번호 PCT/US2017/013953

(87) 국제공개번호 WO 2017/136141
국제공개일자 2017년08월10일

(30) 우선권주장
62/292,017 2016년02월05일 미국(US)

(56) 선행기술조사문헌
KR1020150021622 A*
KR1020150040873 A*
KR1020130044058 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자
어플라이드 머티어리얼스, 인코포레이티드
미국 95054 캘리포니아 산타 클라라 바우어스 애
브뉴 3050

(72) 발명자
장, 수에나
미국 95124 캘리포니아 새너제이 로스 가토스 알
마덴 로드 1791

임, 동길
미국 94566 캘리포니아 플레젠튼 파세오 산타 마
리아 6333
(뒷면에 계속)

(74) 대리인
특허법인(유)남아이피그룹, 특허법인 남앤남

전체 청구항 수 : 총 11 항

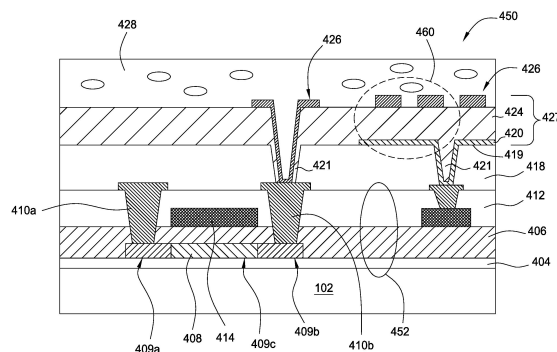
심사관 : 이우리

(54) 발명의 명칭 액정 디스플레이를 위한 높은 커패시턴스의 커패시터를 위한 계면 엔지니어링

(57) 요약

본 개시내용의 실시예들은 일반적으로, 박막 트랜지스터(TFT) 애플리케이션들을 위한 높은 커패시턴스 및 낮은 누설뿐만 아니라 양호한 계면 제어를 갖는 커패시터를 형성하는 방법들을 제공한다. 일 실시예에서, 박막 트랜지스터 구조는 박막 트랜지스터 디바이스에 형성된 커패시터를 포함한다. 커패시터는 기판 상에 배치된 공통 전극, 공통 전극 상에 형성된 유전체 층 및 유전체 층 상에 형성된 픽셀 전극을 더 포함한다. 공통 전극과 유전체 층 사이에 또는 유전체 층과 픽셀 전극 사이에 계면 보호 층이 형성된다. 하이-k 재료로 제조된 게이트 절연 층이 또한 박막 트랜지스터 구조에서 활용될 수 있다.

대표도



(72) 발명자

다이, 웬칭

미국 95132 캘리포니아 새너제이 웨스트헤븐 드라이브 1746

유, 하비

미국 94043 캘리포니아 마운틴 뷰 락 스트리트 2000 #12

원, 태경

미국 95129 캘리포니아 새너제이 벨베데레 레인 1054

양, 샤오-런

대만 116 타이페이 시티 웬산 디스트릭트 완닝 스트리트 레인 23 넘버3 5플로어

린, 완-위

대만 104 타이페이 베이-안 로드 레인 608 넘버3 3플로어-1

차이, 윤-추

대만 407 타이중 시티 시튼 디스트릭트 시튼 노스 레인 넘버 8-78

명세서

청구범위

청구항 1

박막 트랜지스터 구조로서,

박막 트랜지스터 디바이스에 형성된 커패시터를 포함하고,

상기 커패시터는,

기관 상에 배치된 공통 전극;

상기 공통 전극 상에 형성된 유전체 층 — 상기 유전체 층은 최상부 계면 보호 층과 최하부 계면 보호 층 사이에 샌드위치된 벌크 유전체 재료를 포함함 —; 및

상기 유전체 층 상에 형성된 픽셀 전극을 더 포함하고,

상기 최상부 계면 보호 층은 상기 픽셀 전극과 접촉하게 형성되고, 그리고 상기 최하부 계면 보호 층은 상기 공통 전극과 접촉하게 형성되며,

상기 최상부 계면 보호 층 및 상기 최하부 계면 보호 층은 실리콘 옥시나이트라이드 층이고, 그리고 상기 벌크 유전체 재료는 실리콘 나이트라이드 재료인,

박막 트랜지스터 구조.

청구항 2

삭제

청구항 3

제1 항에 있어서,

상기 공통 전극과 상기 기관 사이에 배치된 평탄화 층 아래에 형성된 게이트 전극을 더 포함하는,

박막 트랜지스터 구조.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

제1 항에 있어서,

상기 공통 전극 및 상기 픽셀 전극은, 인듐 주석 옥사이드(ITO), 인듐 아연 옥사이드(IZO), 인듐 주석 아연 옥사이드(ITZO), 은 나노 잉크(silver nano ink), 탄소 나노 튜브(CNT), 그래핀, 알루미늄(Al), 텅스텐(W), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 마그네슘(Mg), 은(Ag), 금(Au) 또는 이들의 합금들로 이루어진 그룹으로부터 선택된 재료로 제조되는,

박막 트랜지스터 구조.

청구항 8

제1 항에 있어서,
상기 공통 전극 또는 상기 픽셀 전극은 메시 또는 그리드 전극인,
박막 트랜지스터 구조.

청구항 9

제1 항에 있어서,
상기 픽셀 전극은 제1 전극 및 상기 제1 전극 상에 배치된 제2 전극을 포함하는,
박막 트랜지스터 구조.

청구항 10

제9 항에 있어서,
상기 제2 전극은 메시 또는 그리드 전극인,
박막 트랜지스터 구조.

청구항 11

박막 트랜지스터 애플리케이션들을 위해 기판 상에 커패시터 구조를 형성하기 위한 방법으로서,
박막 트랜지스터 디바이스들을 형성하는 데 활용되는 기판 상에 공통 전극을 형성하는 단계;
상기 공통 전극 상에 유전체 층을 형성하는 단계 — 상기 유전체 층은 최상부 계면 보호 층과 최하부 계면 보호 층 사이에 샌드위치된 벌크 유전체 재료를 포함함 —; 및
상기 유전체 층 상에 픽셀 전극을 형성하는 단계를 포함하고,
상기 최상부 계면 보호 층은 상기 픽셀 전극과 접촉하게 형성되고, 그리고 상기 최하부 계면 보호 층은 상기 공통 전극과 접촉하게 형성되며,
상기 최상부 계면 보호 층 및 상기 최하부 계면 보호 층은 실리콘 옥시니트라이드 층이고, 그리고 상기 벌크 유전체 재료는 실리콘 니트라이드 재료인,
박막 트랜지스터 애플리케이션들을 위해 기판 상에 커패시터 구조를 형성하기 위한 방법.

청구항 12

삭제

청구항 13

제11 항에 있어서,
상기 픽셀 전극은 메시 또는 그리드 전극인,
박막 트랜지스터 애플리케이션들을 위해 기판 상에 커패시터 구조를 형성하기 위한 방법.

청구항 14

제11 항에 있어서,
상기 공통 전극 및 상기 픽셀 전극은, 인듐 주석 옥사이드(ITO), 인듐 아연 옥사이드(IZO), 인듐 주석 아연 옥사이드(ITZO), 알루미늄(Al), 텅스텐(W), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 마그네슘(Mg), 은(Ag), 금(Au), 은 나노 잉크, 탄소 나노 튜브(CNT), 그래핀 또는 이들의 합금들로 이루어진 그룹으로부터 선택된 재료로 제조되는,
박막 트랜지스터 애플리케이션들을 위해 기판 상에 커패시터 구조를 형성하기 위한 방법.

청구항 15

제11 항에 있어서,
상기 픽셀 전극은 제1 전극 및 상기 제1 전극 상에 배치된 제2 전극을 포함하는,
박막 트랜지스터 애플리케이션들을 위해 기판 상에 커패시터 구조를 형성하기 위한 방법.

청구항 16

제15 항에 있어서,
상기 제2 전극은 메시 또는 그리드 전극인,
박막 트랜지스터 애플리케이션들을 위해 기판 상에 커패시터 구조를 형성하기 위한 방법.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 개시내용의 실시예들은 일반적으로, 높은 커패시턴스 및 낮은 누설을 갖는 픽셀 커패시터 구조를 형성하는 것에 관한 것이다. 더 구체적으로, 본 개시내용의 실시예들은, 액정 디스플레이(LCD; liquid crystal display) 애플리케이션들을 위한 높은 커패시턴스 및 낮은 누설을 갖는 픽셀 커패시터 구조를 형성하기 위한 방법들에 관한 것이다.

배경 기술

[0002] 디스플레이 디바이스들은, 광범위한 전자 애플리케이션들, 이를테면, TV, 모니터들, 모바일 폰, MP3 플레이어들, e-북 리더들, 및 개인 휴대 정보 단말(PDA; personal digital assistant)들 등에 널리 사용되어 왔다. 디스플레이 디바이스는 일반적으로, 2개의 기판들(예컨대, 픽셀 전극과 공통 전극) 사이의 갭을 충전(fill)하고 유전체 필드의 강도를 제어하는 이방성 유전 상수를 갖는 액정에 전계를 인가함으로써 원하는 이미지를 생성하도록 설계된다. 기판들을 통해 투과되는 광의 양을 조정함으로써, 광 및 이미지 강도, 품질 및 전력 소비가 효율적으로 제어될 수 있다.

[0003] 다양한 상이한 디스플레이 디바이스들, 이를테면, 능동 매트릭스 액정 디스플레이(AMLCD; active matrix liquid crystal display) 또는 능동 매트릭스 유기 발광 다이오드(AMOLED; active matrix organic light emitting diode)들이, 터치 스크린 패널들을 활용하는 디스플레이 디바이스들을 위한 광 소스들로서 이용될 수 있다. TFT 디바이스들을 제조하는 데 있어서, 높은 전자 이동도, 낮은 누설 전류 및 높은 항복 전압을 갖는 전자 디바이스는, 회로의 집적 및 광 송신을 위한 더 많은 픽셀 영역을 가능하게 하고, 이로써, 더 밝은 디스플레이, 더 높은 전체 전기 효율, 더 고속의 응답 시간 및 더 높은 해상도의 디스플레이들을 초래할 것이다. 일부 디바이스들에서, TFT 디바이스들이 동작중일 때 전하들을 저장할 수 있는 커패시터를 형성하기 위해, 유전체 층이 픽셀 전극과 공통 전극 사이에 배치된다. 형성되는 커패시터는, TFT 디바이스들의 원하는 전기적 성능을 제공하기 위해 높은 커패시턴스뿐만 아니라 낮은 누설을 갖도록 요구된다. 커패시턴스는 픽셀 전극과 공통 전극 사이에 형성되는 유전체 층의 유전 상수 그리고/또는 유전체 층의 두께를 변경시킴으로써 조

정될 수 있다. 예컨대, 유전체 층이, 더 높은 유전 상수를 갖는 재료로 대체될 때, 커패시터의 커패시턴스가 또한 증가될 것이다. 그러나, 유전체 층의 재료의 선택은 커패시터의 커패시턴스에 영향을 미칠 뿐만 아니라, 전극들에 대한(픽셀 전극에 대한 또는 공통 전극에 대한) 유전체 층의 재료의 비호환성이 막 구조 박리, 불량한 계면 접착, 또는 계면 재료 확산을 또한 초래할 수 있으며, 이는 결국 디바이스 고장 및 낮은 제품 수율로 이어질 수 있다.

[0004] [0004] 따라서, 개선된 디바이스 전기적 성능을 생성하는 TFT 디바이스들을 제조하기 위한, 높은 커패시턴스 및 낮은 누설뿐만 아니라 양호한 계면 제어를 갖는 커패시터를 형성하기 위한 개선된 방법들에 대한 필요성이 존재한다.

발명의 내용

[0005] [0005] 본 개시내용의 실시예들은 일반적으로, 박막 트랜지스터(TFT) 애플리케이션들을 위한 높은 커패시턴스 및 낮은 누설뿐만 아니라 양호한 계면 제어를 갖는 커패시터를 형성하는 방법들을 제공한다. 일 실시예에서, 박막 트랜지스터 구조는 박막 트랜지스터 디바이스에 형성된 커패시터를 포함한다. 커패시터는 기판 상에 배치된 공통 전극, 공통 전극 상에 형성된 유전체 층 및 유전체 층 상에 형성된 픽셀 전극을 더 포함한다. 공통 전극과 유전체 층 사이에 또는 유전체 층과 픽셀 전극 사이에 계면 보호 층이 형성된다.

[0006] [0006] 다른 실시예에서, 박막 트랜지스터 애플리케이션들을 위해 기판 상에 커패시터 구조를 형성하기 위한 방법은, 박막 트랜지스터 디바이스들을 형성하는 데 활용되는 기판 상에 공통 전극을 형성하는 단계, 공통 전극 상에 유전체 층을 형성하는 단계 및 유전체 층 상에 픽셀 전극을 형성하는 단계를 포함한다. 공통 전극과 유전체 층 사이에 또는 유전체 층과 픽셀 전극 사이에 계면 보호 층이 형성된다.

[0007] [0007] 또 다른 실시예에서, 박막 트랜지스터 애플리케이션들을 위해 기판 상에 절연 층을 형성하기 위한 방법은, 원자 층 증착 프로세스, 또는 원자 층 증착 및 화학 기상 증착 프로세스를 포함하는 하이브리드 프로세스에 의해 기판 상에 하이(high)-k 층을 형성하는 단계를 포함하며, 하이-k 층은 박막 트랜지스터 디바이스의 에칭 스톱 층(etch stop layer), 층간 절연체, 커패시터, 패시베이션 층, 게이트 절연 층이다.

도면의 간단한 설명

[0008] [0008] 본 개시내용의 상기 열거된 특징들이 획득되고 상세히 이해될 수 있는 방식으로, 앞서 간략히 요약된 본 개시내용의 보다 구체적인 설명이 본 개시내용의 실시예들을 참조로 하여 이루어질 수 있는데, 본 개시내용의 실시예들은 첨부된 도면들에 예시되어 있다.

[0009] 도 1은 본 개시내용의 일 실시예에 따라 유전체 층을 증착하는 데 사용될 수 있는 프로세싱 챔버의 단면도를 도시하고;

[0010] 도 2는 본 개시내용의 일 실시예에 따라 금속 층을 증착하는 데 사용될 수 있는 프로세싱 챔버의 단면도를 도시하고;

[0011] 도 3은 TFT 디바이스 구조의 부분을 형성하는 방법의 일 실시예의 프로세스 흐름도를 도시하고;

[0012] 도 4는 박막 트랜지스터 디바이스 구조의 일 예의 단면도이고;

[0013] 도 5a-5c는 도 4의 박막 트랜지스터에서 활용될 수 있는 막 구조들의 상이한 예들을 도시하고;

[0014] 도 6a-6c는 도 4의 박막 트랜지스터에서 활용될 수 있는 막 구조들의 상이한 예들을 도시하고; 그리고

[0015] 도 7은 본 개시내용의 일 실시예에 따라 하이-k 재료를 증착하는 데 사용될 수 있는 프로세싱 챔버의 단면도를 도시한다.

[0016] 이해를 촉진시키기 위해, 도면들에 대해 공통적인 동일한 엘리먼트들을 가리키기 위해 가능한 경우 동일한 도면부호들이 사용되었다. 일 실시예의 엘리먼트들 및 피처(feature)들이 추가의 언급없이 다른 실시예들에 유익하게 통합될 수 있음이 고려된다.

[0017] 그러나, 첨부된 도면들은 본 개시내용의 단지 예시적인 실시예들을 예시하는 것이므로 본 개시내용의 범위를 제한하는 것으로 간주되지 않아야 한다는 것이 주목되어야 하는데, 이는 본 개시내용이 다른 균등하게 유효한 실시예들을 허용할 수 있기 때문이다.

발명을 실시하기 위한 구체적인 내용

- [0009] [0018] 본 개시내용의 실시예들은 일반적으로, 디스플레이 디바이스들을 위한 높은 커패시턴스 및 낮은 누설과 같은 향상된 전기적 성능을 갖는 커패시터 또는 높은 유전 상수를 갖는 절연 층을 형성하는 방법들을 제공한다. 일 예에서, 디스플레이 디바이스들에 형성된 커패시터는 픽셀 전극과 공통 전극 사이에 형성된 유전체 층을 포함할 수 있다. 유전체 층은 8 초과의 유전 상수를 갖는 하이-k 유전체 재료일 수 있다. 다른 에레인지먼트에서, 픽셀 전극과 유전체 층 사이에 그리고/또는 공통 전극과 유전체 층 사이에 계면 보호 층이 형성될 수 있다. 이러한 커패시터 구조는 양호한 계면 접촉 제어로 트랜지스터 및 다이오드 디바이스들의 전기적 성능을 효율적으로 향상시킬 수 있다. 다른 예에서, 높은 유전 상수를 갖는 임의의 절연 층, 이를테면, 게이트 절연 층, 에칭 스톱 층 또는 계면 보호 층은 또한, 전기적 성능 향상 및 개선을 위해 높은 유전 상수의 재료를 활용할 수 있다.
- [0010] [0019] 도 1은, TFT 디바이스 구조의 패시베이션 층, 커패시터용 유전체 층, 층간 절연체, 패시베이션 층, 에칭 스톱 층, 게이트 절연 층, 또는 절연 층과 같은 유전체 층이 증착될 수 있는, 플라즈마 강화 화학 기상 증착(PECVD; plasma enhanced chemical vapor deposition) 챔버(프로세싱 챔버)(100)의 일 실시예의 개략적인 단면도이다. 하나의 적합한 플라즈마 강화 화학 기상 증착 챔버는 캘리포니아, 산타클라라에 소재하는 Applied Materials, Inc.로부터 입수가 가능하다. 다른 제조자들로부터의 증착 챔버들을 포함한 다른 증착 챔버들이 본 개시내용을 실시하는 데 활용될 수 있다는 것이 고려된다.
- [0011] [0020] 챔버(100)는 일반적으로, 벽들(142), 최하부(104) 및 리드(112)를 포함하며, 이들은 프로세스 볼륨(106)의 경계를 이룬다(bound). 가스 분배 플레이트(110) 및 기판 지지 어셈블리(130)는 프로세스 볼륨(106) 내에 배치된다. 프로세스 볼륨(106)은, 기판(102)이 챔버(100) 내로 그리고 챔버(100) 밖으로 이송될 수 있도록, 벽(142)을 통해 형성된 밸브(108)를 통해 액세스된다.
- [0012] [0021] 기판 지지 어셈블리(130)는 기판 수용 표면(132)을 포함하며, 기판 수용 표면(132)은 기판 수용 표면(132) 상에 기판(102)을 지지하기 위한 것이다. 스템(stem)(134)이 기판 지지 어셈블리(130)를 리프트 시스템(136)에 커플링시키고, 리프트 시스템(136)은 기판 지지 어셈블리(130)를 기판 이송 포지션과 프로세싱 포지션 사이에서 상승 및 하강시킨다. 섀도우 프레임(133)은, 기판(102)의 에지 상의 증착을 방지하기 위해, 프로세싱 시에 기판(102)의 주변부 위에 선택적으로 배치될 수 있다. 리프트 핀들(138)은 기판 지지 어셈블리(130)를 통해서 이동가능하게 배치되고, 기판(102)을 기판 수용 표면(132)으로부터 이격시키도록 적응된다. 기판 지지 어셈블리(130)는 또한, 기판 지지 어셈블리(130)를 원하는 온도로 유지하는 데 활용되는 가열 및/또는 냉각 엘리먼트들(139)을 포함할 수 있다. 기판 지지 어셈블리(130)는 또한, 기판 지지 어셈블리(130)의 주변부 둘레에 RF 리턴 경로를 제공하기 위한 접지 스트랩(grounding strap)들(131)을 포함할 수 있다.
- [0013] [0022] 가스 분배 플레이트(110)는 그 자신의 주변부에서 서스펜션(114)에 의해 챔버(100)의 벽(142) 또는 리드(112)에 커플링된다. 가스 분배 플레이트(110)는 또한, 처짐(sag)을 방지하는 것 및/또는 가스 분배 플레이트(110)의 직각도(straightness)/곡률(curvature)을 제어하는 것을 돕기 위한 하나 또는 그 초과의 중앙 지지부들(116)에 의해 리드(112)에 커플링될 수 있다. 가스 분배 플레이트(110)는 상이한 치수들을 갖는 상이한 구성들을 가질 수 있다. 예시적인 실시예에서, 가스 분배 플레이트(110)는 사변형의 평면 형상(quadrilateral plan shape)을 갖는다. 가스 분배 플레이트(110)는, 기판 지지 어셈블리(130) 상에 배치된 기판(102)의 상부 표면(118)과 대면하는 다운스트림 표면(150)을 가지며, 다운스트림 표면(250)은 다운스트림 표면(250) 내에 형성된 복수의 애퍼처들(111)을 갖는다. 애퍼처들(111)은 가스 분배 플레이트(110)에 걸쳐서 상이한 형상들, 수, 밀도들, 치수들, 및 분포들을 가질 수 있다. 일 실시예에서, 애퍼처들(111)의 직경은 대략 0.01 인치 내지 대략 1 인치 사이에서 선택될 수 있다.
- [0014] [0023] 가스를 리드(112)를 통해 그리고 이어서 가스 분배 플레이트(110) 내에 형성된 애퍼처들(111)을 통해 프로세스 볼륨(106)으로 제공하기 위해, 가스 소스(120)가 리드(112)에 커플링된다. 프로세스 볼륨(106) 내의 가스를 원하는 압력으로 유지하기 위해, 진공 펌프(109)가 챔버(100)에 커플링된다.
- [0015] [0024] 가스 분배 플레이트(110)와 기판 지지 어셈블리(130) 사이에 존재하는 가스들로부터 플라즈마가 생성될 수 있도록, 가스 분배 플레이트(110)와 기판 지지 어셈블리(130) 사이에 전기장을 생성하는 RF 전력을 제공하기 위해, RF 전력 소스(122)가 리드(112) 및/또는 가스 분배 플레이트(110)에 커플링된다. RF 전력은 다양한 RF 주파수들로 인가될 수 있다. 예컨대, RF 전력은 대략 0.3 MHz 내지 대략 200 MHz의 주파수로 인가될 수 있다. 일 실시예에서, RF 전력은 13.56 MHz의 주파수로 제공된다.

- [0016] [0025] 일 실시예에서, 가스 분배 플레이트(110)의 다운스트림 표면(150)의 에지들은, 가스 분배 플레이트(110) 및 기관 수용 표면(132)의 에지 및 코너들 사이에, 그리고 결과적으로, 가스 분배 플레이트(110)와 기관(102)의 상부 표면(118) 사이에 간격 그레디언트(spacing gradient)가 정의되도록, 만족될 수 있다. 다운스트림 표면(150)의 형상은 특정 프로세스 요건들을 충족시키도록 선택될 수 있다. 예컨대, 다운스트림 표면(150)의 형상은 볼록형, 평면형, 오목형 또는 다른 적합한 형상일 수 있다. 따라서, 에지 대 코너 간격 그레디언트(edge to corner spacing gradient)는, 기관의 에지에 걸쳐 막 특성 균일성을 튜닝하고, 이로써, 기관의 코너에 배치된 막들의 특성 불균일성을 정정하는 데 활용될 수 있다. 부가적으로, 에지 대 중앙 간격(edge to center spacing)은 또한, 기관의 에지와 중앙 사이에서 막 특성 분포 균일성이 제어될 수 있도록, 제어될 수 있다. 일 실시예에서, 가스 분배 플레이트(110)의 에지의 중앙 부분이 가스 분배 플레이트(110)의 코너들보다 기관(102)의 상부 표면(118)으로부터 더 멀리 이격되도록, 가스 분배 플레이트(110)의 오목한 만곡형 에지가 사용될 수 있다. 다른 실시예에서, 가스 분배 플레이트(110)의 코너들이 가스 분배 플레이트(110)의 에지들보다 기관(102)의 상부 표면(118)으로부터 더 멀리 이격되도록, 가스 분배 플레이트(110)의 볼록한 만곡형 에지가 사용될 수 있다.
- [0017] [0026] 원격 플라즈마 소스(124), 이를테면, 유도성으로 커플링된 원격 플라즈마 소스가 또한, 가스 소스와 가스 분배 플레이트(110) 사이에 커플링될 수 있다. 기관들을 프로세싱하는 사이에, 챔버 컴포넌트들을 세정하는 데 활용되는 플라즈마를 원격으로 제공하기 위해, 세정 가스가 원격 플라즈마 소스(124) 내에서 에너지이징될 수 있다. 프로세스 볼륨(106)에 진입하는 세정 가스는, 전력 소스(122)에 의해 가스 분배 플레이트(110)에 제공되는 RF 전력에 의해서 추가로 여기될 수 있다. 적합한 세정 가스들은 NF_3 , F_2 , 및 SF_6 을 포함한다(그러나 이에 제한되지 않음).
- [0018] [0027] 일 실시예에서, 챔버(100) 내에서 프로세싱될 수 있는 기관(102)은 10,000 cm^2 또는 그 초과, 이를테면, 25,000 cm^2 또는 그 초과, 예컨대 대략 55,000 cm^2 또는 그 초과의 표면적을 가질 수 있다. 프로세싱 후에, 더 작은 다른 디바이스들을 형성하기 위해 기관이 커팅될 수 있다는 것이 이해된다.
- [0019] [0028] 일 실시예에서, 가열 및/또는 냉각 엘리먼트들(139)은 증착 동안 대략 600°C 또는 그 미만, 예컨대 대략 100°C 내지 대략 500°C, 또는 대략 200°C 내지 대략 500°C, 이를테면, 대략 300°C 내지 500°C의 기관 지지 어셈블리 온도를 제공하도록 설정될 수 있다.
- [0020] [0029] 기관 수용 표면(132) 상에 배치된 기관(102)의 상부 표면(118)과 가스 분배 플레이트(110) 사이의 증착 동안의 공칭적인 간격(nominal spacing)은 일반적으로, 400 mil 내지 대략 1,200 mil 사이에서, 이를테면, 400 mil 내지 대략 800 mil 사이에서, 또는 원하는 증착 결과들을 획득하기 위해 요구되는 다른 거리로 변화할 수 있다. 가스 분배 플레이트(110)가 오목한 다운스트림 표면을 갖는 일 예시적인 실시예에서, 가스 분배 플레이트(110)의 에지의 중앙 부분과 기관 수용 표면(132) 사이의 간격은 대략 400 mils 내지 대략 1400 mils이고, 가스 분배 플레이트(110)의 코너들과 기관 수용 표면(132) 사이의 간격은 대략 300 mils 내지 대략 1200 mils이다.
- [0021] [0030] 도 2는 본 발명의 일 실시예에 따라 계면 보호 층 및/또는 금속 전극, 이를테면, 픽셀 전극 또는 공통 전극을 형성하기에 적합한 예시적인 반응성 스퍼터 프로세싱 챔버(200)를 예시한다. 프로세싱 챔버(200)는 다수의 프로세싱 챔버들(200)을 갖는 진공 프로세싱 시스템의 부분일 수 있다. 본 발명으로부터 이익을 얻도록 적용될 수 있는 프로세스 챔버의 일 예는, 캘리포니아, 산타클라라에 소재하는 Applied Materials, Inc.로부터 입수가능한 물리 기상 증착(PVD; physical vapor deposition) 프로세스 챔버이다. 다른 제조사들로부터의 것들을 포함한 다른 스퍼터 프로세스 챔버들이 본 발명을 실시하도록 적용될 수 있음이 고려된다.
- [0022] [0031] 프로세싱 챔버(200)는 챔버 바디(208)를 포함하며, 챔버 바디(208)는 챔버 바디(208) 내에 정의되고 리드 어셈블리(204)에 의해 둘러싸이는 프로세싱 볼륨(218)을 갖는다. 챔버 바디(208)는 측벽들(210) 및 최하부(246)를 갖는다. 프로세스 챔버(200)의 챔버 바디(208) 및 관련된 컴포넌트들의 치수들은 제한되지 않으며, 일반적으로는, 내부에서 프로세싱될, 도 1의 기관(102)과 같은 기관의 사이즈보다 비례적으로 더 크다. 따라서, 적합하게 사이즈가 정해진 프로세스 챔버 내에서, 임의의 적합한 기관 사이즈가 프로세싱될 수 있다. 적합한 기관 사이즈들의 예들은 대략 2000 또는 그 초과의 제곱 센티미터의 평면 표면적을 갖는 기관들을 포함한다.
- [0023] [0032] 챔버 바디(208)는 알루미늄 또는 다른 적합한 재료로 제조될 수 있다. 프로세스 챔버(200) 내로의 그리고 프로세스 챔버(200) 밖으로의 기관(102)(즉, 솔라 패널 또는 평면 패널 디스플레이 기관, 플라스틱 또는 가요성 기관, 반도체 웨이퍼, 또는 다른 워크피스)의 이송을 용이하게 하는 기관 액세스 포트(230)가 챔버 바디

(208)의 측벽(210)을 통해 형성된다. 액세스 포트(230)는 이송 챔버 및/또는 기판 프로세싱 시스템의 다른 챔버들에 커플링될 수 있다.

[0024] [0033] 프로세스 가스들을 프로세싱 볼륨(218) 내로 공급하기 위해, 가스 소스(228)가 챔버 바디(208)에 커플링된다. 가스 소스(228)에 의해 제공될 수 있는 프로세스 가스들의 예들은 불활성 가스들, 비-반응성 가스들, 및 반응성 가스들을 포함한다. 일 실시예에서, 가스 소스(228)에 의해 제공되는 프로세스 가스들은, 특히, 아르곤 가스(Ar), 헬륨(He), 질소 가스(N₂), 산소 가스(O₂), 및 H₂O를 포함할 수 있다(그러나 이에 제한되지 않음).

[0025] [0034] 펌핑 포트(250)가 챔버 바디(208)의 최하부(246)를 통해 형성된다. 프로세스 볼륨(218)을 진공배기(evacuate)시키고 프로세스 볼륨(218) 내의 압력을 제어하기 위해, 펌핑 디바이스(252)가 프로세스 볼륨(218)에 커플링된다. 일 실시예에서, 프로세스 챔버(200)의 압력 레벨은 대략 1 Torr 또는 그 미만으로 유지될 수 있다.

[0026] [0035] 리드 어셈블리(204)는 일반적으로, 타겟(220) 및 타겟(220)에 커플링되거나 가까이 포지셔닝된 접지 실드 어셈블리(226)를 포함한다. 타겟(220)은, PVD 프로세스 동안 기판(102)의 표면 상으로 스퍼터링되고 증착될 수 있는 재료 소스를 제공한다. 타겟(220) 또는 타겟 플레이트는 증착 종(deposition specie)으로 활용되는 재료로 제조될 수 있다. 타겟(220)으로부터 재료들을 스퍼터링하는 것을 용이하게 하기 위해, 고전압 전력 공급부, 이를테면, 전력 소스(232)가 타겟(220)에 연결된다. 일 실시예에서, 타겟(220)은, 금속 함유 재료, 이를테면, 티타늄(Ti), 탄탈륨(Ta), 마그네슘(Mg), 은(Si), 인듐(In), 주석(Sn), 인듐 주석 옥사이드(ITO), 인듐 주석 옥사이드(ITO), 인듐 아연 옥사이드(IZO), 인듐 주석 아연 옥사이드(ITZO), 알루미늄(Al), 텅스텐(W), 금(Au), 몰리브덴(Mo), 수은(Hg), 크롬(Cr), 금속, 금속 합금 또는 다른 적합한 재료들로 제조될 수 있다. 다른 실시예에서, 타겟(220)은 인듐 주석 합금 등을 포함하는 재료들로 제조될 수 있다.

[0027] [0036] 타겟(220)은 일반적으로, 주변 부분(224) 및 중앙 부분(216)을 포함한다. 주변 부분(224)은 챔버(200)의 측벽들(210) 위에 배치된다. 타겟(220)의 중앙 부분(216)은, 기판 지지부(238) 상에 배치된 기판(102)의 표면을 향해 약간 연장되는 만곡 표면(curvature surface)을 가질 수 있다. 타겟(220)과 기판 지지부(238) 사이의 간격은 대략 50 mm 내지 대략 150 mm로 유지된다. 타겟(220)의 치수, 형상, 재료들, 구성 및 직경은 특정 프로세스 또는 기판 요건들에 따라 변화될 수 있다는 것이 주목된다. 일 실시예에서, 타겟(220)은, 기판 표면 상에 스퍼터링되도록 요구되는 재료로 제조되고 그리고/또는 본딩되는 중앙 부분을 갖는 백킹 플레이트(backing plate)를 더 포함할 수 있다. 타겟(220)은 또한, 함께 타겟을 형성하는 복수의 타일들 또는 세그먼트 재료들을 포함할 수 있다.

[0028] [0037] 리드 어셈블리(204)는, 프로세싱 동안 타겟(220)으로부터의 재료의 효율적인 스퍼터링을 향상시키는, 타겟(220) 위에 장착된 마그네트론 어셈블리(202)를 더 포함할 수 있다. 마그네트론 어셈블리의 예들은, 특히, 선형 마그네트론, 구불구불한 마그네트론(serpentine magnetron), 나선형 마그네트론, 이중-손바닥형 마그네트론(double-digitated magnetron), 직사각형화 나선형 마그네트론(rectangularized spiral magnetron)을 포함한다.

[0029] [0038] 리드 어셈블리(204)의 접지 실드 어셈블리(226)는 접지 프레임(206) 및 접지 실드(212)를 포함한다. 접지 실드 어셈블리(226)는 또한, 다른 챔버 실드 부재들, 타겟 실드 부재, 다크 스페이스 실드(dark space shield) 및 다크 스페이스 실드 프레임(dark space shield frame)을 포함할 수 있다. 접지 실드(212)는 접지 프레임(206)에 의해 주변 부분(224)에 커플링되어, 프로세스 볼륨(218) 내에서 타겟(220)의 중앙 부분(216) 아래에 상부 프로세싱 구역(254)을 정의한다. 접지 프레임(206)은, 측벽들(210)을 통해 프로세스 챔버(200)의 챔버 바디(208)로의 접지 경로를 제공하면서, 접지 실드(212)를 타겟(220)으로부터 전기적으로 절연시킨다. 접지 실드(212)는, 타겟(220)의 중앙 부분(216)으로부터 방출된(dislodged) 타겟 소스 재료가 챔버 측벽들(210)보다는 기판 표면 상에 주로 증착되도록, 상부 프로세싱 구역(254) 내에서의 프로세싱 동안 생성되는 플라즈마를 억제한다. 일 실시예에서, 접지 실드(212)는 하나 또는 그 초과 컴포넌트들로 형성될 수 있다.

[0030] [0039] 챔버 바디(208)의 최하부(246)를 통해 연장되는 샤프트(240)는 기판 지지부(238)를 리프트 메커니즘(244)에 커플링시킨다. 리프트 메커니즘(244)은 기판 지지부(238)를 하부 이송 포지션과 상부 프로세싱 포지션 사이에서 이동시키도록 구성된다. 벨로우즈(242)가 샤프트(240)를 둘러싸고 기판 지지부(238)에 커플링되어, 그 사이에 가요성 밀봉(flexible seal)을 제공하며, 이로써, 챔버 프로세싱 볼륨(218)의 진공 무결성(vacuum integrity)을 유지한다.

- [0031] [0040] 새도우 프레임(222)이 기관 지지부(238)의 주변 구역 상에 배치되며, 타겟(220)으로부터 스퍼터링되는 소스 재료의 증착을 기관 표면의 요구되는 부분으로 국한시키도록 구성된다. 기관 지지부(238)가 하강된 포지션에 있을 때, 새도우 프레임(222)은, 챔버 바디(208)의 측벽(210)으로부터 연장되는 챔버 실드(236)의 립(lip)(256)으로부터 기관 지지부(238) 위로 서스펜딩된다. 기관 지지부(238)가 프로세싱을 위해 상부 포지션으로 상승됨에 따라, 기관 지지부(238) 상에 배치된 기관(102)의 외측 에지는 새도우 프레임(222)과 접촉되어, 새도우 프레임(222)이 리프팅되고 챔버 실드(236)로부터 멀리 이격되게 한다. 하강된 포지션에서 또는 하강된 포지션으로 이동하는 동안, 이송 로봇 또는 다른 적합한 이송 메커니즘에 의한 기관(102)으로의 액세스를 용이하게 하기 위해, 기관(102)을 기관 지지부(238) 위로 리프팅하기 위하여, 리프트 핀들(도시되지 않음)이 기관 지지부(238)를 통해 선택적으로 이동된다.
- [0032] [0041] 제어기(248)가 프로세싱 챔버(200) 및 선택적으로는 프로세싱 챔버(100)에 커플링된다. 제어기(248)는 중앙 프로세싱 유닛(CPU; central processing unit)(260), 메모리(258) 및 지원 회로들(262)을 포함한다. 제어기(248)는 프로세스 시퀀스를 제어하는 데 활용되어, 가스 소스(228)로부터 챔버(200) 내로의 가스 유동들을 조절하고, 타겟(220)의 이온 타격(ion bombardment)을 제어한다. CPU(260)는 산업 현장에서 사용될 수 있는 임의의 형태의 범용 컴퓨터 프로세서일 수 있다. 소프트웨어 루틴들은, 메모리(258), 이를테면, 랜덤 액세스 메모리, 판독 전용 메모리, 플래시 또는 하드 디스크 드라이브, 또는 다른 형태의 디지털 저장소에 저장될 수 있다. 지원 회로들(262)은 통상적으로 CPU(260)에 커플링되며, 캐시, 클록 회로들, 입력/출력 서브시스템들, 전력 공급부들 등을 포함할 수 있다. 소프트웨어 루틴들은, CPU(260)에 의해 실행될 때, CPU를, 본 발명에 따라 프로세스들이 수행되도록 프로세싱 챔버(200)를 제어하는 특수 목적 컴퓨터(제어기)(248)로 변환시킨다. 소프트웨어 루틴들은 또한, 챔버(200)로부터 원격으로 로케이팅된 제2 제어기(도시되지 않음)에 의해 저장되고 그리고/또는 실행될 수 있다.
- [0033] [0042] 프로세싱 동안, 가스 소스(228)에 의해 공급되는 프로세스 가스들로부터 형성되는 플라즈마를 유지하기 위해, 타겟(220)과 기관 지지부(238)는 전력 소스(232)에 의해 서로에 대해 바이어싱된다. 플라즈마로부터의 이온들은 타겟(220) 쪽으로 가속되고 타겟(220)을 타격하여, 타겟 재료가 타겟(220)으로부터 방출되게 한다. 방출된 타겟 재료는 기관(102) 상에 층을 형성한다. 소정의 프로세스 가스들이 챔버(200) 내로 공급되는 실시예들에서, 방출된 타겟 재료와 챔버(200) 내에 존재하는 프로세스 가스들은 반응하여 기관(102) 상에 복합 막을 형성한다.
- [0034] [0043] 먼저 도 7을 참조하면, 도 7은 본원에서 설명되는 증착을 수행하는 데 사용될 수 있는 원자 층 증착(ALD; atomic layer deposition) 챔버(700)의 개략적인 단면도이다. ALD 증착 프로세스는, 본원에서 설명되는 바와 같은 TFT 디바이스 구조의 패시베이션 층, 커패시터용 유전체 층, 층간 절연체, 에칭 스톱 층, 게이트 절연 층, 또는 절연 층과 같은 유전체 층을 형성하는 데 활용될 수 있다. 챔버(700)는 일반적으로, 챔버 바디(702), 리드 어셈블리(704), 기관 지지 어셈블리(706), 및 프로세스 키트(750)를 포함한다. 리드 어셈블리(704)는 챔버 바디(702) 상에 배치되고, 기관 지지 어셈블리(706)는 챔버 바디(702) 내에 적어도 부분적으로 배치된다. 챔버 바디(702)는 프로세싱 챔버(700)의 내부로의 액세스를 제공하기 위해 챔버 바디(702)의 측벽에 형성된 슬릿 밸브 개구(708)를 포함한다. 일부 실시예들에서, 챔버 바디(702)는 진공 시스템(예컨대, 진공 펌프)과 유체 연통하는 하나 또는 그 초과 của 애퍼처들을 포함한다. 애퍼처들은 챔버(700) 내의 가스들에 대한 출구(egress)를 제공한다. 진공 시스템은 ALD 프로세스들에 적합한 ALD 챔버(700) 내의 압력을 유지하기 위해 프로세스 제어기에 의해 제어된다. 리드 어셈블리(704)는 하나 또는 그 초과 của 차동 펌프들 및 퍼지 어셈블리들(720)을 포함할 수 있다. 차동 펌프 및 퍼지 어셈블리들(720)은 벨로우즈(722)로 리드 어셈블리(704)에 장착된다. 벨로우즈(722)는, 가스 누설들에 대해 밀봉을 계속 유지하면서, 펌프 및 퍼지 어셈블리들(720)이 리드 어셈블리(704)에 대해 수직으로 이동하는 것을 가능하게 한다. 프로세스 키트(750)가 프로세싱 포지션으로 상승될 때, 프로세스 키트(750) 상의 컴플라이언트 제1 시일(compliant first seal)(786) 및 컴플라이언트 제2 시일(788)은 차동 펌프 및 퍼지 어셈블리들(720)과 접촉하게 된다. 차동 펌프 및 퍼지 어셈블리들(720)은 진공 시스템(도시되지 않음)과 연결되고 저압으로 유지된다.
- [0035] [0044] 도 7에 도시된 바와 같이, 리드 어셈블리(704)는, 챔버(700) 내에 그리고/또는 프로세스 키트(750) 내에 반응성 종의 플라즈마를 생성할 수 있는 RF 캐소드(710)를 포함한다. RF 캐소드(710)는, 예컨대 전기 가열 엘리먼트들(도시되지 않음)에 의해 가열되고, 예컨대 냉각 유체들의 순환에 의해 냉각될 수 있다. 가스들을 반응성 종으로 활성화시키고 반응성 종의 플라즈마를 유지할 수 있는 임의의 전력 소스가 사용될 수 있다. 예컨대, RF 또는 마이크로파(MW) 기반 전력 방전 기법들이 사용될 수 있다. 활성화는 또한, 열 기반 기법(thermally based technique), 가스 브레이크다운 기법(gas breakdown technique), 고강도 광 소스(예컨대, UV

에너지), 또는 x-레이 소스에 대한 노출에 의해 발생될 수 있다.

- [0036] [0045] 기관 지지 어셈블리(706)는 챔버 바디(702) 내에 적어도 부분적으로 배치될 수 있다. 기관 지지 어셈블리(706)는 챔버 바디 내에서의 프로세싱을 위해 기관(732)을 지지하기 위한 기관 지지 부재 또는 서셉터(730)를 포함할 수 있다. 서셉터(730)는, 챔버 바디(702)의 최하부 표면에 형성된 하나 또는 그 초과개의 개구들(726)을 통해 연장되는 샤프트(724) 또는 샤프트들(724)을 통해 기관 리프트 메커니즘(도시되지 않음)에 커플링될 수 있다. 기관 리프트 메커니즘은 샤프트들(724) 주위로부터의 진공 누설을 방지하는 벨로우즈(728)에 의해 챔버 바디(702)에 가요성으로(flexibly) 밀봉될 수 있다. 기관 리프트 메커니즘은, 서셉터(730)가 ALD 챔버(700) 내에서, 도시된 바와 같은 하부 로봇 엔트리 포지션과 프로세싱, 프로세스 키트 이송, 및 기관 이송 포지션들 사이에서 수직으로 이동되는 것을 가능하게 한다. 일부 실시예들에서, 기관 리프트 메커니즘은 설명된 포지션들보다 더 적은 포지션들 사이에서 이동한다.
- [0037] [0046] 일부 실시예들에서, 기관(732)은 진공 척(도시되지 않음), 정전 척(도시되지 않음), 또는 기계적 클램프(도시되지 않음)를 사용하여 서셉터에 고정될 수 있다. ALD 프로세싱의 성능을 개선하기 위해 기관(732) 및 프로세스 키트(750)의 온도에 영향을 미치도록 ALD 챔버(700) 내에서의 프로세싱 동안 (예컨대, 프로세스 제어기에 의해) 서셉터(730)의 온도가 제어될 수 있다. 서셉터(730)는, 예컨대, 서셉터(730) 내의 전기 가열 엘리먼트들(도시되지 않음)에 의해 가열될 수 있다. 서셉터(730)의 온도는, 예컨대 챔버(700) 내의 고온계들(도시되지 않음)에 의해 결정될 수 있다.
- [0038] [0047] 도 7에 도시된 바와 같이, 서셉터(730)는 하나 또는 그 초과개의 리프트 핀들(736)을 수용하도록 서셉터(730)를 관통하는 하나 또는 그 초과개의 보어들(734)을 포함할 수 있다. 각각의 리프트 핀(736)은, 리프트 핀(736)들이 보어(734) 내에서 자유롭게 슬라이딩할 수 있도록, 장착된다. 지지 어셈블리(706)는, 지지 어셈블리(706)가 하부 포지션에 있을 때, 서셉터(730)의 기관 지지 표면(738) 위에 리프트 핀들(736)의 상부 표면이 로케이팅될 수 있도록, 이동가능하다. 역으로, 지지 어셈블리(706)가 상승된 포지션에 있을 때, 리프트 핀들(736)의 상부 표면은 서셉터(730)의 상부 표면(738) 아래에 로케이팅된다. 챔버 바디(702)와 접촉할 때, 리프트 핀들(736)은 기관(732)의 하부 표면에 대해 푸시하여, 기관을 서셉터(730)로부터 리프팅한다. 역으로, 서셉터(730)는 기관(732)을 리프트 핀들(736)로부터 상승시킬 수 있다.
- [0039] [0048] 일부 실시예들에서, 서셉터(730)는, 하나 또는 그 초과개의 컴플라이언트 시일들(739)을 포함할 수 있는 프로세스 키트 절연 버튼들(737)을 포함한다. 프로세스 키트 절연 버튼들(737)은 프로세스 키트(750)를 서셉터(730) 상에서 운반하는 데 사용될 수 있다. 서셉터가 프로세스 키트(750)를 프로세싱 포지션으로 리프팅할 때, 프로세스 키트 절연 버튼들(737) 내의 하나 또는 그 초과개의 컴플라이언트 시일들(739)은 압축된다.
- [0040] [0049] 도 3은 박막 트랜지스터 디바이스들에서 사용하기에 적합한 절연 층 또는 커패시터를 형성하기 위한 프로세스(300)의 일 실시예의 흐름도를 도시한다. 박막 트랜지스터 디바이스들에서 사용되는 절연 층의 적합한 예들은, 절연 재료가 필요한 패시베이션 층, 에칭 스톱 층, 커패시터를 형성하는 데 활용되는 유전체 층, 게이트 층, 또는 게이트 절연 층을 포함한다. 일 예에서, 커패시터는 픽셀 전극과 공통 전극 사이에 형성된 유전체 층 또는 절연 층을 포함할 수 있다. 유전체 층 또는 절연 층은, 도 1에서 설명된 바와 같은 프로세싱 챔버(100)에서 실시될 수 있는 플라즈마 강화 화학 기상 증착(PECVD) 프로세스, 또는 도 7에서 설명된 바와 같은 프로세싱 챔버(700) 또는 다른 적합한 프로세싱 챔버에서 실시될 수 있는 원자 층 증착(ALD) 프로세스에 의해 형성될 수 있다. 픽셀 전극 및 공통 전극은, 도 2에서 설명된 바와 같은 프로세싱 챔버(200)에서 실시될 수 있는 물리 기상 증착(PVD) 프로세스에 의해 형성될 수 있다.
- [0041] [0050] 프로세스(300)는, 동작(302)에서, 도 2에 도시된 프로세싱 챔버(200)(PVD 챔버)와 같은 프로세싱 챔버 내에서 기관(102)을 제공함으로써 시작된다. 기관(102)은, 기관(102) 상에 공통 전극을 용이하게 형성하기 위해 상부에 부분적으로 형성된 TFT 디바이스를 포함할 수 있다. 도 4에 도시된 예에서, 기관(102)은, 상부에 공통 전극(420)이 형성될 준비가 된, 평탄화 층(418)의 평면형 표면(419)을 포함할 수 있다. 원(460)으로 표시된 바와 같이, 공통 전극(420)은 유전체 층(424)(또는 절연 층으로 지칭됨) 및 픽셀 전극(426)과 함께, TFT 디바이스 구조(450)에 커패시터(427)를 함께 형성할 수 있으며, 커패시터(427)는 나중에, 프로세스(300)의 상이한 제조 스테이지에서 도 5a-5c의 커패시터(427)의 구조들의 변동들과 관련하여 상세하게 설명될 것이다. 유전체 층(424)(또는 절연 층)을 형성하는 데 활용되는 재료는 또한, TFT 디바이스 구조(450) 내에서 절연 재료들을 필요로 하는 다른 층들을 형성하는 데 활용될 수 있다는 것이 주목된다.
- [0042] [0051] 도 4에 도시된 예에서, 기관(102) 상에 형성된 TFT 디바이스(450)는 저온 폴리실리콘(LTPS; low temperature polysilicon) TFT 디바이스를 포함한다. 기관(102)은, 기관(102) 상에 상이한 디바이스 구조들

또는 상이한 막 스택을 형성하는 것을 용이하게 하기 위해, 이전에 상부에 형성된 막들, 구조들 또는 층들의 상이한 조합을 가질 수 있다. 기판(102)은, 유리 기판, 플라스틱 기판, 폴리머 기판, 금속 기판, 단일화 기판(singled substrate), 롤-투-롤 기판(roll-to-roll substrate), 또는 박막 트랜지스터를 상부에 형성하기에 적합한 다른 적합한 투명 기판 중 임의의 것일 수 있다.

[0043] [0052] LTPS TFT 디바이스들(450)은, 선택적인 절연 층(404)이 상부에 배치된 또는 배치되지 않은 광학적으로 투명한 기판(402) 상에 형성된 소스 구역(409a), 채널 구역(408), 및 드레인 구역(409b)으로 구축된 MOS 디바이스들이다. 소스 구역(409a), 채널 구역(408), 및 드레인 구역(409b)은 일반적으로, 초기에 증착된 비정질 실리콘(a-Si) 층으로 형성되며, 이 비정질 실리콘(a-Si) 층은 폴리실리콘 층을 형성하기 위해 통상적으로 나중에 열적으로 또는 레이저로 프로세싱된다. 소스, 드레인 및 채널 구역들(409a, 408, 409b)은, 광학적으로 투명한 기판(402) 상의 영역들을 패터닝함으로써 그리고 증착된 초기 a-Si 층을 이온 도핑함으로써 형성될 수 있으며, 그런 다음, 이 초기 a-Si 층은 폴리실리콘 층을 형성하기 위해 열적으로 또는 레이저로 프로세싱된다(예컨대, 엑시머 레이저 어닐링 프로세스). 그런 다음, 증착된 폴리실리콘 층(들)의 최상부 상에 게이트 절연 층(406)이 증착되어, 게이트 전극(414)을 채널 구역(408), 소스 구역(409a) 및 드레인 구역들(409b)로부터 격리시킨다. 게이트 전극(414)은 게이트 절연 층(406)의 최상부 상에 형성된다. 게이트 절연 층(406)은 또한, 일반적으로 게이트 옥사이드 층으로 알려져 있다. 그런 다음, TFT 디바이스들의 제어를 가능하게 하기 위해, 절연 층을 통해 층간 절연체(412) 및 디바이스 연결들이 이루어진다.

[0044] [0053] 층간 절연체(412)가 형성된 후에, 이어서, 소스 구역(409a) 및 드레인 구역들(409b)에 전기적으로 연결되는 소스-드레인 금속 전극 층(410a, 410b)이 층간 절연체(412) 내에 증착되고, 형성되고, 패터닝된다. 소스-드레인 금속 전극 층(410a, 410b)이 패터닝된 후에, 이어서, 평탄화 층(418)이 소스-드레인 금속 전극 층(410a, 410b) 위에 형성되어, 공통 전극(420)이 나중에 상부에 형성되고 패터닝될 수 있는 평면형 표면(419)을 제공한다. 평탄화 층(418)은 폴리이미드, 벤조시클로부텐-계열 수지, 스핀 온 글라스(SOG; spin on glass) 또는 아크릴레이트로 제조될 수 있다. 평탄화 층(418)은 나중에 비아 콘택 홀(via contact hole)(421)을 형성하기 위해 패터닝되며, 비아 콘택 홀(421)은 (예컨대, 금속 재료를 제공하기 위해 프로세스(300)의 시작 단계에서) 공통 전극(420)이 유전체 층(424) 및/또는 픽셀 전극(426)과 함께 내부에 순차적으로 충전되는 것을 가능하게 한다. 도 4에 도시된 구조는 단지 TFT 디바이스(450)의 예시적인 실시예라는 것이 주목된다. 비아 콘택 홀(421)은 필요에 따라 임의의 구성으로 공통 전극(420), 유전체 층(424) 또는 픽셀 전극(426)에 의해 부분적으로 또는 완전히 충전될 수 있다. 도 4에 도시된 예에서 예시되는 바와 같이, 픽셀 전극(426) 및 공통 전극(420)은 픽셀 전극(426)과 공통 전극(420) 사이에 형성된 유전체 층(424)과 함께, 결합하여, TFT 디바이스(450) 내에 커패시터(427)(예컨대, 금속-절연-금속(MIM; metal-insulating-metal) 구조)를 형성한다. 픽셀 전극(426)이 형성된 후에, 디바이스(450)의 구조를 추가로 완료하기 위해, 다른 절연 층(428), 이를테면, 유기 층 또는 액정 층이 커패시터(427)의 구조 상에 형성될 수 있다.

[0045] [0054] 도 3의 프로세스(300)는, 공통 전극(420), 유전체 층(424) 및 픽셀 전극(426)을 포함하는 커패시터(427)를 기판(102) 상에 형성하는 프로세스 시퀀스를 설명한다는 것이 주목된다.

[0046] [0055] 동작(304)에서, 도 5a에 도시된 바와 같이, 기판(102) 상에 공통 전극(420)(예컨대, 제1 금속 층)을 형성하기 위해 물리 기상 증착 프로세스가 수행된다. 도 5a-5c에 도시된 공통 전극(420), 유전체 층(424) 및 픽셀 전극(426)은 도 4에 도시된 공통 전극(420), 유전체 층(424) 및 픽셀 전극(426)과 동등하다는 것이 주목된다.

[0047] [0056] 일 예에서, 기판(102) 상에 형성되는 공통 전극(420)은, 적합한 금속성 재료들, 이를테면, 인듐 주석 옥사이드(ITO), 인듐 아연 옥사이드(IZO), 인듐 주석 아연 옥사이드(ITZO), 알루미늄(Al), 텅스텐(W), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 마그네슘(Mg), 은(Ag), 금(Au), 이들의 합금들 또는 이들의 조합으로 제조된다. 일 특정 예에서, 공통 전극(420)은 인듐 주석 아연 옥사이드(ITO) 층이다.

[0048] [0057] 공통 전극(420)은, 동작(306)에서 설명된 바와 같이 상부에 유전체 층(424)을 형성하기 전에, 필요에 따라 임의의 형태로 또는 임의의 방식으로 패터닝될 수 있다는 것이 주목된다.

[0049] [0058] 동작(306)에서, 공통 전극(420)이 기판(102) 상에 형성되고 선택적으로는 필요에 따라 패터닝된 후에, 이어서 유전체 층(424)이, 도 5a에 도시된 바와 같이 기판(102) 상에 형성된다. 유전체 층(424)은, 기판(102) 상에서 화학 기상 증착 프로세스를 수행하기 위해, 도 1에 도시된 플라즈마 강화 화학 기상 증착 챔버(100)와 같은 증착 챔버로 기판(102)을 이송함으로써, 기판(102) 상에 형성될 수 있다.

- [0050] [0059] 일 예에서, 유전체 층(424)은 하이-k 재료, 예컨대, 8 초과인 유전 상수를 갖는 유전체 재료로 제조된 단일 층일 수 있다. 하이-k 재료 층의 적합한 예들은, 특히, 하프늄 디옥사이드(HfO_2), 하프늄 옥시니트라이드(HfON), 지르코늄 디옥사이드(ZrO_2), 지르코늄 옥시니트라이드(ZrON), 알루미늄 옥사이드(Al_2O_3), 알루미늄 옥시니트라이드(AlON), 하프늄 실리콘 옥사이드(HfSiO_2), 하프늄 알루미늄 옥사이드(HfAlO), 지르코늄 실리콘 옥사이드(ZrSiO_2), 탄탈륨 디옥사이드(Ta_2O_5), 알루미늄 옥사이드, Y_2O_3 , La_2O_3 , 티타늄 옥사이드(TiO_2), 알루미늄 도핑된 하프늄 디옥사이드, 비스무트 스트론튬 티타늄(BST), 및 플래티넘 지르코늄 티타늄(PZT)을 포함한다. 유전체 층(424)은 CVD 프로세스, ALD 프로세스 또는 임의의 적합한 증착 프로세스들에 의해 제조될 수 있다는 것이 주목된다. 유전체 층(424)이 하이-k 재료이도록 구성되는 예에서, 유전체 층(424)의 하이-k 재료는 ALD 챔버, 이를테면, 도 7에 도시된 프로세싱 챔버(700)에서 ALD 프로세스에 의해 제조될 수 있다.
- [0051] [0060] 유전체 층(424)으로서 형성된 하이-k 재료를 활용하여, 높은 유전 상수가 커패시터(427)의 구조로 형성될 수 있으며, 따라서, 높은 커패시턴스가 획득될 수 있는데, 왜냐하면, 커패시터에 형성되는 유전체 층의 유전 상수가 증가됨에 따라 커패시터의 커패시턴스가 증가되기 때문이다. 유전체 층(424)에 의해 제공되는 높은 커패시턴스는, 원하지 않는 전류 누설 및 터널링 효과를 감소시키면서 TFT 디바이스들(450)의 전기적 성능을 개선할 수 있다. 따라서, 커패시터에서 유전체 층으로서 종래의 실리콘 니트라이드 또는 실리콘 옥사이드 층을 사용하는 것과 비교하여, 커패시터(427)에서 유전체 층(424)으로서 하이-k 재료를 활용하여, 하이-k 재료 유전체 층(424)을 갖는 커패시터(427)의 커패시턴스가 향상되고 개선될 수 있다.
- [0052] [0061] 일부 예들에서, 기관(102) 상에 형성된 유전체 층(424)은, 도 5b에 도시된 바와 같이, 다수의 층들을 갖는 복합 구조들의 형태일 수 있다. 일 실시예에서, 유전체 층(424)은 최상부 계면 보호 층(506)과 최하부 계면 보호 층(502) 사이에 샌드위치된 벌크 유전체 재료(504)를 포함할 수 있다. 최상부 계면 보호 층(506)은, 나중에 상부에 형성되는 픽셀 전극(426)과 접촉할 수 있는 한편, 최하부 계면 보호 층(502)은 공통 전극(420)과 접촉하게 형성될 수 있다. 이러한 특정 예에서, 벌크 유전체 재료(504)는 실리콘 니트라이드 재료(SiN) 또는 하이-k 재료로 제조될 수 있는 한편, 최상부 및 최하부 계면 보호 층(506, 502)은 실리콘 함유 유전체 재료들, 이를테면, 실리콘 옥사이드(SiO_2), 실리콘 옥시니트라이드(SiON), 실리콘 옥시카바이드(SiOC), 실리콘 카바이드(SiC) 등일 수 있다. 일 예에서, 벌크 유전체 재료(504)가 실리콘 니트라이드 재료(SiN)일 때, 최상부 및 최하부 계면 보호 층(506, 502)은 실리콘 옥시니트라이드(SiON) 재료일 수 있다. 다른 예에서, 도 5a에 도시된 바와 같은 유전체 층(424)과 같이, 벌크 유전체 재료(504)가 하이-k 재료일 때, 최상부 및 최하부 계면 보호 층(506, 502)은 실리콘 옥사이드 재료(SiO_2) 또는 실리콘 옥시니트라이드(SiON)일 수 있다.
- [0053] [0062] 일 예에서, 최상부 및 최하부 계면 보호 층들(506, 502)은 CVD 증착 프로세스에 의해 형성될 수 있다. 다른 예에서, 벌크 유전체 재료(504)가 실리콘 니트라이드 재료(SiN)일 때, 벌크 유전체 재료(504)로부터의 실리콘 니트라이드의 표면을 실리콘 옥시니트라이드 층으로 산화시키기 위해, 산소 함유 가스, 이를테면, O_2 , O_3 또는 H_2O 에 의한 벌크 유전체 재료(504)에 대한 산화, 산소 이온 주입 또는 산소 표면 처리에 의해, 최상부 계면 보호 층(506)이 형성될 수 있다.
- [0054] [0063] 픽셀 전극(426)과 공통 전극(420) 사이에 형성된 최상부 및 최하부 계면 보호 층들(506, 502)은, 막 박리의 우려 없이 커패시터(427)의 구조의 접착을 향상시키기 위해, 벌크 유전체 재료(504)를 최상부 및/또는 최하부 계면 보호 층들(506, 502)에 브리징하는 것을 도울 수 있다고 여겨진다. 게다가, 최상부 및 최하부 계면 보호 층들(506, 502)은 또한, 금속성 픽셀 및 공통 전극들(426, 420)로부터의 누설을 감소시키기 위해, 열적으로 안정한 계면 구조로서의 역할을 할 수 있다.
- [0055] [0064] 최상부 및/또는 최하부 계면 보호 층들(506, 502)은, 벌크 유전체 재료(504)(실리콘 니트라이드 재료 또는 하이-k 재료)가 형성되는 프로세싱 챔버와 동일한 프로세싱 챔버 내에서 형성될 수 있다. 대안적으로, 최상부 및/또는 최하부 계면 보호 층들(506, 502)은 필요에 따라 임의의 적합한 챔버들 내에서 형성될 수 있다.
- [0056] [0065] 동작(308)에서, 기관(102) 상에 유전체 층(424)이 형성된 후에, 이어서, 픽셀 전극(426)(예컨대, 제2 금속 층)이 유전체 층(424) 상에 형성된다. 동작(304)에서 설명된 공통 전극(420)을 형성하기 위한 프로세스와 유사하게, 픽셀 전극(426)은, 임의의 적합한 금속성 재료들, 이를테면, 인듐 주석 옥사이드(ITO), 인듐 아연 옥사이드(IZO), 인듐 주석 아연 옥사이드(ITZO), 알루미늄(Al), 텅스텐(W), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 마그네슘(Mg), 은(Ag), 금(Au), 이들의 합금들 또는 이들의 조합으로 제조될 수 있다. 픽셀 전극(426)은 또한, 도 2에 도시된 프로세스 챔버(200)와 같은 플라즈마 증착 챔버 내에서 수행되는 물리 기상 증

착 프로세스(PVD)에 의해 형성될 수 있다.

- [0057] [0066] 일 실시예에서, 픽셀 전극(426)은, 도 5a-5b에 도시된 바와 같이, 본 단락의 위에서 논의된 금속성 재료로 형성된 단일 층의 형태일 수 있다. 대안적으로, 픽셀 전극(426)은, 도 5c에 도시된 바와 같이, 제2 금속 전극(510)이 상부에 형성된 제1 금속 전극(508)과 같은, 다수의 재료들을 갖는 복합 구조의 형태일 수 있다.
- [0058] [0067] 일 예에서, 제1 전극(508) 및 제2 전극(510)은, 인듐 주석 옥사이드(ITO), 인듐 아연 옥사이드(IZO), 인듐 주석 아연 옥사이드(ITZO), 알루미늄(Al), 텅스텐(W), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 마그네슘(Mg), 은(Ag), 금(Au), 은 나노 잉크, 탄소 나노 튜브(CNT), 그래핀 또는 이들의 합금들로부터 선택된 금속 재료일 수 있다. 일 특정 예에서, 제1 전극(508)은 ITO 층이고, 제2 전극(510)은 Ta, Ti, Al, Mg, Mo, W, Ag, Mg 또는 이들의 합금들로부터 선택된 금속 층일 수 있다. 다른 예에서, 대조적으로, 제1 전극(508)은 Ta, Ti, Al, Mg, Mo, W, Ag, Mg 또는 이들의 합금들의 금속 층일 수 있고, 제2 전극(510)은 ITO 층일 수 있다.
- [0059] [0068] 특정 예에서, 제2 전극(510)은 제1 전극(508) 상에 형성된 메시 또는 그리드 전극의 형태가 되도록 패터닝될 수 있다. 다른 예에서, 픽셀 전극(426) 및/또는 공통 전극(420)은 또한, 필요에 따라 메시 또는 그리드 전극의 형태일 수 있다.
- [0060] [0069] 유사하게, 하이-k 재료, 예컨대, 8 초과와 유전 상수를 갖는 유전체 재료가 또한, TFT 디바이스들(450)의 다른 로케이션들 또는 위치들에서 절연 재료로서 형성하는 데 활용될 수 있다. 예컨대, 하이-k 재료는 또한, 도 4에서 원(452)으로 표시된 바와 같은, 선택적인 절연 층(404), 게이트 절연 층(406) 또는 층간 절연체(412)를 형성하는 데 활용될 수 있다. 위에서 설명된 바와 같이, 하이-k 재료 층의 적합한 예들은, 특히, 하프늄 디옥사이드(HfO_2), 하프늄 옥시니트라이드(HfON), 지르코늄 디옥사이드(ZrO_2), 지르코늄 옥시니트라이드(ZrON), 알루미늄 옥사이드(Al_2O_3), 알루미늄 옥시니트라이드(AlON), 하프늄 실리콘 옥사이드(HfSiO_2), 하프늄 알루미늄 옥사이드(HfAlO), 지르코늄 실리콘 옥사이드(ZrSiO_2), 탄탈륨 디옥사이드(Ta_2O_5), 알루미늄 옥사이드, Y_2O_3 , La_2O_3 , 티타늄 옥사이드(TiO_2), 알루미늄 도핑된 하프늄 디옥사이드, 비스무트 스트론튬 티타늄(BST), 및 플래티늄 지르코늄 티타늄(PZT)을 포함한다.
- [0061] [0070] 도 6a-6c는, 도 4에서 원(452)으로 표시된 바와 같은, 선택적인 절연 층(404), 게이트 절연 층(406) 및 층간 절연체(412)의 상이한 막 스택 어레이먼트들 또는 구성들을 도시한다. 위에서 설명된 바와 같이, 선택적인 절연 층(404), 게이트 절연 층(406) 및 층간 절연체(412) 중 임의의 하나(또는 전부)는 하이-k 재료, 예컨대, 도 6a에 도시된 바와 같이, 필요에 따라 8 초과와 유전 상수를 갖는 유전체 재료일 수 있다. 선택적인 절연 층(404), 게이트 절연 층(406) 또는 층간 절연체(412)의 하이-k 재료는 ALD 챔버, 이를테면, 도 7에 도시된 프로세싱 챔버(700) 내에서 수행되는 ALD 프로세스, PECVD 챔버, 이를테면, 도 1에 도시된 프로세싱 챔버(100) 내에서 수행되는 CVD 프로세스, 또는 필요에 따라 제조 프로세스 동안 임의의 순서 및 임의의 시간으로 CVD 및 ALD 프로세싱 챔버 둘 모두에서 수행되는 CVD-ALD 하이브리드 프로세스에 의해 형성될 수 있다.
- [0062] [0071] 대안적으로, 게이트 절연 층(406)은 또한, 1개 초과와 층이 내부에 형성되는 복합 구조의 형태일 수 있다. 도 6b에 도시된 예에서, 게이트 절연 층(406)은 도 5b 및 5c에 도시된 유전체 층(424)과 유사하며, 총 3개의 층들(602, 604, 606)이 내부에 형성된다. 더 구체적으로, 위에서 설명된 바와 같이, 게이트 절연 층(406)은 최상부 계면 보호 층(606)과 최하부 계면 보호 층(602) 사이에 샌드위치된 벌크 게이트 절연 층(604)을 포함할 수 있다. 최상부 계면 보호 층(606)은 나중에 상부에 형성되는 층간 절연체(412)와 접촉할 수 있는 한편, 최하부 계면 보호 층(602)은 선택적인 절연 층(404)과 접촉하게 형성될 수 있다. 이러한 특정 예에서, 벌크 게이트 절연 층(604)은 하이-k 재료로 제조될 수 있는 한편, 최상부 및 최하부 계면 보호 층(606, 602)은 실리콘 함유 유전체 재료들, 이를테면, 실리콘 니트라이드, 실리콘 옥사이드(SiO_2), 실리콘 옥시니트라이드(SiON), 실리콘 옥시카바이드(SiOC), 실리콘 카바이드(SiC) 등일 수 있다. 일 예에서, 도 5b 또는 5c에서 도시된 바와 같은 유전체 층(424)과 같이, 벌크 게이트 절연 층(606)이 하이-k 재료일 때, 최상부 및 최하부 계면 보호 층(606, 602)은 실리콘 옥시니트라이드(SiON) 또는 실리콘 니트라이드(SiN) 재료일 수 있다.
- [0063] [0072] 대안적으로, 도 6c에 도시된 다른 예에서, 층간 절연체(412)는 또한, 내부에 1개 초과와 층이 형성되게 구성될 수 있다. 도 6c에 도시된 예에서, 층간 절연체(412)는 도 6c에 도시된 게이트 절연 층(406)과 유사하며, 총 3개의 층들(602, 608, 606)이 내부에 형성된다. 더 구체적으로, 위에서 설명된 바와 같이, 게이트 층간 절연체(412)는 최상부 계면 보호 층(606)과 최하부 계면 보호 층(602) 사이에 샌드위치된 벌크 층간 절연체(608)를 포함할 수 있다. 최상부 계면 보호 층(606)은 나중에 상부에 형성되는 (도 4에 도시된 바와 같은) 평탄화 층(418)과 접촉할 수 있는 한편, 최하부 계면 보호 층(602)은 게이트 절연 층(406)과 접촉하게 형성될

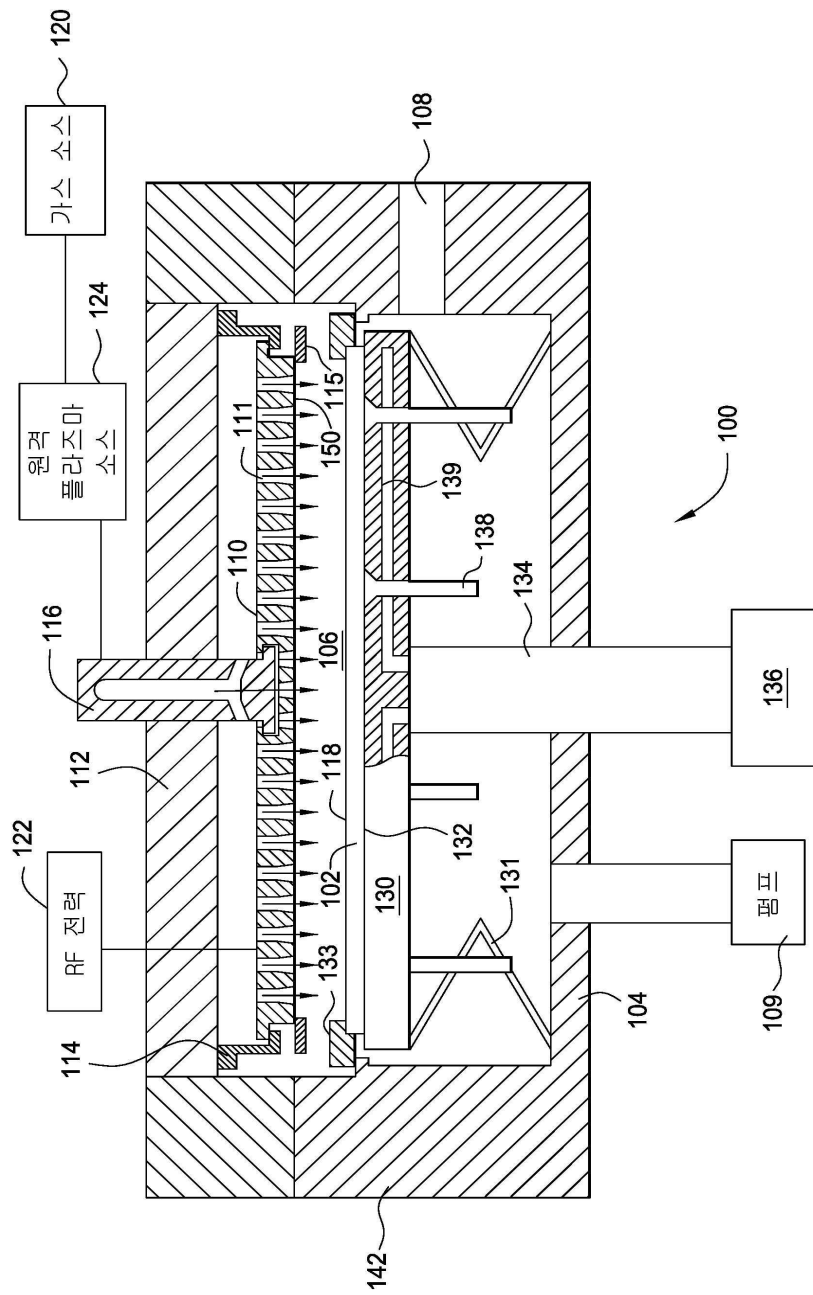
수 있다. 이러한 특정 예에서, 벌크 층간 절연체(608)는 하이-k 재료로 제조될 수 있는 한편, 최상부 및 최하부 계면 보호 층(606, 602)은 실리콘 함유 유전체 재료들, 이를테면, 실리콘 니트라이드, 실리콘 옥사이드(SiO_2), 실리콘 옥시니트라이드(SiON), 실리콘 옥시카바이드(SiOC), 실리콘 카바이드(SiC) 등일 수 있다. 일 예에서, 도 5b 또는 5c에서 도시된 바와 같은 유전체 층(424) 또는 도 6b에 도시된 게이트 절연 층(406)과 같이, 벌크 층간 절연체(608)가 하이-k 재료일 때, 최상부 및 최하부 계면 보호 층(606, 602)은 실리콘 옥시니트라이드(SiON) 또는 실리콘 니트라이드(SiN) 재료일 수 있다.

[0064] [0073] 따라서, 본원에서 설명되는 방법들은 유리하게, TFT 디바이스 구조들에서의 높은 전기적 성능의 커패시터로서의, 픽셀 전극, 공통 전극 및 픽셀 전극과 공통 전극 사이에 형성되는 유전체 층, 디바이스들의 절연 재료들, 게이트 절연 층의 재료들 및 구조들을 제어함으로써, TFT 디바이스 구조들의 전자 안정성, 전기적 성능, 높은 커패시턴스, 낮은 누설 및 양호한 막 스택 통합을 개선한다.

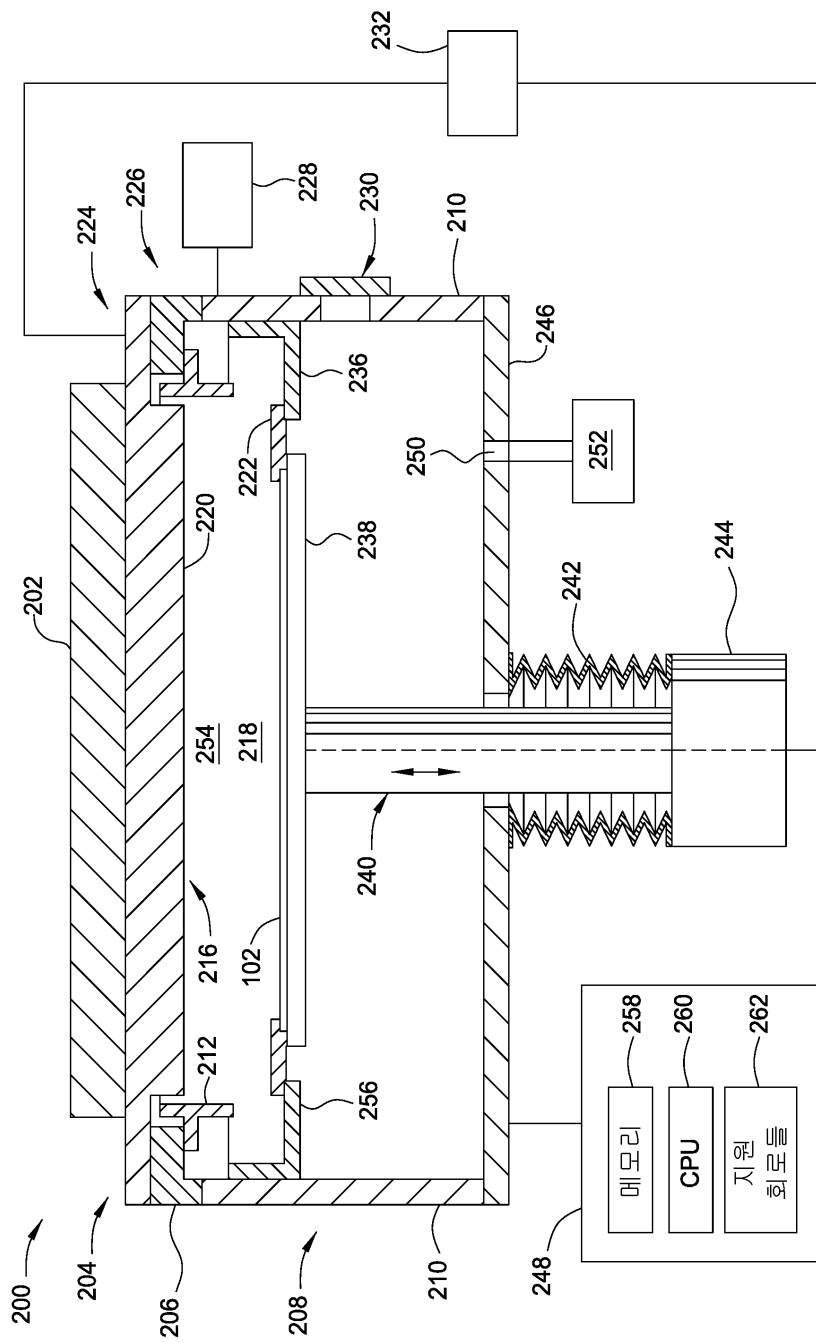
[0065] [0074] 전술한 바가 본 개시내용의 실시예들에 관한 것이지만, 본 개시내용의 다른 그리고 추가적인 실시예들이, 본 개시내용의 기본적인 범위를 벗어나지 않고 고안될 수 있고, 본 개시내용의 범위는 다음의 청구항들에 의해 결정된다.

도면

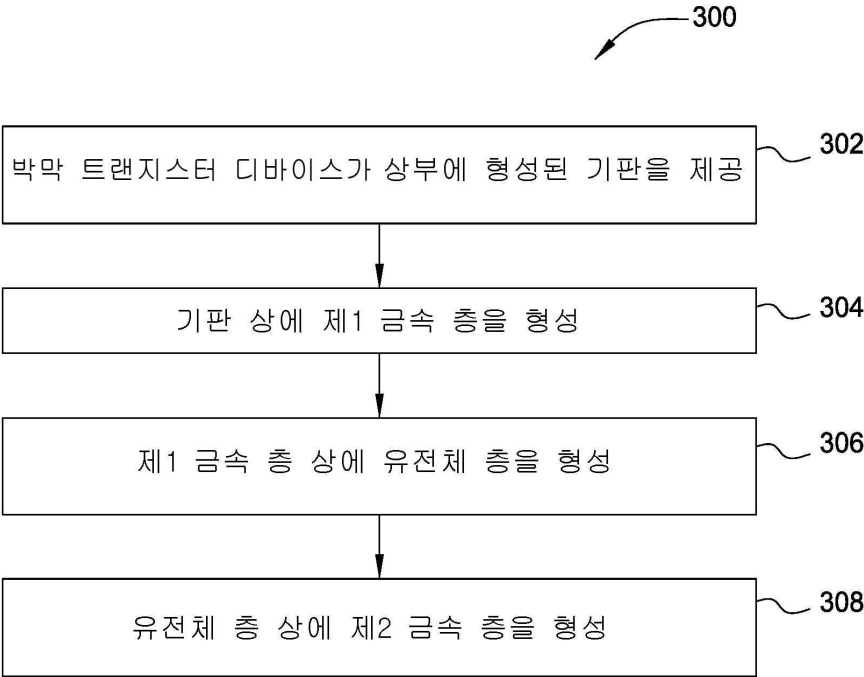
도면1



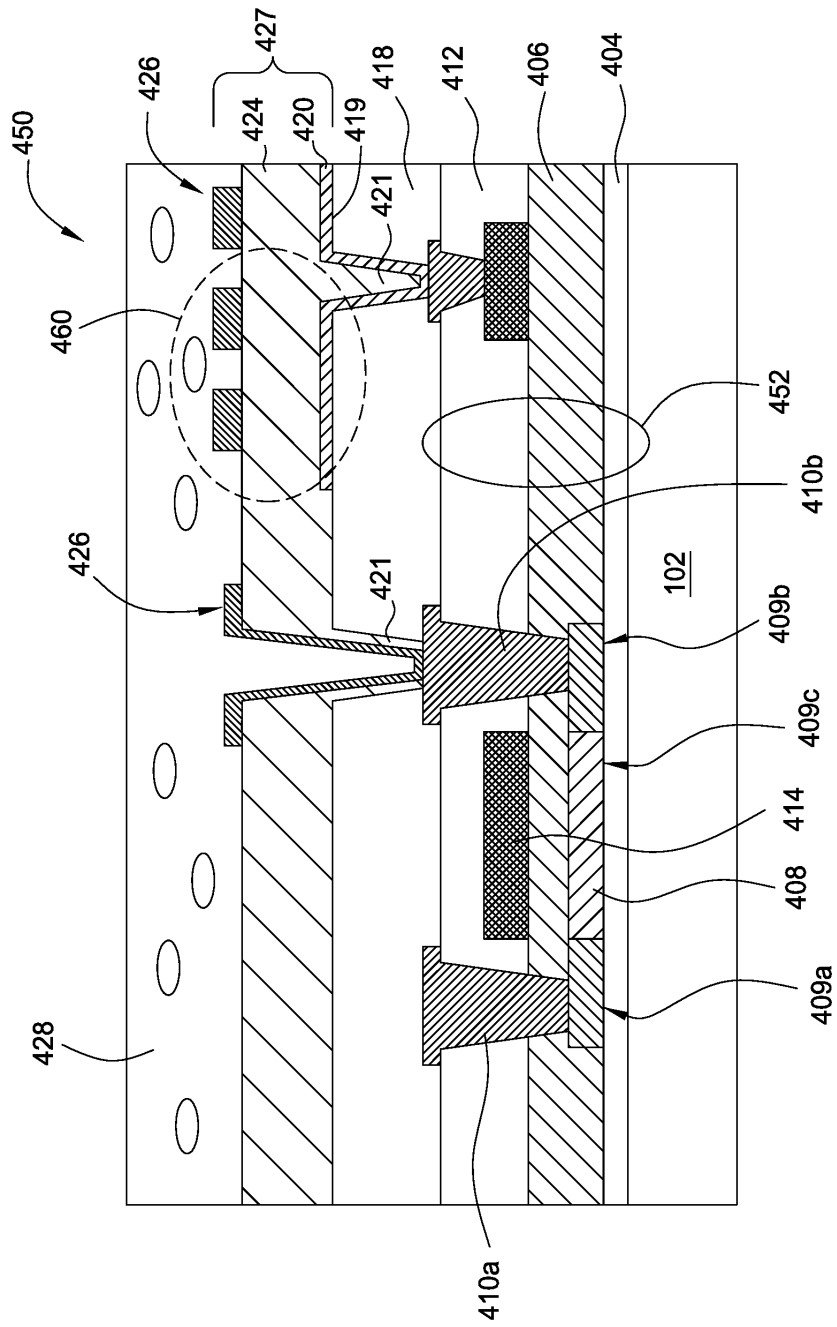
도면2



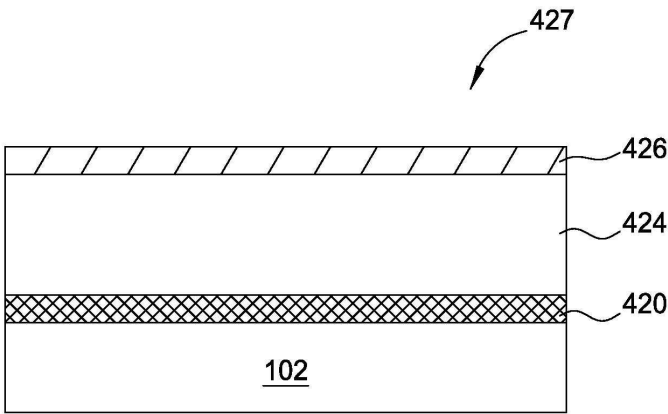
도면3



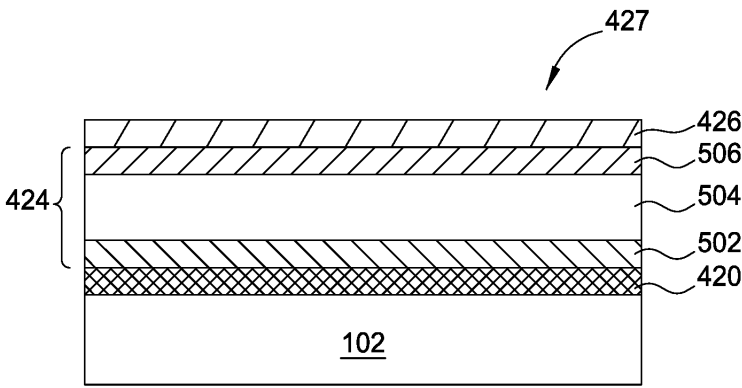
도면4



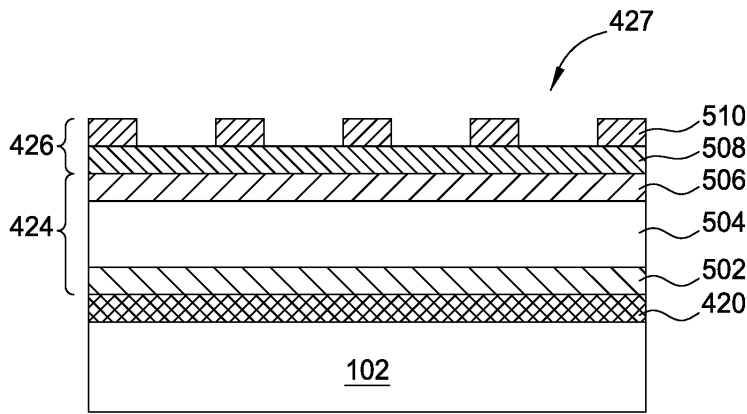
도면5a



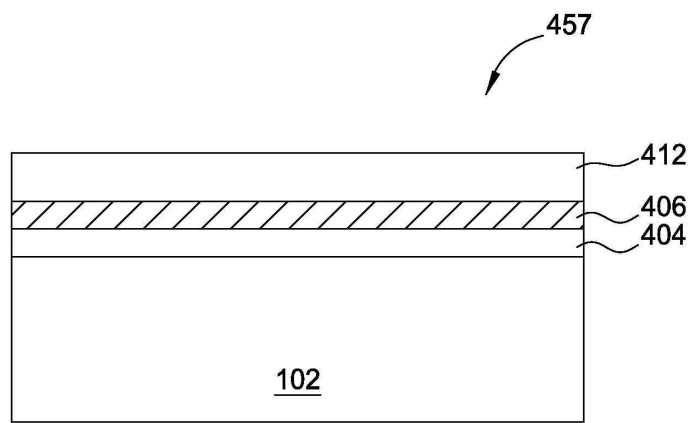
도면5b



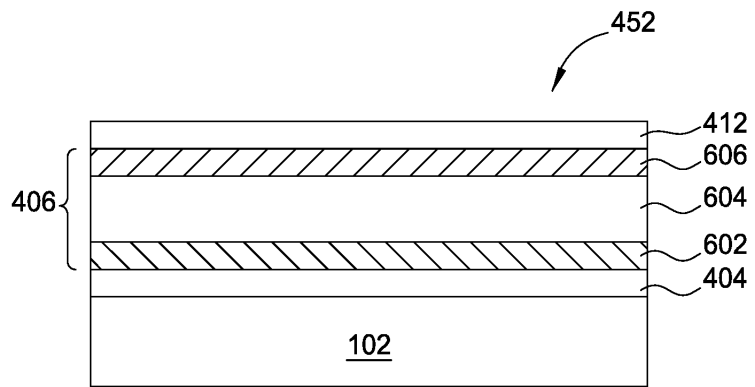
도면5c



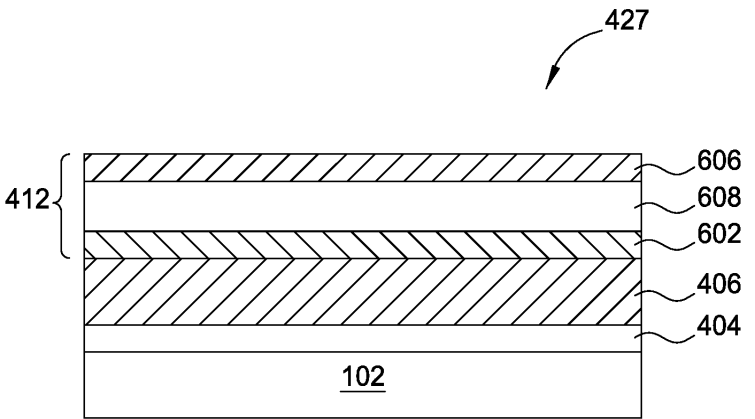
도면6a



도면6b



도면6c



도면7

