



I287871

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P2107109

※ 申請日期：92-3-28

※IPC 分類：H01L22/00, H01L43/00, G06F1/00

壹、發明名稱：(中文/英文)

高密度磁性隨機存取記憶體之合成鐵磁感測層

SYNTHETIC-FERRIMAGNET SENSE-LAYER FOR HIGH DENSITY
MRAM APPLICATIONS

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商麥克隆科技公司

MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

麥克 L. 林契

MICHAEL L. LYNCH

住居所或營業所地址：(中文/英文)

美國愛達荷州鮑西市南菲德洛路 8000 號

8000 S. FEDERAL WAY, P.O. BOX 6, BOISE, IDAHO 83707-0006,
U.S.A.

國籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 1 人)

姓名：(中文/英文)

詹姆士 G. 迪克

JAMES G. DEAK

住居所地址：(中文/英文)

美國愛達荷州鮑西市威德尼斯蘭奇路 4 號

4 WILDERNESS RANCH ROAD, BOISE, IDAHO 83716, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 美國；2002 年 04 月 03 日；10/114,249
- 2.
- 3.
- 4.
- 5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002 年 04 月 03 日；10/114,249
- 2.
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明大致上係相關於非揮發性記憶體裝置，用以作為電腦儲存使用，及特別地，係有關非揮發性記憶體陣列，其使用磁性記憶體元件以做為該個別的資料位元。

【先前技術】

積體電路設計者總是在找尋理想的半導體記憶體：一種能夠非常快速地隨機存取、寫入或讀取的裝置，該裝置係為非揮發性，而且係不限次數地修改，及消耗少量能源。逐漸地已經將磁性隨機存取記憶體(MRAM)技術視為能夠提供許多這些優點。

一MRAM裝置典型地包含一陣列的磁性記憶體元件11，其位在於如同圖1中所示的列線路13及行線路15導體的相交處。一簡單磁性記憶體元件具有的一結構會在圖2中更加詳細地表示。該磁性記憶體元件包含鐵磁層17及19，其係由一非磁性層21所隔開。在一鐵磁層17中的磁化作用，典型地稱做為該釘紮(pinned)層，係固定在某一方向上。該其他鐵磁層19的磁化作用，經常稱做為該感測層，係非釘紮的，所以它的磁化能夠自由地相對於該釘紮層的磁化的"平行"與"反平行"狀態之間切換。該感測層也可以稱作為該"自由"層或儲存層，因此應了解的是當使用該術語"感測層"時，該術語的意義並非是限制於該專門用語而是該層所執行的功能。

儲存在一MRAM記憶體元件中的邏輯值或位元係與一阻

值有關，而該記憶體元件的阻值係由該感測層磁化相對於該釘紮層磁化方向的相對方向來決定。該感測層的磁化相對於該釘紮層磁化的平行方向會導致低阻值。相反地，回應該反平行方向，該磁性記憶體元件將會表示高阻值。參考圖2，讀取該記憶體元件的阻值的方法係取決於用以形成將該釘紮層17與該感測層19分開的該非磁性間隔層21的材料種類。假如該非磁性間隔層21係由一傳導層所組成，像是銅，則該記憶體元件的阻值可以經由該巨磁阻效應(giant magnetoresistance)來感測，其通常係包含一平行於該記憶體元件的該長軸20的方向流動的電流。假如該非磁性間隔層係由一絕緣材料所組成，像是氧化鋁，則該阻值可以使用該穿隧磁阻效應(tunneling magnetoresistance)來感測，而這係利用一垂直於從該感測層19到該釘紮層17的該非磁性間隔層21的平面的方向流動的電流來完成。

一邏輯的"0"或"1"通常係利用施加外部磁場(經由一電流)來寫到該磁性記憶體元件，該磁場會旋轉該感測層的磁化方向。典型地，一MRAM記憶體元件係如此設計使得該感測層及該釘紮層的磁化係沿著一軸對準，該軸已知係為該磁易軸(easy axis)27。外部磁場係施加以將該感測層的方向沿著其磁易軸翻覆成相對於該釘紮層的磁化的方向，不是平行就是反平行的方向，這係取決於所儲存的邏輯狀態。

MRAM裝置典型地包含一正交陣列的列及行線路(電導體)，其係用以在寫入時，施加外部磁場於該等磁性記憶體元件，以及也是用以在讀取時，感測一記憶體元件的阻值。

額外的寫入及讀取導體也存在於該陣列之中。在如同圖1中所示的該兩導體位準實現中，該等磁性記憶體元件係位於該等列13及行15線路的相交處。

參考圖1，藉由流過該行線路15的電流所產生的該磁場係在此稱作為該磁易軸寫入場(easy-axis write field)。該磁易軸寫入場係與該MRAM位元11 (圖2a)的磁易軸23在同一直線上。當流過該列線路13的電流時所產生的該磁場係在此稱作為該磁難軸寫入場(hard-axis write field)。該列傳導線路13所產生的該磁難軸寫入場係平行於該MRAM位元11的磁難軸25流動。

一記憶體元件係挑選用以寫入，當它係暴露於一磁難軸及一磁易軸的寫入場時。每個寫入場，藉由自己本身及當只有以該等傳導線路之一所產生時，係因而通常稱作為一半選擇場(half-select field)，因為一單一場本身應該不足以大到可以切換一記憶體元件的該感測層的磁化方向。實際上，然而該磁難軸寫入場係經常稱作為該半選擇場，而該磁易軸寫入場係經常稱作為該切換軸。這兩場係用以執行寫入操作於一特定記憶體元件，當其藉由將電流通過相交於該選擇元件的導體13，15 (圖1)施加於彼此相關。儲存在該選擇記憶體元件內，供一讀取或寫入操作存取的位元在此係稱作為一"選擇位元"。

該方法用以選擇供寫入的位元並非係理想的。在一寫入操作期間，該等與該特定行線路15相耦合的未選擇記憶體元件係暴露於該磁易軸寫入場，相同地，該等與該特定列

線路13相耦合的未選擇記憶體元件11係暴露於該磁難軸寫入場。因此，重要的是將在該等MRAM記憶體元件的陣列中的雜散磁場限制於一個無法造成半選擇位元被寫入的數值。某些雜散場的來源包含來自鄰近寫入導體的場、該等鄰近記憶體元件的鐵磁層所散發出的雜散場，及位在該MRAM裝置外部的來源所產生的場。假如該等雜散、磁難軸，及磁易軸的場的該組合值係太小以致於無法讓寫入一位元，則這些雜散場也可以抑制寫入一選擇記憶體元件。將本身表現於寫入一記憶體元件所要求的該寫入電流中的非理想行為之其他來源係起因於難以製造對該等所施加寫入場相同反應的一陣列的MRAM記憶體元件。該效應之某些來源包含元件對元件幾何形狀的變化、元件對元件磁性性質的變化、及熱致性磁化波動。因此，該等磁難及磁易軸寫入場之特定值，及因而導致的該等列及行線路寫入電流係為一種妥協，使得選擇記憶體元件係以足夠總是寫入它們的限度來選擇，及未選擇記憶體元件係絕不會暴露於大到足以非故意寫入它們之場。

諸如超順磁性或熱致性磁化逆轉之類的熱效應，及來自鄰近位元所產生的雜散場的效應會造成MRAM裝置有問題。這些機制之任一種都會造成不可預期的寫入及讀取行為。使用傳統的單層感測層，很難克服這些效應，因為該MRAM的位元密度係增加。

表面上似無波動的肉眼可觀察到的量之熱擾動，像是鐵磁材料的磁化，係屬於抽象的觀念。鐵磁材料的磁化之方

向及大小係以現實統計量表示。在任何材料中，熱能量的波動係連續地以微觀尺度發生，此處該等熱擾動的大小係由該材料的溫度 T 所決定。這些波動在平均該考慮樣品的整個數量時，決定該系統在巨觀上可觀察的性質。在微觀層級上，鐵磁性材料中之任何原子朝向特定方向的磁矩量的可能性係與該Boltzmann係數($e^{U/K_b T}$)成正比。此處，在該例中， U 係為與一特定磁矩量方向有關的能量，而 K_b 係為Boltzman常數。當一特定原子矩方向的能量降低，或是當 T 及該溫度能量增加時，一原子在一固定期間內朝向一特定方向的可能性便會降低。假如該比值 $U/K_b T$ 變得夠小的話，則該原子的磁矩量會在熱擾動的影響下，自發性地改變方向。一MRAM記憶體元件的感測層可以視同為原子磁矩量或自旋之集合，其係緊密地耦合在一起且對準於相同方向。定位該感測層之磁化所要求的能量因此能夠視為某些能量密度乘上該感測層的體積，即 $U_{sw}=U_v V$ 。當該溫度增加或該感測層體積減少時，該感測層被發現係處於特定方向的可能性會降低。再次地，假如 $U_{sw}/K_b T$ 係小，該感測層的磁化之方向會對溫度波動呈現不穩定。具有低數值的 $U_{sw}/K_b T$ 的特徵之記憶體位元易於具有不佳的資料保持時間。等待夠久的話，則一波動便能夠自發性逆轉該磁化。一能夠在相較於該要求的資料保持時間為短的時間尺度上自發性地逆轉磁性的磁性記憶體元件可以說是已經到達該超側磁性的極限。當到達該超側磁性極限時，磁性記憶體元件也會變得更為容易受到半選擇寫入事件或偶發性無法

寫入一選擇記憶體元件的影響，因為一熱擾動會使得一位元無法在一特定時間期間寫入，或是它會在一特定時間間距內寫入一半選擇位元。注意的是增加MRAM記憶體密度需要降低一MRAM位元的體積，因此將該技術推向更為靠近該超側磁性的極限，或是推向熱擾動變成問題的範疇內。

傳統MRAM記憶體元件也會承受位元間互相作用，其係由於該磁性記憶體元件11感測層所產生的雜散磁場。一MRAM記憶體元件11之感測層係會產生雜散場，因為它並非是封閉的磁通量結構。它回應該感測層磁向的方向，因此在該感測層的邊緣處形成磁極。該雜散場的方向因此係隨著在一記憶體元件中感測層之磁化方向而變化。這些磁極所產生的該等雜散場會隨著離該感測層的距離的增加而減少。然而，在一MRAM陣列中之任何記憶體元件中，相較於切換該位元所要求的場，該等鄰近元件的雜散場係值得注意的。在未來MRAM設計中，記憶體元件需要更為緊密地封裝在一起會使該問題更為惡化。因此有必要降低在一MRAM記憶體元件中之該等磁性層所產生的該等雜散層，進而降低記憶體元件對溫度波動的敏感度。

【發明內容】

本發明揭示一種藉由使用改良式感測層，將與起因於熱擾動不穩定性及雜散場交互作用而漸增的MRAM記憶體密度有關之問題最小化之方法及裝置。所提議的該修正MRAM位元11的堆疊係以一合成鐵磁所架構以作為該感測層。該感測層係如此設計使得該等合成鐵磁的鐵磁層經由

一像是Ru或Cu的金屬化合物所組成的RKKY互相作用，透過一間隔層 (spacer layer) 係為雜散場耦合及反鐵磁性交換耦合。

【實施方式】

參考該等圖示，圖1說明一陣列9的磁性通道連接記憶體元件11之簡化部份之上視圖。複數個行傳導線路15 (也稱為行線路) 的每個係分別地形成在該陣列9之每行中的複數個記憶體元件11上。複數個列傳導線路13 (也稱為列線路) 的每個係分別地形成在該陣列9之每列中的該等記憶體元件11的下面。該等列線路13提供該磁難軸磁場，已知也是一半選擇場給該等記憶體元件11，而該等行線路15提供該磁易軸切換場給該等記憶體元件11。因此，對一特定記憶體元件11之寫入係要求針對該選擇記憶體元件11，在兩線路13及15上之信號。除了寫入該等記憶體元件11之外，該等列13及行15線路也可以用來讀取磁性記憶體元件11。

為人所熟知的是該陣列9也可以將列線路13放在每個記憶體元件11的上面而該行線路15放在下面來架構。雖然圖1描述一種MRAM陣列之配置，但是其他配置也係可行的。

同樣地，可以利用彼此堆疊的方式來提供複數個陣列9的記憶體元件11於一MRAM記憶體裝置內。同樣地，對該等磁性記憶體元件11的讀取可以使用各種導體來完成，使用導體配置也一樣，其包含置放在該感測層之上、之下或與同層的額外或不同導體。

圖2a說明一磁性通道連結記憶體位元11之透視圖，該簡

化係為了說明。一第一鐵磁層17(由複數個堆疊的薄磁性層所組成)及一第二鐵磁層19(由其他複數個堆疊的薄磁性層所組成)係與一絕緣非磁性間隔層21一起形成，像是位於其間之氧化鋁。該記憶體元件18之寬度(W)係定義成沿著該記憶體元件得感測層的磁難軸25之距離。該記憶體元件20之長度(L)係定義成沿著該記憶體元件之感測層之磁易磁性軸23之距離。該記憶體元件11之長度(L)尺寸20通常係大於該記憶體元件之寬度尺寸(W) 18。該感測層之縱橫比係定義為 L/W 。在沒有施加一磁場(H)下，該感測層19係製造成具有該感測層19之兩平衡磁性矩方向27之一較佳軸。沿著該磁易軸23該感測層19之磁化有兩種可能的方向，其定義該感測層19之兩磁性矩狀態27。相反地，該釘紮層17係製造成只具有一磁化平衡或是較佳的磁化之磁性矩方向，而該方向通常係與該感測層19之磁易軸23平行。該感測層17之磁性矩27較可能選擇對準該磁性記憶體元件11之該L尺寸20，或磁易軸23。

當圖1及2a說明一矩形的記憶體元件11，應了解的是該等記憶體元件11能夠以任何想要形狀成形，包含橢圓形，像是如圖2b中所示。其了矩形之外的位元形狀可用以改良一陣列的記憶體元件之磁性特徵。本發明可實施於各種形狀的記憶體元件，因此並非限於圖2a中所示的該矩形位元形狀。

圖3說明根據本發明建構之一示範改良式磁性通道連結記憶體元件堆疊11。該記憶體元件11係由一連串材料層所

組成，在一字元線路導體13與一行線路導體15之間，每一層係形成於其他層之上。圖3中從下到上之磁性通道連接堆疊係包含一基材31、一絕緣層33、該非鐵磁性金屬傳導列線路13、一非磁性金屬層35、一長成反鐵磁性(AF)材料層39之種子層37、一第一鐵磁層41、該反鐵磁層39，而第一鐵磁層41包含一釘紮層43、一非磁性通道障壁層45、一第二鐵磁層47、一傳導間隔層49、一第三鐵磁層51、一非鐵磁金屬層55，及該傳導行線路15。一合成亞鐵磁(ferrimagnet)係被提供以作為感測層53，其包含該第二鐵磁層47、間隔層49及第三鐵磁層51。該第二鐵磁層47、間隔層49及該第三鐵磁層51係架構成使得該第二鐵磁層47與該第三鐵層51係可以經由一RKKY互相作用，透過在下面會進一步解釋的該傳導間隔層49及耦合雜散場，為反鐵磁地互換耦合。RKKY互相作用，也以該Ruderman-Kittel-Kasuya-Yosida理論聞名，係為在鐵之內自旋之有效互相作用之模型。

該等術語鐵磁性(ferromagnetic)、反鐵磁性、亞鐵磁性(ferrimagnetic)及順磁性(paramagnetic)需要更為詳細地加以描述。鐵磁性材料可以視為一種由原子所組成之材料，該原子具有磁矩或更精確地說具有"自旋"，這些原子會易於彼此平行地對準而處於平衡狀態。因為該等原子彼此會互相平行地對準之自旋性，該材料係具有為人所知的自發性磁化，換言之，該材料在沒有施加磁場之下，具有一淨磁矩。這僅僅只對小長度尺度係為真。當鐵磁性物質夠大時，它們會打散成數個磁疇(magnetic domains)，這可以降

低與該材料所產生的雜散場有關的能量，因而成為能量地合適。要注意的是為了讓一材料內的鄰近原子之自旋能夠彼此平行地對準，必須要在該等原子之間具有某些種類的互動作用。該互動作用係為一量子力學效應，已知稱為交換互動作用。或者，該交換互動作用可以利用一交換場來描述。為了本文件之目的，該交換場之正值係表示在鄰近自旋之間的鐵磁性耦合。一些常見的鐵磁性材料包含該等元素鎳(Ni)、鐵(Fe)及鈷(Co)，及多種合金，最常見的是鐵化鎳(NiFe)。

反鐵磁係屬於固體磁性的類型，像是氧化錳(MnO)，其中鄰近離子之行為就像是小型磁鐵(例如氧化錳離子， Mn^{2+})。在相當低溫下，在整個材料內自發性地以平行或反平行的配置自我對準，使得該材料表現出幾乎沒有總外部磁性。在反鐵磁性材料中，除了某些離子固體之外，其包含某些金屬及合金，定位在一方向上之原子或離子所造成的磁性係被該組對準於該相反方向上之磁性原子或離子所抵消。為了本發明之目的，反鐵磁性交換耦合係表示該交換場之負值。鐵磁性材料係為人所知，所以在本質上係能夠被建構或發現。一些相關的鐵磁性材料的範例包含錳化鐵(FeMn)、錳化鎳(NiMn)、錳化鉑(PtMn)及錳化銲(IrMn)，常常係用以釘紮一MRAM記憶體元件之釘紮層。

一簡單亞鐵磁性材料係一種由在內部網格化(intermeshing)陣列上之具有不同自旋值之磁原子所組成的材料。鄰近原子間之交換耦合係反鐵磁性，使得該等不同

的子晶格(sub lattices)係以相反方向定位。因為與該等不同子晶格有關的自旋係不同，所以存在一處於平衡狀態之淨磁性量。因此亞鐵磁能夠表現一自發性磁性。該等最常見到的亞鐵磁材料的類別係鐵氧體(ferrite)。

一順磁鐵係一種具有很強的熱擾動能量使得其蓋過鄰近自旋間之交換互動作用之磁性材料。在這些材料中，該等原子自旋的隨機方向造成在沒有施加磁場下產生零淨磁性。當將一磁場施加於這些材料時，對於該等自旋的某些部分會變得更有可能平行對準該施加場。隨著該施加場增加，該順磁之磁性也增加。常見的順磁性材料包含鋁(Al)及K。同樣應注意的是鐵磁性材料在高溫下會變成順磁性，此處熱擾動效應係蓋過該交換互動作用。該溫度已知稱為該居理溫度(Curie temperature)。

兩鐵磁層能夠透過一非鐵磁性材料彼此間交換耦合，而該效應對於MRAM技術係相當重要。兩鐵磁層能夠藉由將一層(例如該第三鐵磁層51)堆疊在具有一薄傳導間隔層(例如層49，其末在該兩層47、51之間)之該其他層(例如該第二鐵磁層47)之上而造成反鐵磁性地耦合，這係強制以相反方向對準。兩反鐵磁性地耦合的鐵磁層的堆疊經常在假如該等鐵磁層之淨矩沒有消除的話，稱作為一合成亞鐵磁(synthetic ferrimagnet)，而假如該堆疊的淨矩係為零的話，則稱作為一合成反鐵磁。

橫跨該傳導間隔器層49所發生的該相關的交換耦合係為反鐵磁性，而通常稱為RKKY耦合。局部化磁矩之間的該

Ruderman-Kittel-Yasuya-Yoshida (RKKY) 互相作用係為一主金屬(host metal)之傳導電子所傳達之一交換互相作用。通常，該交換耦合的大小會減少，然後在與漸增的間隔層49厚度相耦合之鐵磁與反鐵磁間震盪。在鐵磁與反鐵磁對準間的該磁耦合之震盪(作為內部層厚度之函數)係為一般轉換現象，金屬鐵磁係由一非鐵磁傳導內部層所分隔。

一合成亞鐵或反鐵磁之間隔層(例如49)必須係具有適合的厚度，及由適合材料(例如銅化鈦(Ru Cu或各種不同的合金))所組成，使得在該等兩鐵磁間所產生的該交換耦合係為反鐵磁性，而具有所要求的大小。在本發明中使用兩種反鐵磁性耦合的機構。這些機構就是雜散場耦合，其係為該等層47及51之邊緣所產生的該等場之結果，以及交換耦合，其係為發生在整個該間隔層49中之互動作用。為了所有意圖及目的，雜散場耦合直到該磁性記憶體元件已經模式化才有意義。在整個該間隔層49中之交換耦合係在放置該等磁性薄膜之後馬上就存在。雜散場耦合係取決於磁性記憶體元件的大小，而在整個該間隔層49中之該交換耦合則是與該記憶體元件的L及W尺寸無關。

圖4說明一MRAM裝置之一合成亞鐵磁性感測層部分53之橫斷面之概要表示，這將用以定義基本上用以描述本發明之尺寸及參數。該合成亞鐵磁感測層53係由鐵磁層47及51所組成，而由一傳導金屬間隔49所分隔，該間隔既非鐵磁性也非反鐵磁性。該合成亞鐵磁感測層53之該等三層係被模式化到一具有長度L及寬度W之形狀上。假設為了揭露

該合成亞鐵磁感測層之目的，該形狀係為橢圓形，但是沒有必要為了實行本發明而限制要為橢圓形。層47係由一具有磁性M1之鐵磁性材料、飽和磁性 M_{sat1} ，及厚度 t_1 所組成，使得假如層47係與該堆疊的剩餘部分為磁性隔絕，則它將具有一矯頑值(coercivity)為 H_{c1} 。在沒有施加一磁場情形下，M1將定位於沿著一磁易軸之兩可能方向之一。同樣地，層51係由一具有磁性M2之鐵磁性材料、飽和磁性 M_{sat2} 及厚度 t_2 所組成，使得假如層51係與該堆疊為磁性隔絕，則它將具有一矯頑值為 H_{c2} 。在沒有施加一磁場情形下，M2將定位於沿著一磁易軸之兩可能方向之一。因為層47係被模式到一有限空間範圍之形狀，它產生一雜散磁場73，其通過該層51之體積。該雜散磁場73係定義為 H_{d12} 。在該層51之體積內， H_{d12} 指向與該M1方向相反之方向。以類似方式模式化到一有限空間範圍之形狀之層51也會產生一雜散磁場71，其通過該層47之體積。該雜散磁場71係定義為 H_{d21} 。在該層47之體積內， H_{d21} 指向與該M2方向相反之方向。假如該間隔層49係由一適當材料所組成並且以厚度 t_s 沉積，則可以傳達在鐵磁層47及51之間的反鐵磁性交換耦合。為了簡化起見，該交換耦合係表示成一磁場，其在層47及51內係為相同大小 H_{exc} 。該交換場之定義只是用以說明起見，而本發明並非要限制於在層47及51中相等交換場之實例。該交換場 H_{exc} 係要成為反鐵磁性。因此在層47中， H_{exc} 將會指向於與M2相反之方向，而在層51中之交換場將會指向與M1相反之方向。

為了要建立一合成亞鐵磁感測層以及實現其優點，必須遵循兩狀況，包含降低的內部位元互動作用極改良式熱穩定性。首先，

$$Msat1 \cdot t1 \neq Msat2 \cdot t2,$$

這係確保在該感測層有足夠的淨磁矩，使得它能夠以合理的寫入場值寫入。其次，M1必須隨時保持與M2反向。然而，在實際的裝置中，線性關係會有些偏移，該線性關係偏移愈大，則該裝置效能就愈差。為了讓M1及M2能夠保持反向，該等雜散場Hd12及Hd21，及交換場H_{ex}c必須設定成使得M1與M2間的反鐵磁方向在所有操作狀況下都很穩定。因此一合成亞鐵磁感測層之設計者必須要正確地選擇該等參數Msat1、Msat2、t1、t2、t_s、H_c1、H_c2及該間隔的材料之適當組合，以便建立穩健裝置。將H_{ex}c考慮進來可以對裝置設計提供比單獨使用雜散場所提供的更有彈性。特別地，H_{ex}c允許該設計者在選擇t1、t2及位元形狀時比可能只有使用Hd12及Hd21有更多的自由度，以在層47與51之間產生反鐵磁耦合。

本發明之一實施例也可以使用巨磁阻(GMR)感測器來實行。在一GMR感測器中，該絕緣穿隧障壁45可以用像是銅之導體來取代。寫入可以使用一TMR感測層53，以對MRAM位元11所執行的完全相同方式來執行，但是讀取卻是利用流動一平行於該位元11之平面(相對於在該TMR MRAM位元11實例中係為垂直)之電流來執行。一不同配置的列13及行15傳導線路或額外傳導線路係被要求以一GMR感測器來

(micromagnetic)計算，所計算出一單一4 nm厚度的鐵化鎳的橢圓形模式的感測層(270 nm x 180 nm)之磁滯迴路(hysteresis loop)與一合成亞鐵磁感測層53之磁滯迴路的比較，該合成亞鐵磁感測層係類似於圖5b中所示，具有相同尺寸及形狀。另外一種用以檢視熱穩定性之方法係觀察要求寫入一位元之能量。對於一未選擇的位元，該能量係可以表示成 $E=1/2M_{\text{sat}}*H_c*V$ 。要注意的是該合成亞鐵磁感測層53之矯頑磁場(H_c)值係比該單一層薄膜之 H_c 值還要大35%，以及該合成亞鐵磁之磁容積(volume)係為該單一層的磁容積的3倍。磁容積及 H_c 之增加係有效地增加該熱穩定係數 $1.35 * 3 = 4.05$ 倍。同樣地，要注意的是該要求矯頑場並沒有大到使得它會要求過大的電流以寫入一磁性位元11感測層53。

圖7說明一具有 $H_{\text{exc}} = 0$ Oe及 $H_{\text{exc}} = 200$ Oe的合成亞鐵磁感測層之為磁性模擬。比較該 $H_{\text{exc}} = 0$ Oe及該 $H_{\text{exc}} = 200$ Oe實例之間，以說明將層47與51間的反鐵磁交換耦合包含在該合成亞鐵磁感測層53內的優點。圖7中之該垂直軸係指該合成亞鐵磁感測層的正交化磁矩，而該水平軸係指該磁易軸寫入場。該平面圖係稱作為磁滯曲線或 $M(H)$ 迴路。有興趣的三個 H 場數值在該等每個 $M(H)$ 迴路中係很明顯的。在該 $M(H)$ 迴路中之該場 H_{02} 處所發生的一突然轉變係產生於當兩層47及51同時反向而因此保持在相反方向上時。在該 M 中之該場 H_{01} 及 H_{03} 處所發生的該突然轉變係產生於當兩層47及51改變方向係與其他層無關時。該場 H_{01} 及 H_{03} 的

突然轉變的存在係意指M1及M2能夠指向相同方向，當該感測層係以很強的一寫入場寫入時。該合成亞鐵磁感測層53因此會產生大於所要求的雜散場Hib。因此以大於H03之場來寫入該位元並非所要求。再者，有可能H01會靠近0 Oe，在該實例中，該合成亞鐵磁感測層係不穩定的，而磁化成數個非所要的狀態。該等數值H01、H02，及H03所有都是關鍵地依賴於該等參數Msat1、Msat2、t1、t2、ts、Hc1，及Hc2之數值。應注意的是所有其他裝置參數相同時，一反鐵磁交換場之包含藉由將該等場H01及H03移動到較高數值，會增加場H01與H02之間的分隔。該反鐵磁交換場也會降低H01與H03間的差異，一效應導致一更為磁性穩定的感測層。因此Hexc允許對於合成感測層之最佳化有更大的自由度。假如該狀況H02<H01成立，則能夠表現導致所有相關的寫入場的M1及M2的反平行方向的Hexc的最小值係存在。雖然要解析地解出該狀況係有困難，但是大概可以推算[Hexc]係大於 $((1/2)*[Hc1-Hc2+Hd21-Hd12])$ ，因為Hexc可用以穩定化一不穩定的合成亞鐵磁感測層的設計，而可以提供在選擇Msat1、Msat2、t1，及t2時有較大範圍，導致能夠建立一具有改良的熱擾動及降低雜散場Hib之感測層。

假設該最小交換耦合情形係符合的，該合成亞鐵磁感測層53之磁性質在大範圍的Hexc數值上係穩定的。圖8係用以展示變化Hexc的效應。圖8係為272 nm乘上180 nm大小的橢圓形合成亞鐵磁感測層的該寫入場Hsw係作為Hexc與該磁難軸偏移場Hyselected的函數的圖。該模擬堆疊係為鐵化鎳

(8 nm)/間隔/鐵化鎳(4 nm)，這係被挑選以允許該 $H_{xc} = 0$ Oe點能夠在該整個範圍的寫入場中作為一合成亞鐵磁感測層來操作，也就是說， $H_{sw} < H_{02}$ 。參考圖8，寫入餘裕可以定義成該 $H_{sw_selected}$ 與 $H_{sw_unselected}$ 曲線之間的垂直距離。我們期望能夠具有大的寫入餘裕，因為這允許該感測層能夠以一被挑選能最大化一MRAM陣列中的位元良率 (bit yield) 之場值來寫入。從圖8中可以看出這係很明顯的，當 $H_{xc} < 200$ Oe，寫入餘裕並沒有改變。當 H_{xc} 增加超過 200 Oe時，寫入餘裕係緩慢地減少。在某些較大值的 H_{xc} ，寫入餘裕會變成 0，而該感測層無法被選擇用以在沒有寫入所有位在該相同列線路上的位元下寫入。 H_{xc} 的上限係相當程度地取決於該等參數 M_{sat1} 、 M_{sat2} 、 t_1 、 t_2 、 t_s 、 H_{c1} 及 H_{c2} ，這係需要對於每個裝置設計以實際經驗來決定。 H_{xc} 可以藉由適當地挑選間隔材料、間隔厚度、 M_{sat1} 、 M_{sat2} 、 t_1 及 t_2 來設定。

參考圖9，係揭露一種用以製造本發明之一實施例之可能程序。要注意的是在該堆疊中的該等層也可以倒轉，這會導致該等程序步驟的變化及可能也會改變方法。在任何狀況下，首先，在處理區段113，該釘紮或參考層43係進行沉積。該釘紮層43可以係一耦合的反鐵磁及鐵磁層結構、一合成亞鐵磁、或一與一合成亞鐵堆疊相耦合的反鐵磁層。該釘紮層43的材料可以從已知材料中挑選，這些可以供釘紮層43結構使用包含錳化鐵、錳化鋁、錳化鉑、錳化鎳，或氧化鎳。對於一單一層釘紮層43或是在一耦合的反鐵磁

及鐵磁層的實例中，錳化鋁可以供該反鐵磁層使用，而鐵化鎳可以供該鐵磁層使用。接著，在處理段115中，該釘紮層43係充分地平順化，其利用例如濺鍍蝕刻或其他技術，以降低層表面不規則(Neel耦合)所引起的該磁場耦合。在處理段117中，一薄穿隧障壁層45係進行沉積。該穿隧障壁可以從已知的材料中挑選，包含氧化鋁(Al_2O_3)。在處理段119中，該第二鐵磁層47係由像是鐵化鎳之類的鐵磁性材料所形成，使得充分的鐵磁交換耦合及雜散場71、73耦合係出現在該第二鐵磁層47及將會接著沉積的該要求第三鐵磁層51之間。最後，取決於該等材料的挑選，整個堆疊應該在磁場存在的情形下進行退火，以便設定該等各層正確的磁化方向。

充分的反鐵磁交換耦合係指一感測層53的設計，其提供反鐵磁交換耦合於該第二鐵磁層47與該要求第三鐵磁層51(接著形成)之間，使得該反鐵磁交換耦合係超過零而小於一數值，在經過層47與橫跨過間隔層47之層51的反鐵磁交換耦合的某一點之後，這要求一顯著增加的磁切換場強度(H_{sw})。

正如圖8所指，假定一特定合成亞鐵磁尺寸及材料，在反鐵磁交換耦合之某一點(例如200 Oe)之後，所要求用以執行一寫入操作所施加的磁場(H_x)必須要增加，因此而增加要求用以執行該感測層53磁矩75、77方向的切換的電流。在某一點，當 H_{exc} 太強時，一磁難軸偏移(在相對該磁易軸19之90度)將不夠充分以寫入該磁記憶體位元(11)感測層53

(切換該感測層53磁矩77、75的方向)。

接著，在處理段121中，該第二鐵磁層47可以平順化以降低Neel耦合(界面不規則所引起在層47與51之間的磁耦合)。在處理段123中，該間隔元件49係由形成間隔層的材料形成，其包含允許反鐵磁交換耦合的Ru、鉻(Cr)或銅，使得充足的反鐵磁交換耦合及雜散場耦合係出現在橫跨在該第二鐵磁層47與該要求的第三鐵磁層51之間的間隔層49。在處理段125中，該第三鐵磁層51係由像是鐵化鎳的鐵磁材料所形成在該間隔層49之頂端，使得充足的反鐵磁交換耦合及雜散場耦合係出現在橫跨在該第二鐵磁層47與該第三鐵磁層51之間的間隔層49。再次地，要注意的是該反鐵磁交換耦合屬性係取決於磁記憶體位元11的設計，包含感測層設計、位元大小及材料，因而變化以達成所要求在該感測層53中，充足的反鐵磁交換耦合及磁矩切換點分隔之效應。

圖10說明一處理器系統151，其包含一MRAM記憶體陣列9，該陣列係由根據本發明之一實施例所見夠的磁記憶體元件11所組成且與一處理器相耦合，例如用以資料交換的中央處理器單元153。該等磁記憶體位元11係電氣地耦合到該處理器151，以致於能夠允許從該等記憶體位元讀取及寫入資料。該等磁記憶體位元11可以透過一記憶體控制器及未繪圖的匯流排系統與該處理器151相耦合，或是透過其他資料轉換結構與其他組件相耦合。

已針對本發明之各種特定實施例提出參考。這些實施例

係利用充分細節來描述，以讓熟悉該項技藝者能夠實行本發明。應了解的是本發明的其他實施例也可以採用，但是結構及電氣的變化要在不悖離本發明的範圍或精神下完成。

【圖式簡單說明】

本發明的這些及其他的特徵及優點從下列詳細描述中可以更加了解，這係與該等伴隨圖示一起提供。

圖1說明一MRAM磁性記憶體裝置中一陣列之磁性記憶體元件之部分之上視剖面圖；

圖2a說明一簡化的圖1之磁性記憶體位元之透視圖；

圖2b說明根據本發明之一示範實施例建構的一磁性記憶體位元之上視圖；

圖3說明根據本發明之一示範實施例建構的一磁性記憶體元件之橫斷面視圖；

圖4說明根據本發明之一示範實施例建構的一磁性記憶體元件感測層之橫斷面視圖，其顯示磁場及磁矩量屬性；

圖5a說明根據本發明之一示範實施例之雜散場與合成鐵磁上層厚度間的關係；

圖5b說明根據本發明之一示範實施例建構的一磁性記憶體元件感測層之橫斷面視圖；

圖5c說明具有一位元與該鄰近位元相互作用而產生的雜散場之兩鄰近位元之視圖；

圖6說明根據本發明之一示範實施例建構的一磁性記憶體元件的磁滯迴路與不具有一合成鐵磁之感測層之磁滯迴

路的比較；

圖7說明根據本發明之一示範實施例建構的一磁性記憶體元件感測層的磁滯迴路與不具有反鐵磁性RKKY交換耦合之磁性記憶體元件感測層之磁滯迴路的比較；

圖8說明當反鐵磁性RKKY交換耦合變化時，在根據本發明之一示範實施例建構一合成感測層上執行一寫入操作所要求的磁場密度之比較；

圖9說明根據本發明之一示範實施例之製造一磁性記憶體元件之處理順序；及

圖10說明併入具有根據本發明之一示範實施例建構的記憶體元件之MRAM記憶體裝置之處理器系統。

【圖式代表符號說明】

9	陣列
11	磁性穿隧結點記憶體元件
13	列傳導線路
15	行傳導線路
17	鐵磁層(釘紮層)
18	該記憶體元件
19	鐵磁層(感測層)
20	長軸
21	非磁性層
23	磁易軸
25	磁難軸
27	兩磁矩狀態

L	長度
W	寬度
31	基材
33	絕緣體層
35	非磁性金屬層
37 (SEED)	種子層
39	反鐵磁層
41	第一鐵磁層
43 (PIN1)	釘紮層
45(T)	非磁性穿隧障壁層
47	一第二鐵磁層
49(S)	一傳導間隔層
51	一第三鐵磁層
53 (SENSE)	感測層
55	非鐵磁層金屬層
AF	反鐵磁性
71、73	雜散磁性層
ts	厚度
M1、M2	磁化
Hib	內部位元雜散場
151	處理器系統
153	中央處理器單元

伍、中文發明摘要：

本發明提出一種改良式磁性記憶體元件，其中一磁性感測層係由兩鐵磁性材料層所組成，該等兩層係以一間隔層 (spacer layer) 來分開。該等兩鐵磁性層係形成以作為具有跨越該間隔層之雜散場耦合 (stray field coupling) 及反鐵磁交換耦合的一合成亞鐵磁。

陸、英文發明摘要：

An improved magnetic memory element is provided in which a magnetic sense layer is formed of two ferromagnetic material layers separated by a spacer layer. The two ferromagnetic layers are formed as a synthetic ferrimagnet with stray field coupling and antiferromagnetic exchange coupling across the spacer layer.

拾壹、圖式：

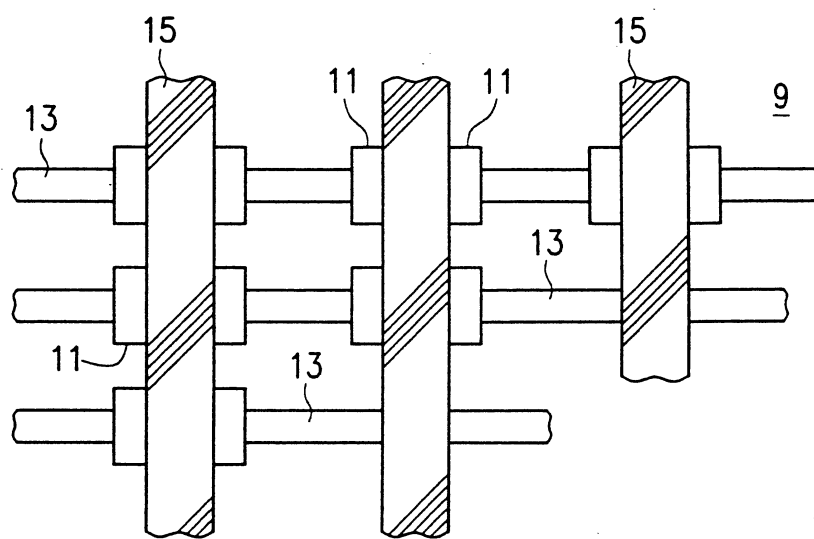


圖 1

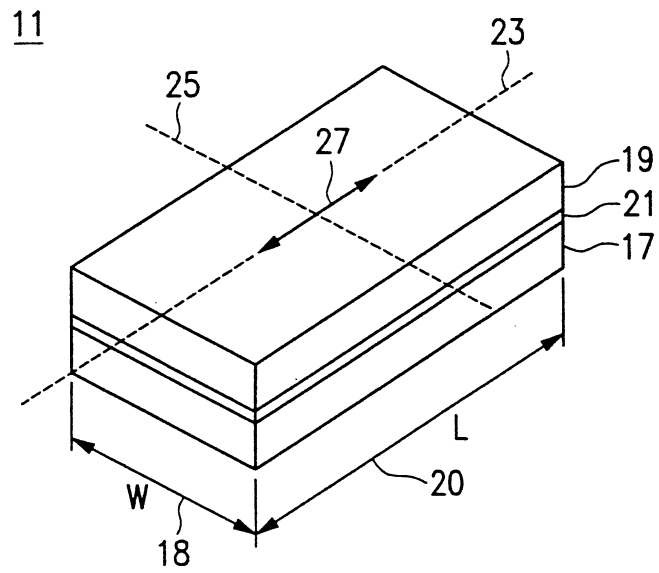


圖 2a

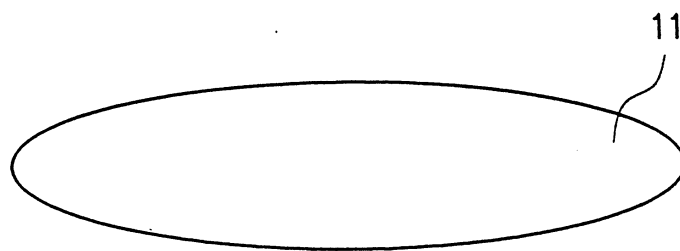


圖 2b

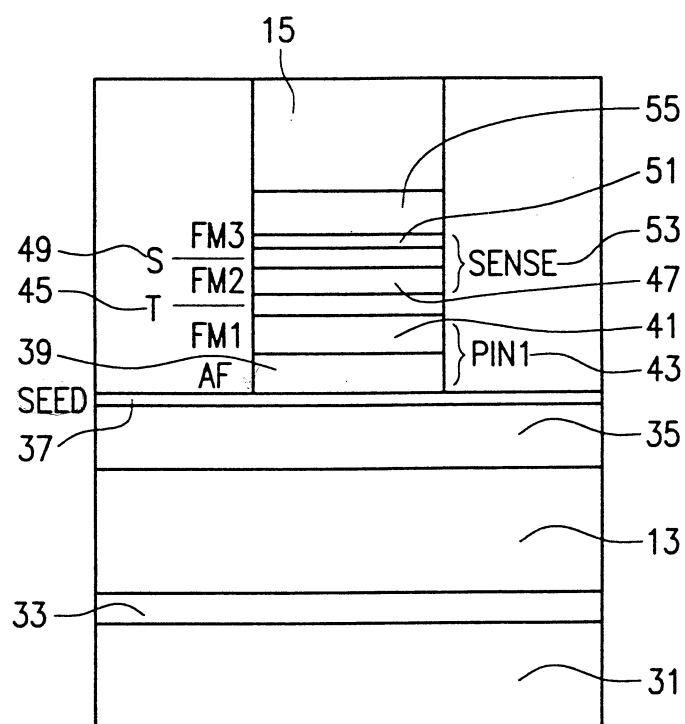


圖 3

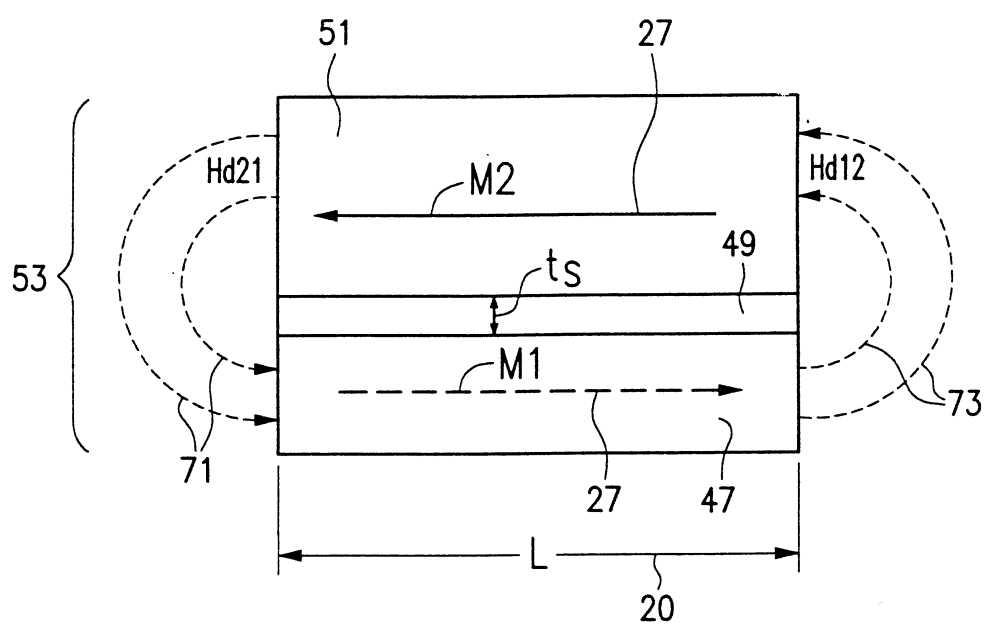


圖 4

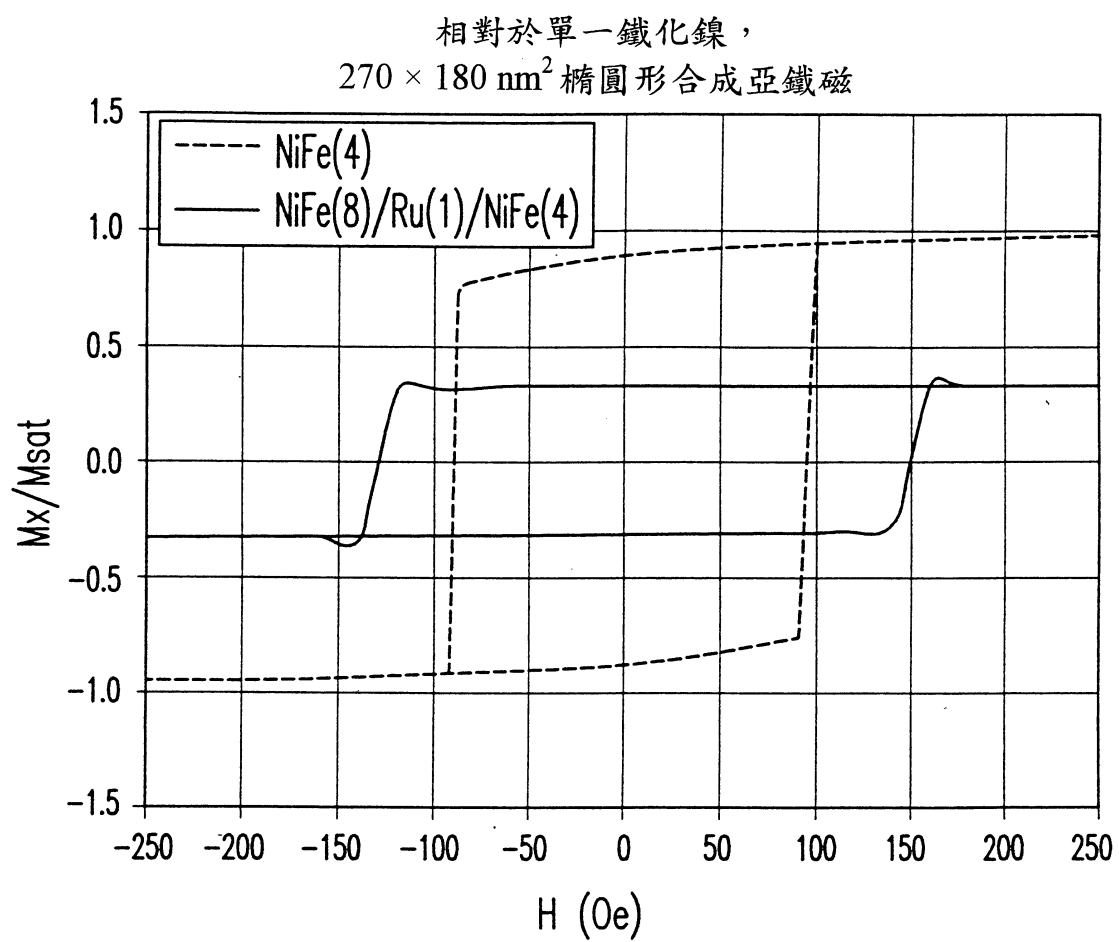


圖 6

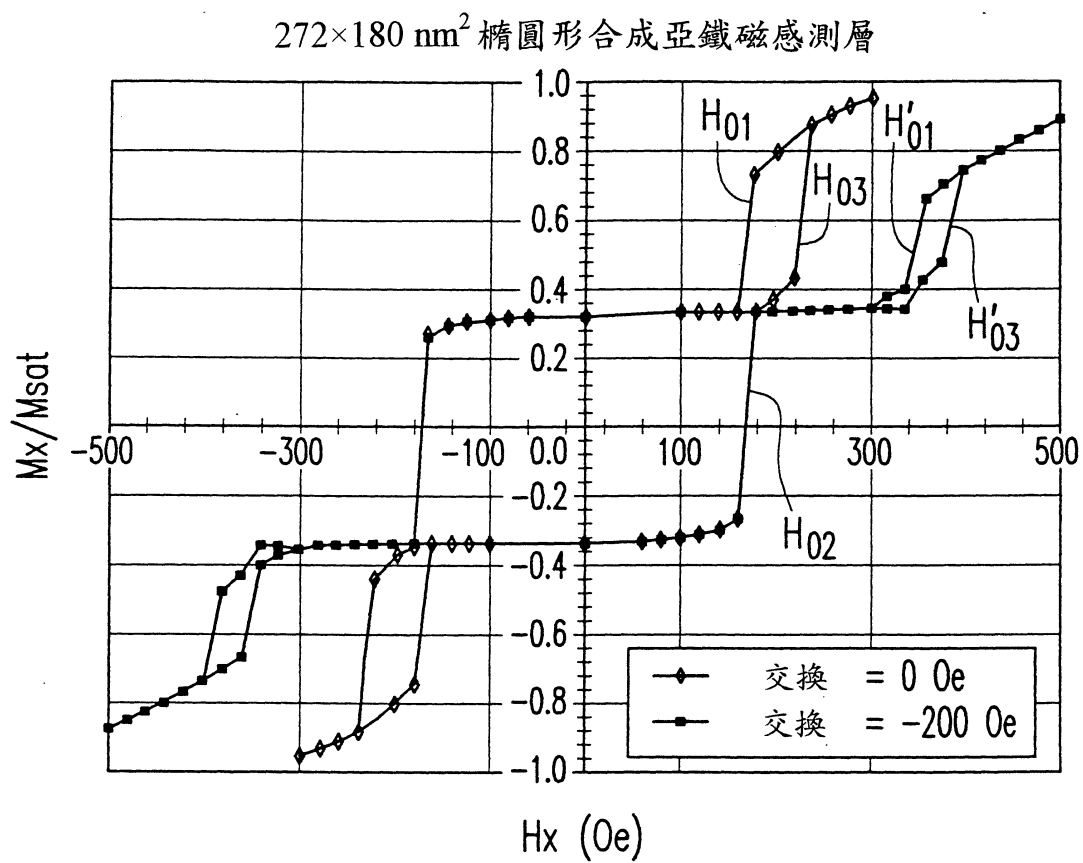


圖 7

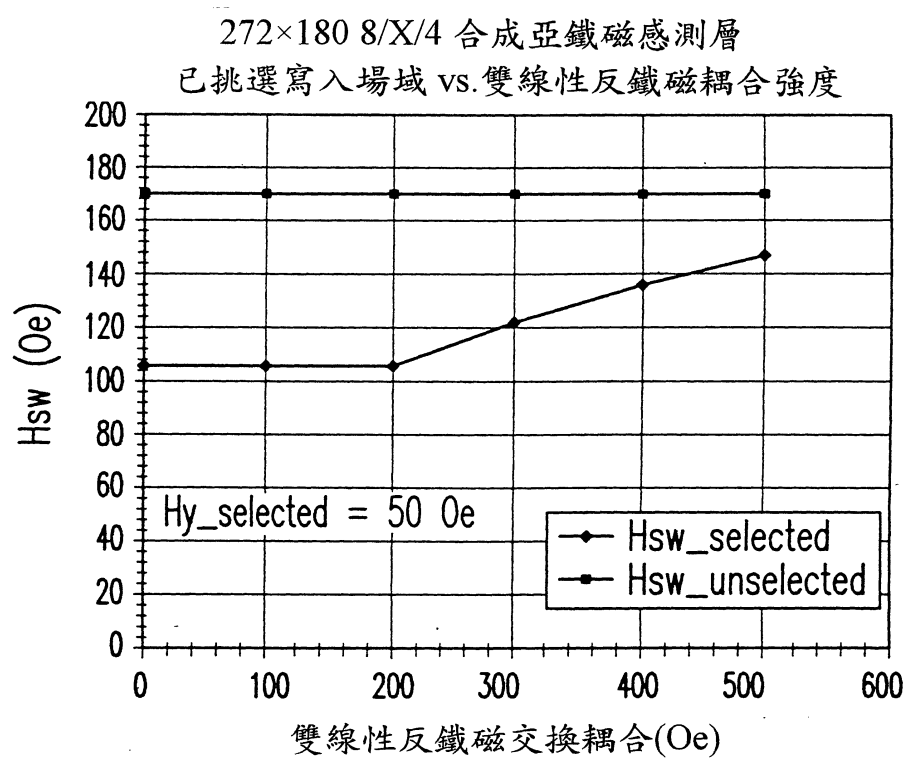


圖 8

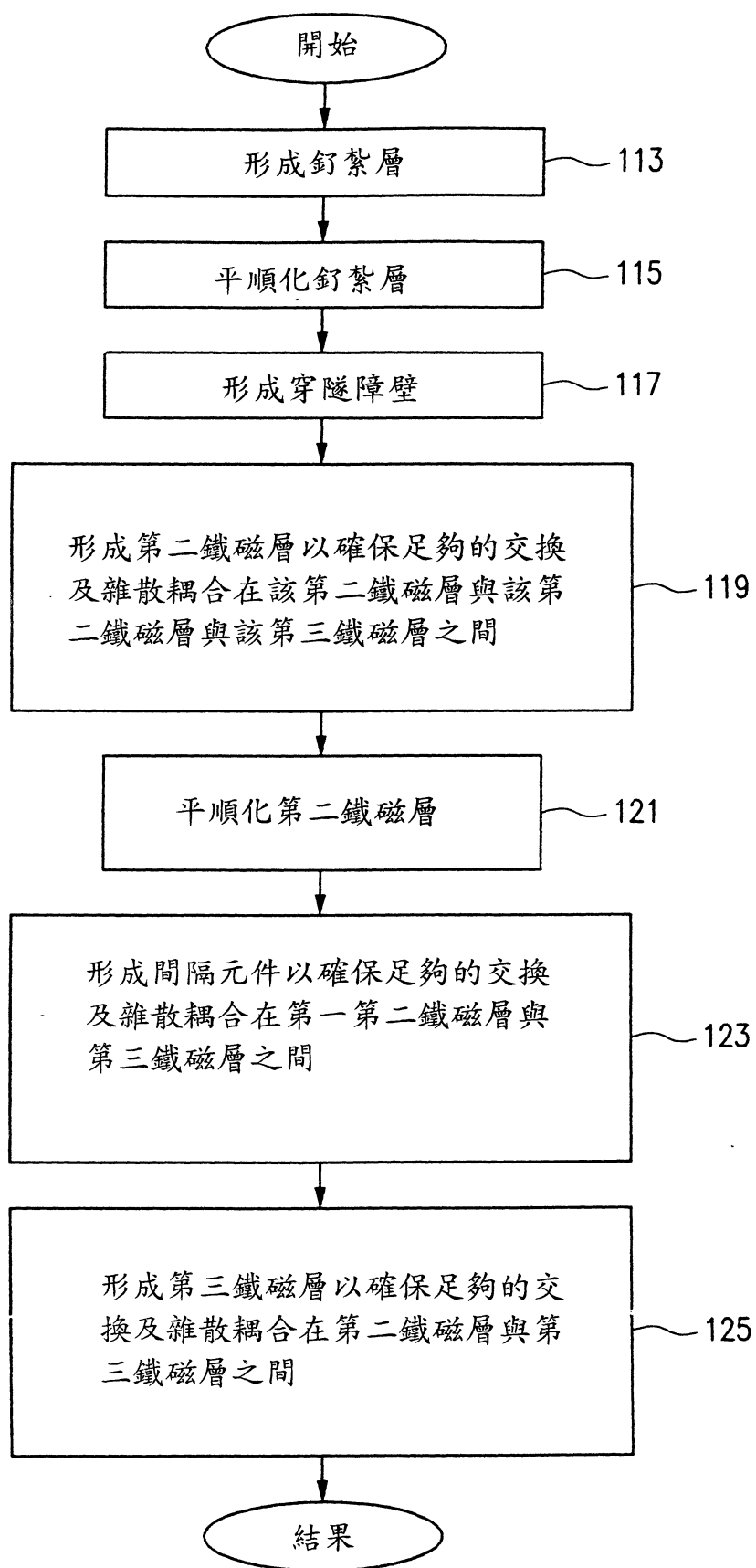


圖 9

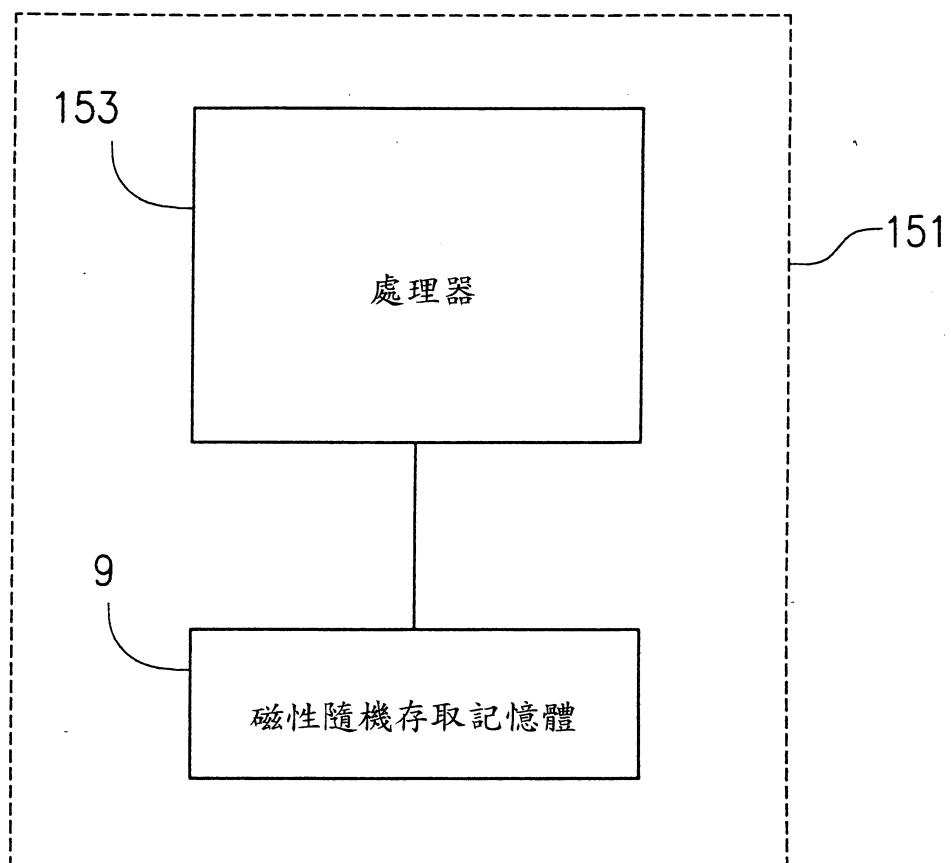


圖 10

柒、指定代表圖：

(一)本案指定代表圖為：第（ 3 ）圖。

(二)本代表圖之元件代表符號簡單說明：

13	列傳導線路
15	行傳導線路
31	基材
33	絕緣體層
35	非磁性金屬層
37 (SEED)	種子層
39	反鐵磁層
41	第一鐵磁層
43 (PIN1)	釘紮層
45 (T)	非磁性穿隧障壁層
47	一第二鐵磁層
49(S)	一傳導間隔層
51	一第三鐵磁層
53 (SENSE)	感測層
55	非鐵磁層金屬層
AF	反鐵磁性

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

讀取一MRAM位元。

圖5a說明假如該第二鐵磁層47之底層係為4 nm厚，一橢圓形合成亞鐵磁感測層53所產生之該內部位元雜散場Hib在150 nm處，為厚度之函數之計算。該內部位元雜散場Hib係以概要方式表現於圖5c中。在圖5a中所模仿的該感測層53實施例係包含一鐵磁層51，其係由鐵化鎳(6 nm)所形成、一間隔層49及一鐵磁層47，其係由鐵化鎳(4 nm)所形成。(參見圖5b)該間隔49的材料係為一傳導金屬層，其係介於0.5 nm到2 nm厚之間，而由銅、鈦或各種金屬之合金所形成。將一合成亞鐵磁感測層比做為一單一層感測層，會產生一較小雜散場於一鄰近位元之位置上。再參考圖5a，一4 nm厚度的單一層位元係會產生一互相作用場於離該15 Oe之位元末端之150 nm處。當該合成亞鐵磁感測層之上層之厚度增加，在該鄰近位元處之雜散場會減少，然後改變符號。當該上層做得太厚時，該互相作用之場也會再變得很大。要注意的是當該上層鐵磁層51係沉積在2 nm到6 nm範圍內時，在該等鄰近位元之位置處的雜散場係大大地降低。圖5a說明在鄰近位元雜散場所造成的減少係讓磁性記憶體位元能夠在一具有鄰近位元11間之降低的雜散場互相作用之陣列9中相隔更為靠近。只使用Hd12及Hd12於反鐵磁耦合層47及51會限制相對層厚度之範圍，這使得產生能夠表示降低的內部位元的互相作用之一工作感測層變的困難。

一合成亞鐵磁感測層之改良熱穩定性係示範於圖6。圖6說明使用基於該Landau-Lifshitz-Gilbert的微磁性

拾、申請專利範圍：

1. 一種磁性記憶體元件之感測層，該感測層包含：

一第一可磁化層，具有定位於一第一方向上之磁矩；

一第二可磁化層，具有定位與該第一方向相反之一第二方向上之磁矩；

一間隔層，其形成於該第一及第二可磁化層之間；

該等層係由足以提供雜散場耦合在跨越該間隔層的該第一及第二層之間之材料及厚度所形成，使得該等第一及第二層具有的磁矩係互為反平行方向；及

該等層係由足以提供反鐵磁交換耦合於跨越該間隔層的該第一及第二層之間之材料及厚度所形成，使得該第一及第二層的磁矩係在施加磁場的情形下，能夠自由地實質上同步地旋轉，使得該等可磁化層的該第一及第二磁矩能夠以該第一及第二方向的另一個方向來定位。

2. 如申請專利範圍第1項之感測層，其包含：

一薄層，與該第一可磁化層有關，係由鈷所組成，插入在該間隔層與該第一可磁化層之間；及

一薄層，與該第二可磁化層有關，係由鈷所組成，插入在該間隔層與該第二可磁化層之間。

3. 如申請專利範圍第1項之感測層，其包含：

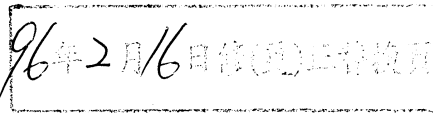
一薄層，與該第一可磁化層有關，係由鐵化鈷所組成，插入在該間隔層與該第一可磁化層之間；及

一薄層，與該第二可磁化層有關，係由鐵化鈷所組成，插入在該間隔層與該第二可磁化層之間。

4. 如申請專利範圍第1項之感測層，其中該等第一與第二可磁化層包含至少一層係為鐵化鎳。
5. 如申請專利範圍第1項之感測層，其中該等第一與第二可磁化層包含至少一層係為鐵化鈷。
6. 如申請專利範圍第1項之感測層，其中該等第一與第二可磁化層包含至少一層係為鈷。
7. 如申請專利範圍第1項之感測層，其中該等第一與第二可磁化層包含至少一層係為鐵。
8. 如申請專利範圍第1項之感測層，其中該等第一與第二可磁化層包含至少一層係為鎳。
9. 如申請專利範圍第1項之感測層，其中該等第一與第二可磁化層包含至少一層係為NiFeCo。
10. 如申請專利範圍第1項之感測層，其中該間隔層厚度係使得在該等第一與第二可磁化層之間反鐵磁交換耦合具有一磁場值，該磁場係小於該等第一與第二可磁化層之一具有該最大矯頑場值的該矯頑場值。
11. 如申請專利範圍第1項之感測層，其中該第一可磁化層具有一磁飽和倍的第一層厚度，其不等於該第二可磁化層的磁飽和倍的第二層厚度。
12. 如申請專利範圍第1項之感測層，其中該間隔層係為一傳導材料。
13. 如申請專利範圍第1項之感測層，其中該間隔層係包含一鈹(Ru)層。
14. 如申請專利範圍第1項之感測層，其中該間隔層係包含一

銅(Cu)層。

15. 如申請專利範圍第1項之感測層，其中該間隔層非為一鐵磁性或反鐵磁性的導體。
16. 如申請專利範圍第1項之感測層，其中該等第一及第二可磁化層係由各種具有該相同厚度的材料所形成。
17. 如申請專利範圍第1項之感測層，其中該等第一及第二可磁化層係由各種具有彼此互不相同的厚度的材料所形成。
18. 如申請專利範圍第1項之感測層，其中該等層係以一橢圓模式形成。
19. 一種作為一磁性記憶體元件之感測層，該感測層包含：
 - 一第一可磁化層，具有一第一材料成分、一厚度 t_1 及一以第一方向定位的磁矩；
 - 一第二可磁化層係在該第一可磁化層之上，該第二可磁化層具有該第一材料成分及一大於 t_1 的厚度及一以與該第一方向相反的第二方向定位的磁矩；
 - 一傳導間隔層，其形成於該第一與第二可磁化層之間；該第一及第二可磁化層及傳導間隔層係形成以提供雜散場耦合於該第一與第二層之間，使得該第一與第二層具有磁矩係以彼此互為反平行方向來定位；及
- 該第一及第二可磁化層及傳導間隔層的每層都係由一足以提供具有大於0且 ≤ 200 Oe的反鐵磁交換耦合在跨越該間隔層的該第一與第二層間之材料及厚度所形成，
- 該等第一及第二層之磁化方向在施加一磁場的情形下，



實質上同步地旋轉。

20. 如申請專利範圍第19項之感測層，其中該間隔層厚度係使得在該等第一與第二可磁化層之間的反鐵磁交換耦合係小於該第一或第二可磁化層之一具有該最大矯頑場值的該矯頑(H)場值。

21. 一種磁性記憶體結構，其包含：

一感測層，其包含：

一第一可磁化層，具有定位於一第一方向上的磁矩；

一第二可磁化層，具有定位於與該第一層相反方向的磁矩；

一間隔層，其形成於該等第一與第二可磁化層之間；

該等層係由一足以提供雜散場耦合在該等第一與第二可磁化層間，使得該等第一與第二可磁化層具有彼此互相反向的磁矩的材料及厚度所形成；

該等層係由一足以提供反鐵磁交換耦合在該等第一與第二層間使得該等第一與第二層之磁矩係能夠在施加磁場的情形下實質上同步地自由旋轉，使得該等可磁化層的該等第一與第二磁矩能夠以該等第一及第二方向的其他方向定位的材料及厚度所形成；

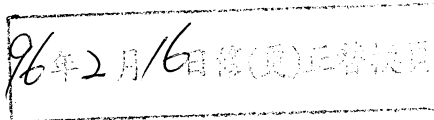
一釘紮層；及

一穿隧障壁，係由一非磁性材料所形成，放在該感測層與該釘紮層之間。

22. 如申請專利範圍第21項之磁性記憶體結構，其中在該等第一與第二可磁化層之間橫跨該間隔層的反鐵磁交換耦

合係在0與 ≤ 200 Oe之間。

23. 如申請專利範圍第21項之磁性記憶體結構，尚包含一列線路導體，其耦合以提供一磁場給該感測層，及一行線路導體，以提供一磁場給該感測層，其中當在該等第一與第二層間橫跨該間隔層的反鐵磁交換耦合大於0而 ≤ 100 Oe時，該釘紮層具有一磁場方向係實質上係在該列線路的軸的15度之內。
24. 如申請專利範圍第21項之磁性記憶體結構，其中該間隔層厚度係使得在該等第一與第二可磁化層之間橫跨該間隔層的該反鐵磁交換耦合係小於該等第一或第二可磁化層之一具有該最大矯頑場值之該矯頑場值。
25. 一種磁性記憶體元件之陣列，其包含：
- 一基材；
 - 一第一組實質上平行的電氣傳導線路，其形成在該基材上；
 - 一第二組實質上平行的電氣傳導線路，其形成在該基材上，實質上正交於該第一組的傳導線路且與該第一組的傳導線路相交；
- 複數個磁性記憶體元件，每個該每個元件係形成於其間，且耦合於該等第一及第二傳導線路相交點，該等元件包含一磁性記憶體感測層，其包含：
- 一第一可磁化層，其具有定位於一第一方向的磁矩；
 - 一第二可磁化層，其具有定位於與該第一方向相反的第二方向上的磁矩；



一 間隔層，其形成於該等第一與第二可磁化層之間；

該等層係由一足以提供雜散場耦合於該第一與第二層間橫跨該間隔層使得該等第一及第二層具有彼此互為反向定位的磁矩的材料及厚度所形成；及

該等層係由一足以提供反鐵磁交換耦合於該等第一與第二層間橫跨該間隔層使得該等第一及第二層的磁矩係能夠在施加一磁場的情形下，自由地實質上同步旋轉，使得該等可磁化層的該等第一及第二磁矩能夠在該等第一及第二方向的其他方向定位的材料及厚度所形成。

26. 如申請專利範圍第25項之磁性記憶體元件之陣列，尚包含其他靠近該感測層的傳導線路，其係用以讀取該等感測層磁矩的磁方向。
27. 如申請專利範圍第25項之磁性記憶體元件之陣列，尚包含其他靠近該感測層的傳導線路，其係用以實質上同步旋轉該等第一及第二可磁化層的磁矩。
28. 如申請專利範圍第25項之磁性記憶體元件之陣列，尚包含其他傳導線路，其係通過該感測層而係用以確定該感測層磁矩的磁方向。
29. 如申請專利範圍第25項之磁性記憶體元件之陣列，尚包含其他傳導線路，其係通過該感測層而係用以實質上同步旋轉該等第一及第二可磁化層的磁矩。
30. 一種電腦系統，包含：

一 處理器；

一 磁性記憶體裝置，其電氣地耦合到該處理器，該記

憶體裝置包含：

- 一第一可磁化層，其具有定位於一第一方向上的磁矩；
- 一第二可磁化層，其具有定位於與該第一方向相反的一第二方向上的磁矩；

- 一間隔層，其係形成於一第一與第二可磁化層之間；

該等層係由一足以提供雜散場耦合於該等第一與第二層間使得該等第一及第二層具有彼此互為反平行方向定位的磁矩的材料及厚度所形成；及

該等層係由一足以提供反鐵磁交換耦合於該等第一與第二層間使得該等第一及第二層的磁矩係能夠在施加一磁場的情形下自由地實質上同步旋轉，使得該等可磁化層的該等第一及第二磁矩能夠在該等第一及第二方向的其他方向定位的材料及厚度所形成。

31. 如申請專利範圍第30項之電腦系統，其中該陣列的磁性記憶體裝置透過一記憶體控制器及匯流排，電氣地與該處理器相耦合。

32. 如申請專利範圍第30項之電腦系統，其中該間隔層厚度係使得在該等第一及第二可磁化層間橫跨該間隔層的反鐵磁交換耦合係小於該第一或第二可磁化層之一具有該最大矯頑場值之矯頑場值。

33. 一種磁性記憶體結構，其包含：

- 一感測層，其包含：

- 一第一可磁化層，其具有定位於一第一方向上的磁矩；

- 一第二可磁化層，其具有定位於與該第一方向相反的

一 第二方向上的磁矩；

一 間隔層，其係形成於一第一與第二可磁化層之間；

該等層係由一足以提供雜散場耦合於該等第一與第二層間使得該等第一及第二層具有彼此互為反平行方向定位的磁矩的材料及厚度所形成；及

該等層係由一足以提供反鐵磁交換耦合於該等第一與第二層間使得該等第一及第二層的磁矩係能夠在施加一磁場的情形下自由地實質上同步旋轉，使得該等可磁化層的該等第一及第二磁矩能夠在該等第一及第二方向的其他方向定位的材料及厚度所形成；

一 釘紮層；及

一 傳導層，其放置在該感測層與該釘紮層之間。

34. 如申請專利範圍第33項之磁性記憶體結構，尚包含：

一 薄層，與該第一可磁化層有關，係由鈷所組成，插入在該間隔層與該第一可磁化層之間；及

一 薄層，與該第二可磁化層有關，係由鈷所組成，插入在該間隔層與該第二可磁化層之間。

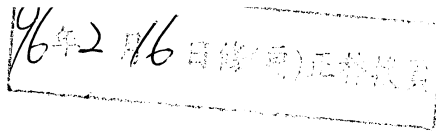
35. 如申請專利範圍第33項之磁性記憶體結構，其包含：

一 薄層，與該第一可磁化層有關，係由鐵化鈷所組成，插入在該間隔層與該第一可磁化層之間；及

一 薄層，與該第二可磁化層有關，係由鐵化鈷所組成，插入在該間隔層與該第二可磁化層之間。

36. 如申請專利範圍第33項之磁性記憶體結構，其中其中在

該等第一與第二可磁化層之間橫跨該間隔層的反鐵磁交



換耦合係在0與 ≤ 200 Oe之間。

37. 如申請專利範圍第33項之磁性記憶體結構，尚包含一列線路導體，其耦合以提供一磁場給該感測層，及一行線路導體，以提供一磁場給該感測層，其中當在該等第一與第二層間橫跨該間隔層的反鐵磁交換耦合大於0而 ≤ 100 Oe時，該釘紮層具有一磁場方向係實質上係在該列線路的軸的15度之內。

38. 如申請專利範圍第33項之磁性記憶體結構，其中該間隔層厚度係使得在該等第一與第二可磁化層之間橫跨該間隔層的該反鐵磁交換耦合係小於該等第一或第二可磁化層之一具有該最大矯頑場值之該矯頑場值。

39. 一種製造一磁性記憶體元件之方法，其包含：

形成一釘紮或參考層，其在一基材支撐之一第一方向上具有一磁化；

形成相鄰於該釘紮層之一穿隧障壁層；及

在相對於該釘紮層之穿隧障壁層之相鄰一邊形成一感測層，該感測層具有一第一鐵磁層及一第二鐵磁層，其係藉由一導電間隔層所互相分隔，並具有一導致雜散場耦合及反鐵磁交換耦合於該等第一與第二鐵磁層之間的特性。

40. 如申請專利範圍第39項之方法，其中形成該感測層之動作尚包含；

在該穿隧障壁層上形成該第一鐵磁層；

在該第一鐵磁層上形成該導電間隔層；及

在該導電間隔層上形成該第二鐵磁層。

41. 如申請專利範圍第40項之方法，尚包含在形成其他層在該釘紮層上之前，平順化該釘閘層之表面。
42. 如申請專利範圍第40項之方法，尚包含在形成該導電間隔層之前，平順化該第一鐵磁層。
43. 如申請專利範圍第40項之方法，其中該等第一及第二鐵磁層係由包含鐵化鎳的材料所形成。
44. 如申請專利範圍第40項之方法，其中該等第一及第二鐵磁層係由包含鐵化鈷的材料所形成。
45. 如申請專利範圍第40項之方法，其中該等第一及第二鐵磁層係由包含鈷的材料所形成。
46. 如申請專利範圍第40項之方法，其中該等第一及第二鐵磁層係由包含鐵的材料所形成。
47. 如申請專利範圍第40項之方法，其中該等第一及第二鐵磁層係由包含鎳的材料所形成。
48. 如申請專利範圍第40項之方法，其中該等第一及第二鐵磁層係由包含NiFeCo的材料所形成。
49. 如申請專利範圍第40項之方法，其中該導電間隔層包含一釘層。
50. 如申請專利範圍第40項之方法，其中該導電間隔層包含一銅層。
51. 如申請專利範圍第40項之方法，其中該導電間隔層係為一非為鐵磁性或反鐵磁性的導體。
52. 如申請專利範圍第40項之方法，其中該導電間隔層係以

一使得在該等第一及第二鐵磁層間的反鐵磁交換耦合小於該第一或第二鐵磁層之一具有該最大矯頑場值的該矯頑(H)場值的厚度所形成。

53. 如申請專利範圍第40項之方法，此處形成該等層係使得該等層係由一足以提供雜散場耦合及反鐵磁交換耦合厚度所形成，該反鐵磁交換耦合係在0到 ≤ 200 Oe的範圍內而在該等第一與第二鐵磁層間橫跨該導電間隔層。

54. 如申請專利範圍第40項之方法，其中形成該等第一及第二鐵磁層的步驟包含形成包含鐵化鎳的該等第一及第二層。

55. 如申請專利範圍第40項之方法，其中第二層係以一厚度 t 所形成而第一層係以一大於 t 的厚度所形成。

56. 如申請專利範圍第40項之方法，尚包含：

形成一薄層，與該第一鐵磁層有關，係由鈷所組成，插入在該導電間隔層與該第一鐵磁層之間；及

形成一薄層，與該第二鐵磁層有關，係由鈷所組成，插入在該導電間隔層與該第二鐵磁層之間。

57. 如申請專利範圍第40項之方法，尚包含：

形成一薄層，與該第一鐵磁層有關，係由鐵化鈷所組成，插入在該導電間隔層與該第一鐵磁層之間；及

形成一薄層，與該第二鐵磁層有關，係由鐵化鈷所組成，插入在該導電間隔層與該第二鐵磁層之間。

58. 一種製造一磁性記憶體元件之方法，其包含：

形成一感測層，該感測層具有一第一鐵磁及一第二鐵

磁層，其係藉由一導電間隔層所互相分隔，及具有一導致雜散場耦合及反鐵磁交換耦合於該等第一與第二鐵磁層之間跨越該導電間隔層的特性；

形成相鄰該感測層之一穿隧障壁層；及

形成一釘紮或參考層，其在相對該感測層之該穿隧障壁之相鄰一邊處的一第一方向上具有一磁化。

59. 如申請專利範圍第58項之方法，其中形成該感測層的動作尚包含；

形成該第一鐵磁層在該穿隧障壁層上；

形成一導電間隔層在該第一鐵磁層上；及

形成該第二鐵磁層在該導電間隔層上。

60. 如申請專利範圍第58項之方法，其中該導電間隔層係以一使得在該等第一與第二鐵磁層之間的反鐵磁交換耦合係小於該第一或第二鐵磁層之一具有該最大矯頑場值的該矯頑(H)場值的厚度來形成。

61. 如申請專利範圍第58項之方法，其中形成該間隔層係使得該等層係由一足以提供雜散場耦合及反鐵磁交換耦合的材料及厚度所形成，該反鐵磁交換耦合係大於0及 ≤ 200 Oe，位在該等第一及第二鐵磁層之間橫跨該導電間隔層。

62. 如申請專利範圍第58項之方法，其中該第二鐵磁層係以一厚度t所形成，而第一鐵磁層係以大於t的厚度所形成。

63. 一種製造一磁性記憶體元件之方法，其包含：

在一基材上形成一具有一第一方向上的磁化的釘紮

層；

平順化該釘紮層之表面；

形成一穿隧障壁層在該整個釘紮層上；及

形成一感測層在該整個穿隧障壁層上，該形成該感測層的動作包含：

形成該第一磁化層在該整個穿隧障壁層上；

平順化該第一磁化層；

形成一間隔層在該整個第一磁化層上；

形成一第二磁化層在該整個間隔層上；

該第一及第二磁化層及間隔層係形成使得該等層跨越該間隔層係為雜散耦合的及反鐵磁交換耦合的；

該第一及第二磁化層係為該第一層具有一磁化飽和乘以該第一層的厚度不等於該第二層的磁化飽和乘以該第二層的厚度。

64. 如申請專利範圍第63項之方法，其中該間隔層係以一使得在該等第一與第二磁化層之間的反鐵磁交換耦合係小於該第一或第二磁化層之一具有該最大矯頑場值的該矯頑(H)場值的厚度來形成。

65. 如申請專利範圍第63項之方法，其中該感測層係形成在該等第一與第二可磁化層之間的反鐵磁交換耦合具有比零大而小於一能防止在施加磁場的情形下切換該感測層的磁方向的數值。

66. 如申請專利範圍第63項之方法，其中該第一磁化層、間隔層及第二磁化層係由材料形成且具有足以提供雜散場

96.2.16

耦合與反鐵磁交換耦合在該等第一及第二磁化層間而橫跨該間隔層的厚度，該反鐵磁交換耦合係大於 $0 \leq 200$ Oe。

67. 如申請專利範圍第63項之方法，其中該第二磁化層係以一厚度 t 所形成，而該第一層係以大於 t 的厚度所形成。

68. 一種製造一磁性記憶體元件之方法，包括：

形成其在一基材上之一第一方向上具有一磁化之一釘紮層；

形成相鄰該釘紮層之一導電層，用以產生一巨大磁阻效應；及

在相對該釘紮層在該導電層之一邊上形成一感測層，該感測層具有一第一及第二鐵磁層，其係藉由一導電間隔層所互相分開，及具有一能導致雜散場耦合及反鐵磁交換耦合在該等第一及第二鐵磁層之間的特性。

69. 如申請專利範圍第68項之方法，其中該形成該感測層的動作尚包括：

形成該第一鐵磁層在該導電層上；

形成一導電間隔層在該第一鐵磁層上；及

形成該第二鐵磁層在該導電間隔層上。

70. 如申請專利範圍第68項之方法，其中形成該等層使得該等層係由一材料形成且具有足以提供雜散場耦合及反鐵磁交換耦合的一厚度，該反鐵磁交換耦合係在大於 0 至 ≤ 200 Oe的範圍內而在該等第一與第二鐵磁層間橫跨該導電間隔層。

71. 如申請專利範圍第68項之方法，其中該第二鐵磁層係以一厚度 t 所形成，而該第一層係以一大於 t 的厚度所形成。
72. 如申請專利範圍第68項之方法，其中該釘紮或參考層係為一合成亞鐵磁。

第 092107109 號專利申請案
中文圖式替換頁(96 年 2 月)

離一具有上層及間隔層之厚度分別為 4 奈米及 2 奈米
之 270 奈米 $\times$ 180 奈米的橢圓形感測層 150 奈米處
之雜散場

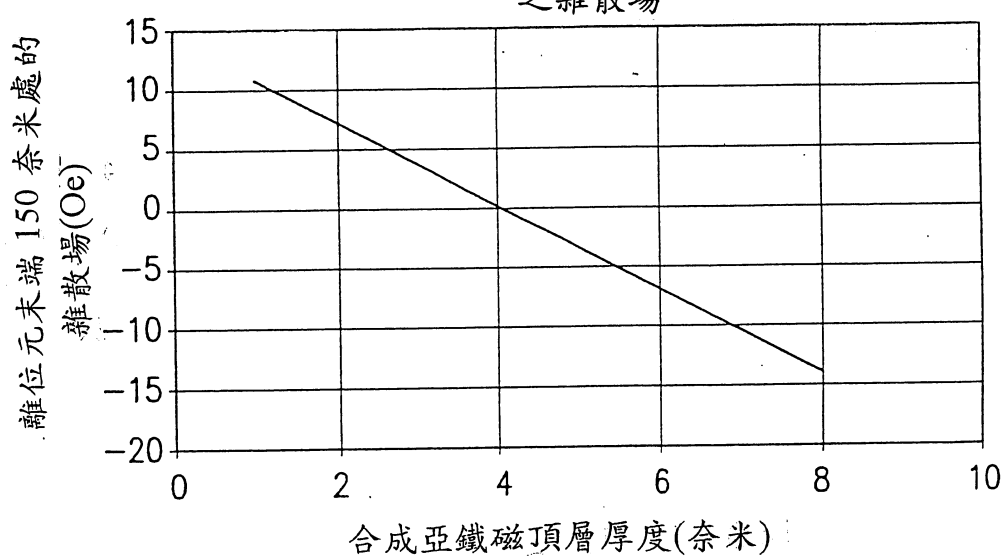


圖 5a

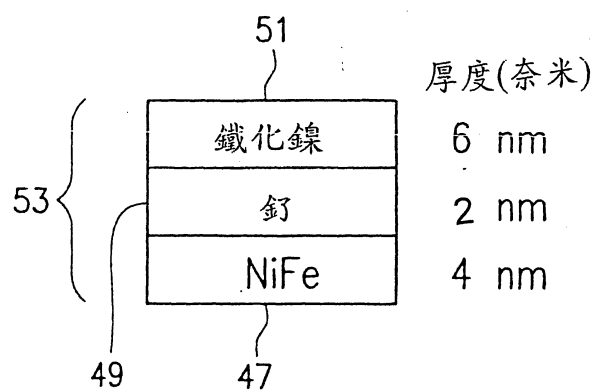


圖 5b

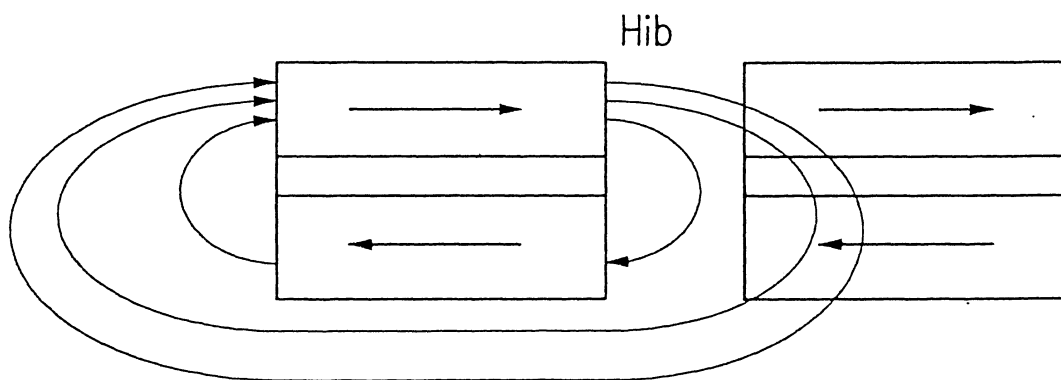


圖 5c