

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6026270号
(P6026270)

(45) 発行日 平成28年11月16日(2016.11.16)

(24) 登録日 平成28年10月21日(2016.10.21)

(51) Int.Cl.		F I			
G 0 6 F	1/26	(2006.01)	G O 6 F	1/26	3 3 5 C
G 1 1 C	11/413	(2006.01)	G O 6 F	1/26	3 3 4 D
			G 1 1 C	11/34	3 3 5 A

請求項の数 10 (全 21 頁)

(21) 出願番号	特願2012-286531 (P2012-286531)	(73) 特許権者	302062931
(22) 出願日	平成24年12月28日(2012.12.28)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2014-130406 (P2014-130406A)		東京都江東区豊洲三丁目2番24号
(43) 公開日	平成26年7月10日(2014.7.10)	(74) 代理人	110001195
審査請求日	平成27年8月27日(2015.8.27)		特許業務法人深見特許事務所
		(72) 発明者	野谷 宏美
			神奈川県川崎市中原区下沼部1753番地
			ルネサスエレクトロニクス株式会社内
		(72) 発明者	福岡 孝之
			神奈川県川崎市中原区下沼部1753番地
			ルネサスエレクトロニクス株式会社内
		(72) 発明者	山本 貴志
			神奈川県川崎市中原区下沼部1753番地
			ルネサスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

動作モードとして、アクティブモードとスタンバイモードとを有する半導体装置であって、

前記アクティブモード時、外部電源回路から第1の内部電源電圧の供給を受ける第1の電源線と、

外部電源電圧に基づいて第2の内部電源電圧を生成する内部電源回路と、

前記内部電源回路から前記第2の内部電源電圧の供給を受ける第2の電源線と、

前記第1の電源線および前記第2の電源線の間に接続されるスイッチ回路と、

前記スイッチ回路のオン/オフを制御する制御回路とを備え、

前記制御回路は、前記アクティブモード時、前記スイッチ回路をオンするための制御指令を出力する一方で、前記スタンバイモード時、前記スイッチ回路をオフするための制御指令を出力するように構成され、

前記スイッチ回路は、

ソースおよびN型ウェルが前記第1の電源線に接続される第1のPMOSトランジスタと、

ソースおよびN型ウェルが前記第2の電源線に接続され、ドレインが前記第1のPMOSトランジスタのドレインに接続される第2のPMOSトランジスタと、

前記制御指令および前記第2の電源線の電圧に基づいて、前記第1のPMOSトランジスタのゲートに inputs する第1の制御信号を生成するための第1の制御信号生成部と、

10

20

前記制御指令および前記第 1 の電源線の電圧に基づいて、前記第 2 の P M O S トランジスタのゲートに入力する第 2 の制御信号を生成するための第 2 の制御信号生成部とを含む、半導体装置。

【請求項 2】

前記第 1 の制御信号生成部は、前記第 2 の電源線が前記第 2 の内部電源電圧に立ち上がった状態で前記制御指令に対応付けて前記第 1 の制御信号を生成し、

前記第 2 の制御信号生成部は、前記第 1 の電源線が前記第 1 の内部電源電圧に立ち上がった状態で前記制御指令に対応付けて前記第 2 の制御信号を生成する、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 の制御信号生成部は、前記第 2 の電源線が前記第 2 の内部電源電圧に立ち上がった状態で、前記オンするための制御指令に応じて前記第 1 の P M O S トランジスタをオンするように前記第 1 の制御信号を生成し、

前記第 2 の制御信号生成部は、前記第 1 の電源線が前記第 1 の内部電源電圧に立ち上がった状態で、前記オンするための制御指令に応じて前記第 2 の P M O S トランジスタをオンするように前記第 2 の制御信号を生成する、請求項 2 に記載の半導体装置。

【請求項 4】

前記スイッチ回路は、前記第 1 の電源線および前記第 2 の電源線の間に複数個並列に接続され、

前記制御回路は、前記アクティブモードから前記スタンバイモードへの移行時において、前記複数個のスイッチ回路を時間差を設けてオフする、請求項 1 に記載の半導体装置。

【請求項 5】

前記内部電源回路は、前記アクティブモード時、前記第 1 の内部電源電圧よりも低電圧となるように前記第 2 の内部電源電圧を生成する、請求項 1 に記載の半導体装置。

【請求項 6】

前記第 1 の電源線に接続され、前記アクティブモード時に前記第 1 の内部電源電圧によって動作し、前記スタンバイモード時に前記第 1 の内部電源電圧の供給が停止される第 1 の内部回路と、

前記第 2 の電源線に接続され、前記アクティブモード時に前記第 1 の内部電源電圧によって動作し、前記スタンバイモード時に前記第 2 の内部電源電圧によって動作する第 2 の内部回路とをさらに備える、請求項 5 に記載の半導体装置。

【請求項 7】

前記内部電源回路は、

互いに電圧レベルの異なる複数の基準電圧を生成可能に構成され、前記動作モードに応じて前記複数の基準電圧のうちから選択された 1 つの基準電圧を出力する基準電圧発生部と、

前記選択された 1 つの基準電圧を参照して前記第 2 の内部電源電圧を生成するレギュレータとを含む、請求項 5 または 6 に記載の半導体装置。

【請求項 8】

前記内部電源回路は、

基準電圧を生成する基準電圧発生回路と、

前記基準電圧を参照して前記第 2 の内部電源電圧を生成するレギュレータとを含み、

前記レギュレータは、互いに電圧レベルの異なる複数の前記第 2 の内部電源電圧を生成可能に構成され、前記動作モードに応じて前記複数の第 2 の内部電源電圧のうちから選択された 1 つの第 2 の内部電源電圧を出力する、請求項 5 または 6 に記載の半導体装置。

【請求項 9】

動作モードとして、アクティブモードとスタンバイモードとを有する半導体装置であって、

前記アクティブモード時に電源供給を受け、前記スタンバイモード時に電源供給を受けない第 1 の電源線と、

10

20

30

40

50

前記アクティブモード時および前記スタンバイモード時に、共に電源供給を受ける第2の電源線と、

前記第1の電源線から電源供給を受けて駆動される内部回路と、

前記第2の電源線から電源供給を受けてデータを保持するメモリ回路と、

前記アクティブモード時に前記第1の電源線と前記第2の電源線とを電氣的に接続するスイッチ回路とを備え、

前記スイッチ回路は、前記第1の電源線と前記第2の電源線との間に直列に接続された第1および第2のPMOSトランジスタを含み、

前記第1のPMOSトランジスタは、ソースが前記第1の電源線に接続され、かつ、前記第1の電源線から電源供給を受ける第1のウェル領域に形成され、

前記第2のPMOSトランジスタは、ソースが前記第2の電源線に接続され、かつ、前記第2の電源線から電源供給を受ける、前記第1のウェル領域とは異なる第2のウェル領域に形成される、半導体装置。

【請求項10】

前記半導体装置は、外部電源に基づいて前記第2の電源線に内部電圧を供給する内部電源回路をさらに備え、

前記第1および第2のPMOSトランジスタは、前記内部電源回路に含まれるトランジスタより膜厚の薄いトランジスタで構成される、請求項9に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、動作モードとしてアクティブモードおよびスタンバイモードを有する半導体装置の電源制御に関する。

【背景技術】

【0002】

マイクロコンピュータなどの半導体装置は、内部回路に供給する電源電圧（以下、内部電源電圧とも称する）を生成するための電源回路を備えている。このような半導体装置には、高速動作および低消費電力の実現のために、半導体装置の動作時（アクティブモード）と待機時（スタンバイモード）とで、動作させる電源回路を切替えるように構成したものが広く用いられている。

【0003】

電源回路は、半導体装置のアクティブモードおよびスタンバイモードの両動作モードにおいて、安定した電源電圧を発生させる必要がある。このため、消費電力が大きく、電圧降下が起こりやすいアクティブモード時には、電力供給能力の高い電源回路が用いられる一方で、消費電力が小さいスタンバイモード時には、低消費電力化のため、消費電力を抑えた電源回路が用いられる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-217509号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

多電源のチップにおいて、オンチップレギュレータの出力と外部電源との間をスイッチ制御している場合、電源投入時、各回路が順方向にバイアスされるといった不具合が生じないよう、予め定められた電源立ち上げシーケンスに従って複数の電源電圧を順次立ち上げる必要がある。この立ち上げシーケンス制御は、ユーザへの制約となってしまう。その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0006】

一実施の形態による半導体装置は、動作モードとして、アクティブモードとスタンバイモードとを有する。半導体装置は、アクティブモード時、外部電源回路から第1の内部電源電圧の供給を受ける第1の電源線と、外部電源電圧に基づいて第2の内部電源電圧を生成する内部電源回路と、内部電源回路から第2の内部電源電圧の供給を受ける第2の電源線と、第1の電源線および第2の電源線の間に接続されるPMOSスイッチと、PMOSスイッチのオン/オフを制御する制御回路とを備える。PMOSスイッチは、ソースおよびN型ウェルが第1の電源線に接続される第1のPMOSトランジスタと、ソースおよびN型ウェルが第2の電源線に接続され、ドレインが第1のPMOSトランジスタのドレインに接続される第2のPMOSトランジスタと、制御回路からの制御指令および第2の電源線の電圧に基づいて、第1のPMOSトランジスタのゲートに入力する第1の制御信号を生成するための第1の制御信号生成部と、制御指令および第1の電源線の電圧に基づいて、第2のPMOSトランジスタのゲートに入力する第2の制御信号を生成するための第2の制御信号生成部とを含む。

10

【発明の効果】

【0007】

上記の一実施の形態によれば、アクティブモードとスタンバイモードとで動作させる電源回路を切替えるように構成された半導体装置において、電源立ち上げシーケンスをフリー化することができる。

【図面の簡単な説明】

【0008】

20

【図1】実施の形態1による半導体装置の構成を示す回路図である。

【図2】実施の形態1による半導体装置における内部電源電圧の切替え動作を説明するためのタイミングチャートである。

【図3】図1におけるPMOSスイッチの構成を示す回路図である。

【図4】PMOSスイッチの構成を模式的に示す断面図である。

【図5】実施の形態2による半導体装置に適用される内部電源回路の構成を示す回路図である。

【図6】実施の形態3による半導体装置に適用されるPMOSスイッチの構成の一例を示す回路図である。

【図7】実施の形態1による半導体装置の動作を示すタイミングチャートである。

30

【図8】実施の形態3による半導体装置の動作を示すタイミングチャートである。

【図9】関連技術の半導体装置の全体構成を示す回路図である。

【図10】関連技術の半導体装置における外部レギュレータおよび内部レギュレータの切替え動作を説明するためのタイミングチャートである。

【図11】一般的なPMOSスイッチの構成を模式的に示す断面図である。

【発明を実施するための形態】

【0009】

以下、一実施の形態について図面を参照して詳しく説明する。なお、同一または相当する部分には同一の参照符号を付して、その説明を繰返さない。

【0010】

40

<実施の形態1>

一実施の形態による半導体装置を説明するにあたり、最初に、関連技術の半導体装置における電源制御について説明する。次に、一実施の形態による半導体装置の主要部分について説明する。

【0011】

[関連技術の半導体装置における電源制御]

図9は、関連技術の半導体装置の全体構成を示す回路図である。

【0012】

図9を参照して、関連技術の半導体装置1000は、半導体装置1000の外部から供給される外部電源電圧VCCを受ける電源端子5と、外部電源電圧VCCを降圧して内部

50

電源電圧を生成する内部電源回路 210 と、電源線 15 とを備える。半導体装置 1000 は、内部回路 12 と、S R A M (Static Random Access Memory) メモリセル 32 と、S R A M 周辺回路 14 と、システム制御回路 28 とをさらに備える。

【0013】

電源端子 5 は、半導体装置 1000 の外部に設けられたレギュレータ (以下、「外部レギュレータ」とも称する) 2 によって生成された外部電源電圧 V C C を受ける。内部電源回路 210 は、外部電源電圧 V C C を降圧した内部電源電圧を生成し、生成した内部電源電圧を電源線 35 に供給する。電源線 35 には S R A M メモリセル 32 が接続される。S R A M メモリセル 32 は、電源線 35 から供給される内部電源電圧を受けて駆動する。以下の説明では、S R A M メモリセル 32 を駆動するための内部電源電圧を「内部電源電圧 V D D _ R A M」と表記する。また、内部電源電圧 V D D _ R A M を伝達する電源線 35 を「V D D _ R A M 線」と表記する。

10

【0014】

内部電源回路 210 は、外部電源電圧 V C C によって動作する。内部電源回路 210 は、基準電圧発生回路 220 と、内部レギュレータ 26 とを含む。基準電圧発生回路 220 は、外部電源電圧 V C C を降圧した基準電圧 V r e f を生成する。基準電圧 V r e f は、例えば 1 . 2 5 V 程度に設定される。内部レギュレータ 26 は、基準電圧 V r e f を参照して内部電源電圧 V D D _ R A M を生成する。

【0015】

具体的には、内部レギュレータ 26 は、誤差増幅器 260 と、P M O S (Positive-channel Metal Oxide Semiconductor) トランジスタ 262 とを含む。誤差増幅器 260 は、反転入力端子 (- 端子) に基準電圧 V r e f を受け、非反転入力端子 (+ 端子) に内部レギュレータ 26 の出力端子からのフィードバック電圧を受ける。誤差増幅器 260 は、基準電圧 V r e f とフィードバック電圧との電圧差に応じて制御電圧を生成し、生成した制御電圧を P M O S トランジスタ 262 の制御端子 (ゲート端子) に供給する。

20

【0016】

誤差増幅器 260 から出力される制御電圧は、フィードバック電圧が基準電圧 V r e f よりも大きくなるにつれて増大する。この結果、P M O S トランジスタ 262 を流れる電流が減少するので、フィードバック電圧の増大が抑制される。逆に、制御電圧は、フィードバック電圧が基準電圧 V r e f よりも小さくなるにつれて減少する。この結果、P M O S トランジスタ 262 を流れる電流が増大するので、フィードバック電圧の減少が抑制される。このようにして、フィードバック電圧は、基準電圧 V r e f (1 . 2 5 V) に等しくなる。

30

【0017】

内部レギュレータ 26 の出力端子は V D D _ R A M 線 35 に接続される。これにより、V D D _ R A M 線 35 には、基準電圧 V r e f に等しい出力電圧が内部電源電圧 V D D _ R A M として供給される。

【0018】

なお、誤差増幅器 260 は、システム制御回路 28 から与えられる制御信号 p d _ s t b y に応じて活性状態 (オン状態) または非活性状態 (オフ状態) に制御される。具体的には、誤差増幅器 260 は、L (論理ロー) レベルに活性化された制御信号 p d _ s t b y を受けてオン状態となり、H (論理ハイ) レベルに非活性化された制御信号 p d _ s t b y を受けてオフ状態となる。

40

【0019】

また、V D D _ R A M 線 35 には、内部電源電圧 V D D _ R A M を安定化するために、電源端子 7 を介して外部容量 4 が取り付けられている。

【0020】

半導体装置 1000 は、半導体装置 1000 の外部から直接的に内部電源電圧の供給を受けるための構成として、電源端子 6 と、電源線 15 と、P M O S スイッチ 400 と、レベルシフタ 16 とをさらに備える。

50

【 0 0 2 1 】

電源端子 6 は、外部レギュレータ 3 によって生成された内部電源電圧を受ける。電源線 1 5 には内部回路 1 2、S R A M 周辺回路 1 4 およびレベルシフタ 1 6 が接続される。半導体装置 1 0 0 0 が例えばマイクロコンピュータの場合、内部回路 1 2 は、C P U (Cent ral Processing Unit)、フラッシュメモリ等の書換え可能な不揮発性メモリ、論理回路および周辺回路などを含む。S R A M 周辺回路 1 4 は、センスアンプなど S R A M メモリセル 3 2 の書込み・読出し動作に必要な周辺回路および制御回路などを含む。内部回路 1 2 および S R A M 周辺回路 1 4 は、電源線 1 5 から供給される内部電源電圧を受けて駆動する。以下の説明では、内部回路 1 2 および S R A M 周辺回路 1 4 を駆動するための内部電源電圧を「内部電源電圧 V D D」と表記する。また、内部電源電圧 V D D を伝達する電源線 1 5 を「V D D 線」と表記する。内部電源電圧 V D D は、内部電源電圧 V D D _ R A M と同じ電圧レベルであり、例えば 1 . 2 5 V 程度に設定される。

10

【 0 0 2 2 】

P M O S スイッチ 4 0 0 は、V D D 線 1 5 および V D D _ R A M 線 3 5 の間に接続される。P M O S スイッチ 4 0 0 のオン（導通）/オフ（非導通）は、システム制御回路 2 8 によって生成され、かつ、レベルシフタ 1 6 によってレベル変換された制御信号 p s w o n によって制御される。具体的には、制御信号 p s w o n が L レベルに活性化されたとき、P M O S スイッチ 4 0 0 がオンされる。これにより、V D D 線 1 5 および V D D _ R A M 線 3 5 が電氣的に接続される。一方、制御信号 p s w o n が H レベルに非活性化されたとき、P M O S スイッチ 4 0 0 がオフされる。これにより、V D D 線 1 5 および V D D _ R A M 線 3 5 が電氣的に遮断される。

20

【 0 0 2 3 】

半導体装置 1 0 0 0 は、図 9 に示すように、内部電源電圧 V D D によって動作する回路が配置された領域（以下、「V D D 電源領域」とも称する）1 0 0 と、外部電源電圧 V C C によって動作する回路が配置された領域（以下、「V C C 電源領域」とも称する）2 0 0 と、内部電源電圧 V D D _ R A M によって動作する回路が配置された領域（以下、「V D D _ R A M 電源領域」とも称する）3 0 0 とに分けられる。V D D 電源領域 1 0 0 には、内部回路 1 2 と、S R A M 周辺回路 1 4 と、レベルシフタ 1 6 とが含まれる。V C C 電源領域 2 0 0 には、内部電源回路 2 1 0 およびシステム制御回路 2 8 が含まれる。V D D _ R A M 電源領域 3 0 0 には、S R A M メモリセル 3 2 が含まれる。

30

【 0 0 2 4 】

以上に示す半導体装置 1 0 0 0 は、動作モードとして、半導体装置の動作時に対応するアクティブモードと、半導体装置の待機時（非動作時とも称する）に対応するスタンバイモードとを有する。システム制御回路 2 8 は、このアクティブモード時とスタンバイモード時とで内部電源電圧の供給源を切替える。

【 0 0 2 5 】

具体的には、種々の回路動作が行なわれるため、消費電力が大きく、電圧降下が起こりやすいアクティブモード時には、電流供給能力の高い外部レギュレータ 3 を用いて内部電源電圧 V D D を発生させる。V D D 電源領域 1 0 0 において、内部回路 1 2 および S R A M 周辺回路 1 4 は、V D D 線 1 5 から内部電源電圧 V D D の供給を受けて駆動する。

40

【 0 0 2 6 】

このとき、システム制御回路 2 8 は、L レベルに活性化された制御信号 p s w o n をレベルシフタ 1 6 へ出力する。P M O S スイッチ 4 0 0 がレベル変換された制御信号 p s w o n を受けてオンされることにより、V D D 線 1 5 および V D D _ R A M 線 3 5 が接続される。システム制御回路 2 8 はさらに、H レベルに非活性化された制御信号 p d _ s t b y を生成して内部レギュレータ 2 6 へ出力する。誤差増幅器 2 6 0 が H レベルの制御信号 p d _ s t b y を受けてオフ状態となるため、内部レギュレータ 2 6 は内部電源電圧 V D D _ R A M を発生しない。したがって、V D D _ R A M 線 3 5 は、V D D 線 1 5 から P M O S スイッチ 4 0 0 を介して内部電源電圧 V D D の供給を受ける。このようにして、アクティブモード時には、S R A M メモリセル 3 2 は、内部回路 1 2 および S R A M 周辺回路

50

14と同様に、外部レギュレータ3から供給される内部電源電圧VDDによって駆動する。

【0027】

これに対して、種々の回路動作が行なわれない待機状態のため、消費電力が小さいスタンバイモード時には、低消費電力化対策として、消費電力を抑えた内部レギュレータ26を用いて内部電源電圧VDD__RAMを発生させる。詳細には、スタンバイモード時は、内部回路12およびSRAM周辺回路14への内部電源電圧VDDの供給が不要となる一方で、SRAMメモリセル32に対しては、データ保持のために内部電源電圧VDD__RAMを供給する必要がある。一方で、外部レギュレータ3を用いて内部電源電圧VDD__RAMを発生させると消費電力が大きくなる。そのため、外部レギュレータ3をオフ状態とし、内部レギュレータ26をオン状態として内部電源電圧VDD__RAMを発生させる。

10

【0028】

このとき、システム制御回路28は、Hレベルに非活性化された制御信号pswonをレベルシフタ16へ出力する。PMOSスイッチ400がレベル変換された制御信号pswonを受けてオフされることにより、VDD線15およびVDD__RAM線35が電氣的に遮断される。システム制御回路28はさらに、Lレベルに活性化された制御信号pd__sbyを内部レギュレータ26へ出力する。誤差増幅器260がLレベルの制御信号pd__sbyを受けてオン状態となると、内部レギュレータ26は内部電源電圧VDD__RAMを発生する。この結果、VDD__RAM線35は、内部レギュレータ26から内部電源電圧VDD__RAMの供給を受ける。このようにして、スタンバイモード時、SRAMメモリセル32は、内部レギュレータ26から供給される内部電源電圧VDD__RAMによって駆動する。

20

【0029】

(1)VDD__RAM線の電圧ドロップの発生

以上に説明したように、関連技術の半導体装置1000では、アクティブモード時とスタンバイモード時とで、電流供給能力の異なる2つのレギュレータ(外部レギュレータ3および内部レギュレータ26)を切替えて用いることにより、低消費電力化を実現する。

【0030】

しかしながら、一般に内部レギュレータ26はできるだけ消費電力を抑えたいため、外部レギュレータ3に比べて出力電圧の反応が鈍い。このため、半導体装置1000がアクティブモードからスタンバイモードに移行する際に、内部レギュレータ26をオン状態にしてからVDD__RAM線35に電圧が供給されるまでに時間差が生じてしまう。その結果、スタンバイモードへの移行直後において、VDD__RAM線35の電圧が一時的に低下する、いわゆる電圧ドロップが発生するという問題がある。

30

【0031】

図10は、関連技術の半導体装置1000における外部レギュレータ3および内部レギュレータ26の切替え動作を説明するためのタイミングチャートである。

【0032】

図10を参照して、半導体装置1000がアクティブモードのときには(時刻t0)、VDD線15に外部レギュレータ3から内部電源電圧VDD(1.25V)が供給される。PMOSスイッチ400は、Lレベルに活性化された制御信号pswonによってオンされる。一方、内部レギュレータ26は、Hレベルに非活性化された制御信号pd__sbyによってオフ状態となる。VDD線15およびVDD__RAM線35がPMOSスイッチ400によって接続されることにより、VDD__RAM線35には内部電源電圧VDDが供給される。

40

【0033】

アクティブモードからスタンバイモードへ移行するときには、制御信号pd__sbyをLレベルに活性化させて内部レギュレータ26をオン状態とする(時刻t1)。続いて、制御信号pswonをHレベルに非活性化させてPMOSスイッチ400をオフする(

50

時刻 t_2)。なお、スタンバイモードでは外部レギュレータ 3 がオフ状態となるため、 V_{DD} 線 15 は、内部電源電圧 V_{DD} (1 . 25 V) から接地電圧 (0 V) に向かって低下する。

【 0034 】

ここで、内部レギュレータ 26 から V_{DD_RAM} 線 35 に内部電源電圧 V_{DD_RAM} が供給されるタイミングが、PMOS スイッチ 400 がオフされるタイミング (時刻 t_2) よりも遅れると、 V_{DD_RAM} 線 35 では電源供給が一時的に途絶える。このため、 V_{DD_RAM} 線 35 に、図 10 に示すように電圧ドロップが発生する。

【 0035 】

なお、スタンバイモードからアクティブモードへ復帰するときには、制御信号 p_sw_on を L レベルに活性化させて PMOS スイッチ 400 をオンするとともに (時刻 t_3)、制御信号 $p_d_s_t_b_y$ を H レベルに非活性化させて内部レギュレータ 26 をオフ状態とする。アクティブモードでは外部レギュレータ 3 がオン状態となるため、 V_{DD} 線 15 は、接地電圧 (0 V) から再び内部電源電圧 V_{DD} (1 . 25 V) に上昇する。外部レギュレータ 3 は応答性が良いため、 V_{DD_RAM} 線 35 に電圧ドロップは生じない。

【 0036 】

上記のように、スタンバイモードへの移行直後の V_{DD_RAM} 線 35 の電圧ドロップは内部レギュレータ 26 の応答性に起因したものであるため、内部レギュレータ 26 を常時オン状態にしておくことで電圧ドロップを抑えることも考えられる。しかしながら、図 9 に示す構成のままでアクティブモード時に内部レギュレータ 26 をオン状態にしておく

と、内部レギュレータ 26 から供給される内部電源電圧 V_{DD_RAM} と、外部レギュレータ 3 から供給される内部電源電圧 V_{DD} との間に電圧差が生じたときに、内部レギュレータ 26 に無駄に電力を消費させる可能性が生じてしまう。

【 0037 】

例えば、内部電源電圧 V_{DD} が 1 . 15 V であって、内部電源電圧 V_{DD_RAM} が 1 . 35 V である場合、内部レギュレータ 26 から外部レギュレータ 3 に向かって、内部レギュレータ 26 が供給できる限界まで電流が流れ続ける。これは無駄な電力を消費させるとともに、 V_{DD} 線 15 および V_{DD_RAM} 線 35 にエレクトロマイグレーションが発生しやすくなり、半導体装置の信頼性にも影響を及ぼす。このため、内部レギュレータ 26 を常時オン状態にしておくことは現実的でない。

【 0038 】

(2) 電源立ち上げシーケンスの制約

図 9 に示すように、 V_{DD} 線 15 および V_{DD_RAM} 線 35 は、PMOS スイッチ 400 を介して接続されている。図 11 は、一般的な PMOS スイッチの構成を模式的に示す断面図である。

【 0039 】

図 11 を参照して、PMOS スイッチ 400 は、PMOS トランジスタにより構成される。PMOS トランジスタは、P 型半導体基板 $p - sub$ に設けられた N 型ウェル $n - well$ に形成される。PMOS トランジスタにおいて、ドレイン D は V_{DD} 線 15 に接続され、ソース S は V_{DD_RAM} 線 35 に接続される。N 型ウェル $n - well$ は V_{DD_RAM} 線 35 に接続される。 V_{DD_RAM} 線 35 にはアクティブモード時およびスタンバイモード時の双方で電源が供給されるのに対して、 V_{DD} 線 15 はスタンバイモード時に電源の供給が停止されるためである。

【 0040 】

半導体装置 1000 に電源が投入されると、外部レギュレータ 3 および内部電源回路 210 がそれぞれ起動することによって、内部電源電圧 V_{DD} および V_{DD_RAM} がそれぞれ立ち上がる。PMOS トランジスタは、ドレイン D に内部電源電圧 V_{DD} を受け、ソース S および N 型ウェル $n - well$ に内部電源電圧 V_{DD_RAM} を受ける。

【 0041 】

例えば、内部電源電圧 V_{DD_RAM} の立ち上がりが内部電源電圧 V_{DD} の立ち上がり

10

20

30

40

50

よりも遅い場合を想定する。この場合、ドレインDの電圧に対してN型ウェルn - w e l lの電圧が低くなるため、ドレインDおよびN型ウェルn - w e l l間のPN接合が順方向にバイアスされる。このため、PN接合に電流が流れる可能性がある。

【0042】

一方、内部電源電圧VDDの立ち上がりが内部電源電圧VDD__RAMの立ち上がりよりも遅い場合には、ドレインDの電圧に対してN型ウェルn - w e l lの電圧が高くなるため、ドレインDおよびN型ウェルn - w e l l間のPN接合が順方向にバイアスされず、PN接合に電流が流れない。

【0043】

したがって、半導体装置1000の電源投入時には、内部電源電圧VDD__RAMを内部電源電圧VDDよりも先に立ち上げなければならないという制約が生じる。

10

【0044】

以上のように、関連技術の半導体装置1000における電源制御には、スタンバイモードへの移行直後のVDD__RAM線35の電圧ドロップ、および、電源立ち上げシーケンスの制約という課題があった。実施の形態1では、以下のように、内部レギュレータ26を常時オン状態にすることを可能とすることにより、スタンバイモードへの移行直後の電圧ドロップを抑制する。また、PMOSスイッチ400を、電源投入時にPN接合が順方向にバイアスされるのを防止可能な構造とすることにより、電源立ち上げシーケンスのフリー化を実現する。

【0045】

20

[実施の形態1による半導体装置における電源制御]

以下、実施の形態1による半導体装置における電源制御について説明する。

【0046】

図1は、実施の形態1による半導体装置の構成を示す回路図である。

図1を参照して、実施の形態1による半導体装置1は、図9に示す関連技術の半導体装置1000において、内部電源回路210に代えて、内部電源回路21を設けたものである。また、PMOSスイッチ400に代えて、PMOSスイッチ40およびレベルシフタ34を設けたものである。半導体装置1の全体構成は、内部電源回路21、PMOSスイッチ40およびレベルシフタ34を除いて、図9と同様であるので、詳細な説明は繰り返さない。

30

【0047】

(内部電源回路21の構成)

内部電源回路21は、外部電源電圧VCCによって動作する。内部電源回路21は、基準電圧発生回路22と、セクタ24と、内部レギュレータ26とを含む。

【0048】

基準電圧発生回路22は、外部電源電圧VCCを降圧した基準電圧Vrefを生成する。基準電圧発生回路22は、互いに電圧レベルの異なる2つの基準電圧V1、V2を生成可能に構成される。基準電圧V1は例えば1.05V程度に設定され、基準電圧V2は例えば1.25V程度に設定される。

【0049】

40

セクタ24は、システム制御回路28から与えられる制御信号sel__refに従って、基準電圧発生回路22が出力する電圧V1、V2のいずれか一方を選択する。セクタ24は、その選択した電圧を基準電圧Vrefとして内部レギュレータ26へ出力する。

【0050】

内部レギュレータ26は、セクタ24から入力される基準電圧Vrefを参照して、内部電源電圧VDD__RAMを生成する。具体的には、内部レギュレータ26は、誤差増幅器260およびPMOSTランジスタ262を含み、誤差増幅器260の反転入力端子に基準電圧Vrefを受ける。また、誤差増幅器260の非反転入力端子に内部レギュレータ26の出力端子からのフィードバック電圧を受ける。

50

【 0 0 5 1 】

誤差増幅器 260 は、図 9 で説明したように、基準電圧 V_{ref} とフィードバック電圧との電圧差に応じて制御電圧を生成し、生成した制御電圧を PMOS トランジスタ 262 の制御端子（ゲート端子）に供給する。これにより、 VDD_RAM 線 35 には、基準電圧 V_{ref} に等しい出力電圧が内部電源電圧 VDD_RAM として供給される。上述のように、制御信号 sel_ref に従って基準電圧 V_{ref} を 2 値 V_1 （1.05V）、 V_2 （1.25V）の間で切替えることにより、内部電源電圧 VDD_RAM はこの 2 値 V_1 、 V_2 の間で切替えられる。

【 0 0 5 2 】

誤差増幅器 260 は、システム制御回路 28 から与えられる制御信号 pd_stby に応じてオン状態またはオフ状態に制御される。具体的には、誤差増幅器 260 は、L レベルに活性化された制御信号 pd_stby を受けてオン状態となり、H レベルに非活性化された制御信号 pd_stby を受けてオフ状態となる。

10

【 0 0 5 3 】

PMOS スイッチ 40 は、 VDD 線 15 および VDD_RAM 線 35 の間に接続される。PMOS スイッチ 40 は、システム制御回路 28 によって生成され、かつ、レベルシフタ 16 によってレベル変換された制御信号 $pswon_vdd$ を受ける。PMOS スイッチ 40 はさらに、システム制御回路 28 によって生成され、かつ、レベルシフタ 34 によってレベル変換された制御信号 $pswon_vdd_ram$ を受ける。PMOS スイッチ 40 は、後述するように、これら 2 つの制御信号にตอบสนองしてオン/オフが制御される。

20

【 0 0 5 4 】

具体的には、制御信号 $pswon_vdd$ 、 $pswon_vdd_ram$ がともに L レベルに活性化されたとき、PMOS スイッチ 40 がオンされる。これにより、 VDD 線 15 および VDD_RAM 線 35 が電氣的に接続される。一方、制御信号 $pswon_vdd$ 、 $pswon_vdd_ram$ の少なくとも一方が H レベルに非活性化されたとき、PMOS スイッチ 40 がオフされる。これにより、 VDD 線 15 および VDD_RAM 線 35 が電氣的に遮断される。

【 0 0 5 5 】

半導体装置 1 は、図 1 に示すように、 VDD 電源領域 10 と、 VCC 電源領域 20 と、 VDD_RAM 電源領域 30 とに分けられる。 VDD 電源領域 10 には、内部回路 12 と、SRAM 周辺回路 14 と、レベルシフタ 16 とが含まれる。 VCC 電源領域 20 には、内部電源回路 21 およびシステム制御回路 28 が含まれる。 VDD_RAM 電源領域 30 には、SRAM メモリセル 32 およびレベルシフタ 34 が含まれる。

30

【 0 0 5 6 】

ここで、 VCC 電源領域 20 に含まれる回路では、主として膜厚の厚い高耐圧用トランジスタが使用される。一方、 VDD 電源領域 10 および VDD_RAM 電源領域 30 に含まれる回路では、主として高耐圧用トランジスタよりも膜厚の薄い低耐圧用トランジスタが使用される。

【 0 0 5 7 】

実施の形態 1 による半導体装置 1 は、関連技術の半導体装置 1000（図 9）と同様に、動作モードとして、アクティブモードとスタンバイモードとを有する。システム制御回路 28 は、アクティブモード時とスタンバイモード時とで内部電源電圧の供給源を切替える。

40

【 0 0 5 8 】

ここで、上述のように、関連技術に示した構成において、アクティブモード時とスタンバイモード時とで、電流供給能力の異なる 2 つのレギュレータ（外部レギュレータ 3 および内部レギュレータ 26）を切替えて用いると、内部レギュレータ 26 の応答性に起因して、スタンバイモードへの移行直後に VDD_RAM 線 35 に電圧ドロップが生じてしまう（図 10 参照）。

【 0 0 5 9 】

50

そのため、実施の形態 1 による半導体装置 1 では、内部電源回路 2 1 が生成する内部電源電圧 V_{DD_RAM} の電圧レベルを、半導体装置 1 の動作モードに応じて切替える。これにより、内部電源電圧 V_{DD} および V_{DD_RAM} の電圧差による無駄な電力消費を抑制し、内部電源回路 2 1 を常時オン状態とすることを可能とする。

【0060】

図 2 は、実施の形態 1 による半導体装置 1 における内部電源電圧 V_{DD_RAM} の切替え動作を説明するためのタイミングチャートである。

【0061】

図 2 を参照して、半導体装置 1 がアクティブモードのとき（時刻 t_0 ）、 V_{DD} 線 1 5 には外部レギュレータ 3 から内部電源電圧 V_{DD} （1.25V）が供給される。PMOS スイッチ 4 0 は、L レベルに活性化された制御信号 psw_{on_vdd} , $psw_{on_vdd_ram}$ によってオンされる。 V_{DD_RAM} 線 3 5 は、PMOS スイッチ 4 0 によって V_{DD} 線 1 5 に電氣的に接続されるため、 V_{DD} 線 1 5 から内部電源電圧 V_{DD} が供給される。

10

【0062】

このとき、内部電源回路 2 1 においては、L レベルに活性化された制御信号 pd_stby によって内部レギュレータ 2 6 がオン状態となる。これにより、 V_{DD_RAM} 線 3 5 には、内部レギュレータ 2 6 から内部電源電圧 V_{DD_RAM} が供給される。

【0063】

上述のように、内部電源電圧 V_{DD_RAM} が内部電源電圧 V_{DD} より高い場合、内部レギュレータ 2 6 から外部レギュレータ 3 に向かって、内部レギュレータ 2 6 が供給できる限界まで電流が流れ続けてしまう。

20

【0064】

そこで、実施の形態 1 では、アクティブモード時に内部レギュレータ 2 6 に与える基準電圧 V_{ref} を、内部電源電圧 V_{DD} （1.25V）よりも低い電圧 V_1 （1.05V）とする。具体的には、セクタ 2 4 は、システム制御回路 2 8 からの制御信号 sel_ref に従って電圧 V_1 を選択して内部レギュレータ 2 6 に出力する。内部レギュレータ 2 6 が電圧 V_1 を基準電圧 V_{ref} として動作することにより、 V_{DD_RAM} 線 3 5 には、電圧 V_1 に等しい内部電源電圧 V_{DD_RAM} が供給される。なお、電圧 V_1 は、内部電源電圧 V_{DD} のばらつきを考慮して、内部電源電圧 V_{DD} の下限値よりも低くなるように設定される。

30

【0065】

このように、アクティブモード時に内部レギュレータ 2 6 が発生する内部電源電圧 V_{DD_RAM} （1.05V）を内部電源電圧 V_{DD} （1.25V）より低くしたことにより、内部レギュレータ 2 6 から外部レギュレータ 3 に向かって電流が流れるのを防止できる。これにより、内部レギュレータ 2 6 の無駄な電力消費が抑制されるため、内部レギュレータ 2 6 を常時オン状態にすることが可能となる。

【0066】

アクティブモードからスタンバイモードへの移行するときには、セクタ 2 4 は、システム制御回路 2 8 からの制御信号 sel_ref に従って電圧 V_2 （1.25V）を選択して内部レギュレータ 2 6 に出力する。内部レギュレータ 2 6 が電圧 V_2 を基準電圧 V_{ref} として動作することにより、 V_{DD_RAM} 線 3 5 には、電圧 V_2 に等しい内部電源電圧 V_{DD_RAM} が供給される。

40

【0067】

なお、上述の説明では、電圧 V_2 を内部電源電圧 V_{DD} （1.25V）と同じ電圧レベルとする構成について例示したが、電圧 V_2 は SRAM メモリセル 3 2 のデータ保持可能な電圧レベル（例えば 1.1V 程度）であればよい。

【0068】

システム制御回路 2 8 は、制御信号 psw_{on_vdd} , $psw_{on_vdd_ram}$ をともに H レベルに非活性化させて PMOS スイッチ 4 0 をオフする（時刻 t_2 ）。スタ

50

ンバイモードでは外部レギュレータ3がオフ状態となるため、VDD線15は、内部電源電圧VDD(1.25V)から接地電圧(0V)に向かって低下する。一方、VDD__RAM線35は、内部レギュレータ26が既にオン状態となっているため、電圧ドロップの発生が抑制される。

【0069】

(PMOSスイッチ40の構成)

図3は、図1におけるPMOSスイッチ40の構成を示す回路図である。

【0070】

図3を参照して、PMOSスイッチ40は、直列に接続された2個のPMOSトランジスタP1、P2と、2個の制御信号生成部50__1、50__2とを含む。

10

【0071】

PMOSトランジスタP1、P2は、VDD__RAM線35およびVDD線15の間に直列に接続される。PMOSトランジスタP1は、ソースSがVDD__RAM線35に接続され、ドレインDがPMOSトランジスタP2のドレインに接続される。PMOSトランジスタP2は、ソースSがVDD線15に接続される。以下の説明では、PMOSトランジスタP1およびP2の接続ノードを「中間ノードVDD__MID」と表記する。

【0072】

制御信号生成部50__1は、PMOSトランジスタP1のオン/オフを制御するための制御信号を生成する。制御信号生成部50__1は、インバータ42__1と、NANDゲート44__1と、バッファ46__1とを含む。インバータ42__1、NANDゲート44__1およびバッファ46__1は、内部電源電圧VDD__RAMによって動作する。また、バッファ46__1は、インバータ2段で構成されることが多い。

20

【0073】

インバータ42__1は、システム制御回路28(図1)から与えられる制御信号pswon__vdd__ramの反転信号をNANDゲート44__1の一方入力ノードに出力する。NANDゲート44__1の他方入力ノードはVDD線15に接続される。NANDゲート44__1は、制御信号pswon__vdd__ramの反転信号と、VDD線15に供給される内部電源電圧VDDとの論理積を反転させた信号をバッファ46__1に出力する。バッファ46__1は、NANDゲート44__1の出力信号に応じた制御信号をPMOSトランジスタP1の制御端子(ゲート端子)に出力する。

30

【0074】

制御信号生成部50__2はPMOSトランジスタP2のオン/オフを制御するための制御信号を生成する。制御信号生成部50__2は、インバータ42__2と、NANDゲート44__2と、バッファ46__2とを含む。インバータ42__2、NANDゲート44__2およびバッファ46__2は、内部電源電圧VDDによって動作する。また、バッファ46__2は、インバータ2段で構成されることが多い。

【0075】

インバータ42__2は、システム制御回路28(図1)から与えられる制御信号pswon__vddの反転信号をNANDゲート44__2の一方入力ノードに出力する。NANDゲート44__2の他方入力ノードはVDD__RAM線35に接続される。NANDゲート44__2は、制御信号pswon__vddの反転信号と、VDD__RAM線35に供給される内部電源電圧VDD__RAMとの論理積を反転させた信号をバッファ46__2に出力する。バッファ46__2は、NANDゲート44__2の出力信号に応じた制御信号をPMOSトランジスタP2の制御端子(ゲート端子)に出力する。

40

【0076】

ここで、PMOSトランジスタP1およびその制御信号生成部50__1に着目する。

制御信号生成部50__1に入力される制御信号pswon__vdd__ramは、PMOSトランジスタP1をオンさせるときにLレベルに活性化される一方で、PMOSトランジスタP1をオフさせるときにHレベルに非活性化される。NANDゲート44__1は、制御信号pswon__vdd__ramの反転信号と、内部電源電圧VDDとの論理積を反

50

転させた信号を出力する。

【0077】

具体的には、内部電源電圧VDDがHレベル（例えば1.25V）のとき、NANDゲート44_1はインバータとして機能し、制御信号pswon_vdd_ramの反転信号の論理を反転させて出力する。したがって、制御信号pswon_vdd_ramがLレベルのときにPMOSトランジスタP1がオンされ、制御信号pswon_vdd_ramがHレベルのときにPMOSトランジスタP1がオフされる。

【0078】

一方、内部電源電圧VDDがLレベル（0V）のときには、制御信号pswon_vdd_ramの論理に拘わらず、NANDゲート44_1はHレベルの信号を出力する。したがって、PMOSトランジスタP1は、制御信号pswon_vdd_ramの論理によらず、オフされる。

【0079】

このように、PMOSトランジスタP1は、内部電源電圧VDDがHレベルに立ち上ることではじめてオン/オフの制御が可能となる。同様に、PMOSトランジスタP2およびその制御信号生成部50_2においても、PMOSトランジスタP2は、内部電源電圧VDD_RAMがHレベルに立ち上がることで初めてオン/オフの制御が可能となる。すなわち、PMOSスイッチ40は、内部電源電圧VDD、VDD_RAMがともにHレベル立ち上がった状態で、制御信号pswon_vdd、pswon_vdd_ramに応じてオン/オフが制御される。

【0080】

このような構成としたことにより、実施の形態1による半導体装置1では、内部電源電圧VDD_RAMの立ち上がりと内部電源電圧VDDの立ち上がりとの間に時間差が生じた場合であっても、各PMOSトランジスタのドレインDおよびN型ウェルn-well間のPN接合に電流が流れることがない。これにより、電源立ち上げシーケンスのフリー化が可能となる。以下、その理由について説明する。

【0081】

図4は、PMOSスイッチ40の構成を模式的に示す断面図である。

図4を参照して、PMOSトランジスタP1、P2は、P型半導体基板p-subに設けられたN型ウェルn-wellに形成される。PMOSトランジスタP1は、ソースSがVDD_RAM線35に接続され、ドレインDが中間ノードVDD_MIDにおいてPMOSトランジスタP2のドレインDに接続される。PMOSトランジスタP1が形成されるN型ウェルn-wellはVDD_RAM線35に接続される。

【0082】

PMOSトランジスタP2は、ソースSがVDD線15に接続され、ドレインDが中間ノードVDD_MIDにおいてPMOSトランジスタP1のドレインDに接続される。PMOSトランジスタP2が形成されるN型ウェルn-wellはVDD線15に接続される。

【0083】

半導体装置1に電源が投入されると、外部レギュレータ3および内部電源回路21がそれぞれ起動されることによって、内部電源電圧VDDおよびVDD_RAMがそれぞれ立ち上がる。PMOSトランジスタP1は、ソースSおよびN型ウェルn-wellに内部電源電圧VDD_RAMを受ける。PMOSトランジスタP2は、ソースSおよびN型ウェルn-wellに内部電源電圧VDDを受ける。

【0084】

ここで、内部電源電圧VDD_RAMの立ち上がりが内部電源電圧VDDの立ち上がりよりも遅い場合を想定する。この場合、PMOSトランジスタP2では、上述のように、内部電源電圧VDDがHレベルとなっても、内部電源電圧VDD_RAMがHレベルに立ち上がるまではPMOSトランジスタP2がオンされない。このため、PMOSトランジスタP2のドレインDおよび中間ノードVDD_MIDは、ハイインピーダンス状態と

10

20

30

40

50

なる。

【0085】

一方、PMOSトランジスタP1では、内部電源電圧VDDがHレベルとなっても、内部電源電圧VDD__RAMがHレベルに立ち上がるまでは制御信号生成部50__1がオン状態にならないため、PMOSトランジスタP1がオンされない。このような状態であっても、中間ノードVDD__MIDに接続されるPMOSトランジスタP1のドレインDはハイインピーダンス状態となっているため、ドレインDおよび対応のN型ウェルnwell間のPN接合が順方向にバイアスされることがない。よって、PN接合に電流が流れることがない。

【0086】

なお、内部電源電圧VDDの立ち上がりが内部電源電圧VDD__RAMの立ち上がりよりも遅い場合においても同様のことがいえる。この場合は、PMOSトランジスタP2において、ドレインDおよび対応のN型ウェルnwell間のPN接合が順方向にバイアスされないため、PN接合に電流が流れることがない。

【0087】

このように、内部電源電圧VDDおよびVDD__RAMのいずれが先にHレベルに立ち上がってもPMOSトランジスタP1、P2のPN接合が順方向にバイアスされることがない。したがって、電源立ち上げシーケンスに対する制約が不要となるため、電源立ち上げシーケンスのフリー化を実現することができる。

【0088】

なお、実施の形態1による半導体装置1では、内部電源回路21が生成する内部電源電圧VDD__RAMの電圧レベルを、半導体装置1の動作モードに応じて切替える構成とした。しかしながら、関連技術に示したように、アクティブモード時とスタンバイモード時とで、電流供給能力の異なる2つのレギュレータ(外部レギュレータ3および内部レギュレータ26)を切替えて用いる構成に対しても、図4に示すPMOSスイッチ40の構成を適用することが可能である。そして、そのような構成においても、電源立ち上げシーケンスに対する制約を不要とすることができる。

【0089】

さらに、実施の形態1による半導体装置1では、VDD__RAM線35およびVDD線15の間のスイッチトランジスタを、高耐圧用トランジスタではなく、低耐圧用トランジスタであるPMOSトランジスタP1、P2で構成することができる。これにより、スイッチトランジスタを高耐圧用トランジスタで構成する場合に比べて面積(トランジスタサイズL/W)の削減が図られる。

【0090】

< 実施の形態2 >

上述の実施の形態1による半導体装置1では、内部電源回路21が生成する内部電源電圧VDD__RAMを動作モードに応じて切替えるための構成として、互いに電圧レベルが異なる2つの基準電圧V1、V2を生成可能な基準電圧発生回路22を用いる構成について説明したが、基準電圧を1つの電圧レベルのままで、内部レギュレータ26側で内部電源電圧VDD__RAMを2値V1、V2の間で切替えるようにしてもよい。実施の形態2では、内部レギュレータ26で内部電源電圧VDD__RAMを切替える構成について説明する。

【0091】

図5は、実施の形態2による半導体装置に適用される内部電源回路21Aの構成を示す回路図である。実施の形態2による半導体装置の構成は、内部電源回路21Aを除いて、図1と同様であるので、詳細な説明は繰り返さない。

【0092】

図5を参照して、実施の形態2による内部電源回路21Aは、基準電圧発生回路22Aと、内部レギュレータ26Aとを含む。

【0093】

内部電源回路 21A は、外部電源電圧 V_{CC} によって動作する。内部電源回路 21A は、基準電圧発生回路 22A と、内部レギュレータ 26A とを含む。基準電圧発生回路 22A は、外部電源電圧 V_{CC} を降圧した基準電圧 V_{ref} を生成する。

【0094】

内部レギュレータ 26A は、基準電圧 V_{ref} を参照して内部電源電圧 V_{DD_RAM} を生成する。具体的には、内部レギュレータ 26A は、誤差増幅器 260 と、PMOS トランジスタ 262 と、 n 個 (n は 2 以上の自然数) の抵抗素子 $R_1 \sim R_n$ と、セクタ 264 とを含む。

【0095】

誤差増幅器 260 は、反転入力端子 (- 端子) が基準電圧発生回路 22A の出力ノードに接続され、非反転入力端子 (+ 端子) がセクタ 264 の出力ノードに接続され、出力ノードが PMOS トランジスタ 262 の制御端子 (ゲート端子) に接続される。

【0096】

抵抗素子 $R_1 \sim R_n$ は、この順で PMOS トランジスタ 262 のドレインと接地ノードとの間に直列に接続される。セクタ 264 は、抵抗素子 $R_1 \sim R_n$ の接続ノード $nd_1 \sim nd_n$ のうち、システム制御回路 28 (図 1) からの制御信号 sel_vdd_ram によって選択されたノード (以下、選択ノードと称する) の電圧を誤差増幅器 260 の非反転入力端子に出力する。

【0097】

内部レギュレータ 26A において、選択ノードと接地ノードとの間の抵抗値を R_f とし、直列接続された抵抗素子 $R_1 \sim R_n$ の合成抵抗値を R_o とすると、出力ノードの電圧 (内部電源電圧 V_{DD_RAM}) は、誤差増幅器 260 の反転入力端子への入力電圧 (基準電圧 V_{ref}) の R_o / R_f 倍になる。抵抗値 R_f は制御信号 sel_vdd_ram によって調整可能であるため、内部電源電圧 V_{DD_RAM} を高精度に調整することができる。

【0098】

システム制御回路 28 は、アクティブモード時とスタンバイモード時とで抵抗値 R_f を切替える。具体的には、システム制御回路 28 は、アクティブモード時には、内部電源電圧 V_{DD_RAM} が内部電源電圧 V_{DD} (1.25V) よりも低くなるように (例えば 1.05V)、抵抗値 R_f を調整する。これにより、内部レギュレータ 26 から外部レギュレータ 3 に向かって電流が流れるのを防止できる。

【0099】

一方、スタンバイモード時には、システム制御回路 28 は、内部電源電圧 V_{DD_RAM} が SRAM メモリセル 32 がデータ保持可能な電圧 (例えば 1.1V) となるように抵抗値 R_f を調整する。

【0100】

このように、実施の形態 2 によれば、内部レギュレータ 26A を、半導体装置の動作モードに応じて出力電圧 (内部電源電圧 V_{DD_RAM}) を切替え可能な構成としたことにより、上述の実施の形態 1 と同様の効果を得ることができる。

【0101】

< 実施の形態 3 >

上述の実施の形態 1 による半導体装置 1 では、 V_{DD} 線 15 および V_{DD_RAM} 線 35 の遮断を 2 つの PMOS トランジスタで構成された 1 個の PMOS スイッチ 40 で行なう構成について説明した。しかしながら、この PMOS スイッチを複数個並列に接続し、これら複数個の PMOS スイッチを時間差を設けてオフするようにしてもよい。実施の形態 3 では、複数個の PMOS スイッチで V_{DD} 線 15 および V_{DD_RAM} 線 35 の遮断を行なう構成について説明する。

【0102】

図 6 は、実施の形態 3 による半導体装置に適用される PMOS スイッチ回路 40A の構成の一例を示す回路図である。実施の形態 3 による半導体装置の構成は、PMOS スイッ

10

20

30

40

50

チ回路40Aを除いて、図1と同様であるので、詳細な説明は繰り返さない。

【0103】

図6を参照して、実施の形態3によるPMOSスイッチ回路40Aは、VDD線15およびVDD__RAM線35の間に並列に接続された複数個(例えば3個とする)のPMOSスイッチ40__1, 40__2, 40__3を含む。PMOSスイッチ40__1, 40__2, 40__3の各々の回路構成は、図3に示すPMOSスイッチ40と同様であるので詳細な説明は繰り返さない。

【0104】

PMOSスイッチ40__1は、システム制御回路28から与えられる制御信号pswon__1に応じてオン/オフが制御される。図示は省略するが、制御信号pswon__1には、PMOSスイッチ40__1を構成するPMOSトランジスタP1のオン/オフを制御するための制御信号pswon__vdd__ramと、PMOSトランジスタP2のオン/オフを制御するための制御信号pswon__vddとが含まれる。

10

【0105】

同様に、PMOSスイッチ40__2は、システム制御回路28から与えられる制御信号pswon__2に応じてオン/オフが制御される。PMOSスイッチ40__3は、システム制御回路28から与えられる制御信号pswon__3に応じてオン/オフが制御される。

【0106】

実施の形態3による半導体装置では、アクティブモードからスタンバイモードへの移行時に、並列接続されたPMOSスイッチ40__1, 40__2, 40__3を時間差を設けてオフする。実施の形態3による半導体装置の作用効果について、図7に示す比較例を参照しながら説明する。

20

【0107】

図7は、実施の形態1による半導体装置1(図1)の動作を示すタイミングチャートである。図7には、アクティブモードからスタンバイモードへの移行時における基準電圧Vref、制御信号pswonおよびVDD__RAM線35の時間的变化が示される。

【0108】

図7を参照して、半導体装置1がアクティブモードのとき(時刻t0)、PMOSスイッチ40は、Lレベルに活性化された制御信号pswon(pswon__vdd, pswon__vdd__ram)によってオンされる、VDD__RAM線35は、PMOSスイッチ40によってVDD線15に電氣的に接続されるため、VDD線15から内部電源電圧VDD(1.25V)の供給を受ける。

30

【0109】

このとき、内部電源回路21では、基準電圧発生回路22から内部レギュレータ26に与える基準電圧Vrefが、内部電源電圧VDD(1.25V)よりも低い電圧V1(1.05V)に設定される。内部レギュレータ26が電圧V1を基準電圧Vrefとして動作することにより、VDD__RAM線35には電圧V1に等しい内部電源電圧VDD__RAMが供給される。

【0110】

アクティブモードからスタンバイモードへ移行するときには、内部電源回路21は、基準電圧発生回路22から内部レギュレータ26に与える基準電圧Vrefを、電圧V1(1.05V)から電圧V2(1.25V)に切替える(時刻t11)。続いて、制御信号pswonをHレベルに非活性化させてPMOSスイッチ40をオフする(時刻t12)。

40

【0111】

内部レギュレータ26は、電圧V2を基準電圧Vrefとして動作することにより、電圧V2に等しい内部電源電圧VDD__RAMをVDD__RAM線35に供給する。しかしながら、上述のように、内部レギュレータ26は出力電圧の反応が鈍いため、PMOSスイッチ40がオンされるタイミング(時刻t12)に、内部電源電圧VDD__RAMが未

50

だ電圧 V_2 に達していない事態が起こり得る。そのような事態が生じると、図 7 に示すように、 VDD_RAM 線 35 に電圧ドロップが発生し、内部電源電圧 VDD_RAM が $SRAM$ メモリセル 32 がデータ保持可能な電圧（例えば $1.1V$ ）を下回ってしまう可能性がある。

【0112】

図 8 は、実施の形態 3 による半導体装置の動作を示すタイミングチャートである。図 8 には、アクティブモードからスタンバイモードへの移行時における基準電圧 V_{ref} 、制御信号 $pswon$ および VDD_RAM 線 35 の時間的变化が示される。

【0113】

図 8 を参照して、実施の形態 3 による半導体装置では、アクティブモードからスタンバイモードへ移行するときに、 $PMOS$ スイッチ回路 40A を構成する複数個の $PMOS$ スイッチ 40_1, 40_2, 40_3 を時間差を設けてオフする。具体的には、最初に制御信号 $pswon_1$ ($pswon_vdd$, $pswon_vdd_ram$) を H レベルに非活性化させて $PMOS$ スイッチ 40_1 をオフする（時刻 t_{12} ）。次に、制御信号 $pswon_2$ を H レベルに非活性化させて $PMOS$ スイッチ 40_2 をオフする（時刻 t_{13} ）。最後に、制御信号 $pswon_3$ を H レベルに非活性化させて $PMOS$ スイッチ 40_3 をオフする（時刻 t_{14} ）。

【0114】

このように、 $PMOS$ スイッチ 40_1, 40_2, 40_3 を時間差を設けてオフすることにより、 VDD_RAM 線 35 の電圧は、 $PMOS$ スイッチがオフされるごとに徐々に低下する。最初の $PMOS$ スイッチ 40_1 がオフされてから最後の $PMOS$ スイッチ 40_3 がオフされるまでの VDD_RAM 線 35 の電圧の降下量は、図 7 の比較例における電圧の降下量と比べて小さく抑えられている。したがって、内部電源電圧 VDD_RAM が、 $SRAM$ メモリセル 32 がデータ保持可能な電圧（ $1.1V$ ）を下回るのを回避できる。この結果、実施の形態 3 によれば、 VDD_RAM 線 35 の電圧ドロップをより効果的に抑制することが可能となる。

【0115】

また、関連技術に示したように、アクティブモード時とスタンバイモード時とで電流供給能力の異なる 2 つのレギュレータ（外部レギュレータ 3 および内部レギュレータ 26）を切替えて用いる構成に対しても、図 6 に示される $PMOS$ スイッチ回路 40A の構成を適用することが可能であることはいうまでもない。

【0116】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

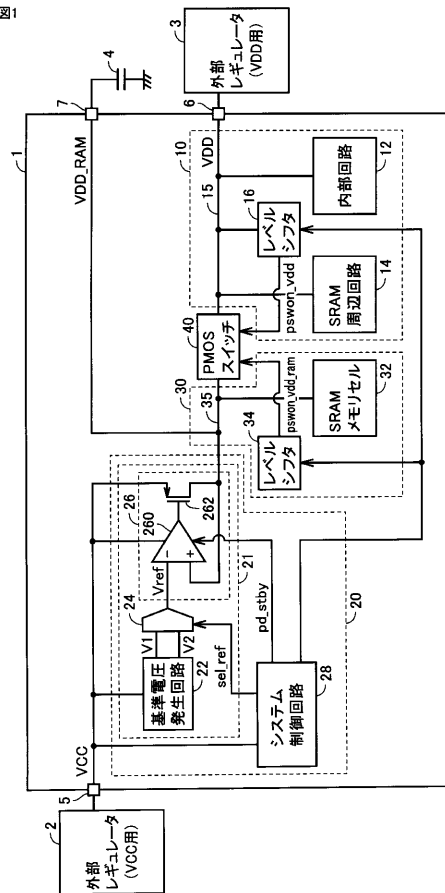
【符号の説明】

【0117】

1, 1000 半導体装置、2, 3 外部レギュレータ、4 外部容量、5, 6, 7 電源端子、10, 100 VDD 電源領域、12 内部回路、14 $SRAM$ 周辺回路、15 VDD 線、16, 34 レベルシフタ、35 VDD_RAM 線、40, 40A $PMOS$ スイッチ回路、200 VCC 電源領域、21, 21A, 210 内部電源回路、22, 22A, 220 基準電圧発生回路、24, 264 セレクタ、26 内部レギュレータ、28 システム制御回路、30, 300 VDD_RAM 電源領域、32 $SRAM$ メモリセル、40, 40_1, 40_2, 40_3, 400 $PMOS$ スイッチ、40A $PMOS$ スイッチ回路、42_1, 42_2 インバータ、44_1, 44_2 $NAND$ ゲート、46_1, 46_2 バッファ、50_1, 50_2 制御信号生成部、260 誤差増幅器、262, P1, P2 $PMOS$ トランジスタ。

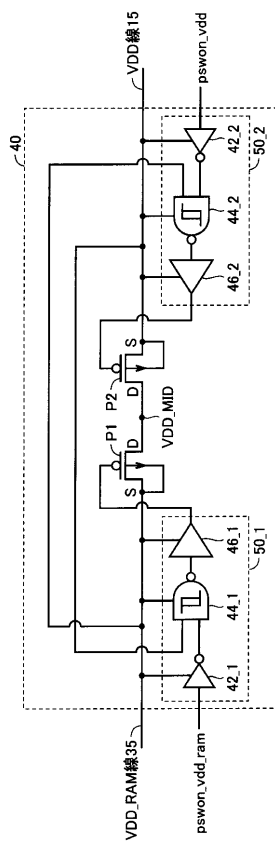
【 図 1 】

图1



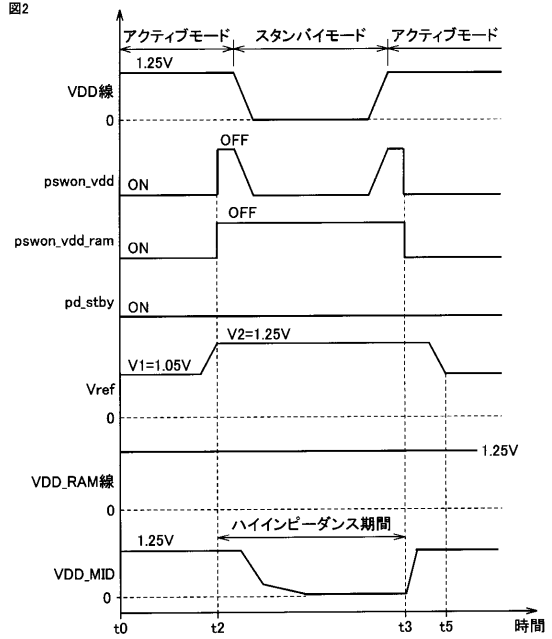
【 図 3 】

圖3



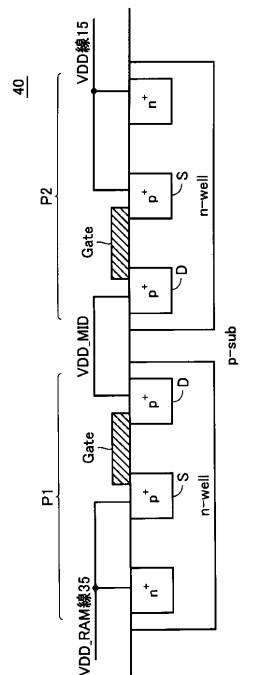
【 図 2 】

图2

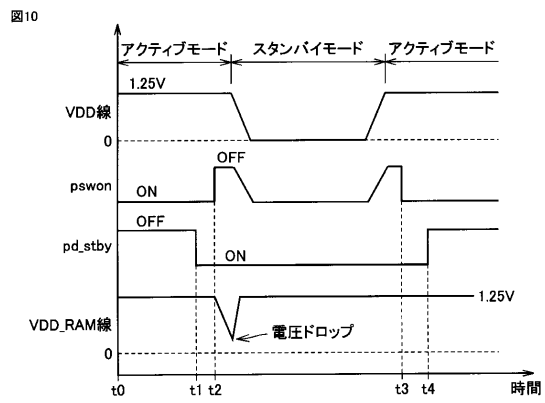


【圖 4】

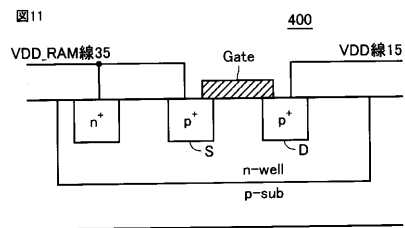
图4



【図 10】



【図 11】



フロントページの続き

審査官 白石 圭吾

(56)参考文献 特開平 0 7 - 0 4 9 7 2 9 (J P , A)
特開平 0 6 - 0 1 2 8 7 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 6 F 1 / 2 6
G 1 1 C 1 1 / 4 1 3