



(12)发明专利

(10)授权公告号 CN 102646601 B

(45)授权公告日 2016.09.28

(21)申请号 201210117282.4

H01L 29/78(2006.01)

(22)申请日 2012.04.19

(56)对比文件

(65)同一申请的已公布的文献号

申请公布号 CN 102646601 A

CN 102290340 A, 2011.12.21,

CN 101866922 A, 2010.10.20,

CN 101114672 A, 2008.01.30,

(43)申请公布日 2012.08.22

CN 101409280 A, 2009.04.15,

(73)专利权人 北京燕东微电子有限公司

CN 101136400 A, 2008.03.05,

地址 100015 北京市朝阳区东直门外西八
间房

CN 1748309 A, 2006.03.15,

审查员 刘宁

(72)发明人 姜一波 曾传滨 杜寰

(74)专利代理机构 北京华沛德权律师事务所

11302

代理人 房德权

(51)Int.Cl.

H01L 21/336(2006.01)

H01L 27/02(2006.01)

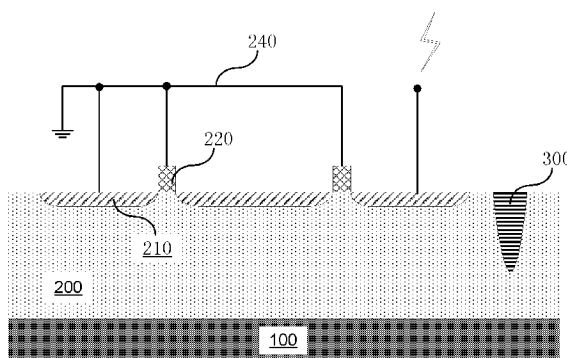
权利要求书1页 说明书5页 附图3页

(54)发明名称

一种半导体结构及其制造方法

(57)摘要

本发明提供一种制造半导体结构的方法,包括以下步骤:提供半导体衬底,并在所述半导体衬底上形成外延层;在所述外延层上形成半导体器件;形成漏电流吸收区,所述漏电流吸收区位于所述半导体器件的漏区一侧,且不与所述漏区相接触。相应地,本发明还提供一种应用本方法制造的半导体结构。采用本发明的方法以及半导体结构可以有效减小厚外延器件中的漏电流,进而提高半导体器件的整体性能。



1. 一种静电释放保护结构的制造方法,其特征在于,包括以下步骤:
 - a)提供半导体衬底(100),并在所述半导体衬底(100)上形成外延层(200);
 - b)在所述外延层(200)上形成半导体器件,所述半导体器件包括:源漏区(210)和栅极堆叠(220);
 - c)采用杂质重掺杂的方式形成漏电流吸收区(300),所述漏电流吸收区(300)位于所述半导体器件的漏区一侧,且不与所述漏区相接触;
其中,步骤c)包括如下步骤:
 - d)采用金属嵌入的方式形成嵌入区(301);
 - e)在所述嵌入区(301)周围进行杂质注入,形成浅注入区(302);所述嵌入区与所述浅注入区接地构成所述漏电流吸收区(300)。
2. 根据权利要求1所述的方法,其中,所述漏电流吸收区中注入的杂质与所述外延层(200)中的掺杂类型相同,并且掺杂浓度高于所述外延层(200)中的掺杂浓度。
3. 根据权利要求1所述的方法,其中,构成所述漏电流吸收区的金属为铜、铝、钨中的任意一种或其组合。
4. 根据权利要求1所述的方法,其中,所述漏电流吸收区中注入的杂质为硼、磷、砷中的任意一种。
5. 根据权利要求1所述的方法,其中,所述漏电流吸收区(300)与所述漏区之间的距离范围为 $0.5\mu\text{m}\sim 1.5\mu\text{m}$ 。
6. 根据权利要求1所述的方法,其中,所述外延层(200)的厚度为大于 $3\mu\text{m}$ 。
7. 根据权利要求1所述的方法,其中,所述半导体器件为ESD静电防护结构。
8. 根据权利要求1所述的方法,其中,所述半导体器件为级联的栅极接地NMOS或PMOS器件,并且所述NMOS或PMOS器件的源极接地。
9. 根据权利要求1所述的方法,其中,漏电流吸收区(300)的深度达到所述半导体衬底(100)。

一种半导体结构及其制造方法

技术领域

[0001] 本发明涉及半导体制造领域,具体地说涉及一种半导体结构及其制造方法。

背景技术

[0002] 静电在自然界时刻都存在,当人体能感觉到静电存在时,其产生的静电已经达到了数万伏特,足以损坏绝大部分的电子元器件。

[0003] 随着半导体行业的发展,具有更高性能和更强功能的集成电路要求更大的元件密度,而且各个部件、元件之间或各个元件自身的尺寸、大小和空间也需要进一步缩小(目前已经达到纳米级),因此半导体器件制造过程中对工艺控制的要求较高。

[0004] 但是,当芯片的外部环境或者芯片内部累积的静电荷,通过芯片的管脚流入或流出芯片内部时,瞬间产生的电流(峰值可达数安培)或电压,就会损坏集成电路,使芯片功能失效。静电防护无论对于电子产品制造商还是消费者而言代价都很高。因此,设计合格的静电保护是所有产业化电子器件的应有之义。

[0005] 成功的静电防护设计必须满足合适的触发电压、维持电压、漏电流、寄生电容电感和噪声等要求。随着电路尺寸日益变小、电压不断降低,这些要求日益苛刻。

[0006] 在一些厚外延器件中,在使用NMOS/PMOS或者Cascaded(级联,亦有翻译成串联)NMOS/PMOS作为厚外延器件的静电保护部分时,由于厚外延使得寄生BJT(双极结型晶体管)的基区电阻非常大,微小的漏电流也可以使得寄生BJT效果很明显。其直接后果是使得ESD(Electro-static discharge,静电释放)保护部分的漏电流变得非常大而不能符合设计要求。

[0007] 目前,需要一种能够有效减小漏电流的方法,以提高厚外延半导体器件的整体性能。

发明内容

[0008] 本发明公开了一种半导体结构及其制造方法,主要用于克服厚外延器件ESD保护漏电过大。在使用NMOS/PMOS或者Cascaded NMOS/PMOS作为厚外延器件的静电保护部分时,在NMOS/PMOS或者Cascaded NMOS/PMOS的周围进行P型/N型的掺杂注入或金属嵌入收集多数载流子。此方法改变了漏电流的流径,减小了NMOS/PMOS或者Cascaded NMOS/PMOS寄生BJT的基区电阻。应用此方法可以有效解决在厚外延器件中,使用NMOS/PMOS或者Cascaded NMOS/PMOS作为ESD保护时,由于寄生BJT的放大效应使得其漏电流过大的问题。

[0009] 根据本发明的一个方面,提供一种制造半导体结构的方法,其特征在于,包括以下步骤:

[0010] a)提供半导体衬底,并在所述半导体衬底上形成外延层;

[0011] b)在所述外延层上形成半导体器件,所述半导体器件包括:源漏区和栅极堆叠;

[0012] c)形成漏电流吸收区,所述漏电流吸收区位于所述半导体器件的漏区一侧,且不与所述漏区相接触。

- [0013] 可选的,步骤c)为采用杂质注入的方式形成所述漏电流吸收区。
- [0014] 可选的,步骤c)还包括:
- [0015] d)采用金属嵌入的方式形成嵌入区;
- [0016] e)在所述嵌入区周围进行杂质注入,形成浅注入区。
- [0017] 根据本发明的另一个方面,提供一种半导体结构,其中,所述半导体结构包括:衬底、外延层、半导体器件以及漏电流吸收区,其特征在于,
- [0018] 所述漏电流吸收区位于所述衬底之上;
- [0019] 所述半导体器件形成于所述外延层之上,所述半导体器件包括:源漏区、栅极堆叠;
- [0020] 所述漏电流吸收区形成于所述外延层中,在所述半导体器件的漏区一侧,且不与所述漏区相接触。
- [0021] 对于一般的横向厚外延器件,NMOS/PMOS或者Cascaded NMOS/PMOS的漏电流也就是寄生BJT的集电极电流 $I_c = \beta I_B$ 。过大的基区电阻使得寄生BJT不再工作在完全截止状态,放大倍数 β 不再近似于0,因此会产生比较大的集电极电流 I_c ,使得ESD设计出现漏电流过大的问题。
- [0022] 应用本发明增加漏电流吸收区的方法,可以使寄生BJT基区电流不再完全流入衬底,漏电流的流经改变,NMOS/PMOS或者Cascaded ggNMOS/PMOS(gate-grounded NMOS/PMOS,栅极接地NMOS/PMOS)寄生BJT的基区电阻减小。如此使得寄生BJT工作在完全截止状态,放大倍数 β 近似于0,集电极电流 I_c 约为0,解决了厚外延器件中使用NMOS/PMOS或者Cascaded ggNMOS/PMOS作为ESD保护时,由于寄生BJT的放大效应使得其漏电流过大的问题。

附图说明

- [0023] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述,本发明的其它特征、目的和优点将会变得更明显:
- [0024] 图1为根据本发明的半导体结构的制造方法的一个具体实施方式的流程示意图;
- [0025] 图2为根据本发明的半导体结构的制造方法的一个具体实施方式中步骤S103的分解流程示意图;
- [0026] 图3为根据本发明的级联栅极接地NMOS/PMOS的一个具体实施方式的剖面结构示意图,其对应于图5中剖线A-A的剖面;
- [0027] 图4为根据本发明的半导体结构的另一个具体实施方式的剖面结构示意图;
- [0028] 图5为图3所示的本发明的半导体结构的一个具体实施方式的俯视示意图。
- [0029] 附图中相同或相似的附图标记代表相同或相似的部件。

具体实施方式

- [0030] 为使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明的实施例作详细描述。
- [0031] 下面详细描述本发明的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附

图描述的实施例是示例性的,仅用于解释本发明,而不能解释为对本发明的限制。

[0032] 下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅仅为示例,并且目的不在于限制本发明。此外,本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施例和/或设置之间的关系。此外,本发明提供了的各种特定的工艺和材料的例子,但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外,以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成为直接接触的实施例,也可以包括另外的特征形成在第一和第二特征之间的实施例,这样第一和第二特征可能不是直接接触。应当注意,在附图中所图示的部件不一定按比例绘制。本发明省略了对公知组件和处理技术及工艺的描述以避免不必要地限制本发明。

[0033] 参考图1,图1是根据本发明的半导体结构的制造方法的一个具体实施方式的流程图,该方法包括:

[0034] 步骤S101,提供半导体衬底100,并在所述半导体衬底100上形成外延层200。衬底100包括硅衬底(例如硅晶片)。根据现有技术公知的设计要求(例如P型衬底或者N型衬底),衬底100可以包括各种掺杂配置。其他实施例中衬底100还可以包括其他基本半导体,例如锗。或者,衬底100可以包括化合物半导体,例如碳化硅、砷化镓、砷化铟或者磷化铟。典型地,衬底100可以具有但不限于约几百微米的厚度,例如可以在 $400\mu\text{m}$ – $800\mu\text{m}$ 的厚度范围内。

[0035] 在衬底100上形成外延层200。外延层200是在衬底100上生长的,与衬底100晶向相同的单晶硅层,外延层200犹如衬底100向外延伸了一段,因此这种生长方法称为外延生长。生长外延层200有多种方法,但采用最多的是气相外延工艺。在气相外延工艺中,氢气携带四氯化硅或三氯氢硅、硅烷或二氯氢硅(SiH_2Cl_2)等进入置有衬底100的反应室,在反应室进行高温化学反应,使含硅反应气体还原或热分解,所产生的硅原子在衬底100表面上外延生长。在进行外延生长时,通常需要控制掺杂,以保证控制电阻率。N型外延层200所用的掺杂剂一般为磷烷(PH_3)或三氯化磷(PCl_3);P型外延层200的掺杂剂为乙硼烷(B_2H_6)或三氯化硼(BCl_3)等。由于本发明主要针对厚外延器件,因此外延层200的厚度范围为大于 $3\mu\text{m}$ 。

[0036] 步骤S102,在外延层200上形成半导体器件。首先形成栅极堆叠220。通常情况下,栅极堆叠220包括高k介质层和金属栅层。在外延层200上形成高k介质层。高k介质层的材料例如可以为 HfAlON 、 HfSiAlON 、 HfTaAlON 、 HfTiAlON 、 HfON 、 HfSiON 、 HfTaON 、 HfTiON 中的一种或其任意组合,高k介质层的厚度可以为 2nm ~ 10nm ,如 5nm 或 8nm 。可以采用热氧化、化学气相沉积(CVD)、原子层沉积(ALD)等工艺来形成高k介质层。

[0037] 之后,在高k介质层上沉积金属栅极,金属栅极可以为一层或者多层结构。其材料可以为 TaN 、 TaC 、 TiN 、 TaAlN 、 TiAlN 、 MoAlN 、 TaTbN 、 TaErN 、 TaYbN 、 TaSiN 、 HfSiN 、 MoSiN 、 RuTa_x 、 NiTa_x 中的一种或其任意组合。其厚度范围例如可以为 10nm – 80nm ,如 30nm 或 50nm 。

[0038] 上述栅极堆叠220只为举例,可以理解,本领域技术人员能够理解的栅极结构都可以应用在本发明中。例如:栅极堆叠220中的介质层可以不是高k介质层,另外,也可以不是金属栅极而是多晶硅栅极。特别地,在所述栅极堆叠220的侧壁上形成侧墙,用于将栅极隔开。侧墙可以由氮化硅、氧化硅、氮氧化硅、碳化硅及其组合,和/或其他合适的材料形成。侧墙可以具有多层结构。侧墙可以通过包括沉积刻蚀工艺形成,其厚度范围可以是 10nm –

100nm,如30nm、50nm或80nm。

[0039] 源漏区210可以通过向外延层200中注入P型或N型掺杂物或杂质而形成,例如,对于PMOS来说,源漏区210可以是P型掺杂的SiGe,对于NMOS来说,源漏区210可以是N型掺杂的Si。源漏区210可以由包括光刻、离子注入、扩散和/或其他合适工艺的方法形成。在本实施例中,源漏区210在外延层200内部,在其他一些实施例中,源漏区210可以通过选择性外延生长所形成的提升的源漏极结构,其外延部分的顶部高于栅极堆叠220底部(本说明书中所指的栅极堆叠220底部意指栅极堆叠220与外延层200的交界线)。

[0040] 接下来执行步骤S103,形成漏电流吸收区300,漏电流吸收区300位于所述半导体器件的漏区一侧,且不与所述漏区相接触。为了达到最好的效果,漏电流吸收区300与半导体器件漏区之间的距离范围为 $0.5\mu\text{m}\sim 1.5\mu\text{m}$ 。通过向外延层200中注入适当浓度的与外延层200类型相同的杂质形成漏电流吸收区300,其中所述漏电流吸收区300中的掺杂浓度高于所述外延层200的掺杂浓度。所述漏电流吸收区300的深度可以到达外延层200下方的衬底100以增加电流吸收效果。注入的杂质为半导体领域常用的,例如砷、磷、硼等。漏电流吸收区300收集外延中多余的多数载流子,不仅缩短漏电流流出的距离,能改变漏电流的流经,还减小了外延器件中寄生BJT的基区电阻。杂质注入的深度可以自由控制,可以与衬底100相连或者不相连。

[0041] 另外,除了通过杂质注入的方式形成漏电流吸收区300,还可以采用金属嵌入的方式来形成漏电流吸收区300,如图2所示。

[0042] 首先执行步骤S103-1,进行金属嵌入,形成嵌入区301,进行金属嵌入使用的金属可以为铜、铝、钨中的任意一种或其组合。

[0043] 之后执行步骤S103-2,在所述嵌入区301周围进行杂质注入,形成浅注入区302。注入的杂质为半导体领域常用的,例如砷、磷、硼等。

[0044] 值得注意的是,采用金属嵌入的方式形成漏电流吸收区300,在形成嵌入区301之后,最好要进行浅杂质注入形成浅注入区302,因为浅注入区302可以有效防止金属嵌入区301形成高势垒的肖特基接触。嵌入区301和浅注入区302构成了漏电流吸收区300。与完全采用杂质注入的方式形成漏电流吸收区300一样,采用金属嵌入方式形成的漏电流吸收区300与半导体器件漏区的距离范围也是 $0.5\mu\text{m}\sim 1.5\mu\text{m}$ 。

[0045] 图3为根据本发明的半导体结构的一个具体实施方式的剖面结构示意图。如图3所示,在P型衬底100上生长P型外延200,通过栅极堆叠220的自对准形成N+重掺杂注入并通过金属连接240形成级联的栅极接地NMOS的静电防护结构,其中两个级联的NMOS的栅极与其中一个NMOS的源极接地。在距离漏区 $0.5\mu\text{m}\sim 1.5\mu\text{m}$ 的位置进行P型杂质注入,形成如图3中P型注入的漏电流吸收区300所示的掺杂注入。未进行掺杂注入之前,寄生BJT的电流流经由重掺杂N+注入源/漏区210经数微米厚的P型外延层200流入P型衬底100。进行掺杂注入之后,一部分电流流入P型漏电流吸收区300中,达到了减小基区电阻的目的,降低了级联的栅极接地NMOS关态下的漏电流。

[0046] 图4为根据本发明的半导体结构的另一个具体实施方式的剖面结构示意图。同图3,在P型衬底100上生长P型外延层200,通过栅极堆叠220的自对准形成N+重掺杂注入并通过金属连接240形成级联的栅极接地NMOS的静电防护结构。在距离漏区 $0.5\mu\text{m}\sim 1.5\mu\text{m}$ 的位置进行金属嵌入,形成如图3所示嵌入区301。嵌入的金属可以为铜、铝、钨等金属。之后进行

P型杂质注入,形成浅注入区302。嵌入区301和浅注入区302共同形成漏电流吸收区300。由于浅注入区302可以有效防止嵌入区301形成高势垒的肖特基接触,因此采用金属嵌入的方式形成漏电流吸收区300时,最好要在嵌入区301的周围进行杂质注入。注入的杂质可以为砷、磷、硼等离子之一的任选。值得注意的是,嵌入区301可以与衬底100相连接,也可以不连接。

[0047] 图5为图3所示的本发明的半导体结构的一个具体实施方式的俯视示意图。此图为级联的栅极接地NMOS的静电防护结构的完整俯视图,其沿着剖线A-A的剖面结构即为图3所示。如图5所示,P型漏电流吸收区300距离N+重掺杂注入形成的级联的栅极接地NMOS漏区 $0.5\mu\text{m}\sim 1.5\mu\text{m}$ 。漏区210上有金属层215(在图3中未示出),级联的NMOS的栅极与最外圈的源极210都连接到地216,形成一个ESD静电保护结构。使得其在抑制寄生BJT开启的同时又收集多数载流子,在不影响ESD特性的同时降低漏电流。

[0048] 本发明的半导体结构的制造方法,通过形成漏电流收集区,能有效克服厚外延器件ESD保护漏电过大的问题。

[0049] 虽然关于示例实施例及其优点已经详细说明,应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下,可以对这些实施例进行各种变化、替换和修改。对于其他例子,本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时,工艺步骤的次序可以变化。

[0050] 此外,本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容,作为本领域的普通技术人员将容易地理解,对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤,其中它们执行与本发明描述的对应该实施例大体相同的功能或者获得大体相同的结果,依照本发明可以对它们进行应用。因此,本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

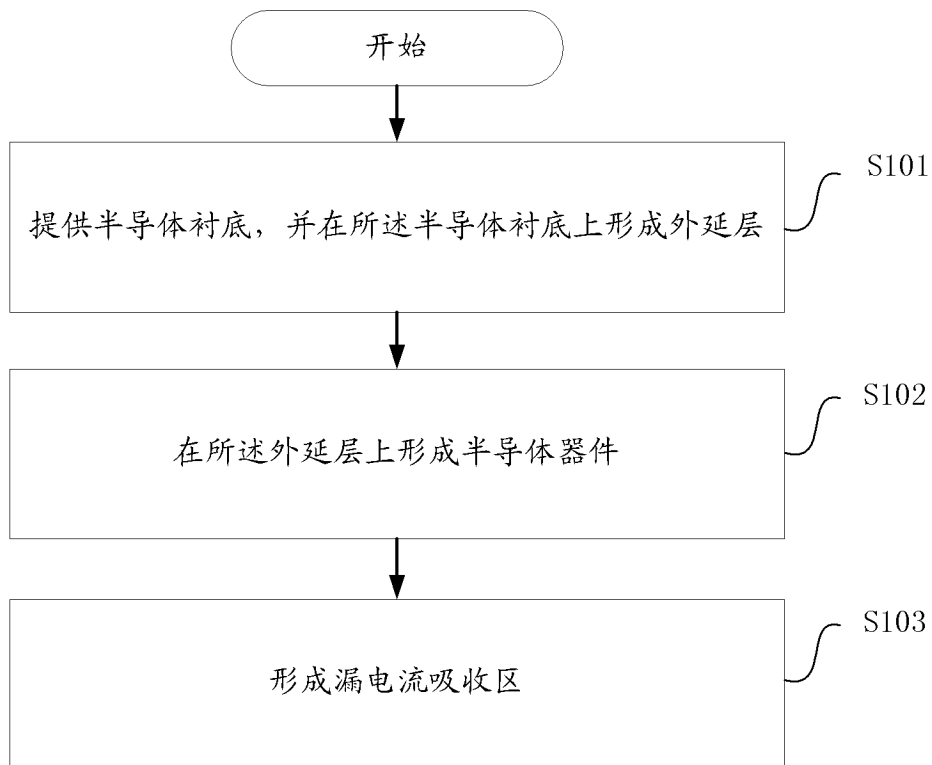


图1

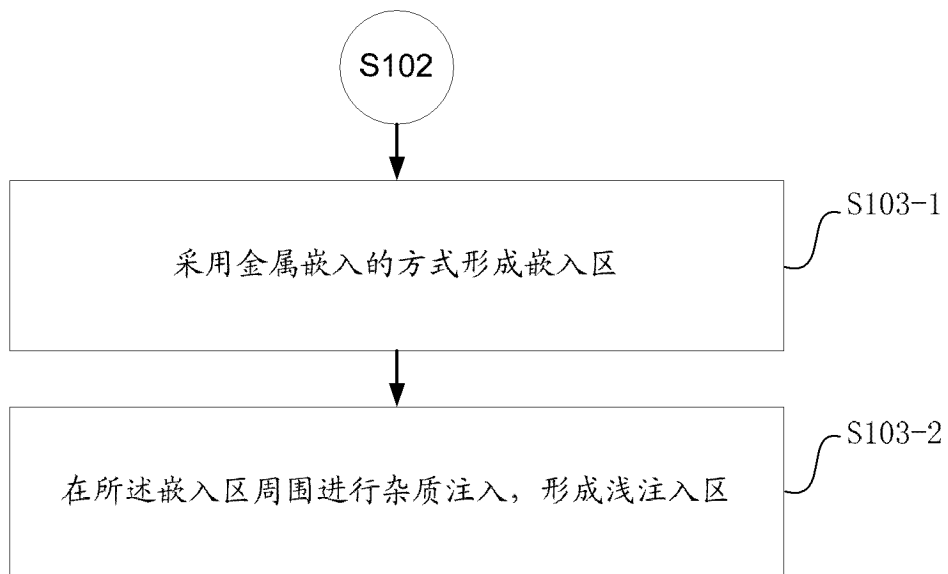


图2

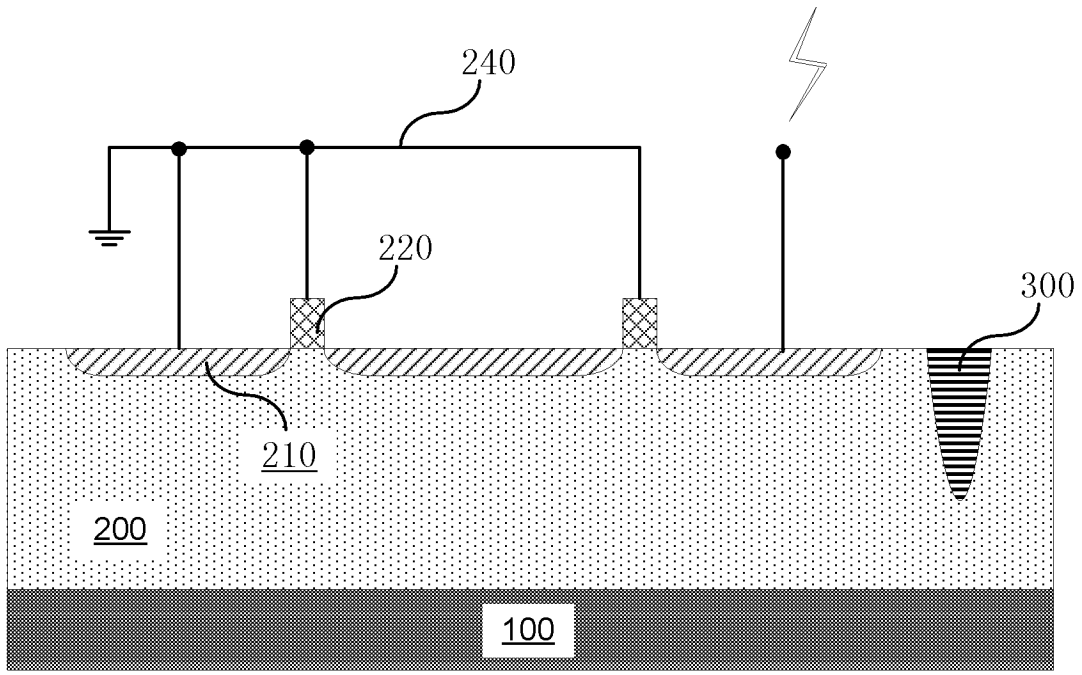


图3

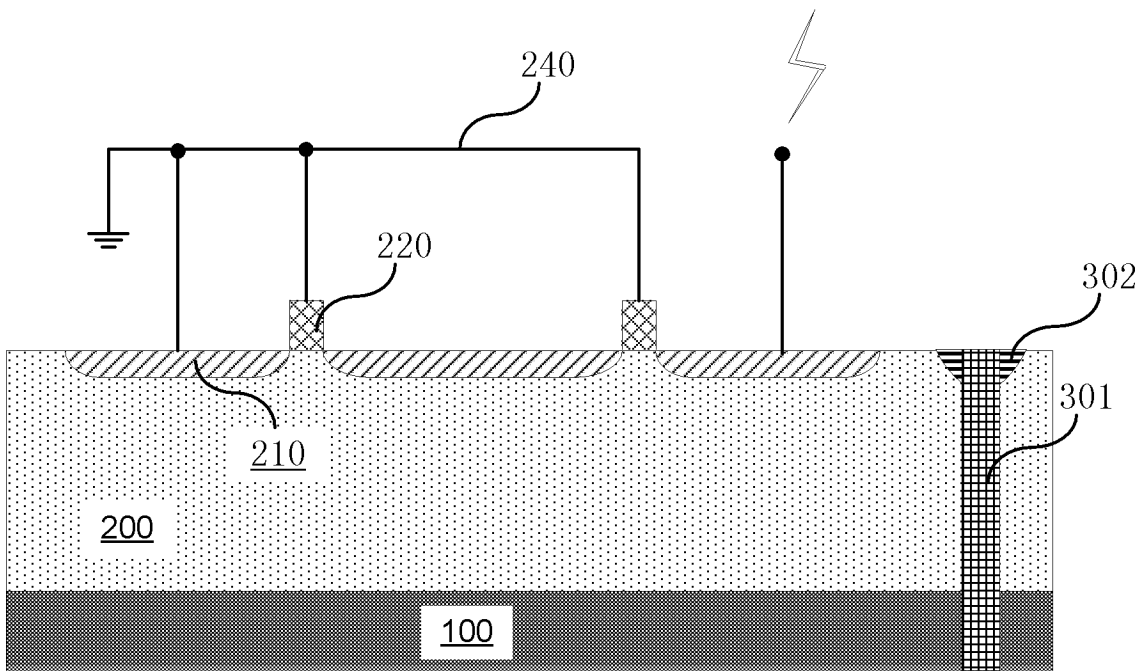


图4

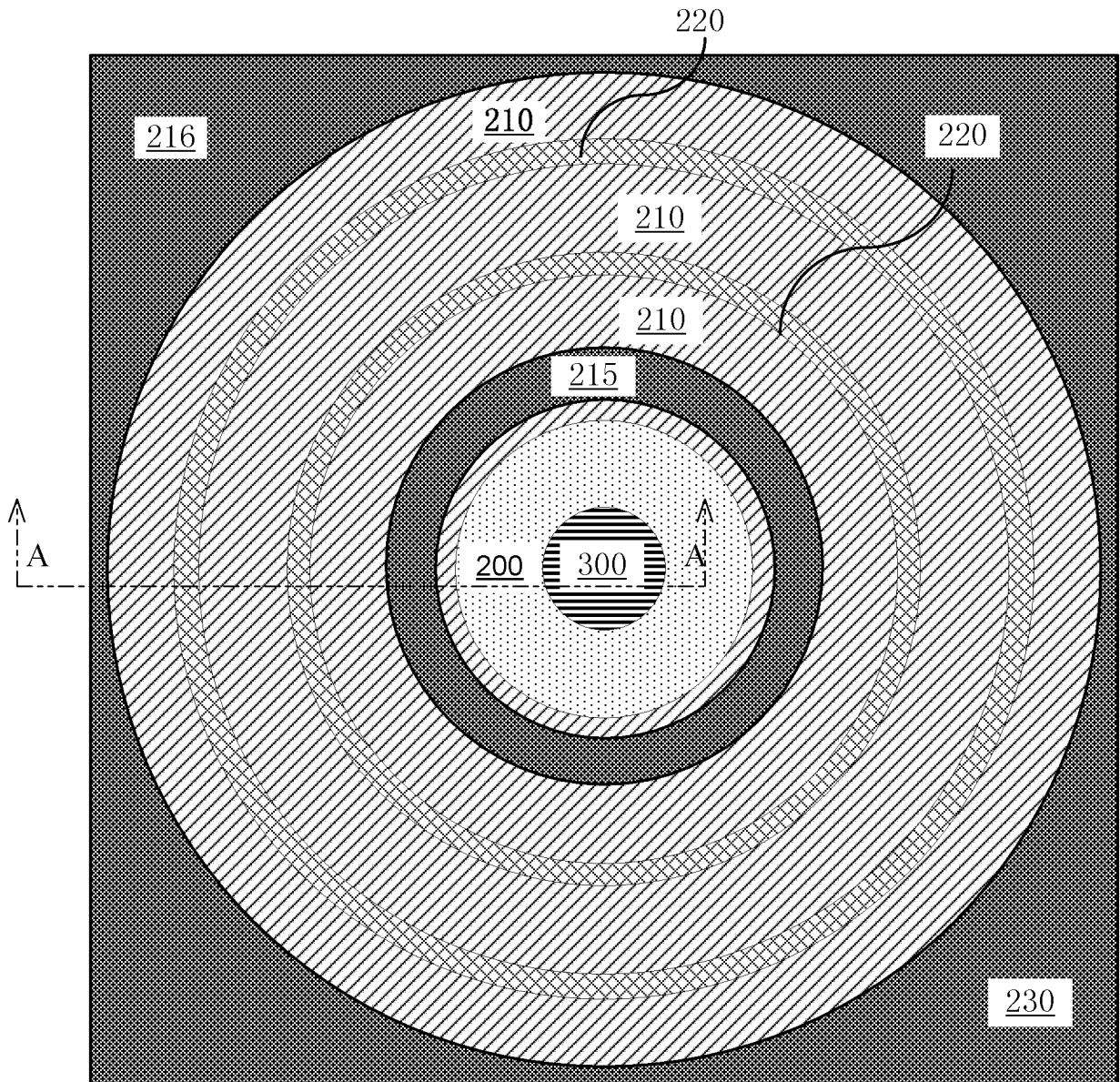


图5