

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G09G 3/36

(45) 공고일자 2000년03월 15일

(11) 등록번호 10-0248255

(24) 등록일자 1999년 12월 16일

(21) 출원번호 10-1997-0019027

(65) 공개번호 특1998-0083650

(22) 출원일자 1997년05월 16일

(43) 공개일자 1998년 12월 05일

(73) 특허권자 엘지.필립스 엘시디주식회사 구본준
서울특별시 영등포구 여의도동 20번지엘지.필립스 엘시디주식회사 론 위
라하디락사
서울특별시 영등포구 여의도동 20번지

(72) 발명자 신민철
경상북도 구미시 비산동 489-1 전원 리빙필 아파트 101-208호

(74) 대리인 나천열, 백승남

심사관 : 이상목

(54) 액정표시장치의 구동회로

요약

본 발명은 액정표시장치의 구동회로에 관한 것이다. 특히 액정표시장치에 영상신호를 인가하기 위하여 신호선구동IC에 영상신호를 래치시키는 데 있어서, 구동주파수를 낮출 수 있는 구동회로에 관한 것이다.

종래의 액정표시장치는 구동주파수가 높아 신호선구동IC에 전기적 부하가 많이 걸려 동작이 불안정하여 더블뱅크(double bank)구조로 신호선구동IC를 설치하거나, 액정표시장치의 표시영역을 둘로 분할하여 각 분할된 영역의 신호선에 연결된 신호선구동IC에 동시에 영상신호를 래치시키는 방법을 사용했었다. 그래서, 액정표시장치의 기판의 효율이 떨어지고, 영상신호의 분할에 따른 메모리가 많이 필요했었다.

본 발명은 액정표시장치의 표시영역을 신호선구동IC의 개수의 영역으로 분할하고, 각 영역을 복수개의 블록으로 묶는다. 그리고, 콘트롤러IC는 제1클럭에 동기하여 외부로부터 입력되는 영상신호를 각 블록에 상기 제1클럭의 두배이상의 주기를 갖는 제2클럭에 동기하여 동시에 인가한다. 그래서, 영상신호는 각 블록에 연결된 신호선구동IC에 상기 제2클럭에 동기하여 동시에 래치된다. 그러므로, 본 발명은 종래보다 낮은 구동주파수로 신호선구동IC를 구동시킬 수 있다. 본 발명의 구동회로는 싱글뱅크 구조의 액정표시장치를 구성할 수 있어 기판의 효율이 높아지며 분할구동 액정표시장치에 비해 작은 메모리를 내장한 구동회로를 설계할 수 있다.

대표도

도7

명세서

도면의 간단한 설명

도1은 일반적인 액정표시장치의 구조의 일부를 나타낸 사시도이다.

도2는 액정표시장치의 하판의 구조를 나타낸 개략도이다.

도3은 액정표시장치의 신호선구동IC가 액정표시장치에 구성된 모양을 나타낸 것이다.

도4는 분할구동 액정표시장치를 나타낸 것이다.

도5는 더블뱅크(double bank) 구조의 액정표시장치를 나타낸 것이다.

도6은 본 발명의 액정표시장치를 개략적으로 나타낸 것이다.

도7은 본 발명의 액정표시장치 구동회로를 나타낸 블록도이다.

도8은 본 발명의 구동회로에 인가되는 신호의 파형을 나타낸 것이다.

도9은 본 발명의 또다른 실시예를 나타낸 것이다.

도10은 도9의 액정표시장치와 구동회로에 인가되는 신호의 파형을 나타낸 것이다.

도면의 기호설명

10 : 주사선구동IC 11 : 신호선구동IC 12 : 액정패널

13 : 박막트랜지스터 14 : 주사선 15 : 신호선

16 : 화소17 : 콘트롤러IC18 : 공통배선
 20 : 편광판21 : 제2기판(상판)22 : 칼라필터
 23 : 공통전극24 : 액정25 : 제1기판(하판)
 26 : 화소전극30 : A영역의 신호선구동IC
 31 : B영역의 신호선구동IC
 32 : 흡수열의 신호선구동IC
 33 : 짝수열의 신호선구동IC
 100 : 액정패널의 표시영역(분리된 영역)
 110 : 콘트롤러IC120 : 신호선구동IC
 130 : 신호선200 : 클럭제어수단210 : 신호제어수단
 220 : 신호인가수단230 : 신호저장수단240 : 제1신호선구동수단
 250 : 제2신호선구동수단260 : 제3신호선구동수단
 270 : 한 조의 제1신호선구동수단과 제2신호선구동수단
 280 : 제1신호출력단자290 : 제2신호출력단자
 CK1 : 제1클럭CK2 : 제2클럭
 D : 영상신호입력단자D1 : 제1영상신호출력단자D2 : 제2영상신호출력단자
 D3 : 제3영상신호출력단자C1 : 제1제어신호출력단자C2 : 제2제어신호출력단자
 C3 : 제3제어신호출력단자
 d1, d2, d3, d4, d5, d6, d7, d8, d9, d10 : 영상신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액정표시장치의 구동회로에 있어서, 신호선구동IC에 영상신호를 인가하여 래치시킬 때 필요한 구동클럭의 주파수를 낮춰 액정표시장치의 구동회로 및 주변장치의 부하를 줄여 성능향상을 도모하고, 동작신뢰성을 높이는 데에 목적이 있다.

현재 표시장치 중, 가장 많이 사용되고 있는 것은 CRT 브라운관이다. 그러나, CRT브라운관을 채용한 표시장치는 표시영역을 크게 하기위해 대형화할수록 부피가 점점 더 커지고, 무게도 무거워져 설치면적이 넓어지고 휴대하기 어려운 단점이 있다. 그래서, 장래 많은 수요가 예상되고 있는 벽걸이형 TV나, 휴대용 컴퓨터의 모니터와 같은 표시장치로는 적합치 않다.

이러한 CRT브라운관의 단점을 극복하고자 동일한 표시영역의 CRT브라운관에 비해 두께가 얇고 무게가 가벼운 평판형 표시장치들이 개발되고 있는 중이다. 이러한 평판형 표시장치에는 액정표시장치(LCD:Liquid Crystal Display)와 플라즈마디스플레이패널(PDP:Plasma Display Panel) 등이 있는데, 현재 가장 실용화율이 높은 것은 액정표시장치이다.

이러한 액정표시장치의 개략적인 구조는 도1과 도2에 나타낸 것과 같다. 도1은 액정표시장치의 일부분을 나타낸 사시도이고, 도2는 도1의 액정표시장치에서 하판의 구조를 나타낸 것이다. 액정표시장치는 편광판(20)과 칼라필터(22) 및 공통전극(23)이 부착된 상판(21)과; 박막트랜지스터(13)와 화소전극(26)이 형성된 하판(25)과; 상기 상판과 하판 사이에 액정(24)이 주입된 구조로 되어있다. 상기 하판은 복수개의 주사선(14)과 신호선(15)이 직교하여 형성되고, 상기 주사선과 신호선이 교차하는 교차부에는 교차부마다 화소(16)와 박막트랜지스터가 형성되어 있다. 상기 화소(16)는 화소전극(26)과 공통전극(23) 및 그 사이에 주입된 액정(24)을 칭한다. 또, 상기 하판(25)에는 상기 신호선(15)에 연결된 신호선구동IC(11)와 상기 주사선(14)에 연결된 주사선구동IC(10)가 부착되어 있다.

상기 박막트랜지스터(13)는 도면에는 나타나지 않았지만, 게이트전극과 소스전극 및 드레인전극을 포함하여 구성되어 있는데, 상기 게이트전극은 상기 주사선에 연결되어 있고, 상기 소스전극은 상기 신호선에 연결되어 있으며, 상기 드레인전극은 상기 화소전극에 연결되어 있다. 그리고, 상기 소스전극과 드레인전극 사이는 반도체층으로 연결되어 있어 게이트전극에 전압이 인가되었을 때에 상기 반도체층을 통해 소스전극과 드레인전극 사이에 전류가 흐른다.

상기 하판에 부착된 주사선구동IC(10)와 신호선구동IC(11)는 PCB기판과 같은 외부에 구성된 콘트롤러IC(17)로부터 제어신호와 영상신호를 인가받는다.

상기 도1과 도2에 도시한 액정표시장치는 다음과 같이 동작한다. 먼저 콘트롤러IC(17)로부터 소정의 주기로 영상신호가 신호선구동IC(11)로 인가된다. 상기 영상신호는 R(Red), G(Green), B(Blue)에 해당하는 화소전극(26)에 인가될 계조정보를 담고 있다. 그리고, 상기 상판(21)의 공통전극(23)에는 항상 일정한 전압이 흘러 상기 화소전극(26)과 공통전극 사이에 일정한 전압차를 유지시킨다. 상기 신호선구동IC는 상기 콘트롤러IC로부터 인가되는 상기 영상신호를 내장된 래치회로(도면미도시)에 래치하다가 한 수평 라인

(line) 분(分)의 영상신호가 신호선구동IC에 모두 래치되면, 상기 한 수평라인 분(分)의 영상신호를 상기 하판(25)의 신호선(15)으로 한꺼번에 인가한다. 이 때, 상기 콘트롤러IC(17)로부터 인가되는 동작신호에 의해 주사선구동IC(10)는 상기 영상신호가 인가될 화소전극(26)에 연결된 박막트랜지스터(13)의 게이트전극과 연결된 주사선(14)으로 주사전압을 인가한다.

상기 주사전압이 주사선에 인가되면, 상기 주사전압이 인가된 주사선에 연결된 박막트랜지스터는 도통(on)하게 되어 상기 소스전극에 연결된 신호선에 흐르던 영상신호가 상기 반도체층을 통해 드레인전극에 인가된다. 그러면, 상기 드레인전극과 연결된 화소전극에 전압이 인가되어 상기 상판의 공통전극과 화소전극 사이에 전압차가 변하게 된다. 이 때, 상기 공통전극과 화소전극 사이의 액정(24)의 분자배열이 바뀌게 되어 광투과율이 변화하게 되는데, 이러한 광투과율의 변화로 인해 액정표시장치가 영상을 나타내게 된다.

그런데, 일반적으로 액정표시장치는 해상도가 높을수록 신호선의 개수가 많기 때문에 도3에 나타낸 것과 같이 복수개의 신호선구동IC(11)가 설치되어 있다. 그리고, 상기 복수개의 신호선구동IC는 하나의 공통배선(18)으로 콘트롤러IC와 연결되어 있다. 그래서, 상기 공통배선(18)을 통해 콘트롤러IC(17)로부터 하나의 도트(dot)에 해당하는 영상신호를 차례로 인가받아 래치하고, 하나의 라인(line)에 해당하는 영상신호가 모두 래치되면 상기 신호선(15)으로 한꺼번에 출력한다.

그런데, 상기 복수개의 신호선구동IC에 모두 영상신호가 래치되려면 콘트롤러IC(17)는 매우 빠른 속도로 영상신호를 출력해야 한다. 즉, 콘트롤러IC의 동작주파수가 높아야 한다는 것이다. 이렇게 높은 동작주파수는 신호선구동IC와 주변 디바이스에 상당한 전기적 부하를 주며, 또 고주파로 인한 전자파장애(EMI)도 무시 못할 정도의 양에 이른다.

그래서, 이러한 문제점을 해결하기 위하여 종래에는 도4와 같이 액정표시장치를 분할구동하는 방법과 도5와 같이 신호선구동IC를 하판의 상,하 두 부분에 설치하는 더블뱅크(double bank) 구조로 액정표시장치를 설계하는 방법을 사용하였다.

상기 도4의 분할구동 액정표시장치는 상기 복수개로 설치된 신호선구동IC를 A와 B의 두 부분으로 그룹화하여 영상신호를 각 그룹화된 신호선구동IC에 인가하여 래치시키는 방법이다. 상기 분할구동 액정표시장치의 동작을 설명하면 다음과 같다. 먼저 콘트롤러IC에 첫 번째 라인(line)의 영상신호가 인가되면, 콘트롤러IC는 A 영역에 해당하는 영상신호와 B영역에 해당하는 영상신호를 콘트롤러IC(17)에 내장된 메모리(도면미도시)에 차례로 저장하고, 다음번째 라인(line)의 영상신호가 인가될 때 상기 메모리에 저장되었던 첫 번째 라인의 영상신호가 각각 A와 B의 신호선구동IC에 동시에 인가되어 래치된다. 따라서, 상기 도3의 액정표시장치 구동회로에 비해 구동주파수를 절반으로 줄일 수 있다.

또, 상기 도5에 나타낸 더블뱅크(double bank) 구조의 액정표시장치는 홀수열의 신호선에 연결된 신호선구동IC(32)와 짝수열의 신호선에 연결된 신호선구동IC(33)를 따로 설치하고, 상기 홀수열의 신호선구동IC(32)와 짝수열의 신호선구동IC(33)에 영상신호를 동시에 인가하여 래치시킴으로써 상기 도3의 액정표시장치의 구동회로에 비해 구동주파수를 절반으로 줄인다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 도4의 분할구동액정표시장치는 영상신호를 저장시켜야 하는 메모리가 많이 필요하다는 단점이 있다. 그 이유는 액정표시장치의 해상도가 높아질수록 신호선의 개수가 증가하게 되므로, 결국 하나의 라인(line)에 인가될 화소의 개수가 많아져 상기 메모리가 저장해야 하는 영상신호의 양이 많아지기 때문이다. 이러한 단점을 극복하기 위해서는 액정표시장치의 화소영역을 더 많이 분할하여 메모리가 담당해야 하는 영상신호의 양을 줄여야 하지만, 화소영역을 두 개이상 분할하면 주변의 배선이 복잡해진다는 단점이 있다.

또한, 상기 도5의 더블뱅크 구조의 액정표시장치는 기판의 이용효율이 떨어진다는 단점이 있다. 그 이유는 더블뱅크 구조는 하판에서 박막트랜지스터와 화소전극이 위치할 영역이 싱글뱅크 구조에 비해 좁아지기 때문이다. 특히, 신호선구동IC를 하판 위에 직접 실장시키는 COG(Chip On Glass)방식을 사용할 때, 상술한 단점은 더욱 심해진다.

그러므로, 싱글뱅크(single bank) 구조를 가지면서 구동주파수를 절반이하로 줄일 수 있는 액정표시장치를 설계할 필요가 있는 것이다.

발명의 구성 및 작용

본 발명은 도6에 나타낸 것과 같이 액정표시장치의 표시영역(100)을 여러개로 분할하여 그 분할된 영역 각각에 신호선구동IC(120)를 설치하고, 각 신호선구동IC를 하나씩 걸러 그룹화하여 각 그룹에 영상신호를 동시에 인가하여 래치할 수 있는 구동회로를 설계하여 싱글뱅크(single bank) 구조를 가지면서 종래보다 절반의 구동주파수로 액정표시장치를 구동할 수 있는 구동회로이다. 본 발명의 액정표시장치 구동회로의 구조를 좀 더 자세히 설명하면, 다음과 같다.

본 발명은 외부로부터 제1클럭신호를 인가받아 상기 제1클럭신호의 2배의 주기를 갖는 제2클럭신호를 출력하는 클럭제어수단과; 상기 제1클럭신호의 첫 번째 주기에 인가되는 제1영상신호와, 상기 제1클럭신호의 두 번째 주기에 인가되는 제2영상신호를 저장하는 신호저장수단과; 상기 클럭제어수단에서 출력된 제2클럭신호의 주기에 따라 상기 신호저장수단에 저장된 제1영상신호와 제2영상신호를 출력하고, 동시에 제1제어신호와 제2제어신호를 출력하는 신호인가수단을 포함하여 이루어지는 액정표시장치의 구동회로이다.

본 발명의 구동회로를 상세히 살펴보면, 도7과 같이 클럭입력단자와 클럭출력단자로 구성되어 소정의 주기를 갖는 제1클럭신호(CK1)를 클럭입력단자를 통해 입력받아 상기 제1클럭신호의 2배의 주기를 갖는 제2클럭신호(CK2)를 클럭출력단자에 출력하는 클럭제어수단(200)과; 신호입력단자(D)와 제1영상신호출력단자(D1) 및 제1제어신호출력단자(C1)와 제2영상신호출력단자(D2) 및 제2제어신호출력단자(C2)로 구성되고, 상기 제1클럭신호에 동기하여 신호입력단자를 통해 순차적으로 제1영상신호와 제2영상신호를 인가받아 상

기 제2클럭신호의 첫 번째 주기에 동기하여 제1영상신호를 제1영상신호출력단자로 출력하고 제1제어신호를 제1제어신호출력단자로 출력하고 동시에 제2영상신호를 제2영상신호출력단자로 출력하고 제2제어신호를 제2제어신호출력단자로 출력하는 신호제어수단(210)과; 상기 제1제어신호출력단자와 연결된 제1구동단자(B1)와, 상기 제1영상신호출력단자와 연결된 제1신호단자(A1), 및 제1신호출력단자(280)로 구성되고, 상기 제1구동단자로부터 인가되는 상기 제1제어신호에 의해 상기 제1신호단자로부터 제1영상신호를 인가받아 제1신호출력단자로 상기 제1영상신호를 출력하는 제1신호선구동수단(240)과; 상기 제2제어신호출력단자와 연결된 제2구동단자(B2)와 상기 제2영상신호출력단자와 연결된 제2신호단자(A2) 및 제2신호출력단자(290)로 구성되고, 상기 제2구동단자로부터 인가되는 상기 제2제어신호에 의해 상기 제2신호단자로부터 제2영상신호를 인가받아 제2신호출력단자로 상기 제2영상신호를 출력하는 제2신호선구동수단(250)으로 이루어져 있다. 이 때, 상기 신호제어수단(210)은 제1클럭신호의 첫 번째와 두 번째 주기에 순차적으로 인가된 제1영상신호와 제2영상신호를 저장하는 저장수단(230)과; 제2클럭신호의 첫 번째 주기동안 상기 제1영상신호와 제2영상신호를 동시에 출력하고, 상기 제1영상신호와 제2영상신호를 출력하는 동안 제1클럭신호의 세 번째 주기와 네 번째 주기에 제3영상신호와 제4영상신호를 순차적으로 상기 저장수단(230)에 인가하도록 하는 제어수단(220)으로 구성되어 있다. 상기 저장수단과 제어수단 및 클럭제어수단은 하나의 IC에 집약되어 설계될 수 있다. 그리고, 상기 제1신호선구동수단과 제2신호선구동수단은 각각 복수개의 신호선구동IC로 구성되어 서로 인접하여 설치되지만, 도7에 나타난 것과 같이 제1신호선구동수단에 해당하는 신호선구동IC와 제2신호선구동수단에 해당하는 신호선구동IC가 하나씩 한조(270)로 설치된다.

상기 본 발명의 구동회로의 동작을 도8에 나타난 파형을 참조하여 설명하도록 하겠다. 먼저 컴퓨터와 같은 외부 입력장치에서 액정표시장치의 제1영역의 n번째 열에 표시될 한 도트(dot)분의 제1영상신호(d1)와 제2영역의 m번째 열에 표시될 한 도트(dot)분의 제2영상신호(d2)가 신호입력단자를 통해 입력되어 콘트롤러IC의 저장수단에 순차적으로 저장된다. 이 때, 상기 n번째 열의 제1영상신호(d1)와 m번째 열의 제2영상신호(d2)는 제1클럭에 동기하여 저장된다. 그리고, 콘트롤러IC의 클럭제어수단에 의해 상기 제1클럭의 2배의 주기를 갖는 제2클럭이 제1신호선구동수단과 제2신호선구동수단에 출력된다. 이 때, 상기 제2클럭에 동기하여 상기 n번째 열의 제1영상신호(d1)는 제1영상신호출력단자를 통해 제1신호선구동수단(240)에 인가되고, 상기 m번째 열의 제2영상신호(d2)는 제2영상신호출력단자를 통해 제2신호선구동수단(250)에 인가된다. 이러한 제1영상신호(d1)와 제2영상신호(d2)는 동시에 출력된다.

상기 n번째 열의 제1영상신호와 m번째 열의 제2영상신호가 제2클럭에 동기하여 동시에 출력되는 동안, n+1번째 열의 제1영상신호(d3)와 m+1번째 열의 제2영상신호(d4)가 제1클럭에 동기하여 신호입력단자를 통해 차례로 입력되어 상기 콘트롤러IC의 저장수단에 저장된다. 이 때, 상기 제2클럭의 1 주기는 상기 제1클럭의 2 주기에 해당하므로, 상기 n번째 열의 제1영상신호(d1)와 m번째 열의 제2영상신호(d2)의 출력과 상기 n+1번째 열의 제1영상신호(d3)와 m+1번째 열의 제2영상신호(d4)의 입력은 동시에 이루어진다.

상기 n번째 열의 제1영상신호(d1)와 m번째 열의 제2영상신호(d2)가 제2클럭에 동기하여 콘트롤러IC로부터 동시에 출력되면, 상기 제1신호선구동수단과 제2신호선구동수단의 신호선구동IC에는 상기 n번째 열의 제1영상신호와 m번째 열의 제2영상신호가 동시에 래치(latch)된다. 상기 n번째 열의 제1영상신호와 m번째 열의 제2영상신호가 래치된 제2클럭의 다음 주기에는 n+1번째 열의 제1영상신호(d3)와 m+1번째 열의 제2영상신호(d4)가 신호선구동IC에 계속해서 래치(latch)된다. 그래서, 액정표시장치의 한 라인(line)에 해당하는 제1영상신호와 제2영상신호가 모두 래치되면 상기 제1영역과 제2영역의 신호선구동IC는 모든 신호선으로 동시에 상기 영상신호를 출력한다.

본 발명의 구동회로는 영역을 두부분으로 나누는 것뿐만 아니라 그 이상으로 나누어 동작할 수도 있다. 도9은 액정표시장치의 표시영역을 제1영역(A)과 제2영역(B) 및 제3영역(C)의 세부분으로 나누어 영상신호를 인가하는 구동회로를 나타낸 것이다. 그리고, 도10은 도9의 구동회로에 인가되는 신호의 파형을 나타낸 것이다. 콘트롤러IC(200)는 제1클럭에 동기하여 영상신호를 입력받아 제2클럭에 동기하여 제1영역과 제2영역 및 제3영역의 신호선구동IC(240, 250, 260)로 동시에 영상신호를 인가한다. 그러므로, 상기 도9의 구동회로는 콘트롤러IC(200)에 인가되는 영상신호의 입력주기에 해당하는 제1클럭에 비해 각 신호선구동IC에 인가되는 영상신호의 래치주기인 제2클럭의 주기를 3배이상 길게 할 수 있다. 즉, 상기 제1클럭에 비해 제2클럭의 주기를 n배로 하게되면, n개의 영상신호를 동시에 래치할 수 있다.

발명의 효과

본 발명의 구동회로는 콘트롤러IC에 메모리와 같은 저장수단이 포함되어 있어 외부에서 입력되는 영상신호를 일시적으로 저장하였다가 출력한다. 이 때, 영상신호를 입력받을 때에는 소정의 주기를 갖는 입력클럭에 동기하고, 출력할 때에는 상기 입력클럭의 두배 이상의 주기를 갖는 출력클럭에 동기한다. 그러므로, 신호선구동IC가 영상신호를 래치하는 구동주파수는 절반이하로 줄어들게 된다.

그래서, 본 발명의 구동회로는 구동주파수가 2배이상 낮으므로, 높은 구동주파수로 인해 더블뱅크(double bank)구조로 신호선구동IC를 구성해야 했던 종래의 구동회로와 달리 싱글뱅크(single bank)구조로 신호선구동IC를 구성할 수 있다. 뿐만 아니라 종래의 분할구동 액정표시장치보다 콘트롤러IC에 저장되는 메모리 크기가 줄어들므로, 콘트롤러IC의 설계 시, 시간계수기(Timing Counter)의 오류 발생 가능성도 최소화시킬 수 있다.

(57) 청구의 범위

청구항 1

액정표시장치의 구동회로에 있어서,

외부로부터 제1클럭신호를 인가받아 상기 제1클럭신호의 2이상의 정수배의 주기를 갖는 제2클럭신호를 출력하는 클럭제어수단과;

상기 제1클럭신호의 각각의 주기에 대응하여 인가되는 각각의 영상신호를 차례로 저장하는 신호저장수단

과;

상기 클럭제어수단에서 출력된 제2클럭신호의 주기에 따라 상기 신호저장수단에 저장된 각각의 영상신호를 출력하고, 동시에 각각의 영상신호의 제어신호를 출력하는 신호인가수단으로 이루어진 액정표시장치의 구동회로.

청구항 2

제1항에 있어서,

상기 제2클럭신호의 주기는 상기 제1클럭신호 주기의 2배로 이루어진 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 3

제2항에 있어서,

상기 신호저장수단은 상기 제1클럭신호의 첫번째 주기 동안에 상기 영상신호중 제1영상신호를 저장하기 위한 제1신호저장수단과, 상기 제1클럭신호의 두 번째 신호 주기 동안에 상기 영상신호 중 제 2영상신호를 저장하기 위한 제2신호저장수단으로 이루어진 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 4

제1항에 있어서,

상기 제2클럭신호의 주기는 상기 제1클럭신호 주기의 3배로 이루어진 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 5

제4항에 있어서,

상기 신호저장수단은 상기 제1클럭신호의 첫 번째 주기 동안에 상기 영상신호 중 제1영상신호를 저장하기 위한 제1신호저장수단과, 상기 제1클럭신호의 두 번째 신호 주기 동안에 상기 영상신호 중 제2영상신호를 저장하기 위한 제2신호저장수단과, 상기 제1클럭신호의 세 번째 신호 주기 동안에 상기 영상신호 중 제3 영상신호를 저장하기 위한 제3신호저장수단으로 이루어진 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 6

영상신호에 따라 화상이미지를 나타내는 액정표시장치에 있어서, 복수의 신호선과 복수의 신호선과 수직으로 교차하는 주사선과, 상기 주사선과 상기 신호선으로 둘러싸인 영역에 각각 배치되는 다수의 화소전극과, 상기 신호선과 상기 주사선이 교차하는 부분에 다수의 박막트랜지스터가 각각 배치되고, 상기 박막트랜지스터의 게이트가 인접한 상기 주사선에 연결되고, 상기 박막트랜지스터의 소스전극이 상기 신호선에 연결되고, 상기 박막트랜지스터의 드레인전극이 상기 화소전극에 연결되어 구성되는 제1기판과,

상기 제1기판과 대향배치되는 제2기판과,

상기 제1기판과 제2기판 사이에 주입된 액정과,

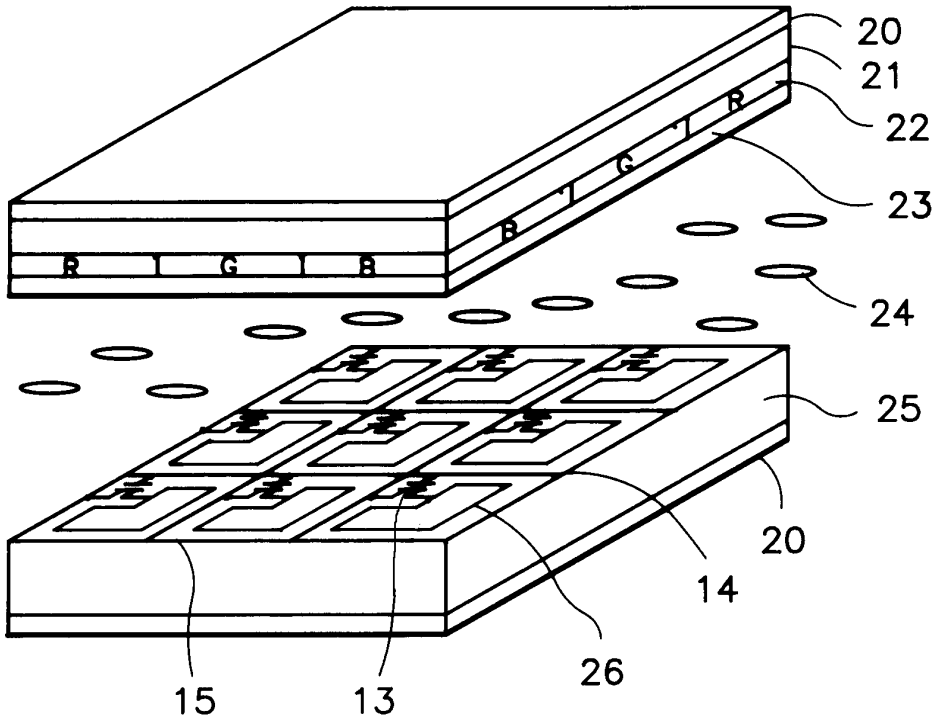
복수의 메모리 영역을 갖는 메모리와,

제1클럭신호에 따라 입력 영상신호를 연속적으로 샘플링하여 상기 메모리 영역에 이 샘플링된 영상신호를 일시적으로 저장하고, 상기 제1클럭신호보다 느린 제2클럭신호에 따라 상기 메모리 영역에 저장되어 있던 상기 영상신호를 동시에 연속출력하여, 상기 영상신호가 상기 메모리 영역으로 부터 출력되는 동안 샘플되는 영상신호로 상기 메모리 내의 데이터를 지속적으로 갱신하는 신호제어수단과

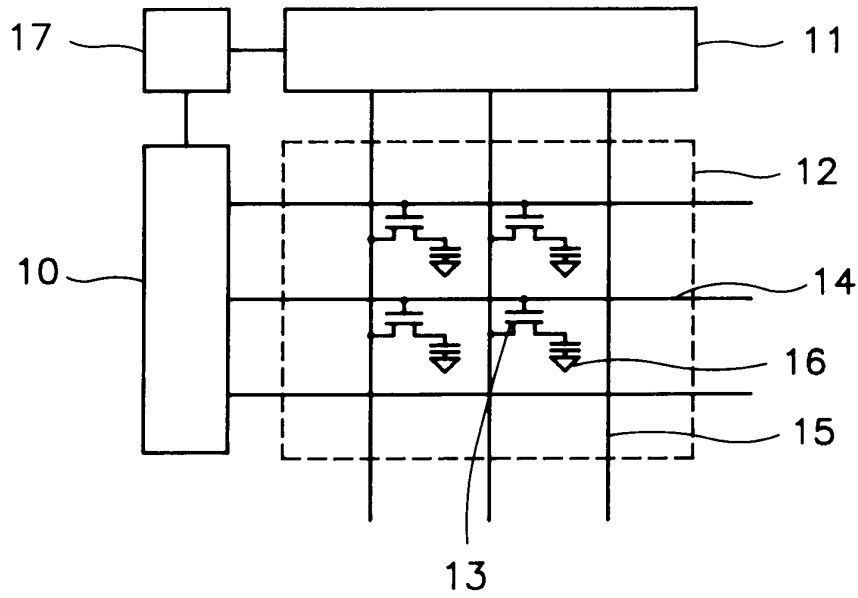
상기 신호제어수단으로부터 출력된 영상신호를 래치하여 상기 제1기판의 상기 복수의 신호선에 한쌍의 화소에 대한 화소구동신호를 동시에 출력하는 다수의 신호선구동수단을 포함하는 것을 특징으로 하는 액정표시장치.

도면

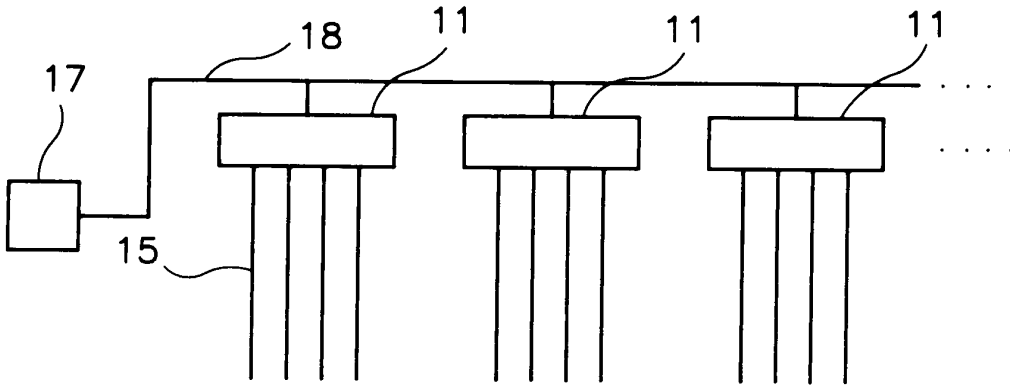
도면1



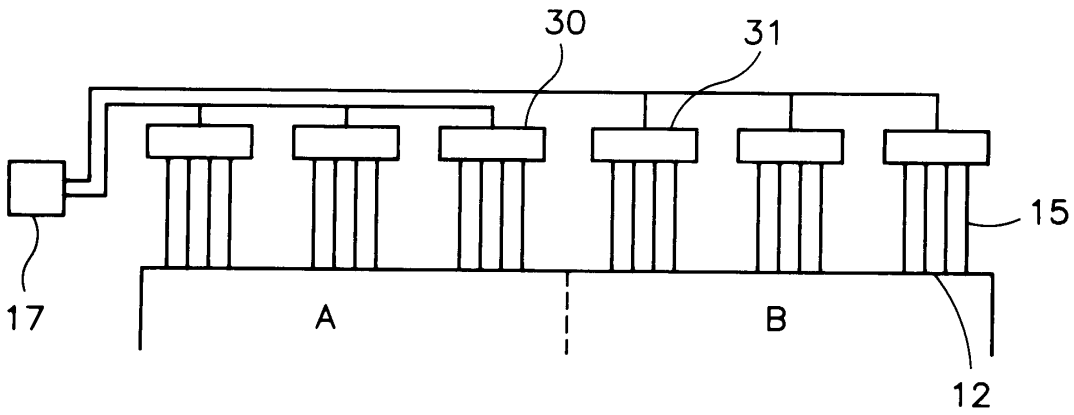
도면2



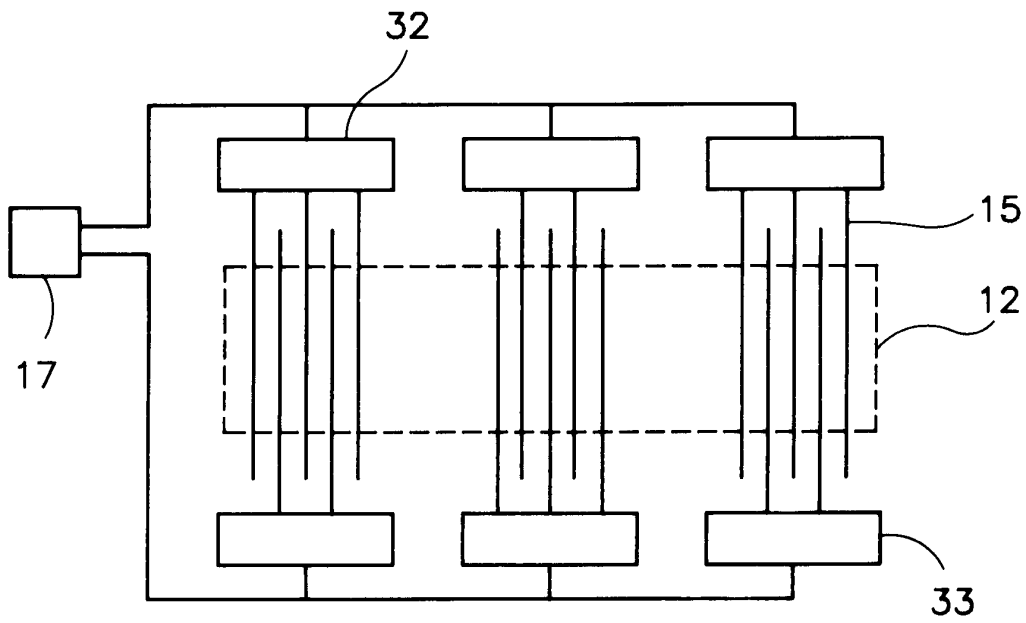
도면3



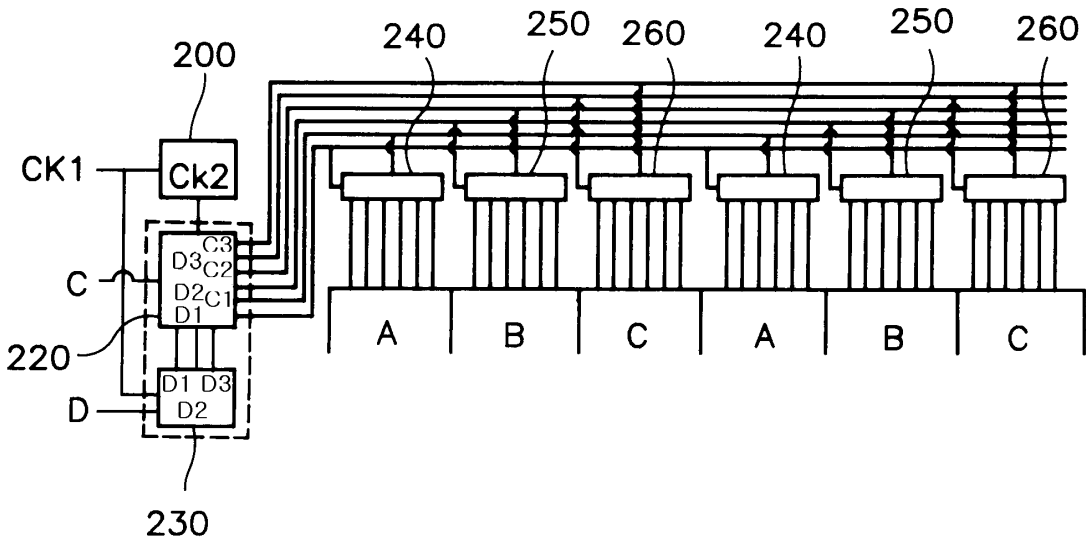
도면4



도면5



도면9



도면10

