

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第6991873号
(P6991873)

(45)発行日 令和4年1月13日(2022.1.13)

(24)登録日 令和3年12月10日(2021.12.10)

(51)国際特許分類

F I

G 0 9 F 9/00 (2006.01)

G 0 9 F 9/00 3 5 2

G 0 9 F 9/30 (2006.01)

G 0 9 F 9/00 3 4 6 D

G 0 1 R 31/00 (2006.01)

G 0 9 F 9/30 3 3 8

G 0 1 R 31/50 (2020.01)

G 0 9 F 9/30 3 3 0

G 0 9 G 3/20 (2006.01)

G 0 1 R 31/00

請求項の数 13 (全48頁) 最終頁に続く

(21)出願番号 特願2018-15648(P2018-15648)

(22)出願日 平成30年1月31日(2018.1.31)

(65)公開番号 特開2019-133029(P2019-133029
A)

(43)公開日 令和1年8月8日(2019.8.8)

審査請求日 令和2年7月7日(2020.7.7)

(73)特許権者 502356528

株式会社ジャパンディスプレイ
東京都港区西新橋三丁目7番1号

(74)代理人 110002147

特許業務法人酒井国際特許事務所

(72)発明者

加藤 基成
東京都港区西新橋三丁目7番1号 株式
会社ジャパンディスプレイ内

(72)発明者

小谷 佳宏
東京都港区西新橋三丁目7番1号 株式
会社ジャパンディスプレイ内

(72)発明者

今井 涼
東京都港区西新橋三丁目7番1号 株式
会社ジャパンディスプレイ内

(72)発明者

二藤部 隆太郎

最終頁に続く

(54)【発明の名称】 表示装置及び検査方法

(57)【特許請求の範囲】

【請求項1】

複数の画素が第1方向及び前記第1方向とは異なる第2方向に並ぶ表示部が設けられた第1基板と、

前記表示部を駆動する駆動回路が集積されたドライバICと、

前記ドライバICが設けられた第2基板と、

前記表示部と前記ドライバICとの間に設けられ、前記第1基板に配置された信号選択回路と、

前記第1基板に配線され、一端が前記信号選択回路に電氣的に接続される複数の第1配線と、

前記第2基板に配線され、一端が前記ドライバICに電氣的に接続される複数の第2配線と、

前記第1配線他端と前記第2配線他端とが電氣的に接続された複数の接続端子と、
を有し、

前記ドライバICが取り得る制御状態として、

前記信号選択回路が開制御され、隣り合う前記接続端子間に電位差が印加されない第1制御状態と、

前記信号選択回路が開制御され、隣り合う前記接続端子間に電位差が印加される第2制御状態と、

を含み、

前記ドライバＩＣは、
前記駆動回路と前記接続端子との間に設けられた出力制御回路と、
隣り合う前記接続端子に所定の電位差を印加する電圧印加回路と、
を備え、
前記出力制御回路は、前記第１制御状態及び前記第２制御状態において開制御され、
前記電圧印加回路は、前記第２制御状態において閉制御される
表示装置。

【請求項２】

複数の画素が第１方向及び前記第１方向とは異なる第２方向に並ぶ表示部が設けられた第１基板と、
前記表示部を駆動する駆動回路が集積されたドライバＩＣと、
前記ドライバＩＣが設けられた第２基板と、
前記表示部と前記ドライバＩＣとの間に設けられ、前記第１基板に配置された信号選択回路と、
前記第１基板に配線され、一端が前記信号選択回路に電氣的に接続される複数の第１配線と、
前記第２基板に配線され、一端が前記ドライバＩＣに電氣的に接続される複数の第２配線と、
前記第１配線他端と前記第２配線他端とが電氣的に接続された複数の接続端子と、
を有し、
前記ドライバＩＣが取り得る制御状態として、
前記信号選択回路が開制御され、隣り合う前記接続端子間に電位差が印加されない第１制御状態と、
前記信号選択回路が開制御され、隣り合う前記接続端子間に電位差が印加される第２制御状態と、
を含み、

前記第１基板に設けられ、隣り合う前記接続端子に所定の電位差を印加する電圧供給回路
をさらに有し、

前記ドライバＩＣは、
前記駆動回路と前記接続端子との間に設けられた出力制御回路を備え、
前記出力制御回路は、前記第１制御状態及び前記第２制御状態において開制御され、
前記電圧供給回路は、前記第２制御状態において閉制御される
表示装置。

【請求項３】

前記ドライバＩＣは、
前記第１制御状態において、前記駆動回路から隣り合う前記接続端子の双方に同電圧を供給し、
前記第２制御状態において、前記駆動回路から隣り合う前記接続端子に異なる電圧を供給する

請求項１又は請求項２に記載の表示装置。

【請求項４】

前記ドライバＩＣは、
前記第１制御状態において、前記ドライバＩＣに流れる第１電流値を取得し、前記第２制御状態において、前記ドライバＩＣに流れる第２電流値を取得し、前記第１電流値と前記第２電流値との差分に基づき、隣り合う前記接続端子間の短絡を検出する処理部を備える
請求項３に記載の表示装置。

【請求項５】

前記ドライバＩＣは、
前記第１制御状態において、前記ドライバＩＣに流れる第１電流値を取得し、前記第２制御状態において、前記ドライバＩＣに流れる第２電流値を取得し、前記第１電流値と前記

第 2 電流値との差分に基づき、隣り合う前記接続端子間の短絡を検出する処理部を備える請求項 1 又は請求項 2 に記載の表示装置。

【請求項 6】

前記ドライバ IC は、

隣り合う前記接続端子間の短絡を検出した場合に、隣り合う前記接続端子に印加する電位差が大きくなるように昇圧する

請求項 5 に記載の表示装置。

【請求項 7】

前記第 1 基板に設けられ、隣り合う前記接続端子の電圧値を検出するための電圧読み出し回路をさらに有し、

前記ドライバ IC は、

前記第 1 制御状態において、前記駆動回路から隣り合う前記接続端子の双方に同電圧を供給し、

前記第 2 制御状態において、前記駆動回路から隣り合う前記接続端子に異なる電圧を供給する

請求項 1 又は請求項 2 に記載の表示装置。

【請求項 8】

前記ドライバ IC は、

前記第 2 制御状態において、前記電圧読み出し回路を介して、隣り合う前記接続端子の一方の第 1 電圧値と、隣り合う前記接続端子の他方の第 2 電圧値とを検出し、前記第 1 電圧値と前記第 2 電圧値との差分に基づき、隣り合う前記接続端子間の短絡検出処理を行う処理部を備える

請求項 7 に記載の表示装置。

【請求項 9】

前記ドライバ IC は、前記第 2 基板に COF 実装されている

請求項 1 から請求項 8 の何れか一項に記載の表示装置。

【請求項 10】

前記第 2 基板が前記第 1 基板に FOG 実装され、複数の前記接続端子が並ぶ接続端子群が構成されている

請求項 1 から請求項 9 の何れか一項に記載の表示装置。

【請求項 11】

複数の画素が第 1 方向及び前記第 1 方向とは異なる第 2 方向に並ぶ表示部が設けられた第 1 基板と、

前記表示部を駆動する駆動回路が集積されたドライバ IC と、

前記ドライバ IC が設けられた第 2 基板と、

前記表示部と前記ドライバ IC との間に設けられ、前記第 1 基板に配置された信号選択回路と、

前記第 1 基板に配線され、一端が前記信号選択回路に電氣的に接続される複数の第 1 配線と、

前記第 2 基板に配線され、一端が前記ドライバ IC に電氣的に接続される複数の第 2 配線と、

前記第 1 配線他端と前記第 2 配線他端とが電氣的に接続された複数の接続端子と、を有する表示装置の検査方法において、

前記接続端子と前記表示部との間を遮断する第 1 ステップと、

隣り合う前記接続端子間に電位差が印加されていない状態で、前記ドライバ IC に流れる第 1 電流値を取得する第 2 ステップと、

隣り合う前記接続端子間に電位差が印加されている状態で、前記ドライバ IC に流れる第 2 電流値を取得する第 3 ステップと、

前記第 1 電流値と前記第 2 電流値との差分を所定の電流閾値と比較する第 4 ステップと、

前記差分が前記電流閾値よりも大きい場合に、隣り合う前記接続端子間において短絡が発

10

20

30

40

50

生しているものとして判定する第 5 ステップと、
を有し、

前記第 1 ステップにおいて、前記駆動回路と前記接続端子との間を遮断し、
前記第 3 ステップにおいて、隣り合う前記接続端子に所定の電位差を印加し、
前記第 5 ステップにおいて、隣り合う前記接続端子間において短絡が発生しているもの
として判定した場合に、隣り合う前記接続端子に印加する電位差が大きくなるように昇圧する
表示装置の検査方法。

【請求項 1 2】

前記第 2 ステップにおいて、前記駆動回路から隣り合う前記接続端子の双方に同電圧を供給し、

前記第 3 ステップにおいて、前記駆動回路から隣り合う前記接続端子に異なる電圧を供給する

請求項 1 1 に記載の表示装置の検査方法。

【請求項 1 3】

複数の画素が第 1 方向及び前記第 1 方向とは異なる第 2 方向に並ぶ表示部と、

前記表示部を駆動する駆動回路が集積されたドライバ IC と、

前記ドライバ IC が設けられた第 2 基板と、

前記表示部と前記ドライバ IC との間に配置された信号選択回路と、

一端が前記信号選択回路に電氣的に接続される複数の第 1 配線と、

一端が前記ドライバ IC に電氣的に接続される複数の第 2 配線と、

前記第 1 配線の他端と前記第 2 配線の他端とが電氣的に接続された複数の接続端子と、
を有する表示装置の検査方法において、

前記接続端子と前記表示部との間を遮断する第 1 ステップと、

隣り合う前記接続端子間に電位差が印加されていない状態で、前記ドライバ IC に流れる第 1 電流値を取得する第 2 ステップと、

隣り合う前記接続端子間に電位差が印加されている状態で、前記ドライバ IC に流れる第 2 電流値を取得する第 3 ステップと、

前記第 1 電流値と前記第 2 電流値との差分を所定の電流閾値と比較する第 4 ステップと、

前記差分が前記電流閾値よりも大きい場合に、隣り合う前記接続端子間において短絡が発生しているものとして判定する第 5 ステップと、

を有し、

前記第 1 ステップにおいて、前記駆動回路と前記接続端子との間を遮断し、

前記第 3 ステップにおいて、隣り合う前記接続端子に所定の電位差を印加し、

前記第 5 ステップにおいて、隣り合う前記接続端子間において短絡が発生しているもの
として判定した場合に、隣り合う前記接続端子に印加する電位差が大きくなるように昇圧する
表示装置の検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及び検査方法に関する。

【背景技術】

【0002】

近年、液晶表示パネルや有機エレクトロルミネッセンス発光を用いた有機 EL ディスプレイパネル (OLED: Organic Electro-Luminescence Display) を用いた表示装置において、画素の高密度化 (高精細化) が求められている。このような表示装置の高精細化に伴い、映像信号線や走査線の数も増加し、これら映像信号線や走査線を駆動するドライバ IC のピン数も増加している。例えば、LCD ドライバを試験する半導体試験装置において、LCD ドライバが仕様を満たしているかどうかの各種項目の試験を行う前に、コンタクト試験やピン間ショート試験を行う際の高速化技術が開示されている (例えば、特許文献 1)。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0003】

【文献】特開2003-57284号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

スマートフォンのような携帯端末装置においては、高精細化と共に狭額縁化が可能な表示パネルが求められている。これに伴い、フレキシブル基板上にドライバICをCOF (Chip On Film) によって実装されるケースが増加している。ドライバICが実装されたフレキシブル基板は、表示パネルを構成するガラス基板にFOG (Film On Glass) によって実装される。

10

【0005】

表示装置の高精細化に伴い、ドライバICが実装されたフレキシブル基板と表示パネルを構成するガラス基板との間の配線が多くなり、双方の基板の配線を接続する接続端子の間隔が狭くなってきている。接続端子の間隔が狭くなると、ガラス基板とフレキシブル基板との間に噛み込んだ導電性の異物によって、隣り合う接続端子間で短絡が発生する可能性が高くなる。また、導電性の異物の抵抗値によっては、表示検査において異常を視認できず、表示装置の出荷品質が低下する可能性がある。

【0006】

20

本発明は、品質を向上することができる表示装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の一態様に係る表示装置は、複数の画素が第1方向及び前記第1方向とは異なる第2方向に並ぶ表示部が設けられた第1基板と、前記表示部を駆動する駆動回路が集積されたドライバICと、前記ドライバICが設けられた第2基板と、前記表示部と前記ドライバICとの間に設けられ、前記第1基板に配置された信号選択回路と、前記第1基板に配線され、一端が前記信号選択回路に電気的に接続される複数の第1配線と、前記第2基板に配線され、一端が前記ドライバICに電気的に接続される複数の第2配線と、前記第1配線他端と前記第2配線他端とが電気的に接続された複数の接続端子と、を有し、前記ドライバICが取り得る制御状態として、前記信号選択回路が開制御され、隣り合う前記接続端子間に電位差が印加されない第1制御状態と、前記信号選択回路が開制御され、隣り合う前記接続端子間に電位差が印加される第2制御状態と、を含む。

30

【0008】

本発明の一態様に係る表示装置の検査方法は、複数の画素が第1方向及び前記第1方向とは異なる第2方向に並ぶ表示部が設けられた第1基板と、前記表示部を駆動する駆動回路が集積されたドライバICと、前記ドライバICが設けられた第2基板と、前記表示部と前記ドライバICとの間に設けられ、前記第1基板に配置された信号選択回路と、前記第1基板に配線され、一端が前記信号選択回路に電気的に接続される複数の第1配線と、前記第2基板に配線され、一端が前記ドライバICに電気的に接続される複数の第2配線と、前記第1配線他端と前記第2配線他端とが電気的に接続された複数の接続端子と、を有する表示装置の検査方法において、前記接続端子と前記表示部との間を遮断する第1ステップと、隣り合う前記接続端子間に電位差が印加されていない状態で、前記ドライバICに流れる第1電流値を取得する第2ステップと、隣り合う前記接続端子間に電位差が印加されている状態で、前記ドライバICに流れる第2電流値を取得する第3ステップと、前記第1電流値と前記第2電流値との差分を所定の電流閾値と比較する第4ステップと、前記差分が前記電流閾値よりも大きい場合に、隣り合う前記接続端子間において短絡が発生しているものとして判定する第5ステップと、を有する。

40

【0009】

本発明の一態様に係る表示装置の検査方法は、複数の画素が第1方向及び前記第1方向と

50

は異なる第2方向に並ぶ表示部が設けられた第1基板と、前記表示部を駆動する駆動回路が集積されたドライバICと、前記ドライバICが設けられた第2基板と、前記表示部と前記ドライバICとの間に設けられ、前記第1基板に配置される信号選択回路と、前記第1基板に配線され、一端が前記信号選択回路に電氣的に接続される複数の第1配線と、前記第2基板に配線され、一端が前記ドライバICに電氣的に接続された複数の第2配線と、前記第1配線の他端と前記第2配線の他端とが電氣的に接続された複数の接続端子と、を有する表示装置の検査方法において、前記接続端子と前記表示部との間を遮断する第1ステップと、前記駆動回路から隣り合う前記接続端子に異なる電圧を供給する第2ステップと、隣り合う前記接続端子の一方の第1電圧値と、隣り合う前記接続端子の他方の第2電圧値とを検出する第3ステップと、前記第1電圧値と前記第2電圧値との差分を所定の電圧閾値と比較する第4ステップと、前記差分が前記電圧閾値よりも大きい場合に、隣り合う前記接続端子間において短絡が発生しているものとして判定する第5ステップと、を有する。

10

【図面の簡単な説明】

【0010】

【図1】図1は、実施形態1に係る表示装置の概略構成を示す模式図である。

【図2】図2は、実施形態に係る表示部の画素配列を示す回路図である。

【図3】図3は、表示基板と回路基板とのFOG実装部の一例を示す図である。

【図4】図4は、実施形態1に係る表示装置及び検査治具の概略構成を示す図である。

【図5】図5は、実施形態1に係る短絡判定処理手順の一例を示す図である。

20

【図6】図6は、実施形態1に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

【図7】図7は、実施形態1の変形例1に係る短絡判定処理手順の一例を示す図である。

【図8】図8は、実施形態1の変形例1に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

【図9】図9は、実施形態1の変形例2に係る表示装置及び検査治具の概略構成を示す図である。

【図10A】図10Aは、実施形態2に係る表示装置及び検査治具の概略構成を示す図である。

【図10B】図10Bは、実施形態2に係る表示装置及び検査治具の概略構成における第1変形例を示す図である。

30

【図10C】図10Cは、実施形態2に係る表示装置及び検査治具の概略構成における第2変形例を示す図である。

【図10D】図10Dは、実施形態2に係る表示装置及び検査治具の概略構成における第3変形例を示す図である。

【図11】図11は、実施形態2に係る短絡判定処理手順の一例を示す図である。

【図12】図12は、実施形態2に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

【図13】図13は、実施形態2の変形例に係る表示装置及び検査治具の概略構成を示す図である。

40

【図14】図14は、実施形態3に係る表示装置及び検査治具の概略構成を示す図である。

【図15】図15は、実施形態3に係る短絡判定処理手順の一例を示す図である。

【図16】図16は、実施形態3に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

【図17】図17は、実施形態4に係る表示装置及び検査治具の概略構成を示す図である。

【図18】図18は、実施形態4に係る短絡判定処理手順の一例を示す図である。

【図19】図19は、実施形態4に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

【図20】図20は、実施形態4の変形例に係る表示装置及び検査治具の概略構成を示す図である。

50

【図 2 1】図 2 1 は、実施形態 5 に係る表示装置及び検査治具の概略構成を示す図である。

【図 2 2】図 2 2 は、実施形態 5 に係る短絡判定処理手順の一例を示す図である。

【図 2 3】図 2 3 は、実施形態 5 に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

【図 2 4】図 2 4 は、実施形態 5 の変形例 1 に係る短絡判定処理手順の一例を示す図である。

【図 2 5】図 2 5 は、実施形態 5 の変形例 1 に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

【図 2 6】図 2 6 は、実施形態 5 の変形例 2 に係る表示装置及び検査治具の概略構成を示す図である。

【図 2 7】図 2 7 は、実施形態 6 に係る表示装置の概略構成を示す模式図である。

【図 2 8】図 2 8 は、実施形態 6 に係る表示装置及び検査治具の概略構成を示す図である。

【図 2 9】図 2 9 は、実施形態 6 に係る短絡判定処理手順の一例を示す図である。

【図 3 0】図 3 0 は、実施形態 6 に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

【図 3 1】図 3 1 は、実施形態 6 の変形例に係る表示装置及び検査治具の概略構成を示す図である。

【発明を実施するための形態】

【0011】

以下に、本発明の実施形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0012】

(実施形態 1)

図 1 は、実施形態 1 に係る表示装置の概略構成を示す模式図である。図 1 に示すように、本実施形態に係る表示装置 100 は、表示基板 1 と、第 1 回路基板 3 と、第 2 回路基板 4 と、を含む。

【0013】

本実施形態において、表示基板 1 は、ガラス基板によって構成される。表示基板 1 には、画素 P i x (図 2 参照) が図中の X 方向及び Y 方向に配列された表示部 11 が設けられている。

【0014】

表示部 11 は、例えば液晶表示素子を表示素子として備えた構成であっても良い。また、表示部 11 は、例えば有機 E L 素子 (有機発光ダイオード) を発光素子として備えた構成であっても良い。表示部 11 の態様により本開示が限定されるものではない。

【0015】

表示基板 1 には、表示部 11 の画素回路に走査信号を供給する走査信号線や、表示部 11 の画素回路に映像信号を供給する映像信号線が設けられている。

【0016】

表示部 11 の動作を制御する制御部として、画素回路に各種信号を供給する駆動回路、及び駆動回路に供給するタイミング信号等を生成するコントローラが設けられる。

【0017】

例えば、表示基板 1 上には、表示部 11 の走査信号線に走査信号を供給する走査線駆動回路等を配置することができる。

【0018】

本実施形態において、第 1 回路基板 3 は、フレキシブル配線基板 (F P C : F l e x i b

10

20

30

40

50

le Printed Circuits) によって構成される。第1回路基板3上には、ドライバIC6が実装される。ドライバIC6は、例えば、表示部11の映像信号線に映像信号を供給する映像線駆動回路等が集積された半導体チップである。ドライバIC6は、例えば異方性導電フィルム(ACF: Anisotropic Conductive Film)を用いたCOF(Chip On Film)によって第1回路基板3に実装される(以下、「COF実装」と称する)。

【0019】

本実施形態において、第2回路基板4は、フレキシブル配線基板によって構成される。第2回路基板4には、例えば、各種の基準電位を発生する電源回路、映像信号を処理する信号処理回路及びフレームメモリ等の回路要素を配置することができる。

【0020】

表示基板1の端部には、第1回路基板3側の各配線と接続するための端子(パッド)が設けられている。また、第1回路基板3の一端には、表示基板1側の各配線と接続するための端子(パッド)が設けられている。第1回路基板3は、例えばACFを用いたFOG(Film On Glass)によって表示基板1に接着される(以下、「FOG実装」と称する)。これにより、表示基板1側の各配線と、これら表示基板1側の各配線に対応する第1回路基板3側の各配線とがそれぞれ電氣的に接続される。

【0021】

第2回路基板4の端部には、第1回路基板3側の各配線と接続するための端子(パッド)が設けられている。また、第1回路基板3の他端には、第2回路基板4側の各配線と接続するための端子(パッド)が設けられている。第1回路基板3は、例えばACFを用いたFOF(Film On Film)によって第2回路基板4に接着される(以下、「FOF実装」と称する)。これにより、第2回路基板4側の各配線と、これら第2回路基板4側の各配線に対応する第1回路基板3側の各配線とが電氣的に接続される。

【0022】

なお、第1回路基板3及び第2回路基板4は、1つのフレキシブル配線基板によって構成されても良い。この場合には、ドライバIC6以外の回路要素もフレキシブル配線基板に実装されていても良いし、ドライバIC6以外の回路要素が実装されていない態様であっても良い。以下、第1回路基板3と第2回路基板4とを区別する必要がない場合には、第1回路基板3と第2回路基板4とが1つのフレキシブル配線基板によって構成された回路基板2として説明する。

【0023】

表示基板1が、本開示における「第1基板」に対応する。また、回路基板2が、本開示における「第2基板」に対応する。

【0024】

図2は、実施形態に係る表示部の画素配列を示す回路図である。図2では、表示装置100として、液晶表示パネルを用いた場合の画素構成を例示している。本実施形態において、画素Pixは、赤(R)、緑(G)、青(B)の3色に着色されたカラーフィルタ12R、12G、12Bにそれぞれ対応する3つの副画素SPixを含む。なお、画素Pixは、4色以上に着色されたカラーフィルタにそれぞれ対応する4つ以上の副画素SPixを含む構成であっても良い。

【0025】

表示基板1には、各副画素SPixのスイッチング素子Tr、映像信号線SGL、走査信号線GCL等が形成されている。映像信号線SGLは、各スイッチング素子Trに画素信号Vpixを供給するための配線である。走査信号線GCLは、各スイッチング素子Trを駆動する駆動信号を供給するための配線である。映像信号線SGL及び走査信号線GCLは、表示基板1の表面と平行な平面に延出する。本実施形態において、走査信号線GCLは、図中のX方向に延伸して設けられている。また、本実施形態において、映像信号線SGLは、図中のY方向に延伸して設けられている。

【0026】

映像信号線 S G L 及び走査信号線 G C L は、スイッチング素子 T r に電氣的に接続される。スイッチング素子 T r は、映像信号線 S G L と走査信号線 G C L の交点に設けられる。

【 0 0 2 7 】

表示部 1 1 は、マトリクス状に配列された複数の副画素 S P i x を有している。副画素 S P i x は、それぞれスイッチング素子 T r 及び液晶素子 1 3 a を備えている。スイッチング素子 T r は、薄膜トランジスタにより構成されるものであり、例えば、n チャンネルの M O S (M e t a l O x i d e S e m i c o n d u c t o r) 型の T F T で構成される。スイッチング素子 T r のドレインに画素電極が構成される。この画素電極と第 1 電極 C O M L との間に絶縁層が設けられ、保持容量 1 3 b が形成される。

【 0 0 2 8 】

表示部 1 1 は、走査線駆動回路によって走査信号線 G C L が順次選択され、走査線駆動回路から走査信号線 G C L を介して、副画素 S P i x のスイッチング素子 T r のゲートに走査信号 V s c a n が印加される。これにより、X 方向に並ぶ副画素 S P i x (1 水平ライン) が表示駆動の対象として順次選択される。また、表示部 1 1 は、走査線駆動回路によって選択された 1 水平ラインの副画素 S P i x のスイッチング素子 T r のソースに、映像線駆動回路から映像信号線 S G L を介して、画素信号 V p i x が供給される。これにより、表示部 1 1 は、映像線駆動回路から供給される画素信号 V p i x に応じて、1 水平ラインずつ表示が行われるようになっている。

【 0 0 2 9 】

この表示動作を行う際、ドライバ I C 6 から電極 C O M L に対して複数の副画素 S P i x に対する共通電位となる駆動電圧 V c o m d c が印加される。これにより、各電極 C O M L は、画素電極に対する共通電極として機能する。本実施形態では、表示部 1 1 の全ての電極 C O M L に対して共通の駆動電圧 V c o m d c が印加される。

【 0 0 3 0 】

図 3 は、表示基板と回路基板との F O G 実装部の一例を示す図である。図 3 では、F O G 実装部 5 において、表示基板 1 の第 1 配線 5 1 と回路基板 2 の第 2 配線 5 2 とが接続された接続端子 5 3 が X 方向に並び配列された例を示している。

【 0 0 3 1 】

第 1 配線 5 1 は、一端が信号選択回路 1 4 (図 4 参照) に電氣的に接続されている。第 2 配線 5 2 は、一端がドライバ I C 6 に電氣的に接続されている。図 3 に示す例において、F O G 実装部 5 は、第 1 配線 5 1 の他端と第 2 配線 5 2 の他端とが電氣的に接続され、複数の接続端子 5 3 が一列に並び構成されている。

【 0 0 3 2 】

回路基板 2 を表示基板 1 に F O G 実装する際、表示基板 1 と回路基板 2 との間に導電性の異物 5 4 を噛み込み、F O G 実装部 5 において隣り合う接続端子 5 3 間で短絡が発生する可能性がある。表示部 1 1 の高精細化に伴い、F O G 実装部 5 における接続端子 5 3 の間隔が狭くなる傾向にあり、F O G 実装部 5 において隣り合う接続端子 5 3 間で導電性の異物 5 4 による短絡が発生する可能性が高くなる。また、導電性の異物 5 4 による短絡が高抵抗となった場合、通常検査での除去が難しいため、表示装置 1 0 0 の出荷品質が低下する可能性がある。なお、通常検査には表示状態を目視にて行う検査 (目視検査) も含まれる。

【 0 0 3 3 】

本実施形態では、表示装置 1 0 0 の出荷検査において、電氣的な手法を用いて、F O G 実装部 5 において隣り合う接続端子 5 3 間での短絡不良を検知する。以下、F O G 実装部 5 において隣り合う接続端子 5 3 間の短絡不良を検出するための構成について説明する。

【 0 0 3 4 】

図 4 は、実施形態 1 に係る表示装置及び検査治具の概略構成を示す図である。図 4 に示すように、回路基板 2 には、表示装置 1 0 0 の出荷検査において検査治具 2 0 0 が接続される。

【 0 0 3 5 】

10

20

30

40

50

回路基板 2 に F O G 実装されたドライバ I C 6 は、映像線駆動回路 6 1 と、スイッチ制御部 6 2 と、出力制御回路 6 3 と、を含む。映像線駆動回路 6 1 が、本開示における「駆動回路」に対応する。

【0036】

映像線駆動回路 6 1 は、表示動作を行う際、R（赤）、G（緑）及び B（青）の副画素 S P i x に供給される画素信号 V p i x が時分割多重化された画像信号 V s i g を生成して出力する。映像線駆動回路 6 1 は、n 列（n は、正の整数）の画素列に対応する n 個のアンプ回路 6 1 1, . . . , 6 1 n を備えている。映像線駆動回路 6 1 は、検査治具 2 0 0 の電源部 2 0 1 から、第 1 正極性電源電圧 A V D D 1 及び第 1 負極性電源電圧 A V E E 1 が供給される。

10

【0037】

出力制御回路 6 3 は、映像線駆動回路 6 1 の各アンプ回路 6 1 1, . . . , 6 1 n と F O G 実装部 5 の各接続端子 5 3 との接続と遮断とを切り換える。出力制御回路 6 3 は、映像線駆動回路 6 1 の各アンプ回路 6 1 1, . . . , 6 1 n にそれぞれ対応するスイッチ 6 3 1, . . . , 6 3 n を備えている。なお、本実施形態では、出力制御回路 6 3 を介して映像線駆動回路 6 1 の各アンプ回路 6 1 1, . . . , 6 1 n に接続される接続端子 5 3 を、短絡不良の検出対象としている。以下、本実施形態において短絡不良の検出対象とする接続端子 5 3 を、「短絡検出対象接続端子 5 3 a」と称する。

【0038】

スイッチ制御部 6 2 は、出力制御回路 6 3 の各スイッチ及び表示基板 1 に設けられる信号選択回路 1 4 の各スイッチを制御する。

20

【0039】

表示基板 1 は、画像信号 V s i g に時分割多重化された R（赤）、G（緑）及び B（青）の画素信号 V p i x を分離する信号選択回路 1 4 を備えている。信号選択回路 1 4 は、例えばマルチプレクサ（M P X）を用いて構成される。

【0040】

検査治具 2 0 0 は、表示装置 1 0 0 の出荷検査において回路基板 2 に接続される。検査治具 2 0 0 は、電源部 2 0 1 と、処理部 2 0 2 と、レジスタ部 2 0 3 と、電流検出部 2 0 4 と、を含む。

【0041】

電源部 2 0 1 は、ドライバ I C 6 に供給する第 1 正極性電源電圧 A V D D 1 及び第 1 負極性電源電圧 A V E E 1 を生成する。第 1 正極性電源電圧 A V D D 1 は、基準電位 G N D に対して、例えば + 5 . 5 V の電位差を有している。第 1 負極性電源電圧 A V E E 1 は、基準電位 G N D に対して、例えば - 5 . 5 V の電位差を有している。

30

【0042】

映像線駆動回路 6 1 の各アンプ回路 6 1 1, . . . , 6 1 n には、第 1 正極性電源電圧 A V D D 1、基準電位 G N D、及び第 1 負極性電源電圧 A V E E 1 が供給される。映像線駆動回路 6 1 の各アンプ回路 6 1 1, . . . , 6 1 n は、正極性の電圧を出力する際に第 1 正極性電源電圧 A V D D 1 と基準電位 G N D との電位差により動作し、負極性の電圧を出力する際に基準電位 G N D と第 1 負極性電源電圧 A V E E 1 との電位差により動作する。なお、第 1 正極性電源電圧 A V D D 1 及び第 1 負極性電源電圧 A V E E 1 の基準電位 G N D に対する電位差により本開示が限定されるものではない。また、本実施形態では、基準電位を G N D 電位としたが、これに限定されない。

40

【0043】

処理部 2 0 2 は、表示装置 1 0 0 の出荷検査において、ドライバ I C 6 の制御及び F O G 実装部 5 における短絡判定処理を行う。本実施形態における短絡判定処理については後述する。

【0044】

レジスタ部 2 0 3 は、処理部 2 0 2 による F O G 実装部 5 の短絡判定処理における各種データを格納する。レジスタ部 2 0 3 に記憶される各種データは、例えば、短絡判定処理に

50

おける電流閾値、中間処理データ、及び判定フラグ等を含む。なお、レジスタ部 203 に記憶される各種データは、数値データであっても良いし、デジタルデータ等の離散値であっても良い。

【0045】

電流検出部 204 は、電源部 201 に流れる電流を検出する。なお、図 4 では、第 1 正極性電源電圧 $AVDD1$ の供給経路と第 1 負極性電源電圧 $AVEE1$ の供給経路との双方に電流検出器を設ける構成を示したが、第 1 正極性電源電圧 $AVDD1$ の供給経路及び第 1 負極性電源電圧 $AVEE1$ の供給経路の少なくとも何れか一方に流れる電流を検出する構成であっても良い。

【0046】

以下、上述した構成において、FOG実装部 5 における短絡判定処理を行う手順について説明する。図 5 は、実施形態 1 に係る短絡判定処理手順の一例を示す図である。図 6 は、実施形態 1 に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

【0047】

図 5 に示す短絡判定処理は、あらかじめ回路基板 2 に検査治具 200 が接続され、電源部 201 から第 1 正極性電源電圧 $AVDD1$ 及び第 1 負極性電源電圧 $AVEE1$ が供給された状態で開始される。なお、本短絡判定処理における判定結果を示す判定フラグは「0」に設定され、レジスタ部 203 に格納されているものとする。ここで、判定フラグ「0」は、FOG実装部 5 の何れの短絡検出対象接続端子 53a 間においても短絡が発生していないことを示し、判定フラグ「1」は、FOG実装部 5 の 1 以上の短絡検出対象接続端子 53a 間において短絡が発生していることを示すものとする。

【0048】

短絡判定処理開始指令が入力されると、処理部 202 は、スイッチ制御部 62 に対し、出力制御回路 63 の全スイッチの閉制御指令、及び、信号選択回路 14 の全スイッチの開制御指令を出力する（ステップ S101）。これにより、映像線駆動回路 61 と FOG実装部 5 の短絡検出対象接続端子 53a との間の配線が接続され、表示部 11 の映像信号線 $SG1$ と FOG実装部 5 の短絡検出対象接続端子 53a との間の配線が遮断される。図 4 における信号選択回路 14 及び映像線駆動回路 61 の各スイッチの状態は、ステップ S101 の処理を実施した状態を示している。

【0049】

続いて、処理部 202 は、映像線駆動回路 61 に対し、FOG実装部 5 において隣り合う短絡検出対象接続端子 53a 間の電位差が略ゼロとなるように制御する（ステップ S102）。具体的には、奇数列の短絡検出対象接続端子 53a に対応する各アンプ回路から、例えば 0V の直流電圧が出力されるように制御し、偶数列の短絡検出対象接続端子 53a に対応する各アンプ回路から、例えば 0V の直流電圧が出力されるように制御する。このとき、FOG実装部 5 において隣り合う短絡検出対象接続端子 53a 間の電位差は 0V となる。このときのドライバ IC 6 の制御状態が、本開示における「第 1 制御状態」に対応する。処理部 202 は、このときの電流値を第 1 電流値 $I1$ として電流検出部 204 から取得し、第 1 電流値情報としてレジスタ部 203 に格納する（ステップ S103）。

【0050】

また、処理部 202 は、映像線駆動回路 61 に対し、FOG実装部 5 において隣り合う短絡検出対象接続端子 53a 間に所定の電位差を印加するように制御する（ステップ S104）。具体的には、奇数列の画素 Pix に画像信号 $Vsig$ を供給する各アンプ回路から、例えば +5V の直流電圧が出力されるように制御し、偶数列の画素 Pix に画像信号 $Vsig$ を供給する各アンプ回路から、例えば -5V の直流電圧が出力されるように制御する。このとき、FOG実装部 5 において隣り合う短絡検出対象接続端子 53a 間の電位差は 10V となる。このときのドライバ IC 6 の制御状態が、本開示における「第 2 制御状態」に対応する。処理部 202 は、このときの電流値を第 2 電流値 $I2$ として電流検出部 204 から取得し、第 2 電流値情報としてレジスタ部 203 に格納する（ステップ S10

10

20

30

40

50

5)。

【0051】

なお、図6に示す例では、第1電流値情報及び第2電流値情報をそれぞれ唯一格納した例を示したが、図4に示すように、第1正極性電源電圧AVDD1の供給経路と第1負極性電源電圧AVEE1の供給経路との双方に電流検出器を設けた場合には、第1正極性電源電圧AVDD1の供給経路に流れる電流及び第1負極性電源電圧AVEE1の供給経路に流れる電流のそれぞれに対応する第1電流値I1及び第2電流値I2を取得して第1電流値情報及び第2電流値情報を格納する態様であっても良い。

【0052】

なお、上述したステップS102及びステップS103の処理と、ステップS104及びステップS105の処理とは、入れ換えが可能である。すなわち、ステップS104及びステップS105の処理を実施してから、ステップS102及びステップS103の処理を実施する態様であっても良い。ステップS102及びステップS103の処理と、ステップS104及びステップS105の処理との実施順により本開示が限定されるものではない。

【0053】

続いて、処理部202は、レジスタ部203から第1電流値情報と第2電流値情報とを読み出し、第1電流値I1と第2電流値I2との差分 $|I1 - I2|$ を電流閾値 ΔI_{th} と比較する($|I1 - I2| > \Delta I_{th}$) (ステップS106)。ここで、第1正極性電源電圧AVDD1の供給経路に流れる電流及び第1負極性電源電圧AVEE1の供給経路に流れる電流のそれぞれに対応する第1電流値I1及び第2電流値I2を取得した場合には、第1正極性電源電圧AVDD1の供給経路に流れる電流及び第1負極性電源電圧AVEE1の供給経路に流れる電流のそれぞれに対し、ステップS106の処理を行う。

【0054】

第1電流値I1と第2電流値I2との差分 $|I1 - I2|$ が電流閾値 ΔI_{th} よりも大きい場合(ステップS106; Yes)、処理部202は、FOG実装部5の1以上の短絡検出対象接続端子53a間において短絡が発生しているものと判定し、レジスタ部203の判定フラグを「0」から「1」に書き換えて(ステップS107)、実施形態1に係る短絡判定処理を終了する。図6では、FOG実装部5の1以上の短絡検出対象接続端子53a間において短絡が発生した例を示している。なお、第1正極性電源電圧AVDD1の供給経路に流れる電流及び第1負極性電源電圧AVEE1の供給経路に流れる電流のそれぞれに対応する第1電流値I1及び第2電流値I2を取得した場合には、処理部202は、ステップS106の処理において、少なくとも一方の処理結果が電流閾値よりも大きい場合に、FOG実装部5の1以上の短絡検出対象接続端子53a間において短絡が発生しているものと判定する態様であっても良い。

【0055】

第1電流値I1と第2電流値I2との差分 $|I1 - I2|$ が電流閾値 ΔI_{th} 以下である場合(ステップS106; No)、処理部202は、FOG実装部5の何れの短絡検出対象接続端子53a間においても短絡が発生していないものと判定し、実施形態1に係る短絡判定処理を終了する。

【0056】

上述した実施形態1に係る構成において、実施形態1に係る短絡判定処理手順を実施することにより、FOG実装部5の1以上の短絡検出対象接続端子53a間において短絡が発生していること検知することができる。そして、レジスタ部203の判定フラグを外部から処理部202を介して読み出すことで、FOG実装部5の何れかの短絡検出対象接続端子53a間において短絡が発生しているか否かを識別することができる。

【0057】

(実施形態1の変形例1)

図7は、実施形態1の変形例1に係る短絡判定処理手順の一例を示す図である。図8は、実施形態1の変形例1に係る短絡判定処理においてレジスタ部に格納される情報の一例を

10

20

30

40

50

示す図である。

【0058】

図7に示す短絡判定処理は、あらかじめ回路基板2に検査治具200が接続され、電源部201から第1正極性電源電圧AVDD1及び第1負極性電源電圧AVEE1が供給された状態で開始される。

【0059】

短絡判定処理開始指令が入力されると、処理部202は、スイッチ制御部62に対し、出力制御回路63の全スイッチの閉制御指令、及び、信号選択回路14の全スイッチの開制御指令を出力する(ステップS201)。これにより、映像線駆動回路61とFOG実装部5の短絡検出対象接続端子53aとの間の配線が接続され、表示部11の映像信号線SGLとFOG実装部5の短絡検出対象接続端子53aとの間の配線が遮断される。図4における信号選択回路14及び映像線駆動回路61の各スイッチの状態は、ステップS201の処理を実施した状態を示している。

【0060】

続いて、処理部202は、映像線駆動回路61に対し、FOG実装部5において隣り合う短絡検出対象接続端子53a間の電位差が略ゼロとなるように制御する(ステップS202)。具体的には、奇数列の短絡検出対象接続端子53aに対応する各アンプ回路から、例えば0Vの直流電圧が出力されるように制御し、偶数列の短絡検出対象接続端子53aに対応する各アンプ回路から、例えば0Vの直流電圧が出力されるように制御する。このとき、FOG実装部5において隣り合う短絡検出対象接続端子53a間の電位差は0Vとなる。このときのドライバIC6の制御状態が、本開示における「第1制御状態」に対応する。処理部202は、このときの電流値を第1電流値I1として電流検出部204から取得し、第1電流値情報としてレジスタ部203に格納する(ステップS203)。

【0061】

続いて、処理部202は、FOG実装部5において隣り合う短絡検出対象接続端子53aのうち、任意の短絡検出対象接続端子53a間を選択する(ステップS204)。画素列の数がn列であるとき、隣り合う短絡検出対象接続端子53aの組み合わせは、n-1通りである。

【0062】

処理部202は、映像線駆動回路61に対し、選択した短絡検出対象接続端子53a間に所定の電位差を印加するように制御する(ステップS205)。具体的には、選択した短絡検出対象接続端子53a間において、奇数列の画素Pixに画像信号Vsigを供給するアンプ回路から、例えば+5Vの直流電圧が出力されるように制御し、選択した短絡検出対象接続端子53a間において、偶数列の画素Pixに画像信号Vsigを供給するアンプ回路から、例えば-5Vの直流電圧が出力されるように制御する。このとき、選択した短絡検出対象接続端子53a間の電位差は10Vとなる。このときのドライバIC6の制御状態が、本開示における「第2制御状態」に対応する。処理部202は、このときの電流値を第2電流値I2として電流検出部204から取得し、第2電流値情報としてレジスタ部203に格納する(ステップS206)。

【0063】

続いて、処理部202は、レジスタ部203から第1電流値情報と選択した短絡検出対象接続端子53a間における第2電流値情報とを読み出し、第1電流値I1と第2電流値I2との差分 $|I1 - I2|$ を電流閾値 ΔI_{th} と比較する($|I1 - I2| > \Delta I_{th}$) (ステップS207)。

【0064】

第1電流値I1と第2電流値I2との差分 $|I1 - I2|$ が電流閾値 ΔI_{th} よりも大きい場合(ステップS207; Yes)、処理部202は、選択した短絡検出対象接続端子53a間において短絡が発生しているものと判定し、レジスタ部203の判定フラグを「0」から「1」に書き換える(ステップS208)。図8では、短絡検出対象接続端子53a間(3, 4)において短絡が発生した例を示している。

【0065】

第1電流値 I_1 と第2電流値 I_2 との差分 $|I_1 - I_2|$ が電流閾値 ΔI_{th} 以下である場合（ステップS207；No）、処理部202は、選択した短絡検出対象接続端子53a間において短絡が発生していないものと判定する。

【0066】

続いて、処理部202は、隣り合う全ての短絡検出対象接続端子53a間（1, 2）, （2, 3）, （3, 4）, …（ $n-1$, n ）において短絡判定済みであるか否かを判定する（ステップS209）。

【0067】

短絡判定済みでない短絡検出対象接続端子53a間があれば（ステップS209；No）、ステップS204に戻り、ステップS209までの処理を繰り返し実施する。

【0068】

全ての短絡検出対象接続端子53a間において短絡判定済みであれば（ステップS209；Yes）、実施形態1の変形例1に係る短絡判定処理を終了する。

【0069】

上述した実施形態1に係る構成において、実施形態1の変形例1に係る短絡判定処理手順を実施することにより、FOG実装部5において短絡が発生している短絡検出対象接続端子53a間を特定することができる。そして、レジスタ部203の情報を外部から処理部202を介して読み出すことで、FOG実装部5において短絡が発生している短絡検出対象接続端子53a間を識別することができる。

【0070】

なお、本実施形態では、第2制御状態において、奇数列の画素 P_{ix} に画像信号 V_{sig} を供給する各アンプ回路から、例えば+5Vの直流電圧が出力されるように制御し、偶数列の画素 P_{ix} に画像信号 V_{sig} を供給する各アンプ回路から、例えば-5Vの直流電圧が出力されるように制御する例を示したが、以下のような態様とすることも可能である。

【0071】

例えば、第2制御状態において、奇数列の画素 P_{ix} に画像信号 V_{sig} を供給する各アンプ回路から、例えば-5Vの直流電圧が出力されるように制御し、偶数列の画素 P_{ix} に画像信号 V_{sig} を供給する各アンプ回路から、例えば+5Vの直流電圧が出力されるように制御する態様であっても良い。

【0072】

例えば、第2制御状態において、奇数列の画素 P_{ix} に画像信号 V_{sig} を供給する各アンプ回路から、例えば+5Vの直流電圧が出力されるように制御し、偶数列の画素 P_{ix} に画像信号 V_{sig} を供給する各アンプ回路から、例えば0Vの直流電圧が出力されるように制御する態様であっても良い。

【0073】

また、例えば、第2制御状態において、奇数列の画素 P_{ix} に画像信号 V_{sig} を供給する各アンプ回路から、例えば0Vの直流電圧が出力されるように制御し、偶数列の画素 P_{ix} に画像信号 V_{sig} を供給する各アンプ回路から、例えば-5Vの直流電圧が出力されるように制御する態様であっても良い。

【0074】

すなわち、第2制御状態において、隣り合う短絡検出対象接続端子53aに異なる電圧を供給可能な態様であれば良い。

【0075】

（実施形態1の変形例2）

図9は、実施形態1の変形例2に係る表示装置及び検査治具の概略構成を示す図である。なお、実施形態1と同じ構成要素には、同じ参照符号を付して、説明を省略する。

【0076】

図9に示すように、回路基板2aには、表示装置100aの出荷検査において検査治具200aが接続される。

【0077】

回路基板2aにF O G実装されたドライバIC6aは、映像線駆動回路61と、スイッチ制御部62と、出力制御回路63と、処理部65と、レジスタ部66と、電流検出部67と、を含む。

【0078】

処理部65は、実施形態1の検査治具200における処理部202に相当する構成部であり、表示装置100aの出荷検査において、ドライバIC6aの制御及びF O G実装部5における短絡判定処理を行う。

【0079】

レジスタ部66は、実施形態1の検査治具200におけるレジスタ部203に相当する構成部であり、処理部65によるF O G実装部5の短絡判定処理における各種データを格納する。レジスタ部66に記憶される各種データは、例えば、短絡判定処理における閾値、中間処理データ、及び判定フラグ等を含む。なお、レジスタ部66に記憶される各種データは、数値データであっても良いし、デジタルデータ等の離散値であっても良い。

【0080】

電流検出部67は、実施形態1の検査治具200における電流検出部204に相当する構成部である。

【0081】

検査治具200aは、表示装置100aの出荷検査において回路基板2aに接続される。検査治具200aは、電源部201を含む。

【0082】

上述した構成において、F O G実装部5における短絡判定処理を行う手順については、実施形態1に係る短絡判定処理手順及び実施形態1の変形例1に係る短絡判定処理手順と同様である。具体的には、実施形態1に係る短絡判定処理手順及び実施形態1の変形例1に係る短絡判定処理手順において、処理部202を処理部65に読み替え、レジスタ部203をレジスタ部66に読み替え、電流検出部204を電流検出部67に読み替えることで、実施形態1に係る短絡判定処理手順又は実施形態1の変形例1に係る短絡判定処理手順と同様の処理手順を実現することができる。

【0083】

上述した実施形態1の変形例2に係る構成において、実施形態1に係る短絡判定処理手順を実施することにより、F O G実装部5の1以上の短絡検出対象接続端子53a間において短絡が発生していること検知することができる。そして、レジスタ部66の判定フラグを外部から処理部65を介して読み出すことで、F O G実装部5の何れかの短絡検出対象接続端子53a間において短絡が発生しているか否かを識別することができる。

【0084】

また、上述した実施形態1の変形例2に係る構成において、実施形態1の変形例1に係る短絡判定処理手順を実施することにより、F O G実装部5において短絡が発生している短絡検出対象接続端子53a間を特定することができる。そして、レジスタ部66の情報を外部から処理部65を介して読み出すことで、F O G実装部5において短絡が発生している短絡検出対象接続端子53a間を識別することができる。

【0085】

本実施形態により、品質を向上することができる表示装置100、100aを提供することができる。

【0086】

(実施形態2)

図10Aは、実施形態2に係る表示装置及び検査治具の概略構成を示す図である。なお、実施形態1と同じ構成要素には、同じ参照符号を付して、説明を省略する。

【0087】

図10Aに示すように、回路基板2bには、表示装置100bの出荷検査において検査治具200bが接続される。

10

20

30

40

50

【0088】

回路基板2bにF O G実装されたドライバIC6bは、映像線駆動回路61と、スイッチ制御部62aと、出力制御回路63と、電圧印加回路64と、を含む。

【0089】

電圧印加回路64は、映像線駆動回路61の各アンプ回路611, ..., 61nにそれぞれ対応するスイッチ641, ..., 64nを備えている。電圧印加回路64は、映像線駆動回路61の各アンプ回路611, ..., 61nのうち、奇数列の画素P i xに画像信号V s i gを供給するアンプ回路に接続される短絡検出対象接続端子53aに対して個別に第1正極性電圧A V D D 1を印加するスイッチ64p (pは、n以下の正の奇数)と、偶数列の画素P i xに画像信号V s i gを供給するアンプ回路に接続される短絡検出対象接続端子53aに対して個別に第1負極性電圧A V E E 1を印加するスイッチ64q (qは、n以下の正の偶数)と、を含む。

10

【0090】

スイッチ制御部62aは、出力制御回路63の各スイッチ、表示基板1に設けられる信号選択回路14の各スイッチに加え、電圧印加回路64の各スイッチ64p及び各スイッチ64qを制御する。

【0091】

検査治具200bは、表示装置100bの出荷検査において回路基板2bに接続される。検査治具200bは、電源部201と、処理部202aと、レジスタ部203aと、電流検出部204と、を含む。

20

【0092】

処理部202aは、表示装置100bの出荷検査において、ドライバIC6bの制御及びF O G実装部5における短絡判定処理を行う。本実施形態における短絡判定処理については後述する。

【0093】

レジスタ部203aは、処理部202aによるF O G実装部5の短絡判定処理における各種データを格納する。レジスタ部203aに記憶される各種データは、例えば、短絡判定処理における電流閾値、中間処理データ、及び判定フラグ等を含む。なお、レジスタ部203aに記憶される各種データは、数値データであっても良いし、デジタルデータ等の離散値であっても良い。

30

【0094】

以下、上述した構成において、F O G実装部5における短絡判定処理を行う手順について説明する。図11は、実施形態2に係る短絡判定処理手順の一例を示す図である。図12は、実施形態2に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

【0095】

図11に示す短絡判定処理は、あらかじめ回路基板2bに検査治具200bが接続され、電源部201から第1正極性電源電圧A V D D 1及び第1負極性電源電圧A V E E 1が供給された状態で開始される。また、このとき、電圧印加回路64の全スイッチが開制御され、F O G実装部5の全ての短絡検出対象接続端子53aへの第1正極性電源電圧A V D D 1又は第1負極性電源電圧A V E E 1の供給が遮断されているものとする。

40

【0096】

短絡判定処理開始指令が入力されると、処理部202aは、スイッチ制御部62aに対し、出力制御回路63の全スイッチの開制御指令、及び信号選択回路14の全スイッチの開制御指令を出力する(ステップS301)。これにより、映像線駆動回路61とF O G実装部5の短絡検出対象接続端子53aとの間の配線が遮断され、表示部11の映像信号線S G LとF O G実装部5の短絡検出対象接続端子53aとの間の配線が遮断される。このときのドライバIC6bの制御状態が、本開示における「第1制御状態」に対応する。処理部202aは、このときの電流値を第1電流値I1として電流検出部204から取得し、第1電流値情報としてレジスタ部203aに格納する(ステップS302)。

50

【0097】

続いて、処理部202aは、F O G実装部5において隣り合う短絡検出対象接続端子53aのうち、任意の短絡検出対象接続端子53a間を選択する（ステップS303）。画素列の数がn列であるとき、隣り合う短絡検出対象接続端子53aの組み合わせは、n-1通りである。

【0098】

処理部202aは、選択した隣り合う短絡検出対象接続端子53aの一方に第1正極性電源電圧A V D D 1が印加され、他方に第1負極性電源電圧A V E E 1が印加されるように、電圧印加回路64のスイッチ64pとスイッチ64qとを閉制御する（ステップS304）。このとき、第1正極性電源電圧A V D D 1が例えば+5.5Vであり、第1負極性電源電圧A V E E 1が例えば-5.5Vである場合、隣り合う短絡検出対象接続端子53a間に印加される電位差は11Vである。図10Aにおける信号選択回路14、映像線駆動回路61、及び電圧印加回路64の各スイッチの状態は、ステップS304の処理を実施した状態を示している。図10Aに示す例では、図11に示す短絡検出対象接続端子53a間（1,2）が選択され、電圧印加回路64のスイッチ641とスイッチ642とが閉制御された例を示している。このときのドライバIC6bの制御状態が、本開示における「第2制御状態」に対応する。処理部202aは、このときの電流値を第2電流値I2として電流検出部204から取得し、第2電流値情報としてレジスタ部203aに格納する（ステップS305）。

【0099】

続いて、処理部202aは、レジスタ部203aから第1電流値情報と選択した短絡検出対象接続端子53a間における第2電流値情報とを読み出し、第1電流値I1と第2電流値I2との差分 $|I1 - I2|$ を電流閾値 ΔI_{th} と比較する（ $|I1 - I2| > \Delta I_{th}$ ）（ステップS306）。

【0100】

第1電流値I1と第2電流値I2との差分 $|I1 - I2|$ が電流閾値 ΔI_{th} よりも大きい場合（ステップS306；Yes）、処理部202aは、選択した短絡検出対象接続端子53a間において短絡が発生しているものと判定し、当該短絡検出対象接続端子53a間におけるレジスタ部203aの判定フラグを「0」から「1」に書き換える（ステップS307）。図12では、短絡検出対象接続端子53a間（3,4）において短絡が発生した例を示している。

【0101】

第1電流値I1と第2電流値I2との差分 $|I1 - I2|$ が電流閾値 ΔI_{th} 以下である場合（ステップS306；No）、処理部202aは、選択した短絡検出対象接続端子53a間において短絡が発生していないものと判定する。

【0102】

続いて、処理部202aは、隣り合う全ての短絡検出対象接続端子53a間（1,2）、（2,3）、（3,4）、・・・（n-1,n）において短絡判定済みであるか否かを判定する（ステップS308）。

【0103】

短絡判定済みでない短絡検出対象接続端子53a間があれば（ステップS308；No）、ステップS303に戻り、ステップS308までの処理を繰り返し実施する。

【0104】

全ての短絡検出対象接続端子53a間において短絡判定済みであれば（ステップS308；Yes）、実施形態2に係る短絡判定処理を終了する。

【0105】

上述した実施形態2に係る構成において、実施形態2に係る短絡判定処理手順を実施することにより、実施形態1の変形例1と同様に、F O G実装部5において短絡が発生している短絡検出対象接続端子53a間を特定することができる。そして、レジスタ部203aの情報を外部から処理部202aを介して読み出すことで、F O G実装部5において短絡

10

20

30

40

50

が発生している短絡検出対象接続端子53a間を識別することができる。

【0106】

また、映像線駆動回路61の各アンプ回路611、・・・、61nの動作を停止させることができるので、第1電流値I1及び第2電流値I2に含まれる定常的な回路電流を小さくすることができ、短絡判定を行う際の閾値判定の精度が向上する。

【0107】

なお、本実施形態では、電圧印加回路64のスイッチ64p（pは、n以下の正の奇数）が奇数列の画素Pixに画像信号Vsigを供給するアンプ回路に接続される短絡検出対象接続端子53aに対して個別に第1正極性電圧AVDD1を印加し、電圧印加回路64のスイッチ64q（qは、n以下の正の偶数）が偶数列の画素Pixに画像信号Vsigを供給するアンプ回路に接続される短絡検出対象接続端子53aに対して個別に第1負極性電圧AVEE1を印加する例を示したが、以下のような態様とすることも可能である。

【0108】

図10Bは、実施形態2に係る表示装置及び検査治具の概略構成における第1変形例を示す図である。図10Bに示すように、例えば、電圧印加回路64のスイッチ64p（pは、n以下の正の奇数）が奇数列の画素Pixに画像信号Vsigを供給するアンプ回路に接続される短絡検出対象接続端子53aに対して個別に第1負極性電圧AVEE1を印加し、電圧印加回路64のスイッチ64q（qは、n以下の正の偶数）が偶数列の画素Pixに画像信号Vsigを供給するアンプ回路に接続される短絡検出対象接続端子53aに対して個別に第1正極性電圧AVDD1を印加する態様であっても良い。

【0109】

図10Cは、実施形態2に係る表示装置及び検査治具の概略構成における第2変形例を示す図である。図10Cに示すように、例えば、電圧印加回路64のスイッチ64p（pは、n以下の正の奇数）が奇数列の画素Pixに画像信号Vsigを供給するアンプ回路に接続される短絡検出対象接続端子53aに対して個別に第1正極性電圧AVDD1を印加し、電圧印加回路64のスイッチ64q（qは、n以下の正の偶数）が偶数列の画素Pixに画像信号Vsigを供給するアンプ回路に接続される短絡検出対象接続端子53aに対して個別に基準電位GNDを印加する態様であっても良い。

【0110】

図10Dは、実施形態2に係る表示装置及び検査治具の概略構成における第3変形例を示す図である。図10Dに示すように、例えば、電圧印加回路64のスイッチ64p（pは、n以下の正の奇数）が奇数列の画素Pixに画像信号Vsigを供給するアンプ回路に接続される短絡検出対象接続端子53aに対して個別に基準電位GNDを印加し、電圧印加回路64のスイッチ64q（qは、n以下の正の偶数）が偶数列の画素Pixに画像信号Vsigを供給するアンプ回路に接続される短絡検出対象接続端子53aに対して個別に第1負極性電圧AVEE1を印加する態様であっても良い。

【0111】

すなわち、第2制御状態において、隣り合う短絡検出対象接続端子53aに異なる電圧を供給可能な態様であれば良い。

【0112】

（実施形態2の変形例）

図13は、実施形態2の変形例に係る表示装置及び検査治具の概略構成を示す図である。なお、実施形態2と同じ構成要素には、同じ参照符号を付して、説明を省略する。

【0113】

図13に示すように、回路基板2cには、表示装置100cの出荷検査において検査治具200aが接続される。

【0114】

回路基板2cにFOG実装されたドライバIC6cは、映像線駆動回路61と、スイッチ制御部62aと、出力制御回路63と、電圧印加回路64と、処理部65aと、レジスタ部66aと、電流検出部67と、を含む。

【0115】

処理部65aは、実施形態2の検査治具200bにおける処理部202aに相当する構成部であり、表示装置100cの出荷検査において、ドライバIC6cの制御及びFOG実装部5における短絡判定処理を行う。

【0116】

レジスタ部66aは、実施形態2の検査治具200bにおけるレジスタ部203aに相当する構成部であり、処理部65aによるFOG実装部5の短絡判定処理における各種データを格納する。レジスタ部66aに記憶される各種データは、例えば、短絡判定処理における電流閾値、中間処理データ、及び判定フラグ等を含む。なお、レジスタ部66aに記憶される各種データは、数値データであっても良いし、デジタルデータ等の離散値であっても良い。

10

【0117】

電流検出部67は、実施形態2の検査治具200bにおける電流検出部204に相当する構成部である。

【0118】

検査治具200aは、表示装置100cの出荷検査において回路基板2cに接続される。検査治具200aは、電源部201を含む。

【0119】

上述した構成において、FOG実装部5における短絡判定処理を行う手順については、実施形態2に係る短絡判定処理手順と同様である。具体的には、実施形態2に係る短絡判定処理手順において、処理部202aを処理部65aに読み替え、レジスタ部203aをレジスタ部66aに読み替え、電流検出部204を電流検出部67に読み替えることで、実施形態2に係る短絡判定処理手順と同様の処理手順を実現することができる。

20

【0120】

上述した実施形態2の変形例に係る構成において、実施形態2に係る短絡判定処理手順を実施することにより、FOG実装部5において短絡が発生している短絡検出対象接続端子53a間を特定することができる。そして、レジスタ部66aの情報を外部から処理部65aを介して読み出すことで、FOG実装部5において短絡が発生している短絡検出対象接続端子53a間を識別することができる。

【0121】

また、実施形態2と同様に、映像線駆動回路61の各アンプ回路611，・・・，61nの動作を停止させることができるので、第1電流値I1及び第2電流値I2に含まれる定常的な回路電流を小さくすることができ、短絡判定を行う際の閾値判定の精度が向上する。

30

【0122】

本実施形態により、品質を向上することができる表示装置100b，100cを提供することができる。

【0123】

(実施形態3)

図14は、実施形態3に係る表示装置及び検査治具の概略構成を示す図である。なお、実施形態1又は実施形態2と同じ構成要素には、同じ参照符号を付して、説明を省略する。

40

【0124】

図14に示すように、回路基板2dには、表示装置100dの出荷検査において検査治具200aが接続される。

【0125】

回路基板2dにFOG実装されたドライバIC6dは、映像線駆動回路61と、スイッチ制御部62bと、出力制御回路63と、電圧印加回路64と、処理部65bと、レジスタ部66bと、電流検出部67と、第1昇圧回路68-1と、第2昇圧回路68-2と、電圧切換回路69と、を含む。

【0126】

第1昇圧回路68-1は、検査治具200aの電源部201から供給される第1正極性電

50

源電圧AVDD1を昇圧して、第2正極性電圧AVDD2を生成する。第2正極性電圧AVDD2は、例えば+10Vである。

【0127】

第2昇圧回路68-2は、検査治具200aの電源部201から供給される第1負極性電源電圧AVEE1を昇圧して、第2負極性電圧AVEE2を生成する。第2負極性電圧AVEE2は、例えば-10Vである。

【0128】

本実施形態では、後述する短絡判定処理の第2制御状態において、選択した隣り合う短絡検出対象接続端子53a間に第1正極性電源電圧AVDD1と第1負極性電源電圧AVEE1との電位差である第1電位差を印加し、短絡が発生している短絡検出対象接続端子53a間が発生していることを検出した場合に、当該短絡検出対象接続端子53a間に第1電位差よりも大きい第2正極性電源電圧AVDD2と第2負極性電源電圧AVEE2との電位差である第2電位差を印加することで、隣り合う短絡検出対象接続端子53a間の導電性の異物54(図3)を除去し、短絡を解消する。なお、第2正極性電源電圧AVDD2及び第2負極性電源電圧AVEE2の電圧、すなわち、第2電位差の大きさにより本開示が限定されるものではない。

【0129】

電圧切換回路69は、電圧印加回路64に供給する電源電圧を切り換える。具体的に、電圧切換回路69は、電圧印加回路64の各スイッチ64pへの第1正極性電源電圧AVDD1の供給と遮断とを切り換えるスイッチ691-1と、電圧印加回路64の各スイッチ64qへの第1負極性電源電圧AVEE1の供給と遮断とを切り換えるスイッチ691-2と、電圧印加回路64の各スイッチ64pへの第2正極性電源電圧AVDD2の供給と遮断とを切り換えるスイッチ692-1と、電圧印加回路64の各スイッチ64qへの第2負極性電源電圧AVEE2の供給と遮断とを切り換えるスイッチ692-2と、を備えている。

【0130】

スイッチ制御部62bは、出力制御回路63の各スイッチ、表示基板1に設けられる信号選択回路14の各スイッチ、電圧印加回路64の各スイッチ64p及び各スイッチ64qに加え、電圧切換回路69の各スイッチ691-1、691-2、692-1、692-2を制御する。

【0131】

具体的に、電圧印加回路64の各スイッチ64pに第1正極性電源電圧AVDD1を供給し、電圧印加回路64の各スイッチ64qに第1負極性電源電圧AVEE1を供給する場合には、スイッチ制御部62bは、電圧切換回路69の各スイッチ691-1、691-2を閉制御すると共に、電圧切換回路69の各スイッチ692-1、692-2を開制御する。

【0132】

また、電圧印加回路64の各スイッチ64pに第2正極性電源電圧AVDD2を供給し、電圧印加回路64の各スイッチ64qに第2負極性電源電圧AVEE2を供給する場合には、スイッチ制御部62bは、電圧切換回路69の各スイッチ691-1、691-2を開制御すると共に、電圧切換回路69の各スイッチ692-1、692-2を閉制御する。

【0133】

処理部65bは、表示装置100dの出荷検査において、ドライバIC6dの制御及びFOG実装部5における短絡判定処理を行う。本実施形態における短絡判定処理については後述する。

【0134】

レジスタ部66bは、処理部65bによるFOG実装部5の短絡判定処理における各種データを格納する。レジスタ部66bに記憶される各種データは、例えば、短絡判定処理における電流閾値、中間処理データ、及び判定フラグ等を含む。なお、レジスタ部66bに記憶される各種データは、数値データであっても良いし、デジタルデータ等の離散値であ

10

20

30

40

50

っても良い。

【0135】

以下、上述した構成において、F O G実装部5における短絡判定処理を行う手順について説明する。図15は、実施形態3に係る短絡判定処理手順の一例を示す図である。図16は、実施形態3に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

【0136】

本実施形態では、判定フラグが「1」、すなわち、短絡が発生している短絡検出対象接続端子53a間が存在している場合に、判定フラグが「1」である短絡検出対象接続端子53a間に第1電位よりも高い第2電位差を印加する処理を実施することで、判定フラグが「1」である短絡検出対象接続端子53a間の短絡解消を図っている。この処理を、以下「リペア処理」とも称する。

【0137】

図15に示す短絡判定処理は、あらかじめ回路基板2dに検査治具200aが接続され、電源部201から第1正極性電源電圧AVDD1及び第1負極性電源電圧AVEE1が供給された状態で開始される。また、このとき、電圧印加回路64の全スイッチが開制御され、F O G実装部5の全ての短絡検出対象接続端子53aへの正極性電圧又は負極性電圧の供給が遮断されているものとする。また、電圧切換回路69の各スイッチ691-1、691-2が開制御されると共に、電圧切換回路69の各スイッチ692-1、692-2が開制御されているものとする。

【0138】

短絡判定処理開始指令が入力されると、処理部65bは、スイッチ制御部62bに対し、出力制御回路63の全スイッチの開制御指令、及び信号選択回路14の全スイッチの開制御指令を出力する（ステップS401）。これにより、映像線駆動回路61とF O G実装部5の短絡検出対象接続端子53aとの間の配線が遮断され、表示部11の映像信号線SGLとF O G実装部5の短絡検出対象接続端子53aとの間の配線が遮断される。このときのドライバIC6dの制御状態が、本開示における「第1制御状態」に対応する。処理部65bは、このときの電流値を第1電流値I1として電流検出部67から取得し、第1電流値情報としてレジスタ部66bに格納する（ステップS402）。

【0139】

続いて、処理部65bは、F O G実装部5において隣り合う短絡検出対象接続端子53aのうち、任意の短絡検出対象接続端子53a間を選択する（ステップS403）。画素列の数がn列であるとき、隣り合う短絡検出対象接続端子53aの組み合わせは、n-1通りである。

【0140】

処理部65bは、選択した隣り合う短絡検出対象接続端子53aの一方に第1正極性電源電圧AVDD1が印加され、他方に第1負極性電源電圧AVEE1が印加されるように、電圧印加回路64のスイッチ64pとスイッチ64qとを閉制御する（ステップS404）。このとき、第1正極性電源電圧AVDD1が例えば+5.5Vであり、第1負極性電源電圧AVEE1が例えば-5.5Vである場合、隣り合う短絡検出対象接続端子53a間に印加される第1電位差は11Vである。図14における信号選択回路14、映像線駆動回路61、電圧印加回路64、及び電圧切換回路69の各スイッチの状態は、ステップS404の処理を実施した状態を示している。図14に示す例では、図16に示す短絡検出対象接続端子53a間（1,2）が選択され、電圧印加回路64のスイッチ641とスイッチ642とが開制御された例を示している。このときのドライバIC6dの制御状態が、本開示における「第2制御状態」に対応する。処理部65bは、このときの電流値を第2電流値I2として電流検出部67から取得し、第2電流値情報としてレジスタ部66bに格納する（ステップS405）。

【0141】

続いて、処理部65bは、レジスタ部66bから第1電流値情報と第2電流値情報とを讀

10

20

30

40

50

み出し、第1電流値 I_1 と第2電流値 I_2 との差分 $|I_1 - I_2|$ を電流閾値 ΔI_{th} と比較する ($|I_1 - I_2| > \Delta I_{th}$) (ステップS406)。

【0142】

第1電流値 I_1 と第2電流値 I_2 との差分 $|I_1 - I_2|$ が電流閾値 ΔI_{th} よりも大きい場合 (ステップS406; Yes)、処理部65bは、選択した短絡検出対象接続端子53a間において短絡が発生しているものと判定し、当該短絡検出対象接続端子53a間におけるレジスタ部66bの判定フラグを「0」から「1」に書き換える (ステップS407a)。図16では、短絡検出対象接続端子53a間(3, 4)において短絡が発生した例を示している。

【0143】

第1電流値 I_1 と第2電流値 I_2 との差分 $|I_1 - I_2|$ が電流閾値 ΔI_{th} 以下である場合 (ステップS406; No)、処理部65bは、選択した短絡検出対象接続端子53a間において短絡が発生していないものと判定し、当該短絡検出対象接続端子53a間におけるレジスタ部66bの判定フラグが「1」である場合には、当該判定フラグを「1」から「0」に書き換える (ステップS407b)。

【0144】

続いて、処理部65bは、隣り合う全ての短絡検出対象接続端子53a間(1, 2), (2, 3), (3, 4), ... (n-1, n)において短絡判定済みであるか否かを判定する (ステップS408)。

【0145】

短絡判定済みでない短絡検出対象接続端子53a間があれば (ステップS408; No)、ステップS403に戻り、ステップS408までの処理を繰り返し実施する。

【0146】

全ての短絡検出対象接続端子53a間において短絡判定済みとなると (ステップS408; Yes)、処理部65bは、レジスタ部66bに格納された情報を参照し、判定フラグが「1」、すなわち、短絡が発生している短絡検出対象接続端子53a間がないか否かを判定する (ステップS409)。

【0147】

短絡が発生している短絡検出対象接続端子53a間がない場合には (ステップS409; Yes)、実施形態3に係る短絡判定処理を終了する。

【0148】

短絡が発生している短絡検出対象接続端子53a間がある場合には (ステップS409; No)、処理部65bは、リペア済みフラグが「0」であるか否かを判定する (ステップS410)。図16では、リペア済みフラグが「0」である例を示している。

【0149】

リペア済みフラグが「1」である場合 (ステップS410; No)、実施形態3に係る短絡判定処理を終了する。

【0150】

リペア済みフラグが「0」である場合 (ステップS410; Yes)、処理部65bは、電圧切換回路69の各スイッチ691-1, 691-2を開制御すると共に、電圧切換回路69の各スイッチ692-1, 692-2を閉制御する。これにより、電圧印加回路64の各スイッチ64pに第2正極性電源電圧 $AVDD_2$ が供給され、電圧印加回路64の各スイッチ64qに第2負極性電源電圧 $AVEE_2$ が供給される。このとき、第2正極性電源電圧 $AVDD_2$ が例えば+10Vであり、第2負極性電源電圧 $AVEE_2$ が例えば-10Vである場合、スイッチ64pとスイッチ64qとの間に印加される第2電位差は20Vである。

【0151】

処理部65bは、判定フラグが「1」である短絡検出対象接続端子53a間に第2電位差が印加されるように、電圧印加回路64の各スイッチ64p及び各スイッチ64qを制御する (ステップS411)。このステップS411における処理が、上述したリペア処理

10

20

30

40

50

に相当する。

【0152】

処理部65bは、所定時間経過した後、電圧印加回路64の全てのスイッチを開制御すると共に、電圧切換回路69の各スイッチ691-1、691-2を開制御し、電圧切換回路69の各スイッチ692-1、692-2を開制御する。その後、処理部65bは、リペア済みフラグを「0」から「1」に変化させ（ステップS412）、ステップS403に戻り、ステップS410までの処理を再度実施する。

【0153】

上述した実施形態3に係る構成において、実施形態3に係る短絡判定処理手順を実施することにより、F O G実装部5の1以上の短絡検出対象接続端子53a間において短絡が発生していること検知することができる。そして、レジスタ部66bの判定フラグを外部から処理部65bを介して読み出すことで、F O G実装部5の何れかの短絡検出対象接続端子53a間において短絡が発生しているか否かを識別することができる。

10

【0154】

また、上述した実施形態3に係る短絡判定処理では、F O G実装部5において短絡が発生している短絡検出対象接続端子53a間に対してリペア処理を実施する。これにより、短絡判定処理におけるF O G実装部5の短絡不良を低減することができる。また、レジスタ部66bの情報を外部から処理部65bを介して読み出すことで、リペア処理の履歴を参照することができる。

【0155】

なお、本実施形態では、ステップS403からステップS410までの処理を再実行しても、短絡が発生している短絡検出対象接続端子53a間がある場合には（ステップS409；No）、ステップS410においてリペア済みフラグが「1」と判定され（ステップS410；No）、実施形態3に係る短絡判定処理を終了するようにしている。これにより、リペア処理（ステップS411）を行っても短絡が解消しない個体を排除することができるが、これに限らない。例えば、リペア済みフラグを設けず、短絡検出対象接続端子53a間の短絡が解消するまでリペア処理を繰り返し実施する態様であっても良いし、複数回リペア処理を行っても短絡検出対象接続端子53a間の短絡が解消しない場合に、短絡判定処理を終了する態様であっても良い。

20

【0156】

本実施形態により、品質を向上することができる表示装置100dを提供することができる。

30

【0157】

（実施形態4）

図17は、実施形態4に係る表示装置及び検査治具の概略構成を示す図である。なお、実施形態1から実施形態3と同じ構成要素には、同じ参照符号を付して、説明を省略する。

【0158】

図17に示すように、回路基板2eには、表示装置100eの出荷検査において検査治具200cが接続される。

【0159】

回路基板2eにF O G実装されたドライバIC6eは、映像線駆動回路61と、スイッチ制御部62cと、出力制御回路63と、第1昇圧回路68-1と、第2昇圧回路68-2と、電圧生成部70と、を含む。

40

【0160】

スイッチ制御部62cは、出力制御回路63の各スイッチ、表示基板1aに設けられる信号選択回路14の各スイッチに加え、表示基板1aに設けられる電圧供給回路15の各スイッチを制御する。

【0161】

電圧生成部70は、第1電圧生成回路701と、第2電圧生成回路702と、を含む。電圧生成部70には、第1昇圧回路68-1から第2正極性電圧AVDD2が供給され、第

50

2昇圧回路68-2から第2負極性電圧A V E E 2が供給される。

【0162】

第1電圧生成回路701は、表示基板1aに供給する0V以上の正極性電圧を生成する。

【0163】

第2電圧生成回路702は、表示基板1aに供給する0V以下の負極性電圧を生成する。

【0164】

表示基板1aは、信号選択回路14の他に、電圧供給回路15を備えている。

【0165】

電圧供給回路15は、映像線駆動回路61の各アンプ回路611, ..., 61nにそれぞれ対応するスイッチ151, ..., 15nを備えている。電圧供給回路15は、映像線駆動回路61の各アンプ回路611, ..., 61nのうち、奇数列の画素P i xに画像信号V s i gを供給するアンプ回路に接続される短絡検出対象接続端子53aに対して電圧生成部70の第1電圧生成回路701から供給される正極性電圧を印加するスイッチ15p (pは、n以下の正の奇数)と、偶数列の画素P i xに画像信号V s i gを供給するアンプ回路に接続される短絡検出対象接続端子53aに対して電圧生成部70の第2電圧生成回路702から供給される負極性電圧を印加するスイッチ15q (qは、n以下の正の偶数)と、を含む。

【0166】

検査治具200cは、表示装置100eの出荷検査において回路基板2eに接続される。

検査治具200cは、電源部201と、処理部202bと、レジスタ部203bと、電流検出部204と、を含む。

【0167】

処理部202bは、表示装置100eの出荷検査において、ドライバI C 6 eの制御及びF O G実装部5aにおける短絡判定処理を行う。本実施形態における短絡判定処理については後述する。

【0168】

レジスタ部203bは、処理部202bによるF O G実装部5aの短絡判定処理における各種データを格納する。レジスタ部203bに記憶される各種データは、例えば、短絡判定処理における電流閾値、中間処理データ、及び判定フラグ等を含む。なお、レジスタ部203bに記憶される各種データは、数値データであっても良いし、デジタルデータ等の離散値であっても良い。

【0169】

以下、上述した構成において、F O G実装部5aにおける短絡判定処理を行う手順について説明する。図18は、実施形態4に係る短絡判定処理手順の一例を示す図である。図19は、実施形態4に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

【0170】

本実施形態では、判定フラグが「1」、すなわち、F O G実装部5aの1以上の短絡検出対象接続端子53a間において短絡が発生している場合に、第1電位よりも高い第2電位差を印加する処理を実施することで、F O G実装部5aにおける短絡検出対象接続端子53a間の短絡解消を図っている。この処理を、以下「リペア処理」と称する。

【0171】

図18に示す短絡判定処理は、あらかじめ回路基板2eに検査治具200cが接続され、電源部201から第1正極性電源電圧A V D D 1及び第1負極性電源電圧A V E E 1が供給された状態で開始される。また、電圧生成部70は、F O G実装部5aにおいて隣り合う短絡検出対象接続端子53a間に所定の第1電位差を印加するように制御されているものとする。具体的には、第1電圧生成回路701から、例えば+5Vの直流電圧が出力されるように制御され、第2電圧生成回路702から、例えば-5Vの直流電圧が出力されるように制御される。このとき、電圧供給回路15の全スイッチが開制御され、F O G実装部5aの全ての短絡検出対象接続端子53aへの正極性電圧又は負極性電圧の供給が遮

10

20

30

40

50

断されているものとする。

【0172】

短絡判定処理開始指令が入力されると、処理部202bは、スイッチ制御部62cに対し、出力制御回路63の全スイッチの開制御指令、及び信号選択回路14の全スイッチの開制御指令を出力する（ステップS501）。これにより、映像線駆動回路61とFOG実装部5aの短絡検出対象接続端子53aとの間の配線が遮断され、表示部11の映像信号線SGLとFOG実装部5aの短絡検出対象接続端子53aとの間の配線が遮断される。このときのドライバIC6eの制御状態が、本開示における「第1制御状態」に対応する。

【0173】

処理部202bは、このときの電流値を第1電流値I1として電流検出部204から取得し、第1電流値情報としてレジスタ部203bに格納する（ステップS502）。

【0174】

続いて、処理部202bは、スイッチ制御部62cに対し、電圧供給回路15の全スイッチの開制御指令を出力する（ステップS503）。これにより、電圧生成部70とFOG実装部5aの短絡検出対象接続端子53aとの間の配線が接続される。図17における信号選択回路14、映像線駆動回路61、電圧供給回路15の各スイッチの状態は、ステップS503の処理を実施した状態を示している。このときのドライバIC6eの制御状態が、本開示における「第2制御状態」に対応する。このとき、FOG実装部5aにおいて隣り合う短絡検出対象接続端子53a間の第1電位差は10Vとなる。処理部202bは、このときの電流値を第2電流値I2として電流検出部204から取得し、第2電流値情報としてレジスタ部203bに格納する（ステップS504）。

【0175】

続いて、処理部202bは、レジスタ部203bから第1電流値情報と第2電流値情報とを読み出し、第1電流値I1と第2電流値I2との差分 $|I1 - I2|$ を電流閾値 ΔI_{th} と比較する（ $|I1 - I2| > \Delta I_{th}$ ）（ステップS505）。

【0176】

第1電流値I1と第2電流値I2との差分 $|I1 - I2|$ が電流閾値 ΔI_{th} よりも大きい場合（ステップS505；Yes）、処理部202bは、FOG実装部5aの1以上の短絡検出対象接続端子53a間において短絡が発生しているものと判定してレジスタ部203bの判定フラグを「0」から「1」に書き換える（ステップS506a）。図19では、FOG実装部5aの1以上の短絡検出対象接続端子53a間において短絡が発生した例を示している。

【0177】

第1電流値I1と第2電流値I2との差分 $|I1 - I2|$ が電流閾値 ΔI_{th} 以下である場合（ステップS505；No）、処理部202bは、FOG実装部5aの何れの短絡検出対象接続端子53a間においても短絡が発生していないものと判定し、レジスタ部203bの判定フラグが「1」である場合には、当該判定フラグを「1」から「0」に書き換える（ステップS506b）。

【0178】

続いて、処理部202bは、レジスタ部203bに格納された情報を参照し、判定フラグが「0」、すなわち、FOG実装部5aの1以上の短絡検出対象接続端子53a間において短絡が発生していないか否かを判定する（ステップS507）。

【0179】

FOG実装部5aの1以上の短絡検出対象接続端子53a間において短絡が発生していない場合には（ステップS507；Yes）、実施形態4に係る短絡判定処理を終了する。

【0180】

FOG実装部5aの1以上の短絡検出対象接続端子53a間において短絡が発生している場合には（ステップS507；No）、処理部202bは、リペア済みフラグが「0」であるか否かを判定する（ステップS508）。図19では、リペア済みフラグが「0」である例を示している。

10

20

30

40

50

【0181】

リペア済みフラグが「1」である場合（ステップS508；No）、実施形態4に係る短絡判定処理を終了する。

【0182】

リペア済みフラグが「0」である場合（ステップS508；Yes）、処理部202bは、電圧生成部70に対し、FOG実装部5aにおいて隣り合う短絡検出対象接続端子53a間に第1電位差よりも大きい第2電位差を印加するように制御する（ステップS509）。具体的には、第1電圧生成回路701から、例えば+8Vの直流電圧が出力されるように制御し、第2電圧生成回路702から、例えば-8Vの直流電圧が出力されるように制御する。このとき、FOG実装部5aにおいて隣り合う短絡検出対象接続端子53a間の第2電位差は16Vとなる。

10

【0183】

処理部202bは、所定時間経過した後、FOG実装部5aにおいて隣り合う短絡検出対象接続端子53a間に第1電位差を印加すると共に、リペア済みフラグを「0」から「1」に書き換え（ステップS510）、スイッチ制御部62cに対し、電圧供給回路15の全スイッチの開制御指令を出力する（ステップS511）。その後、ステップS502に戻り、ステップS508までの処理を再度実施する。

【0184】

上述した実施形態4に係る構成において、実施形態4に係る短絡判定処理手順を実施することにより、FOG実装部5aの1以上の短絡検出対象接続端子53a間において短絡が発生していること検知することができる。そして、レジスタ部203bの判定フラグを外部から処理部202bを介して読み出すことで、FOG実装部5aの何れかの短絡検出対象接続端子53a間において短絡が発生しているか否かを識別することができる。

20

【0185】

また、上述した実施形態4に係る短絡判定処理では、FOG実装部5aの1以上の短絡検出対象接続端子53a間において短絡が発生している場合にリペア処理を実施する。これにより、短絡判定処理におけるFOG実装部5aの短絡不良を低減することができる。また、レジスタ部203bの情報を外部から処理部202bを介して読み出すことで、リペア処理の履歴を参照することができる。

【0186】

また、実施形態2と同様に、映像線駆動回路61の各アンプ回路611，・・・，61nの動作を停止させることができるので、第1電流値I1及び第2電流値I2に含まれる定常的な回路電流を小さくすることができ、短絡判定を行う際の閾値判定の精度が向上する。

30

【0187】

なお、本実施形態では、ステップS502からステップS508までの処理を再実行しても、短絡が発生している場合には（ステップS507；No）、ステップS508においてリペア済みフラグが「1」と判定され（ステップS508；No）、実施形態4に係る短絡判定処理を終了するようにしている。これにより、リペア処理（ステップS509）を行っても短絡が解消しない個体を排除することができるが、これに限らない。例えば、リペア済みフラグを設けず、短絡検出対象接続端子53a間の短絡が解消するまでリペア処理を繰り返し実施する態様であっても良いし、複数回リペア処理を行っても短絡検出対象接続端子53a間の短絡が解消しない場合に、短絡判定処理を終了する態様であっても良い。

40

【0188】

（実施形態4の変形例）

図20は、実施形態4の変形例に係る表示装置及び検査治具の概略構成を示す図である。なお、実施形態4と同じ構成要素には、同じ参照符号を付して、説明を省略する。

【0189】

図20に示すように、回路基板2fには、表示装置100fの出荷検査において検査治具200aが接続される。

50

【0190】

回路基板2fにF O G実装されたドライバIC6fは、映像線駆動回路61と、スイッチ制御部62cと、出力制御回路63と、処理部65cと、レジスタ部66cと、電流検出部67と、第1昇圧回路68-1と、第2昇圧回路68-2と、電圧生成部70と、を含む。

【0191】

処理部65cは、実施形態4の検査治具200cにおける処理部202bに相当する構成部であり、表示装置100fの出荷検査において、ドライバIC6fの制御及びF O G実装部5aにおける短絡判定処理を行う。

【0192】

レジスタ部66cは、実施形態4の検査治具200cにおけるレジスタ部203bに相当する構成部であり、処理部65cによるF O G実装部5aの短絡判定処理における各種データを格納する。レジスタ部66cに記憶される各種データは、例えば、短絡判定処理における電流閾値、中間処理データ、及び判定フラグ等を含む。なお、レジスタ部66cに記憶される各種データは、数値データであっても良いし、デジタルデータ等の離散値であっても良い。

【0193】

検査治具200aは、表示装置100fの出荷検査において回路基板2fに接続される。検査治具200aは、電源部201を含む。

【0194】

上述した構成において、F O G実装部5aにおける短絡判定処理を行う手順については、実施形態4に係る短絡判定処理手順と同様である。具体的には、実施形態4に係る短絡判定処理手順において、処理部202bを処理部65cに読み替え、レジスタ部203bをレジスタ部66cに読み替え、電流検出部204を電流検出部67に読み替えることで、実施形態4に係る短絡判定処理手順と同様の処理手順を実現することができる。

【0195】

上述した実施形態4の変形例に係る構成において、実施形態4に係る短絡判定処理手順を実施することにより、F O G実装部5aの1以上の短絡検出対象接続端子53a間において短絡が発生していること検知することができる。そして、レジスタ部66cの判定フラグを外部から処理部65cを介して読み出すことで、F O G実装部5aの何れかの短絡検出対象接続端子53a間において短絡が発生しているか否かを識別することができる。

【0196】

また、上述した実施形態4に係る短絡判定処理では、F O G実装部5aにおいて短絡が発生している短絡検出対象接続端子53a間に対してリペア処理を実施する。これにより、短絡判定処理におけるF O G実装部5aの短絡不良を低減することができる。また、レジスタ部66cの情報を外部から処理部65cを介して読み出すことで、リペア処理の履歴を参照することができる。

【0197】

また、実施形態4と同様に、映像線駆動回路61の各アンプ回路611, ..., 61nの動作を停止させることができるので、第1電流値I1及び第2電流値I2に含まれる定常的な回路電流を小さくすることができ、短絡判定を行う際の閾値判定の精度が向上する。

【0198】

本実施形態により、品質を向上することができる表示装置100e, 100fを提供することができる。

【0199】

(実施形態5)

図21は、実施形態5に係る表示装置及び検査治具の概略構成を示す図である。なお、実施形態1から実施形態4と同じ構成要素には、同じ参照符号を付して、説明を省略する。

【0200】

図21に示すように、回路基板2gには、表示装置100gの出荷検査において検査治具

10

20

30

40

50

200dが接続される。

【0201】

回路基板2gにF O G実装されたドライバIC6gは、映像線駆動回路61と、スイッチ制御部62cと、出力制御回路63と、を含む。

【0202】

電圧読み出し回路15aの構成は、上述した実施形態4の電圧供給回路15と同様である。本実施形態において、各スイッチ15pは、映像線駆動回路61の各アンプ回路611、・・・、61nのうち、奇数列の画素P i xに画像信号V s i gを供給するアンプ回路に接続される短絡検出対象接続端子53aの電圧を、後述する検査治具200dの処理部202cで検出するためのスイッチである。また、各スイッチ15qは、偶数列の画素P i xに画像信号V s i gを供給するアンプ回路に接続される短絡検出対象接続端子53aの電圧を、後述する検査治具200dの処理部202cで検出するためのスイッチである。

10

【0203】

検査治具200dは、表示装置100gの出荷検査において回路基板2gに接続される。検査治具200dは、電源部201と、処理部202cと、レジスタ部203cと、を含む。

【0204】

処理部202cは、表示装置100gの出荷検査において、ドライバIC6gの制御及びF O G実装部5aにおける短絡判定処理を行う。本実施形態における短絡判定処理については後述する。

20

【0205】

レジスタ部203cは、処理部202cによるF O G実装部5aの短絡判定処理における各種データを格納する。レジスタ部203cに記憶される各種データは、例えば、短絡判定処理における電圧閾値、中間処理データ、及び判定フラグ等を含む。なお、レジスタ部203cに記憶される各種データは、数値データであっても良いし、デジタルデータ等の離散値であっても良い。

【0206】

以下、上述した構成において、F O G実装部5aにおける短絡判定処理を行う手順について説明する。図22は、実施形態5に係る短絡判定処理手順の一例を示す図である。図23は、実施形態5に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

30

【0207】

図22に示す短絡判定処理は、あらかじめ回路基板2gに検査治具200dが接続され、電源部201から第1正極性電源電圧A V D D 1及び第1負極性電源電圧A V E E 1が供給された状態で開始される。

【0208】

短絡判定処理開始指令が入力されると、処理部202cは、スイッチ制御部62cに対し、出力制御回路63の全スイッチの閉制御指令、信号選択回路14の全スイッチの開制御指令、及び電圧読み出し回路15aの全スイッチの閉制御指令を出力する（ステップS601）。これにより、映像線駆動回路61とF O G実装部5aの短絡検出対象接続端子53aとの間の配線が接続され、表示部11の映像信号線S G LとF O G実装部5aの短絡検出対象接続端子53aとの間の配線が遮断され、電圧生成部70とF O G実装部5aの短絡検出対象接続端子53aとの間の配線が接続される。このときのドライバIC6gの制御状態が、本開示における「第1制御状態」に対応する。図21における信号選択回路14、映像線駆動回路61、電圧読み出し回路15aの各スイッチの状態は、ステップS601の処理を実施した状態を示している。

40

【0209】

続いて、処理部202cは、映像線駆動回路61に対し、F O G実装部5aにおいて隣り合う短絡検出対象接続端子53a間に所定の電位差を印加するように制御する（ステップS602）。具体的には、奇数列の画素P i xに画像信号V s i gを供給する各アンプ回

50

路から、例えば+5Vの直流電圧が出力されるように制御し、偶数列の画素P i xに画像信号V s i gを供給する各アンプ回路から、例えば-5Vの直流電圧が出力されるように制御する。このとき、F O G実装部5 aにおいて隣り合う短絡検出対象接続端子5 3 a間の電位差は10Vとなる。このときのドライバI C 6 gの制御状態が、本開示における「第2制御状態」に対応する。

【0210】

処理部202 cは、各スイッチ15 pを介して入力される、奇数列の画素P i xに画像信号V s i gを供給するアンプ回路に接続される短絡検出対象接続端子5 3 aの電圧値である第1電圧値V 1を検出し、第1電圧値情報としてレジスタ部203 cに格納すると共に、各スイッチ15 qを介して入力される、偶数列の画素P i xに画像信号V s i gを供給するアンプ回路に接続される短絡検出対象接続端子5 3 aの電圧値である第2電圧値V 2を検出し、第2電圧値情報としてレジスタ部203 cに格納する（ステップS603）。

10

【0211】

続いて、処理部202 cは、レジスタ部203 cから第1電圧値情報と第2電圧値情報とを読み出し、第1電圧値V 1と第2電圧値V 2との差分 $|V 1 - V 2|$ を電圧閾値 $\Delta V t h$ と比較する（ $|V 1 - V 2| < \Delta V t h$ ）（ステップS604）。

【0212】

第1電圧値V 1と第2電圧値V 2との差分 $|V 1 - V 2|$ が電圧閾値 $\Delta V t h$ よりも小さい場合（ステップS604；Y e s）、処理部202 cは、F O G実装部5 aの1以上の短絡検出対象接続端子5 3 a間において短絡が発生しているものと判定し、レジスタ部203 cの判定フラグを「0」から「1」に書き換えて（ステップS605）、実施形態5に係る短絡判定処理を終了する。図23では、F O G実装部5 aの1以上の短絡検出対象接続端子5 3 a間において短絡が発生した例を示している。

20

【0213】

第1電圧値V 1と第2電圧値V 2との差分 $|V 1 - V 2|$ が電圧閾値 $\Delta V t h$ 以上である場合（ステップS604；N o）、処理部202 cは、F O G実装部5 aの何れの短絡検出対象接続端子5 3 a間においても短絡が発生していないものと判定し、実施形態5に係る短絡判定処理を終了する。

【0214】

上述した実施形態5に係る構成において、実施形態5に係る短絡判定処理手順を実施することにより、F O G実装部5 aの1以上の短絡検出対象接続端子5 3 a間において短絡が発生していること検知することができる。そして、レジスタ部203 cの判定フラグを外から処理部202 cを介して読み出すことで、F O G実装部5 aの何れかの短絡検出対象接続端子5 3 a間において短絡が発生しているか否かを識別することができる。

30

【0215】

（実施形態5の変形例1）

図24は、実施形態5の変形例1に係る短絡判定処理手順の一例を示す図である。図25は、実施形態5の変形例1に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

【0216】

図24に示す短絡判定処理は、あらかじめ回路基板2 gに検査治具200 dが接続され、電源部201から第1正極性電源電圧A V D D 1及び第1負極性電源電圧A V E E 1が供給された状態で開始される。

40

【0217】

短絡判定処理開始指令が入力されると、処理部202 cは、スイッチ制御部62 cに対し、出力制御回路63の全スイッチの閉制御指令、信号選択回路14の全スイッチの開制御指令、及び電圧読み出し回路15 aの全スイッチの閉制御指令を出力する（ステップS701）。これにより、映像線駆動回路61とF O G実装部5 aの短絡検出対象接続端子5 3との間の配線が接続され、表示部11の映像信号線S G LとF O G実装部5 aの短絡検出対象接続端子5 3 aとの間の配線が遮断され、電圧生成部70とF O G実装部5 aの短

50

絡検出対象接続端子53aとの間の配線が接続される。このときのドライバIC6gの制御状態が、本開示における「第1制御状態」に対応する。図21における信号選択回路14、映像線駆動回路61、電圧読み出し回路15aの各スイッチの状態は、ステップS701の処理を実施した状態を示している。

【0218】

続いて、処理部202cは、FOG実装部5aにおいて隣り合う短絡検出対象接続端子53aのうち、任意の短絡検出対象接続端子53a間を選択する（ステップS702）。画素列の数がn列であるとき、隣り合う短絡検出対象接続端子53aの組み合わせは、n-1通りである。

【0219】

続いて、処理部202cは、選択した短絡検出対象接続端子53a間に所定の電位差を印加するように制御する（ステップS703）。具体的には、選択した短絡検出対象接続端子53a間において、奇数列の画素Pixに画像信号Vsigを供給するアンプ回路から、例えば+5Vの直流電圧が出力されるように制御し、選択した短絡検出対象接続端子53a間において、偶数列の画素Pixに画像信号Vsigを供給するアンプ回路から、例えば-5Vの直流電圧が出力されるように制御する。このとき、選択した短絡検出対象接続端子53a間の電位差は10Vとなる。このときのドライバIC6gの制御状態が、本開示における「第2制御状態」に対応する。

【0220】

処理部202cは、スイッチ15pを介して入力される、選択した隣り合う短絡検出対象接続端子53aの一方の電圧値である第1電圧値V1を検出し、第1電圧値情報としてレジスタ部203cに格納すると共に、スイッチ15qを介して入力される、選択した隣り合う短絡検出対象接続端子53aの他方の電圧値である第2電圧値V2を検出し、第2電圧値情報としてレジスタ部203cに格納する（ステップS704）。

【0221】

続いて、処理部202cは、レジスタ部203cから第1電圧値情報と選択した短絡検出対象接続端子53a間における第2電圧値情報とを読み出し、第1電圧値V1と第2電圧値V2との差分 $|V1 - V2|$ を電圧閾値 ΔV_{th} と比較する（ $|V1 - V2| < \Delta V_{th}$ ）（ステップS705）。

【0222】

第1電圧値V1と第2電圧値V2との差分 $|V1 - V2|$ が電圧閾値 ΔV_{th} よりも小さい場合（ステップS705；Yes）、処理部202cは、選択した短絡検出対象接続端子53a間において短絡が発生しているものと判定し、レジスタ部203cの判定フラグを「0」から「1」に書き換える（ステップS706）。図25では、短絡検出対象接続端子53a間（3，4）において短絡が発生した例を示している。

【0223】

第1電圧値V1と第2電圧値V2との差分 $|V1 - V2|$ が電圧閾値 ΔV_{th} 以上である場合（ステップS705；No）、処理部202cは、選択した短絡検出対象接続端子53a間において短絡が発生していないものと判定する。

【0224】

続いて、処理部202cは、隣り合う全ての短絡検出対象接続端子53a間（1，2），（2，3），（3，4），・・・（n-1，n）において短絡判定済みであるか否かを判定する（ステップS707）。

【0225】

短絡判定済みでない短絡検出対象接続端子53a間があれば（ステップS707；No）、ステップS702に戻り、ステップS707までの処理を繰り返し実施する。

【0226】

全ての短絡検出対象接続端子53a間において短絡判定済みであれば（ステップS707；Yes）、実施形態5の変形例1に係る短絡判定処理を終了する。

【0227】

10

20

30

40

50

上述した実施形態 5 に係る構成において、実施形態 5 の変形例 1 に係る短絡判定処理手順を実施することにより、F O G 実装部 5 a において短絡が発生している短絡検出対象接続端子 5 3 a 間を特定することができる。そして、レジスタ部 2 0 3 c の情報を外部から処理部 2 0 2 c を介して読み出すことで、F O G 実装部 5 a において短絡が発生している短絡検出対象接続端子 5 3 a 間を識別することができる。

【 0 2 2 8 】

(実施形態 5 の変形例 2)

図 2 6 は、実施形態 5 の変形例 2 に係る表示装置及び検査治具の概略構成を示す図である。なお、実施形態 5 と同じ構成要素には、同じ参照符号を付して、説明を省略する。

【 0 2 2 9 】

図 2 6 に示すように、回路基板 2 h には、表示装置 1 0 0 h の出荷検査において検査治具 2 0 0 a が接続される。

【 0 2 3 0 】

回路基板 2 h に F O G 実装されたドライバ I C 6 h は、映像線駆動回路 6 1 と、スイッチ制御部 6 2 c と、出力制御回路 6 3 と、処理部 6 5 d と、レジスタ部 6 6 d と、を含む。

【 0 2 3 1 】

処理部 6 5 d は、実施形態 5 の検査治具 2 0 0 d における処理部 2 0 2 c に相当する構成部であり、表示装置 1 0 0 h の出荷検査において、ドライバ I C 6 h の制御及び F O G 実装部 5 a における短絡判定処理を行う。

【 0 2 3 2 】

レジスタ部 6 6 d は、実施形態 5 の検査治具 2 0 0 d におけるレジスタ部 2 0 3 c に相当する構成部であり、処理部 6 5 d による F O G 実装部 5 a の短絡判定処理における各種データを格納する。レジスタ部 6 6 d に記憶される各種データは、例えば、短絡判定処理における電圧閾値、中間処理データ、及び判定フラグ等を含む。なお、レジスタ部 6 6 d に記憶される各種データは、数値データであっても良いし、デジタルデータ等の離散値であっても良い。

【 0 2 3 3 】

検査治具 2 0 0 a は、表示装置 1 0 0 h の出荷検査において回路基板 2 h に接続される。検査治具 2 0 0 a は、電源部 2 0 1 を含む。

【 0 2 3 4 】

上述した構成において、F O G 実装部 5 a における短絡判定処理を行う手順については、実施形態 5 に係る短絡判定処理手順及び実施形態 5 の変形例 1 に係る短絡判定処理手順と同様である。具体的には、実施形態 5 に係る短絡判定処理手順及び実施形態 5 の変形例 1 に係る短絡判定処理手順において、処理部 2 0 2 c を処理部 6 5 d に読み替え、レジスタ部 2 0 3 c をレジスタ部 6 6 d に読み替えることで、実施形態 5 に係る短絡判定処理手順又は実施形態 5 の変形例 1 に係る短絡判定処理手順と同様の処理手順を実現することができる。

【 0 2 3 5 】

上述した実施形態 5 の変形例 2 に係る構成において、実施形態 5 に係る短絡判定処理手順を実施することにより、F O G 実装部 5 a の 1 以上の短絡検出対象接続端子 5 3 a 間において短絡が発生していること検知することができる。そして、レジスタ部 6 6 d の判定フラグを外部から処理部 6 5 d を介して読み出すことで、F O G 実装部 5 a の何れかの短絡検出対象接続端子 5 3 a 間において短絡が発生しているか否かを識別することができる。

【 0 2 3 6 】

また、上述した実施形態 5 の変形例 2 に係る構成において、実施形態 5 の変形例 1 に係る短絡判定処理手順を実施することにより、F O G 実装部 5 a において短絡が発生している短絡検出対象接続端子 5 3 a 間を特定することができる。そして、レジスタ部 6 6 d の情報を外部から処理部 6 5 d を介して読み出すことで、F O G 実装部 5 a において短絡が発生している短絡検出対象接続端子 5 3 a 間を識別することができる。

【 0 2 3 7 】

本実施形態により、品質を向上することができる表示装置 100g, 100h を提供することができる。

【0238】

(実施形態6)

図27は、実施形態6に係る表示装置の概略構成を示す模式図である。

【0239】

表示装置 100i は、表示基板 1b と、第1回路基板 3a と、第2回路基板 4a と、を含む。

【0240】

本実施形態において、表示基板 1b は、ガラス基板によって構成される。表示基板 1b には、画素 Pix (図2参照) が図中の X 方向及び Y 方向に配列された表示部 11 が設けられている。

【0241】

本実施形態において、表示装置 100i は、表示部 11 とタッチセンサ 16 とが一体化された表示装置である。具体的には、表示部 11 の電極や基板等の部材の一部が、タッチセンサ 16 の電極や基板等に兼用される。

【0242】

表示部 11 は、例えば液晶表示素子を表示素子として備えた構成であっても良い。また、表示部 11 は、例えば有機 EL 素子 (有機発光ダイオード) を発光素子として備えた構成であっても良い。表示部 11 の態様により本開示が限定されるものではない。

【0243】

表示基板 1b には、表示部 11 の画素回路に走査信号を供給する走査信号線や、表示部 11 の画素回路に映像信号を供給する映像信号線が設けられている。

【0244】

また、表示基板 1b には、表示動作の際に表示用の駆動電圧 Vcomdc が供給され、タッチ検出の際にタッチ検出用の駆動信号 Vcom が供給される電極 COML が設けられている。電極 COML は、タッチ検出の際に自己静電容量方式のタッチ検出用電極として機能する。以下、電極 COML を「検出電極 COML」とも称する。

【0245】

表示部 11 の動作を制御する制御部として、画素回路に各種信号を供給する駆動回路、及び駆動回路に供給するタイミング信号等を生成するコントローラが設けられる。

【0246】

例えば、表示基板 1b 上には、表示部 11 の走査信号線に走査信号を供給する走査線駆動回路等を配置することができる。

【0247】

本実施形態において、第1回路基板 3a は、フレキシブル配線基板によって構成される。第1回路基板 3a 上には、ドライバ IC7 が実装される。ドライバ IC7 は、例えば、表示部 11 の映像信号線に映像信号を供給する映像線駆動回路、及び検出電極 COML に表示用の駆動電圧 Vcomdc 又はタッチ検出用の駆動信号 Vcom を供給する検出電極駆動回路等が集積された半導体チップである。ドライバ IC7 は、第1回路基板 3a に COF 実装される。

【0248】

本実施形態において、第2回路基板 4a は、フレキシブル配線基板によって構成される。第2回路基板 4a には、例えば、各種の基準電位を発生する電源回路、映像信号を処理する信号処理回路及びフレームメモリ等の回路要素を配置することができる。

【0249】

表示基板 1b の端部には、第1回路基板 3a 側の各配線と接続するための端子 (パッド) が設けられている。また、第1回路基板 3a の一端には、表示基板 1b 側の各配線と接続するための端子 (パッド) が設けられている。第1回路基板 3a は、表示基板 1b に FOG 実装される。これにより、表示基板 1b 側の各配線と、これら表示基板 1b 側の各配線

10

20

30

40

50

に対応する第1回路基板3 a側の各配線とがそれぞれ電氣的に接続される。

【0250】

第2回路基板4 aの端部には、第1回路基板3 a側の各配線と接続するための端子（パッド）が設けられている。また、第1回路基板3 aの他端には、第2回路基板4 a側の各配線と接続するための端子（パッド）が設けられている。第1回路基板3 aは、第2回路基板4 aにF O F実装される。これにより、第2回路基板4 a側の各配線と、これら第2回路基板4 a側の各配線に対応する第1回路基板3 a側の各配線とが電氣的に接続される。

【0251】

なお、第1回路基板3 a及び第2回路基板4 aは、1つのフレキシブル配線基板によって構成されても良い。この場合には、ドライバIC 7以外の回路要素もフレキシブル配線基板に実装されていても良いし、ドライバIC 7以外の回路要素が実装されていない態様であっても良い。以下、第1回路基板3 aと第2回路基板4 aとを区別する必要がない場合には、第1回路基板3 aと第2回路基板4 aとが1つのフレキシブル配線基板によって構成された回路基板2 iとして説明する。

【0252】

表示基板1 bが、本開示における「第1基板」に対応する。また、回路基板2 iが、本開示における「第2基板」に対応する。

【0253】

図28は、実施形態6に係る表示装置及び検査治具の概略構成を示す図である。なお、実施形態1から実施形態5と同じ構成要素には、同じ参照符号を付して、説明を省略する。図28に示すように、回路基板2 iには、表示装置100 iの出荷検査において検査治具200 eが接続される。

【0254】

回路基板2 iにF O G実装されたドライバIC 7は、検出電極駆動回路71と、スイッチ制御部72と、出力制御回路73と、第1昇圧回路74-1と、第2昇圧回路74-2と、電圧生成部75と、を含む。検出電極駆動回路71が、本開示における「駆動回路」に対応する。

【0255】

検出電極駆動回路71は、タッチ検出を行う際、表示基板1 bに設けられた複数の検出電極COMLに対し、それぞれ個別のタッチ検出用の駆動信号V c o mを生成して出力する。検出電極駆動回路71は、m列（mは、正の整数）の検出電極COMLに対応するm個のアンプ回路711, ..., 71mを備えている。検出電極駆動回路71は、検査治具200 eの電源部201から、第1正極性電源電圧A V D D 1及び第1負極性電源電圧A V E E 1が供給される。

【0256】

出力制御回路73は、検出電極駆動回路71の各アンプ回路711, ..., 71mとF O G実装部5 bの各接続端子53との接続と遮断とを切り換える。出力制御回路73は、検出電極駆動回路71の各アンプ回路711, ..., 71mにそれぞれ対応するスイッチ731, ..., 73mを備えている。なお、本実施形態では、出力制御回路73を介して検出電極駆動回路71の各アンプ回路711, ..., 71mに接続される接続端子53を、短絡不良の検出対象としている。以下、本実施形態において短絡不良の検出対象とする接続端子53を、「短絡検出対象接続端子53 b」と称する。

【0257】

スイッチ制御部72は、出力制御回路73の各スイッチ及び表示基板1 bに設けられる電圧供給回路17の各スイッチを制御する。

【0258】

第1昇圧回路74-1は、検査治具200 eの電源部201から供給される第1正極性電源電圧A V D D 1を昇圧して、第2正極性電圧A V D D 2を生成する。第2正極性電圧A V D D 2は、例えば+10Vである。

【0259】

10

20

30

40

50

第2昇圧回路74-2は、検査治具200eの電源部201から供給される第1負極性電源電圧AVEE1を昇圧して、第2負極性電圧AVEE2を生成する。第2負極性電圧AVEE2は、例えば-10Vである。

【0260】

なお、第2正極性電源電圧AVDD2及び第2負極性電源電圧AVEE2の電圧により本開示が限定されるものではない。

【0261】

電圧生成部75は、第1電圧生成回路751と、第2電圧生成回路752と、を含む。電圧生成部75には、第1昇圧回路74-1から第2正極性電圧AVDD2が供給され、第2昇圧回路74-2から第2負極性電圧AVEE2が供給される。

【0262】

第1電圧生成回路751は、表示基板1bに供給する0V以上の正極性電圧を生成する。

【0263】

第2電圧生成回路752は、表示基板1bに供給する0V以下の負極性電圧を生成する。

【0264】

表示基板1bは、電圧供給回路17を備えている。

【0265】

電圧供給回路17は、検出電極駆動回路71の各アンプ回路711、・・・、71mにそれぞれ対応するスイッチ171、・・・、17mを備えている。電圧供給回路17は、検出電極駆動回路71の各アンプ回路711、・・・、71mのうち、奇数列の検出電極COMLに表示用の駆動電圧Vcomdc又はタッチ検出用の駆動信号Vcomを供給するアンプ回路に接続される短絡検出対象接続端子53bに対して電圧生成部75の第1電圧生成回路751から供給される正極性電圧を印加するスイッチ17p（pは、m以下の正の奇数）と、偶数列の検出電極COMLに表示用の駆動電圧Vcomdc又はタッチ検出用の駆動信号Vcomを供給するアンプ回路に接続される短絡検出対象接続端子53bに対して電圧生成部75の第2電圧生成回路752から供給される負極性電圧を印加するスイッチ17q（qは、m以下の正の偶数）と、を含む。

【0266】

検査治具200eは、表示装置100iの出荷検査において回路基板2iに接続される。検査治具200eは、電源部201と、処理部202dと、レジスタ部203dと、電流検出部204と、を含む。

【0267】

処理部202dは、表示装置100iの出荷検査において、ドライバIC7の制御及びFOG実装部5bにおける短絡判定処理を行う。本実施形態における短絡判定処理については後述する。

【0268】

レジスタ部203dは、処理部202dによるFOG実装部5bの短絡判定処理における各種データを格納する。レジスタ部203dに記憶される各種データは、例えば、短絡判定処理における電流閾値、中間処理データ、及び判定フラグ等を含む。なお、レジスタ部203dに記憶される各種データは、数値データであっても良いし、デジタルデータ等の離散値であっても良い。

【0269】

以下、上述した構成において、FOG実装部5bにおける短絡判定処理を行う手順について説明する。図29は、実施形態6に係る短絡判定処理手順の一例を示す図である。図30は、実施形態6に係る短絡判定処理においてレジスタ部に格納される情報の一例を示す図である。

【0270】

本実施形態では、判定フラグが「1」、すなわち、FOG実装部5bの1以上の短絡検出対象接続端子53b間において短絡が発生している場合に、第1電位よりも高い第2電位差を印加する処理を実施することで、FOG実装部5bにおける短絡検出対象接続端子5

10

20

30

40

50

3 b間の短絡解消を図っている。この処理を、以下「リペア処理」と称する。

【0271】

図29に示す短絡判定処理は、あらかじめ回路基板2 iに検査治具2 0 0 eが接続され、電源部2 0 1から第1正極性電源電圧A V D D 1及び第1負極性電源電圧A V E E 1が供給された状態で開始される。また、このとき、電圧供給回路1 7の全スイッチが開制御され、F O G実装部5 bの全ての短絡検出対象接続端子5 3 bへの正極性電圧又は負極性電圧の供給が遮断されているものとする。

【0272】

短絡判定処理開始指令が入力されると、処理部2 0 2 dは、スイッチ制御部7 2に対し、出力制御回路7 3の全スイッチの開制御指令、及び電圧供給回路1 7の全スイッチの開制御指令を出力する（ステップS 8 0 1）。これにより、検出電極駆動回路7 1とF O G実装部5 bの短絡検出対象接続端子5 3 bとの間の配線が遮断され、電圧生成部7 5とF O G実装部5 bの短絡検出対象接続端子5 3 bとの間の配線が接続される。図28における検出電極駆動回路7 1、電圧供給回路1 7の各スイッチの状態は、ステップS 8 0 1の処理を実施した状態を示している。

【0273】

続いて、処理部2 0 2 dは、電圧生成部7 5に対し、F O G実装部5 bにおいて隣り合う短絡検出対象接続端子5 3 b間の電位差が略ゼロとなるように制御する（ステップS 8 0 2）。具体的には、第1電圧生成回路7 5 1から、例えば0 Vの直流電圧が出力されるように制御し、第2電圧生成回路7 5 2から、例えば0 Vの直流電圧が出力されるように制御する。このとき、F O G実装部5 bにおいて隣り合う短絡検出対象接続端子5 3 b間の電位差は0 Vとなる。このときのドライバIC 7の制御状態が、本開示における「第1制御状態」に対応する。処理部2 0 2 dは、このときの電流値を第1電流値I 1として電流検出部2 0 4から取得し、第1電流値情報としてレジスタ部2 0 3 dに格納する（ステップS 8 0 3）。

【0274】

また、処理部2 0 2 dは、電圧生成部7 5に対し、F O G実装部5 bにおいて隣り合う短絡検出対象接続端子5 3 b間に所定の第1電位差を印加するように制御する（ステップS 8 0 4）。具体的には、第1電圧生成回路7 5 1から、例えば+5 Vの直流電圧が出力されるように制御し、第2電圧生成回路7 5 2から、例えば-5 Vの直流電圧が出力されるように制御する。このとき、F O G実装部5 bにおいて隣り合う短絡検出対象接続端子5 3 b間の第1電位差は10 Vとなる。このときのドライバIC 7の制御状態が、本開示における「第2制御状態」に対応する。処理部2 0 2 dは、このときの電流値を第2電流値I 2として電流検出部2 0 4から取得し、第2電流値情報としてレジスタ部2 0 3 dに格納する（ステップS 8 0 5）。

【0275】

なお、上述したステップS 8 0 2及びステップS 8 0 3の処理と、ステップS 8 0 4及びステップS 8 0 5の処理とは、入れ換えが可能である。すなわち、ステップS 8 0 4及びステップS 8 0 5の処理を実施してから、ステップS 8 0 2及びステップS 8 0 3の処理を実施する態様であっても良い。ステップS 8 0 2及びステップS 8 0 3の処理と、ステップS 8 0 4及びステップS 8 0 5の処理との実施順により本開示が限定されるものではない。

【0276】

続いて、処理部2 0 2 dは、レジスタ部2 0 3 dから第1電流値情報と第2電流値情報とを読み出し、第1電流値I 1と第2電流値I 2との差分 $|I 1 - I 2|$ を電流閾値 $\Delta I t h$ と比較する（ $|I 1 - I 2| > \Delta I t h$ ）（ステップS 8 0 6）。

【0277】

第1電流値I 1と第2電流値I 2との差分 $|I 1 - I 2|$ が電流閾値 $\Delta I t h$ よりも大きい場合（ステップS 8 0 6；Y e s）、処理部2 0 2 dは、F O G実装部5 bの1以上の短絡検出対象接続端子5 3 b間において短絡が発生しているものと判定してレジスタ部2

10

20

30

40

50

03dの判定フラグを「0」から「1」に書き換える（ステップS807a）。図30では、FOG実装部5bの1以上の短絡検出対象接続端子53b間において短絡が発生した例を示している。

【0278】

第1電流値I1と第2電流値I2との差分 $|I1 - I2|$ が電流閾値 ΔI_{th} 以下である場合（ステップS806；No）、処理部202dは、FOG実装部5bの何れの短絡検出対象接続端子53b間においても短絡が発生していないものと判定し、当該短絡検出対象接続端子53b間におけるレジスタ部203dの判定フラグが「1」である場合には、当該判定フラグを「1」から「0」に書き換える（ステップS807b）。

【0279】

続いて、処理部202dは、レジスタ部203dに格納された情報を参照し、判定フラグが「0」、すなわち、FOG実装部5bの1以上の短絡検出対象接続端子53b間において短絡が発生していないか否かを判定する（ステップS808）。

【0280】

FOG実装部5bの1以上の短絡検出対象接続端子53b間において短絡が発生していない場合には（ステップS808；Yes）、実施形態6に係る短絡判定処理を終了する。

【0281】

FOG実装部5bの1以上の短絡検出対象接続端子53b間において短絡が発生している場合には（ステップS808；No）、処理部202dは、リペア済みフラグが「0」であるか否かを判定する（ステップS809）。図30では、リペア済みフラグが「0」である例を示している。

【0282】

リペア済みフラグが「1」である場合（ステップS809；No）、実施形態6に係る短絡判定処理を終了する。

【0283】

リペア済みフラグが「0」である場合（ステップS809；Yes）、処理部202dは、電圧生成部75に対し、FOG実装部5bにおいて隣り合う短絡検出対象接続端子53b間に第1電位差よりも大きい第2電位差を印加するように制御する（ステップS810）。具体的には、第1電圧生成回路751から、例えば+8Vの直流電圧が出力されるように制御し、第2電圧生成回路752から、例えば-8Vの直流電圧が出力されるように制御する。このとき、FOG実装部5bにおいて隣り合う短絡検出対象接続端子53b間の第2電位差は16Vとなる。

【0284】

処理部202dは、所定時間経過した後、リペア済みフラグを「0」から「1」に書き換え（ステップS811）、ステップS802に戻り、ステップS809までの処理を再度実施する。

【0285】

上述した実施形態6に係る構成において、実施形態6に係る短絡判定処理手順を実施することにより、FOG実装部5bの1以上の短絡検出対象接続端子53b間において短絡が発生していることを検知することができる。そして、レジスタ部203dの判定フラグを外部から処理部202dを介して読み出すことで、FOG実装部5bの何れかの短絡検出対象接続端子53b間において短絡が発生しているか否かを識別することができる。

【0286】

また、上述した実施形態6に係る短絡判定処理では、FOG実装部5bの1以上の短絡検出対象接続端子53b間において短絡が発生している場合にリペア処理を実施する。これにより、短絡判定処理におけるFOG実装部5bの短絡不良を低減することができる。また、レジスタ部203dの情報を外部から処理部202dを介して読み出すことで、リペア処理の履歴を参照することができる。

【0287】

また、検出電極駆動回路71の各アンプ回路711、・・・、71mの動作を停止させる

10

20

30

40

50

ことができるので、第 1 電流値 I_1 及び第 2 電流値 I_2 に含まれる定常的な回路電流を小さくすることができ、短絡判定を行う際の閾値判定の精度が向上する。

【0288】

なお、本実施形態では、ステップ S802 からステップ S809 までの処理を再実行しても、短絡が発生している場合には（ステップ S808；No）、ステップ S809 においてリペア済みフラグが「1」と判定され（ステップ S809；No）、実施形態 6 に係る短絡判定処理を終了するようにしている。これにより、リペア処理（ステップ S810）を行っても短絡が解消しない個体を排除することができるが、これに限らない。例えば、リペア済みフラグを設けず、短絡検出対象接続端子 53b 間の短絡が解消するまでリペア処理を繰り返し実施する態様であっても良いし、複数回リペア処理を行っても短絡検出対象接続端子 53b 間の短絡が解消しない場合に、短絡判定処理を終了する態様であっても良い。

10

【0289】

（実施形態 6 の変形例）

図 31 は、実施形態 6 の変形例に係る表示装置及び検査治具の概略構成を示す図である。なお、実施形態 6 と同じ構成要素には、同じ参照符号を付して、説明を省略する。

【0290】

図 31 に示すように、回路基板 2j には、表示装置 100j の出荷検査において検査治具 200a が接続される。

【0291】

20

回路基板 2j に FOG 実装されたドライバ IC 7a は、検出電極駆動回路 71 と、スイッチ制御部 72 と、出力制御回路 73 と、処理部 65e と、レジスタ部 66e と、電流検出部 67 と、第 1 昇圧回路 74-1 と、第 2 昇圧回路 74-2 と、電圧生成部 75 と、を含む。

【0292】

処理部 65e は、実施形態 6 の検査治具 200e における処理部 202d に相当する構成部であり、表示装置 100j の出荷検査において、ドライバ IC 7a の制御及び FOG 実装部 5b における短絡判定処理を行う。

【0293】

レジスタ部 66e は、実施形態 6 の検査治具 200e におけるレジスタ部 203d に相当する構成部であり、処理部 65e による FOG 実装部 5b の短絡判定処理における各種データを格納する。レジスタ部 66e に記憶される各種データは、例えば、短絡判定処理における電流閾値、中間処理データ、及び判定フラグ等を含む。なお、レジスタ部 66e に記憶される各種データは、数値データであっても良いし、デジタルデータ等の離散値であっても良い。

30

【0294】

検査治具 200a は、表示装置 100j の出荷検査において回路基板 2j に接続される。検査治具 200a は、電源部 201 を含む。

【0295】

上述した構成において、FOG 実装部 5b における短絡判定処理を行う手順については、実施形態 6 に係る短絡判定処理手順と同様である。具体的には、実施形態 6 に係る短絡判定処理手順において、処理部 202d を処理部 65e に読み替え、レジスタ部 203d をレジスタ部 66e に読み替え、電流検出部 204 を電流検出部 67 に読み替えることで、実施形態 6 に係る短絡判定処理手順と同様の処理手順を実現することができる。

40

【0296】

上述した実施形態 6 の変形例に係る構成において、実施形態 6 に係る短絡判定処理手順を実施することにより、FOG 実装部 5b の 1 以上の短絡検出対象接続端子 53b 間において短絡が発生していること検知することができる。そして、レジスタ部 66e の判定フラグを外部から処理部 65e を介して読み出すことで、FOG 実装部 5b の何れかの短絡検出対象接続端子 53b 間において短絡が発生しているか否かを識別することができる。

50

【0297】

また、検出電極駆動回路71の各アンプ回路711, ..., 71mの動作を停止させることができるので、第1電流値I1及び第2電流値I2に含まれる定常的な回路電流を小さくすることができ、短絡判定を行う際の閾値判定の精度が向上する。

【0298】

本実施形態により、品質を向上することができる表示装置100i, 100jを提供することができる。

【0299】

上述した実施形態は、各構成要素を適宜組み合わせることが可能である。また、本実施形態において述べた態様によりもたらされる他の作用効果について本明細書記載から明らかなもの、又は当業者において適宜想到し得るものについては、当然に本発明によりもたらされるものと解される。

【符号の説明】

【0300】

- 1, 1a, 1b 表示基板（第1基板）
- 2, 2a, 2b, 2c, 2d, 2e, 2f, 2g, 2h, 2i, 2j 回路基板（第2基板）
- 3, 3a 第1回路基板
- 4, 4a 第2回路基板
- 5, 5a, 5b FOG実装部
- 6, 6a, 6b, 6c, 6d, 6e, 6f, 6g, 6h ドライバIC
- 7, 7a ドライバIC
- 11 表示部
- 12R, 12G, 12B カラーフィルタ
- 13a 液晶素子
- 13b 保持容量
- 14 信号選択回路
- 15 電圧供給回路
- 15a 電圧読み出し回路
- 16 タッチセンサ
- 17 電圧供給回路
- 51 第1配線
- 52 第2配線
- 53 接続端子
- 53a, 53b 短絡検出対象接続端子（接続端子）
- 54 異物
- 61 映像線駆動回路
- 62, 62a, 62b, 62c スイッチ制御部
- 63 出力制御回路
- 64 電圧印加回路
- 65, 65a, 65b, 65c, 65d, 65e 処理部
- 66, 66a, 66b, 66c, 66d, 66e レジスタ部
- 67 電流検出部
- 68-1 第1昇圧回路
- 68-2 第2昇圧回路
- 69 電圧切換回路
- 70 電圧生成部
- 71 検出電極駆動回路
- 72 スイッチ制御部
- 73 出力制御回路

10

20

30

40

50

74-1 第1昇圧回路

74-2 第2昇圧回路

75 電圧生成部

100, 100a, 100b, 100c, 100d, 100e, 100f, 100g, 100h, 100i, 100j 表示装置

200, 200a, 200b, 200c, 200d, 200e 検査治具

201 電源部

202, 202a, 202b, 202c, 202d 処理部

203, 203a, 203b, 203c, 203d レジスタ部

204 電流検出部

10

611, ..., 61n アンプ回路

641, ..., 64n, 64p, 64q スイッチ

701 第1電圧生成回路

702 第2電圧生成回路

711, ..., 71m アンプ回路

751 第1電圧生成回路

752 第2電圧生成回路

AVDD1 第1正極性電源電圧

AVDD2 第2正極性電源電圧

AVEE1 第1負極性電源電圧

20

AVEE2 第2負極性電源電圧

GCL 走査信号線

Pix 画素

SGL 映像信号線

SPix 副画素

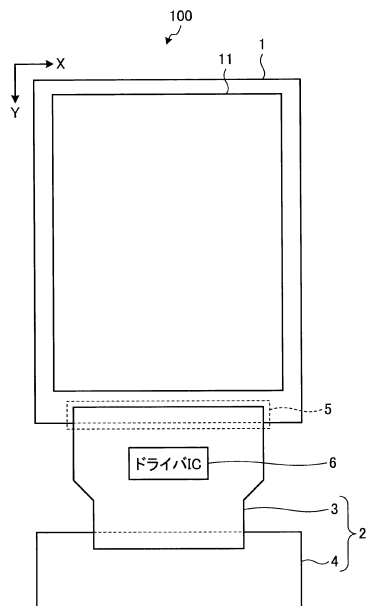
Tr スイッチング素子

Vpix 画素信号

Vsig 画像信号

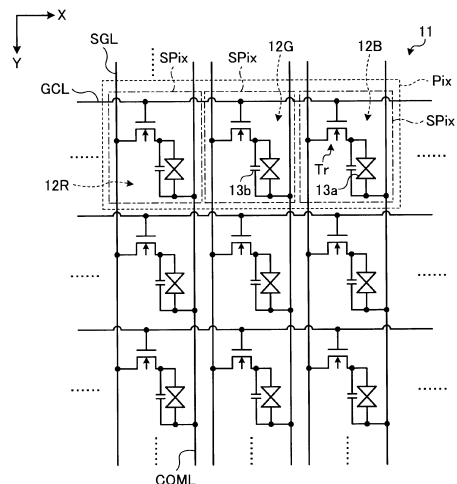
【図面】

【図1】



【図2】

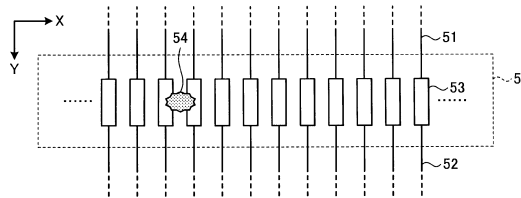
30



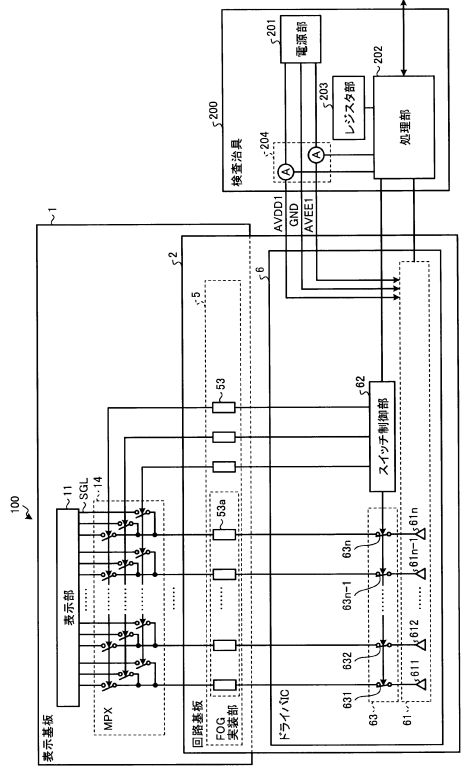
40

50

【図 3】



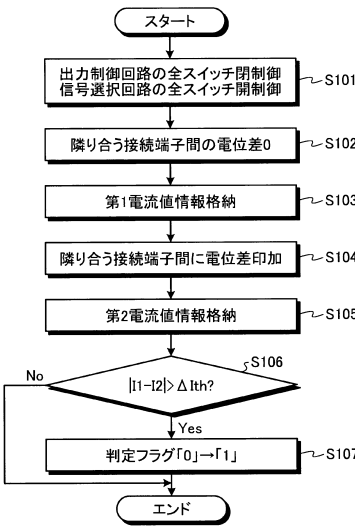
【図 4】



10

20

【図 5】



【図 6】

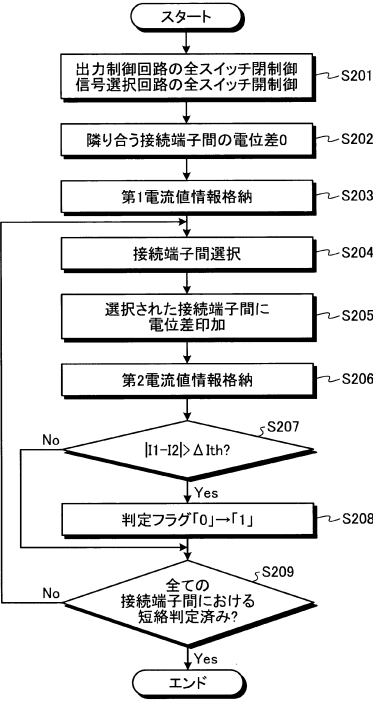
第1電流値	xx
第2電流値	xx
判定フラグ	1

30

40

50

【図 7】



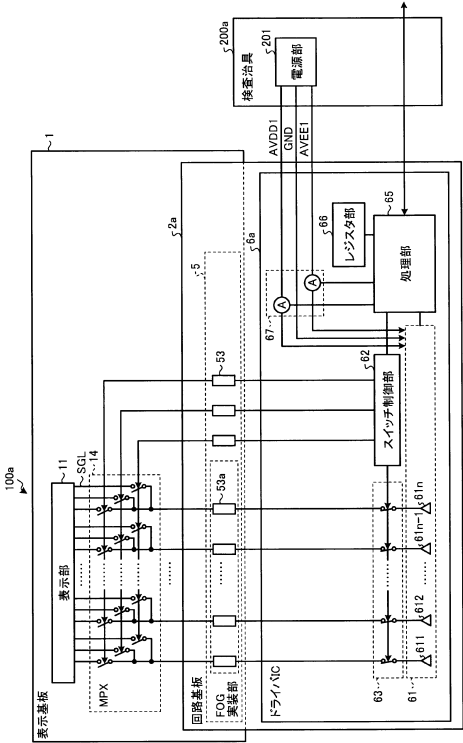
【図 8】

第1電流値	xx				
接続端子間	(1,2)	(2,3)	(3,4)	...	(n-1,n)
第2電流値	xx	xx	xx	...	xx
判定フラグ	0	0	1	...	0

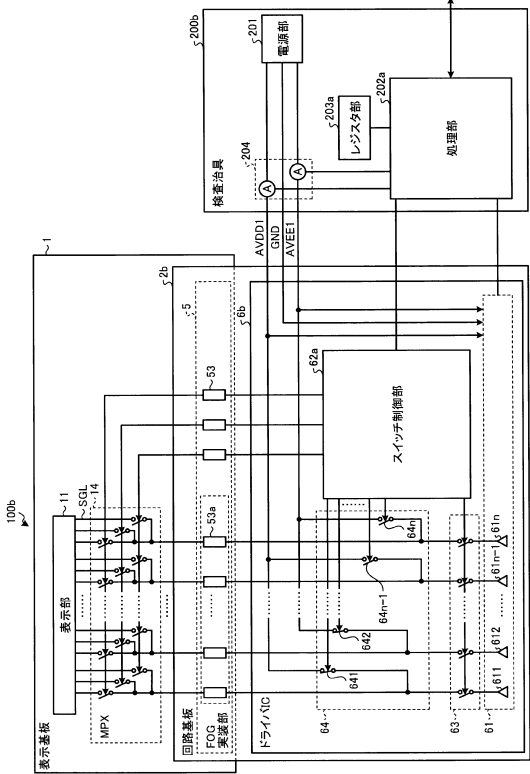
10

20

【図 9】



【図 10 A】

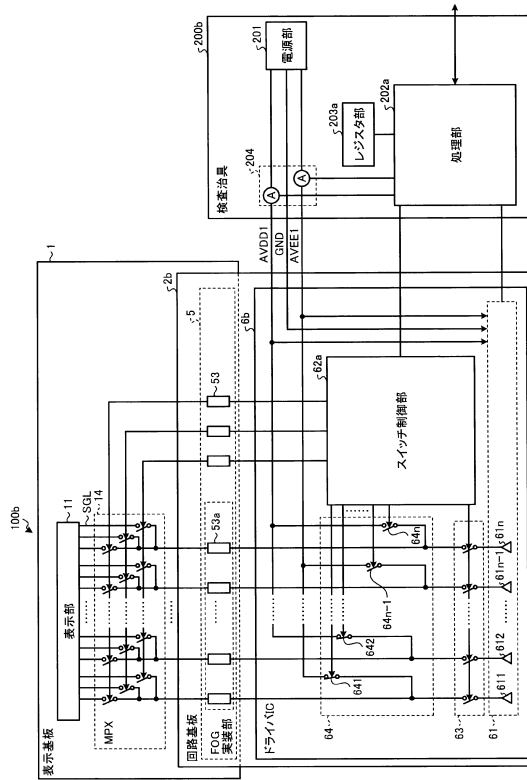


30

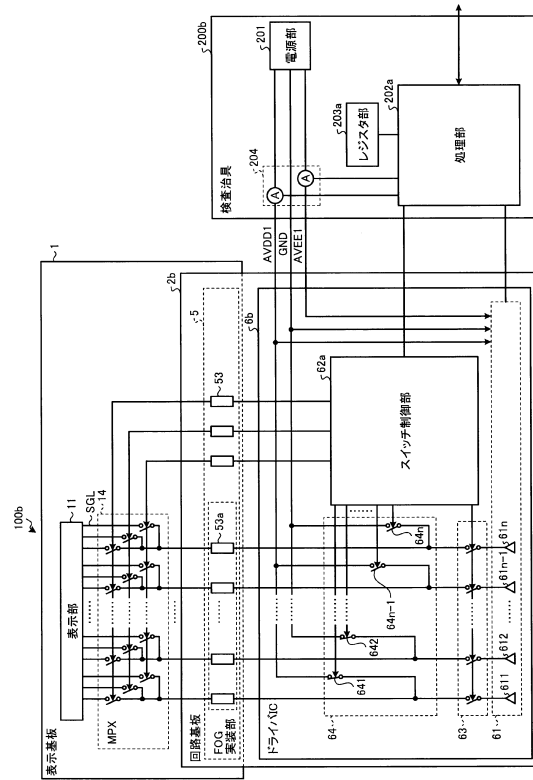
40

50

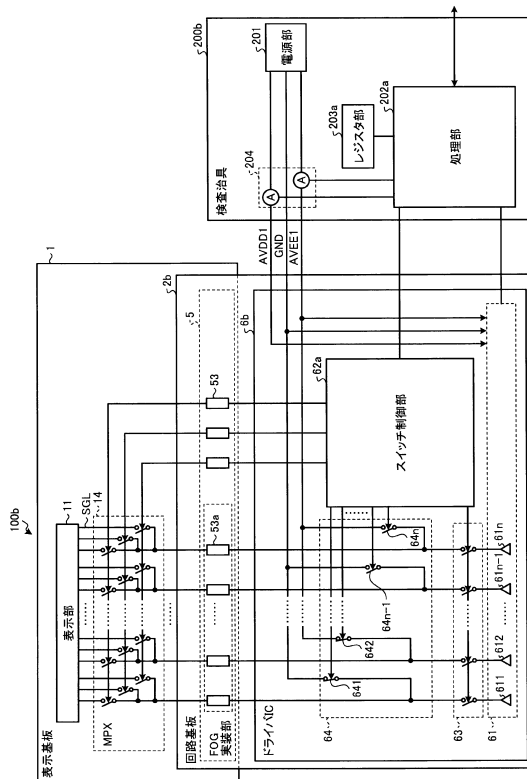
【図10B】



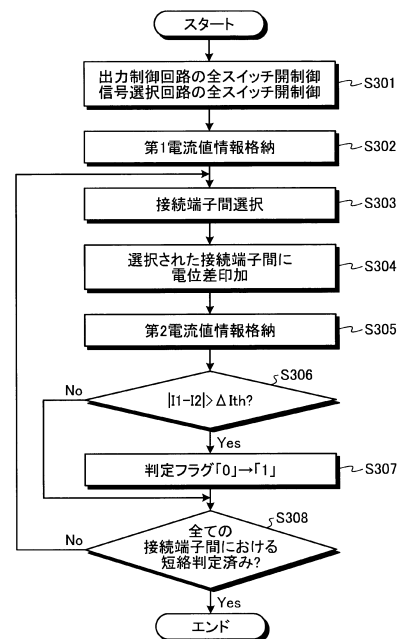
【図10C】



【図10D】



【図11】



10

20

30

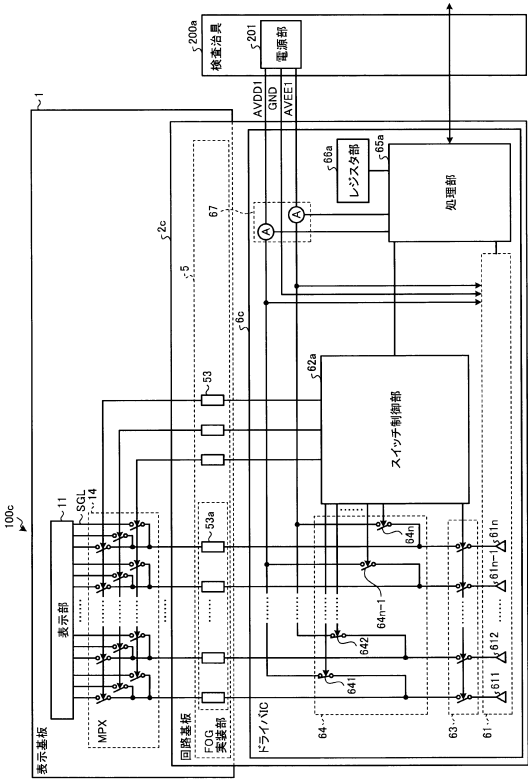
40

50

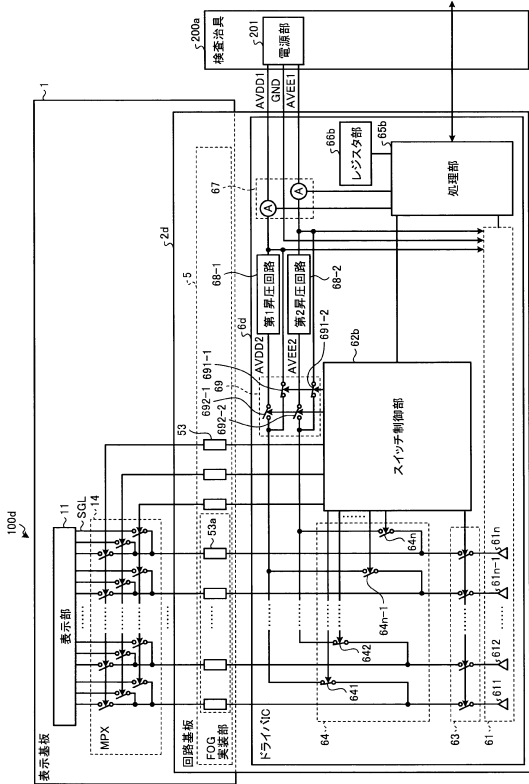
【図 1 2】

第1電流値	xx				
接続端子間	(1,2)	(2,3)	(3,4)	...	(n-1,n)
第2電流値	xx	xx	xx	...	xx
判定フラグ	0	0	1	...	0

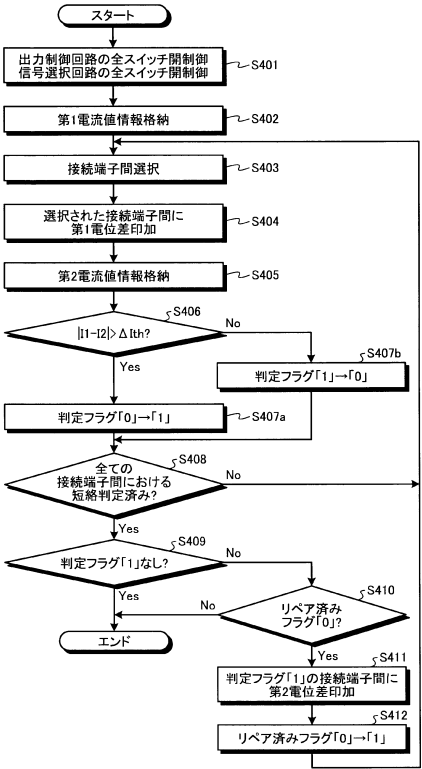
【図 1 3】



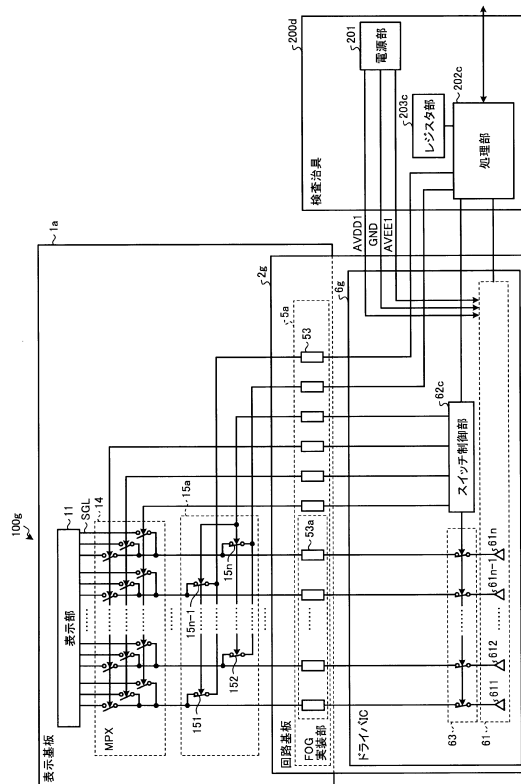
【図 1 4】



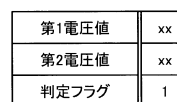
【図 1 5】



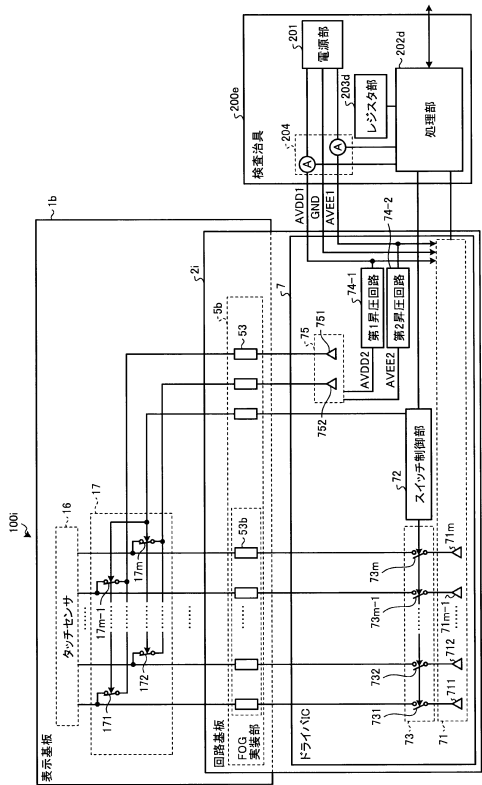
【図 2 1】



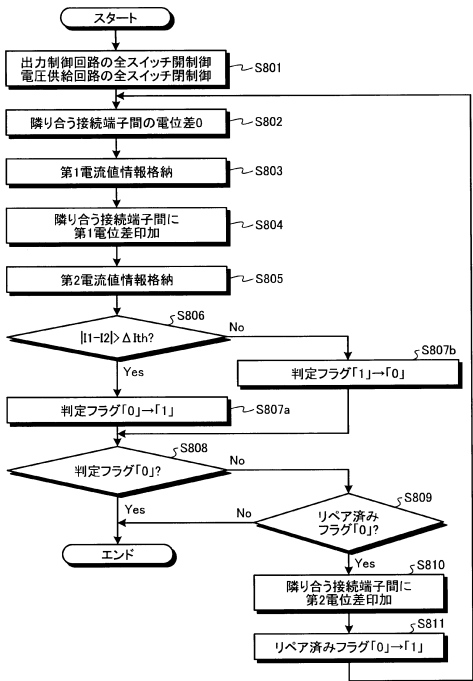
【圖 23】



【図 28】



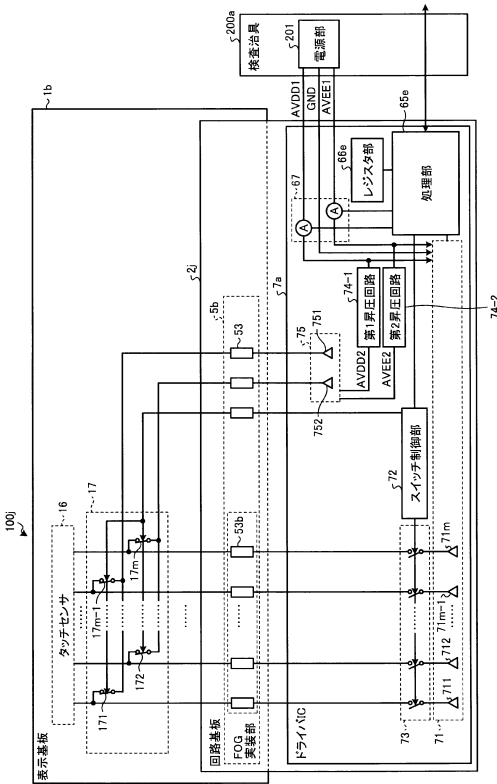
【図 29】



【図 30】

第1電流値	xx
第2電流値	xx
判定フラグ	1
リペア済みフラグ	0

【図 31】



フロントページの続き

(51)国際特許分類

F I

G 0 1 R	31/50	
G 0 9 G	3/20	6 7 0 A
G 0 9 G	3/20	6 2 1 J
G 0 9 G	3/20	6 7 0 Q

東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

審査官 小野 博之

(56)参考文献 特開2006-139167(JP, A)

特開平07-049363(JP, A)

特開2013-058428(JP, A)

特開2009-122285(JP, A)

特開2017-138393(JP, A)

特開2012-173598(JP, A)

(58)調査した分野 (Int.Cl., DB名)

G 0 9 F 9/00-46

G 0 2 F 1/13-1/141

G 0 9 G 1/00-5/36

5/377-5/42

G 0 1 R 31/00

31/02-31/06

31/24-31/25