

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 21/205

H01L 21/283

H01L 21/22 H01L 29/04

[12]发明专利说明书

[21] ZL 专利号 95117312.X

[45]授权公告日 2000 年 7 月 5 日

[11]授权公告号 CN 1054235C

[22]申请日 1995.9.19 [24]颁证日 2000.4.21

[21]申请号 95117312.X

[30]优先权

[32]1994.9.19 [33]JP [31]248310/1994

[73]专利权人 株式会社日立制作所

地址 日本东京

[72]发明人 三浦英生 守部俊二 加藤久幸

小池淳义 池田修二 西村朝雄

[56]参考文献

JP 平 3-70126A 1991. 3.26

JP 平 6-97082A 1994. 4. 8

审查员 赵百令

[74]专利代理机构 中国国际贸易促进委员会专利商标事
务所

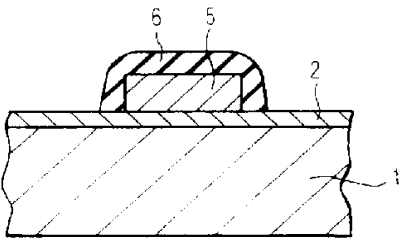
代理人 王以平

权利要求书 3 页 说明书 24 页 附图页数 11 页

[54]发明名称 半导体器件及其制作方法

[57]摘要

一种包含多晶硅薄膜的半导体器件,在这种多晶硅薄膜中硅薄膜的晶粒主要具有圆柱形结构且各个晶粒的晶向几乎为均一的方向。这种膜可以这样制作;在基底薄膜的界面上先淀积一层无掺杂硅薄膜或者先淀积一层杂质层,然后淀积掺杂的硅薄膜,如果需要,接下来进行热处理使之多晶化。



ISSN 1008-4274

权 利 要 求 书

1. 一种用于制造半导体器件而淀积硅膜的方法, 包括一个在淀积硅膜的同时掺入 III 族和 V 族元素中选择的一种杂质的就地掺杂步骤, 其特征在于: 所述就地掺杂步骤包括在使用 SiH_4 和 Si_2H_6 中选择的一种气体淀积硅膜的同时改变杂质掺入量的步骤。

2. 如权利要求 1 所述的方法, 其特征在于所述淀积硅膜的步骤包括: 在淀积硅膜的同时掺入 III 族和 V 族元素中选择的一种杂质, 然后在淀积硅膜的同时改变杂质的掺入量。

3. 如权利要求 1 所述的方法, 其特征在于所述淀积硅膜的步骤包括: 淀积硅膜直到未掺杂层的厚度到达 1-10nm, 然后在淀积硅膜的同时掺入 III 族和 V 族元素中选择的一种杂质。

4. 如权利要求 1 所述的方法, 其特征在于所述淀积硅膜的步骤包括: 使用用于淀积硅膜的 SiH_4 和 Si_2H_6 中选择的一种气体和一种掺入 III 族和 V 族元素中选择的一种杂质的气体来淀积硅膜, 之后通过改变用于淀积硅膜的气体和用于掺入杂质的气体的比例来淀积薄膜。

5. 如权利要求 1 所述的方法, 其特征在于所述淀积硅膜的步骤包括: 淀积硅膜的同时掺入 III 族和 V 族元素中选择的一种杂质, 然后在淀积硅膜的同时掺入该杂质并使其浓度高于之前所掺入的杂质浓度。

6. 如权利要求 1 所述的方法, 其特征在于所述淀积硅膜的步骤包括: 使用用于淀积硅膜的 SiH_4 和 Si_2H_6 中选择的一种气体淀积硅膜直到未掺杂层的厚度到达 1-10nm, 然后用该淀积硅膜的气体和一种掺入 III 族和 V 族元素中选择的一种杂质的气体淀积硅

膜

7. 如权利要求 1 所述的方法, 其特征在于所述淀积硅膜的步骤包括: 在淀积一非晶态硅膜的同时以 $500 \sim 600^{\circ}\text{C}$ 掺入 III 族和 V 族元素中选择的一种杂质; 然后在淀积非晶态硅膜的同时以高于之前淀积的硅膜中的杂质浓度掺入该杂质; 以及在该淀积步骤之后还提供一个步骤, 在 $550 \sim 1000^{\circ}\text{C}$ 下将上述非晶态硅膜转变成多晶硅膜。

8. 如权利要求 1 所述的方法, 其特征在于所述淀积硅膜的步骤包括: 以 $500 \sim 600^{\circ}\text{C}$ 淀积一非晶态硅膜直到未掺杂层的厚度到达 $1 \sim 10\text{nm}$; 之后在淀积非晶态硅膜的同时掺入 III 族和 V 族元素中选择的一种杂质, 以及, 在所述淀积步骤之后提供一个步骤, 在 $550 \sim 1000^{\circ}\text{C}$ 下使所述非晶态硅膜转变成多晶硅膜。

9. 如权利要求 1 所述的方法, 其特征在于所述淀积硅膜的步骤包括: 在淀积硅膜的同时掺入 III 族和 V 族元素中选出的一种杂质元素, 之后在淀积硅膜的同时掺入该杂质, 使其浓度高于之前所淀积的硅膜中的杂质浓度。

10. 如权利要求 1 所述的方法, 其特征在于所述淀积硅膜的步骤包括: 淀积一硅膜直到未掺杂层的厚度到达 $1 \sim 10\text{nm}$, 之后于淀积硅膜的同时掺入 III 族和 V 族元素中选出的一种杂质元素。

11. 如权利要求 1 所述的方法, 其特征在于所述淀积硅膜的步骤包括: 在淀积一非晶态硅膜的同时掺入磷, 之后在淀积非晶态硅膜的同时掺入磷, 并使其掺磷的浓度大于之前所淀积的非晶态硅膜中的磷浓度, 然后进行热处理将非晶态转变为多晶态。

12. 如权利要求 1 所述的方法, 其特征在于所述淀积硅膜的步骤包括: 淀积一非晶态硅膜直到未掺杂层的厚度到达 $1 \sim 10\text{nm}$, 之后于淀积非晶态硅膜的同时掺入磷, 然后进行热处理将非晶态

转换为多晶态。

13. 如权利要求 1 所述的方法，其特征在于所述淀积硅膜的步骤包括：使用用于淀积硅膜的 SiH_4 和 Si_2H_6 中选择的一种气体将硅膜淀积到厚度为 $1\text{nm}\sim 10\text{nm}$ ；以及，用上述淀积硅膜的气体的一种掺入 III 族和 V 族元素中选择的一种杂质的气体淀积硅膜。

14. 如权利要求 1 所述的方法，其特征在于所述淀积硅膜的步骤包括：用 SiH_4 和 Si_2H_6 中选择的一种气体淀积非晶态硅膜直至未掺杂层的厚度到达 $1-10\text{nm}$ ；之后用 SiH_4 和 Si_2H_6 中选择的一种气体以及 PH_3 气体淀积非晶态硅膜，然后，将该非晶态硅膜转变为多晶硅膜。

说 明 书

半导体器件及其制作方法

本发明涉及一种半导体器件。这种器件可防止在硅薄膜中内部应力的变化和由这种内部应力的变化所引起的晶体缺陷的产生。本发明还涉及到这种器件的工艺，以及制作一种硅薄膜的工艺和适合于形成这样一种硅薄膜的化学气相淀积设备。

在半导体器件的制作中，把硅薄膜用作电极和/或布线材料。由于硅薄膜是一种半导体材料，故当把它用作布线材料时，必须减小其电阻。一般说，要用扩散法掺入 III 族或 V 族(即硼和磷等等)元素。在掺入这样的杂质时，人们一直采用从薄膜表面上进行热扩散或离子注入的方法。

最近，由于半导体器件构造的复杂化，要把将在其上淀积薄膜的表面的高度差异做得尽可能地小，以便改善薄膜淀积的平坦性。因而，趋势是减少包括硅薄膜在内的各种薄膜的厚度。当膜厚减小之后，又出现了一些问题，诸如含有杂质的基底薄膜的污染的问题，以及当应用从膜表面进行热扩散或离子注入方法时，在靠近基底薄膜的交界面处杂质的浓度和不平坦淀积的问题等等。为了解决这样的问题，采用了一种就地掺杂技术，在这种技术中，在淀积硅薄膜的同时进行杂质掺入并已用于生产产品。

作为淀积硅薄膜的工艺，有两种人们熟知的工艺。一种是先在无定形状态下淀积硅然后用热处理使之多晶化。另一种工艺是从一

开始就在多晶态下进行淀积。一般来说，在先以无定形状态进行淀积然后用热处理使之多晶化的情况下，有加大晶粒大小的倾向，故为了降低薄膜的电阻更可取的是用这种工艺形成多晶硅。因此，先淀积同时掺入某种杂质的非晶态(无定形)硅再经热处理使之多晶化的多晶硅膜形成工艺被广为应用。例如，在日本专利公开出版物第(JP—A)62—54423 和 4—137724 上就已公开了这样一种技术。

但是，若应用这样的技术，还存在着下列问题。当用热处理使非晶(包括细粒的结晶态)硅薄膜结晶化时，大家都知道在基底薄膜与硅薄膜之间的交界处将长出品核。因此，晶体生长的状态将经常改变(比如说，因品核的产生密度和品核生成温度、晶粒大小和正在生长的晶面指数而改变)，这取决于靠近基底薄膜界面处的非晶硅薄膜中杂质的浓度或它的分布情况。

而且，在进行结晶反应时，由于薄膜的体积会发生变化，故薄膜中的应力状态也将产生很大的变化。还有，在形成单晶时所产生的应力的方向(即张力强度或者压缩应力)也由于正在进行生长的晶体状态而产生很大的变化。结果，存在着下列各种问题：已经在硅薄膜中产生的内部应力将变得更大；或者，在其上淀积了薄膜的晶片上，薄膜中的内部应力和正在生长的晶面是不相同的；在靠近薄膜端部所产生的应力的密度的晶体状态也不相同；诸如位错等晶体缺陷产生于硅单晶衬底上；在一个包括硅单晶的晶片上，半导体器件的电学性能也将不同，等等。

本发明的目的是提供一种可靠地消除了上述那些缺点的半导体器件，以及一种以高成品率生产这种半导体器件的工艺。

本发明的另外一个目的是给出一种在可选择的衬底上制作多晶硅薄膜的工艺和一种用于形成这种硅薄膜的化学气相淀积设备。

本发明所提供的半导体器件由下述部分组成：一个半导体衬底，一个形成于上述衬底上的基底薄膜和形成于上述基底薄膜上的掺有选自 III 族和 V 族元素的一种杂质的硅薄膜，具有主要为圆柱形构造的上述硅薄膜的晶粒从基底薄膜的一个界面上生长到硅薄膜的表面，单个晶粒在薄膜表面上的晶体取向几乎为均匀的。

本发明还提供一种生产半导体器件的工艺，它包括下述工序：在半导体衬底上形成一个基底薄膜；在上述基底薄膜上用淀积法形成一层无杂质的硅薄膜，该硅薄膜厚等于或大于 1nm ，是用 SiH_4 气体或 Si_2H_6 气体形成的，然后再淀积上掺有一种选自 III 族和 V 族元素的杂质的硅薄膜。在淀积一层非晶硅薄膜时，进行热处理以最终产生一层多晶硅薄膜。

本发明还提供了一种生产半导体器件的工艺，它包括下述工序：在半导体衬底上形成基底薄膜的工序；应用选自 III 族和 V 族元素的杂质气体形成杂质层的工序，上述杂质层的杂质浓度比将形成于基底薄膜界面上的硅薄膜的平均杂质浓度要高；以及用掺入了这种杂质的 SiH_4 气体或 Si_2H_6 气体淀积一层硅薄膜的工序。当淀积非晶态硅薄膜时，进行热处理以最终形成一个多晶硅薄膜。

本发明还提供用于生产硅薄膜的一种工艺。这种工艺包括：把从 SiH_4 气体和 Si_2H_6 气体中选出一一种原料气体导入到反应室中以淀积一层厚度大于等于 1nm 的无杂质的硅膜，然后导入从 III 族和 V 族元素中选择出来的一种杂质气体和一种原料气体以淀积掺有杂质的硅膜。当淀积非晶硅薄膜时，进行热处理以最终给出一

个多晶硅薄膜。

本发明还提供一种用于生产硅薄膜的工艺，它包括：把从 III 族和 V 族元素选出的一种杂质气体导入到反应室中去以形成一种杂质层，该杂质层的杂质浓度比将形成于基底薄膜上的硅薄膜的平均杂质浓度高；把选自 SiH_4 和 Si_2H_6 的原料气体和含有杂质的气体一起导入以形成掺有杂质的硅薄膜。当淀积非晶态的硅薄膜时，进行热处理以最终给出一个多晶硅薄膜。

本发明还提供一种用于形成硅薄膜的化学气相淀积设备，它由下述部分组成：

一个反应室，

一个气体导入单元，用于向反应室中导入原料气体和杂质气体，

一个用于在反应室内控制膜淀积的控制单元，以及

一个排气单元，用于从反应室中排出气体，

上述用于控制薄膜淀积的单元的构成要使

(i) 仅仅在导入从 SiH_4 和 Si_2H_6 中选出的原料气体的一个预定时间之后导入从 III 族和 V 族元素中挑选出来的杂质气体和原料气体，或者，

(ii) 在一起导入从 SiH_4 和 Si_2H_6 气体中选出的原料气体和杂质气体之前仅仅在一个预定时间内导入从 III 族和 V 族元素中选择出的杂质气体。

下边对附图进行简单的说明

图 1 是根据本发明的刚进行完薄膜淀积之后的一例半导体器件的剖面图。

图 2 是本发明的同一例半导体器件在完成热处理之后的剖面图。

图 3 的电子显微镜照片示出了 *P* 型掺杂非晶硅薄膜的一个剖面上生长的晶体的构造。

图 4 的电子显微镜照片示出了在 *P* 型掺杂非晶硅薄膜的一个面上生长的晶体的构造。

图 5 的电子显微镜照片示出了当形成无掺杂层时 *P* 型掺杂非晶硅薄膜的一个剖面上正在生长的晶体的构造。

图 6 是一个电子显微镜照片，它示出了当形成无掺杂层时在 *P* 型掺杂非晶硅薄膜的一个面上生长的晶体的构造。

图 7 是说明用于淀积薄膜的工艺的一个例子的流程图。

图 8 是说明用于淀积薄膜的工艺的另一例子的流程图。

图 9 为示出本发明的另一例半导体器件在刚进行完薄膜淀积之后的剖面图。

图 10 为示出本发明的同一例半导体器件在热处理之后的剖面图。

图 11 为示出本发明的又一例半导体器件在刚进行完薄膜淀积之后的剖面图。

图 12 是本发明的晶体管的剖面图。

图 13 是一个剖面图，它示出了本发明的半导体器件的再一个例子在刚进行完薄膜淀积之后的剖面。

图 14 是本发明的半导体器件的一个例子的剖面图。

图 15 是本发明的栅极电极的剖面图。

图 16 示出了本发明的高速存储器的剖面。

图 17 为本发明的化学气相淀积设备的示意图。

为了解决现有技术中存在的问题，本发明人发现在靠近非晶（包括细粒结晶状态）硅薄膜与基底薄膜（即二氧化硅膜）的界面处的杂质浓度及其分布（或浓度的差别）被控制在使得产生晶核的状态几乎是均匀的，并使得热处理之后的多晶膜的结晶状态（晶粒大小和晶向）稳定（或均匀）。

而且，为了控制靠近基底薄膜界面处杂质的浓度及其分布，本发明人发现，有效的方法是：或者在靠近基底薄膜的界面处（即在基底薄膜上边）形成一个不含杂质的层，或者在靠近基底薄膜的界面处（即在基底薄膜上边）形成杂质浓度异乎寻常之高的层。靠应用这样一种方法，在单晶化之后多晶层的晶体平面的取向将变为几乎是均匀的，由于结晶状态的稳定化而可以达到上述目的。

本发明的半导体器件包括一个半导体衬底、一个形成于上述衬底之上的基底薄膜和一个多晶硅薄膜，该多晶硅薄膜形成在基底薄膜之上而且掺杂有选自 III 族和 V 族元素的某种杂质。上述硅薄膜的晶粒主要具有从基底薄膜的界面上向硅薄膜的表面方向生长的圆柱形的构造，单个晶粒在膜表面上的结晶方向几乎为一个均一的方向。

作为半导体衬底，可以应用常规的一种衬底，诸如硅单晶衬底、所谓的 SOI（绝缘物上的硅）的衬底、一种用外延生长法所得到的晶片等等。作为基底薄膜，可以利用的有 SiO_2 膜、 SiN 膜、 N_2O 膜（氮氧化物膜）、 Ta_2O_5 膜、铁电体材料 PZT （ Pb 、 Zr 和 Ti 的氧化物的复合物）膜，或者它们的迭层构造。作为杂质，可用选自 III 族和 V 族的一种元素，例如 P （磷）、 B （硼）、 As （砷）等或者它们的

混合物。再者，“为一个几乎均一的方向”这种说法意味着多晶晶粒的晶体图解方向(*crystal graphic direction*)有 60% 或 60% 以上是相同的，理想的情况是 80% 或 80% 以上相同，更为理想的是 90% 或 90% 以上相同。

在制作一种金属—氧化物—硅(MOS)场效应晶体管的情况下，栅极氧化膜被用作基底薄膜，而栅极电极则用多晶硅薄膜制作。这就是说，这种半导体器件由一个硅单晶衬底、一个栅极氧化膜和一个形成于栅极氧化膜之上的栅极电极构成。上述栅极电极由掺有选自 III 族和 V 族元素的一种杂质的硅薄膜构成，上述硅薄膜淀积在栅极氧化物膜上，上述硅薄膜的晶粒主要具有从栅极氧化膜的界面向硅薄膜的表面方向生长的圆柱形的构造，而单个晶粒在薄膜表面的晶体取向是几乎均一的方向。

这样的半导体器件可以这样制作：应用常规方法在半导体衬底上形成一个基底薄膜；并通过淀积厚度大于等于 1nm 的硅薄膜在基底薄膜上形成一个硅薄膜，该硅薄膜没有源于原料气体(诸如 SiH_4 气体或者 Si_2H_6 气体)的杂质；接着淀积掺有选自 III 族和 V 族元素的杂质的硅薄膜；之后，当被淀积的硅薄膜为非晶硅膜时，在 550℃ 到 1000℃ 进行热处理以形成一个多晶硅薄膜。

作为一种代替方法，还可以用下述方法制作这种半导体器件：用常规方法在半导体衬底上形成基底薄膜，然后通过用选自 III 族或 V 族元素的杂质气体形成一个杂质层而在基底薄膜上形成一层硅薄膜，上述杂质层的杂质浓度高于将被形成于基底薄膜界面上的硅薄膜中的平均杂质浓度，并用掺有杂质的诸如 SiH_4 气体或者 Si_2H_6 气体之类的原料气体淀积硅膜，之后，当所淀积的硅膜是非

晶硅膜时，在 550℃ 到 1000℃ 进行热处理以形成多晶硅薄膜。

在单晶硅薄膜的情况下，在 500℃ 到 700℃ 进行硅薄膜的淀积，在非晶硅薄膜的情况下，在 500℃ 到 600℃ 进行淀积。

薄膜中的平均杂质浓度约为 10^{18} — $10^{21}/\text{cm}^3$ ，而硅薄膜中的硅浓度为大约 $5 \times 10^{22}/\text{cm}^3$ 。

如上所述，(i) 通过淀积一层不含杂质的硅薄膜使其首先淀积到使得晶体生长模式均匀的厚度，然后淀积掺入杂质的硅薄膜，或者，(ii) 通过先淀积一个杂质浓度比将要淀积于基底薄膜界面上的硅薄膜中的平均杂质浓度高的杂质层，接着淀积掺入杂质的硅薄膜，可以克服现有技术的那些问题，以高成品率生产改善了可靠性的半导体器件。

下边参考用热处理使非晶硅薄膜多晶化来解释对单晶化过程中在该膜的剖面上的晶体构造的观察。例如，在硅的热氧化膜（作为基底薄膜）上形成约 100nm 厚的非晶硅薄膜。发现部分非晶状态为结晶化的。

人们认为在多晶化的薄膜中单个晶粒在靠近基底薄膜处开始生长而且向薄膜的表面圆柱状地生长。换句话说，在靠近薄膜和基底薄膜的界面处生成单个晶粒的晶核。但是当从薄膜的表面方向观察时，应该注意到有两种晶粒的平面形状。也就是说，有以“星状”的形状生长的晶粒和以“椭球”的形状生长的晶粒。

以椭球形状生长的晶粒是硅单晶，而且硅单晶的(311)面一直生长到薄膜顶部表面。这种情况已由电子衍射法得到证实。另一方面，以星状生长的晶粒是多晶硅，而且星的每个手柄部(hand portion)都呈现出具有(111)晶面的单晶态。这种事实也已为电子

衍射法所证实。

还有，分析表明在星状晶粒中，每个手柄都从星的中心部分生长出来，而且杂质(诸如 P) 的浓度在靠近中心部分处要比薄膜的平均 P 浓度高 30% 到 50%。这些结果使人联想到这些晶粒的核似乎是由非平坦分布的高的 P 浓度形成的。其他的证明是星状晶体的晶粒密度几乎从晶体生长的开始就不变化。

在晶粒生长过程中，首先生长星状晶粒，接着生长椭球状晶粒。但是，椭球状晶粒密度似乎随着时间的流逝而单调增加。从这种观点来看，在星状晶粒和椭球状晶粒之间晶体生长的形式大不相同。由于在硅晶体的物理特性方面存在着晶体各向异性的现象，故当具有不同晶面取向的晶粒混合存在时，薄膜中的物理性质将因地而异。

在半导体器件中存在这样的薄膜是不希望有的。人们希望晶粒取向几乎为一个均一的方向。而且薄膜中的内部应力状态依赖于晶面方向而改变。当于(111)晶面生长时内部应力最高，而随着晶面指数的增加内部应力减小(方向从(111)面到(211)面和(311)面)。内部应力的测定值在晶面指数为(111)面时是 1200MPa ，在(211)面时是 1000MPa ，在(311)面时是 800MPa 。这是因为在硅晶体中，由于(111)晶面在最高稠密度的平面上有最高的原子密度，所以薄膜的收缩程度比在别的晶面上生长时相对地要大一些。

当薄膜作为一个单个个体自由地收缩时，没有应力产生。但是，在实际上由于硅薄膜附着于(或者粘贴于)基底薄膜上，薄膜的自由收缩受到了抑制，于是在薄膜中就产生了应力。所产生的应力值似乎是随着薄膜收缩程度的增大而变高。因此，当在(111)晶

面上生长时，在薄膜中的内部应力就将变成最高。

上述的薄膜中的内部应力值是简单的晶面生长情况的。当混合存在不同的晶面方向上生长的晶粒时，将取决于单个晶粒的晶面方向上的占有率而取一个中间值。在这种情况下，控制薄膜的内部应力是极其困难的。而且，即使是当(111)晶面(它的内部应力值最高)生长时，也可能防止由于改变半导体器件的构造或所用材料的组合而产生的整个半导体器件的内部应力所引起的失效的产生。所以，如果已知将要产生的应力值，则有可能避开那些不可能用的情况。重要的是通过避开那种具有不同的生长晶面的晶粒混合存在的办法来建立薄膜(包括各种应力值)的均质性。

当积极地控制靠近基底薄膜界面处的杂质(即磷, P)浓度时淀积薄膜时，晶体的生长情况如下。在形成掺 P 硅薄膜的情况下，硅薄膜的晶体生长可通过积极地控制靠近基底薄膜界面处的 P 浓度来控制硅薄膜的晶体生长。

靠应用这种薄膜淀积法，可以生长一种特定的晶面。所以，这就有可能通过用这一淀积方法形成非晶硅薄膜，再由热处理结晶化得到一种几乎具有均匀晶体状态的电阻充分低的多晶硅薄膜。就是说得到具有无弥散或者无内部应力变化的多晶硅薄膜。

如上所述，重要的是控制薄膜的晶体生长以得到具有高度均质性和几乎均一生长的晶面的多晶膜。还有，即便是在从淀积薄膜伊始就生长多晶层的情况下，从控制晶体生长的观点看，从淀积薄膜的最初就控制 P 浓度也是至关重要的。因此，从控制多晶薄膜的生长面的观点来看，这种薄膜淀积方法是很重要的。

根据本发明的应用了掺杂有 III 族和 V 族元素的硅薄膜的半

导体器件的特征在于：该半导体是通过把靠近基底薄膜和硅薄膜之间的界面处的杂质浓度控制得明显地低于(理想的是为零或几乎为零)或足够地高于薄膜中的平均杂质浓度而得到的；因而，在晶化之后，多晶硅薄膜中的晶面方向几乎是均一的方向。

上述用于形成硅薄膜的步骤还可以用于在任选衬底上生产硅薄膜的工艺。

用于生产本发明的这种硅薄膜的化学气相淀积设备由下列部分组成：

一个内装用于放置衬底(诸如一个大片)的支承的反应室；

一个用于把原料气体(如 SiH_4 或 Si_2H_6 气体)和杂质气体(选自 III 族和 V 族元素)导入反应室的气体导入单元；

一个用于控制反应室中膜淀积的单元；

一个用于从反应室内排出气体的气体排出单元；

上述用于控制薄膜淀积的单元要制做得或者

(i) 仅仅在导入原料气体的一个预定时间之后导入杂质气体和原料气体，或者

(ii) 在导入原始材料气体和杂质气体之前仅仅在一个预定的时间内导入杂质气体。

本发明用下述例子进行说明。

例 1

这个例子说明了把不向靠近基底薄膜界面处导入杂质作为一种控制靠近基底薄膜的界面处处杂质浓度和杂质分布的方法的情况。

参照图 1 到图 7 对本例进行说明。本例适合于制作 MOS(金属

—氧化物—半导体) 晶体管的栅极电极。图 1 是一个在刚作完薄膜淀积(图形化之后) 之后的剖面图。图 2 是形成了多晶膜和形成了一个绝缘膜 6 之后的剖面图。在图 1 和图 2 中, 数字 1 表示硅衬底, 数字 2 表示硅氧化膜, 数字 3 表示未掺杂的非晶硅层, 数字 4 表示掺 P 的非晶硅层, 数字 5 表示掺 P 的多晶硅膜, 数字 30 表示基底薄膜的界面。图 3 至图 6 是透射电子显微镜的照片, 这些照片示出了在靠近基底薄膜界面处以原子浓度 $4 \times 10^{20}/\text{cm}^3$ 的平均浓度向厚约 500nm 的非晶硅薄膜中掺入诸如 P(磷) 杂质、随后进行热处理使之多晶化时的晶体生长情况。图 3 和图 5 是薄膜的剖视图, 图 4 和图 6 是该薄膜的表面视图。而图 5 和图 6 表示的是形成未掺杂层时的情况。图 7 的流程图示出了制作栅极电极薄膜的工艺。

下面参考图 7 说明用于在其上形成有硅氧化膜 2 的硅衬底 1 上淀积掺 P 硅薄膜的工艺。在步骤(i), 开始淀积掺 P 硅薄膜。首先在一个预定的时间内只导入原料气体(例如, SiH_4 气体或者 Si_2H_6 气体)以淀积非晶硅膜(步骤 ii)。用这种方法, 形成了示于图 1 没有掺 P 的未掺杂层 3(步骤 iii)。在经过了预定的时间之后, 导入一种掺 P 气体(例如 PH_3 气体)(步骤 iv)。然后, 连续进行掺 P 非晶硅膜 4 的淀积直到一个预定的厚度(步骤 V)。在这种情况下, 薄膜的总厚度和平均 P 浓度和没有主动控制靠近基底薄膜处的 P 浓度的情况相等。用这种办法, 形成了示于图 1 的非晶硅薄膜(步骤 vi)。在热处理之后, 通过结晶化形成了掺 P 的多晶硅薄膜 5。

通过最初从靠近基底薄膜界面处生长单个晶粒和继而向薄膜表面生长圆柱状构造而获得了这样的多晶化了的薄膜。这可以用从

剖面所观察到的图 3 和图 5 来确认。换句话说,单个晶粒的晶核产生于靠近基底薄膜的界面处。但是应该注意到,当从薄膜的表面方向观察时,晶粒的晶面形状在未掺杂膜尚未形成时如图 4 所示那样分为两类。这就是说以相混合的形式存在着以星状形状生长的晶粒和以椭球状生长的晶粒。与此相对,当形成了未掺杂层时,就如图 6 所示那样认为没有具有星状形状的晶粒而只有具有椭圆球状的晶粒。椭球状晶体具有一直生长到薄膜表面的(311)晶面。这一点可以用电子衍射仪所测定的结果来证实。

根据这些测定结果这一点是清楚的:通过形成不在靠近基底薄膜的界面处主动地掺杂 P 的未掺杂层,能够形成一个其中只生长(311)晶面的薄膜。

另一方面,为了减少整个薄膜的电阻率,不能不导入杂质而无限地加大层的厚度。因而,为了使得晶体生长模式均匀并使得用于掺入薄膜的上层中的杂质量为一个用于控制电阻率整体上达到预定值的足够的量,不掺杂质的层的厚度应尽可能地小。

从实验数据得知,当未掺杂层的厚度小于 $1nm$ 时,上述效果减小了。这是因为 P 掺杂是在未掺杂层形成之后才开始,故当未掺杂层的厚度小于 $1nm$ 时,在淀积掺 P 薄膜期间, P 似乎扩散到未掺杂层中去了。因此,特定的晶面的生长未占支配地位,因而就像在已知的生产工艺中那样难以控制内部应力。当厚度等于或大于 $1nm$ 时,即使在淀积掺 P 薄膜期间存在着 P 扩散,影响也不会到达靠近基底薄膜界面处的未掺杂层,因而不会影响晶体生长。而且这一事实得到了实验的确认:要给出上述效果, $10nm$ 或者小于 $10nm$ 的厚度是足够的。当厚度大于 $10nm$ 时,特定晶面的生长性

能不会改变，但硅薄膜的电阻率却令人失望地增加了。因此，为了减少硅薄膜的电阻率，不含杂质的层的理想厚度是1到10nm。于是淀积非晶薄膜的预定时间意味着淀积其膜厚在上述范围之内薄膜所需要的时间。

另一方面，即便是在淀积膜的最初就生长多晶硅层的情况下，借助于在淀积膜的最初就控制P浓度就可以控制晶体生长。例如，当应用 SiH_4 气体在硅氧化膜上形成了多晶层时通过使导入P的时间有一个延迟，使得(311)晶面的生长占支配地位，而当主动地导入P时则占支配地位的是(211)晶面的生长。

具有上述构造的薄膜可以无需分成两个步骤来形成。在用就地掺杂法形成掺有杂质的硅薄膜的情况下，从用于形成硅薄膜的原料气体流开始流入经过预定时间之后，杂质气体就可以开始流入。用这种办法可以连续地形成一个不含杂质的硅薄层和掺有杂质的硅薄层。

用作掺杂物的杂质不局限于P，也可以使用B(硼)或As(砷)。因此，杂质气体、被掺杂的非晶硅膜和多晶硅薄膜可以用B或As来代替P。这一点也可以用于下述的各个例子。

在本例中，结晶化是在非晶硅薄膜图形化(图1所示状态)之后进行的，但并不限于此，在图形化之前进行也是可以的。还有，作为杂质，也可以用B或As代替P。这一点也可以用于下述各个例子。

再有，本例的工艺并不限于制作MOS晶体管构造的栅极电极，还可以用于制作双极型晶体管的发射极电极、基极电极和集电极电极，或者用于快速存储器结构的栅极电极、浮置电极和控制

电极。

例 2

本例给出了把靠近基底薄膜界面处的杂质浓度控制到足够高的值的情况。

本例将参照图 8 到图 10 进行说明。本例也像例 1 那样给出了在 MOS 晶体管中制作栅极电极的情况。图 8 是一说明淀积步骤的流程图。图 9 是一个刚进行过膜淀积(膜淀积和图形化)之后的剖视图,其中数字 7 表示 P 高浓度层。图 10 是在形成多晶膜并且接着形成绝缘膜 6 之后的剖视图。

为了把靠近基底薄膜和硅薄膜之间的界面处的杂质浓度控制到一个足够高的值,最好在导入诸如 SiH_4 气体或 Si_2H_6 气体等原料气体之前,先在预定时间内仅仅导入杂质气体,以便在靠近基底薄膜界面处形成一个杂质层,然后再淀积掺有杂质的硅薄膜。

本例参照流程图 8 进行说明。在本例中,在其上形成有硅氧化膜 2 的硅衬底 1 上淀积一层掺 P 非晶硅薄膜 4(步骤 i)。首先,在开始之后立即只导入含 P 气体(步骤 ii)。通过在预定的时间内导入 P 杂质而形成高 P 浓度的层 7(步骤 iii)。接着,导入用于形成硅薄膜原料气体(例如 SiH_4 气体或 Si_2H_6 气体)(步骤 iv)。为了得到预定的厚度,连续进行掺 P 硅膜 4 的淀积(步骤 v)。在这种情况下,使整个薄膜的厚度和其中的平均 P 浓度与靠近基底薄膜的界面处未主动控制 P 浓度时的 P 浓度相等。用这种方法,形成了具有图 9 所示结构的非晶硅薄膜(步骤 vi)。在用热处理结晶化之后形成掺 P 的多晶硅膜 5。

借助于应用这种淀积方法,在形成了高 P 掺杂层(层中在靠近

基底硅氧化膜 2 的界面处杂质的存在是不均匀的) 之后, 形成一个 P 掺杂的非晶硅膜 4。通过使所得到的薄膜经热处理, 形成一个多晶硅层, 层中的非均匀淀积的高浓度 P 将形成晶核以进行晶体生长而且星状晶粒以实质占 90% 或 90% 以上的支配优势进行生长, 因而, 晶粒将在 (111) 晶面的方向上进行生长。因此, 多晶膜在结晶化反应之后具有均一的 (111) 晶面的晶面取向。因而, 内部应力被减小到一个稳定的预定值。

本例的工艺并不局限于 MOS 晶体管结构的栅极电极的制作方法, 它可以应用于制作双极晶体管的发射极电极、基极电极和集电极电极, 或者应用于制作高速存储器结构的栅极电极、浮置电极和控制电极。

例 3

参照图 7、11 和 12 对本例进行说明。在本例中, 本发明用于制作形成诸如晶体管和二极管等半导体器件的多晶硅薄膜。

图 7 是一个给出形成多晶硅薄膜所用步骤的流程图。图 11 是一个示出了刚刚完成薄膜淀积之后的状态的剖视图, 图 12 是一个形成于多晶硅薄膜之中的晶体管的剖视图。其中数字 8 表示基底薄膜, 数字 9 表示发射极电极, 数字 10 表示基极电极, 数字 11 表示集电极电极, 而数字 12 表示衬底。在本例中, 省略了导入用以形成晶体管的杂质的步骤, 因为它对于本例的实质没有什么直接的关系。

在本例中, 在硅衬底 1 上形成用不同于硅的材料 (例如 SiN) 制作的基底薄膜 8。在这个基底薄膜上, 形成一个掺 P 硅薄膜 (i)。首先, 仅导入原料气体 (例如 SiH_4 气体或者 Si_2H_6 气体) (ii)。在经

过预定的时间之后，形成一个具有预定厚度的未掺杂非晶硅层 3 (iii)。接着，导入作为掺杂气体的杂质 $P(iv)$ 。连续进行掺 P 非晶硅薄膜 4 的淀积以便获得预定的厚度(v)。使整个薄膜的厚度和其中的平均 P 浓度与未主动控制靠近基底薄膜的界面处的浓度的情况时的相等。图 11 是这样制作出来的薄膜的剖视图(vi)。

在本例中，由于在最初的未掺杂层中(311)晶面已开始生长，故在掺 P 层中(311)晶面的生长继续进行一直到最终得到了一个具有均一(311)晶面取向的多晶膜。而且，当像例 1 那样主动地导入 P 时，(211)晶面将占优势地生长。用热处理进行结晶化反应之后，就形成了掺 P 多晶硅膜 5。此后，形成晶体管以给出一个具有图 12 所示剖面构造的半导体器件。

在本例中，由于形成了一个双极型晶体管，故形成了基极电极 10、发射极电极 9 和集电极电极 11 等等。这些电极并不总是需要靠近地形成，且它们的位置次序是任选的。此外，形成于多晶硅薄膜中的晶体管并不总是局限于双极型晶体管，它也可以是二极管或其他类型的晶体管和类似的半导体器件。

在本例中，由于未掺杂层存在于掺 P 非晶硅薄膜之下靠近基底薄膜界面的地方，故那儿可以得到一个取向以(311)晶向或(211)晶向占主导地位(等于或大于 90%)的多晶层。此外，由于可以得到内部应力稳定的掺 P 硅薄膜，故形成于各个晶粒之上的半导体器件(例如晶体管)的性能变化很低，因此明显地稳定化了。

例 4

参照图 8、13 和 14 对本例进行说明。本例适用于制作其上形成有诸如晶体管或二极管等半导体器件的多晶硅薄膜，图 13 是在

刚淀积完薄膜之后的剖视图。图 14 是形成在多晶硅薄膜中的晶体管的剖视图。在本例中，省略掉导入用于形成晶体管的杂质的步骤，因为它对本例的实质没有什么直接的关系。

参照图 8 的流程图对本例进行说明。在本例中，在硅衬底 12 上边形成由不同于硅的材料（例如 SiN ）制作的基底薄膜，再在其上形成一个掺 P 硅薄膜 4(i)。一开始，只导入 P 掺杂物(ii)。在经过了预定的时间之后，形成一个高 P 浓度层 7(iii)。接着，导入用于淀积硅薄膜的一种原料气体（例如 SiH_4 气体或者 Si_2H_6 气体）(iv)。连续淀积 P 掺杂非晶硅膜以得到预定的厚度(v)。在这种情况下，使整个薄膜的厚度和薄膜中平均 P 浓度与在靠近基底薄膜界面处未主动控制 P 浓度时的情况下的相等。用这种方法，形成具有图 13 所示结构的非晶硅薄膜(vi)。

通过使所得到的薄膜经受热处理，在此处形成掺 P 多晶硅膜 5，在该膜中，通过用以高浓度不均匀淀积的 P 作为晶核进行晶体生长，在(111)晶向上进行晶粒生长。这样，在结晶化反应之后得到的多晶硅膜是一个取向为(111)晶向的均匀而均质的薄膜。此外，由于能获得内部应力稳定的掺 P 的硅薄膜，故以各个晶粒形成的半导体器件(例如晶体管)的性能变化很小，因而器件明显地稳定化了。

图 14 是一个在多晶层中形成有一个晶体管的半导体器件的剖视图。在本例中，由于已经形成了一个双极型晶体管，故形成了一个基极电极 10、一个发射极电极 9 和一个集电极 11 等。这些电极并不总是需要相互靠近地形成，且它们的位置顺序也是可任选的。此外，形成于多晶硅薄膜中的晶体管也不总局限于双极型晶体管，

它可以是二极管，或者其他类型的晶体管和类似的半导体器件。另外，可以用 B 或 As 来代替 P 作为掺杂剂。

例 5

这个例子要参照图 7 和图 15 进行说明。图 15 是 MOS 晶体管中栅极电极的剖视图，该 MOS 晶体管是用依据本发明淀积的多晶硅薄膜制得的。

在本例中，用 SiH_4 气体在形成于硅衬底 1 上的硅氧化膜之上淀积一层掺 P 的硅薄膜(i)。首先仅仅导入用于淀积硅薄膜的原料气体(SiH_4 气体)(ii)。在一预定时间之后，形成具有预定厚度的未掺杂非晶硅层 3。用这种方法，形成取向为(311)晶向的膜(iii)。接着，导入带有掺杂剂 P 的气体(iv)。然后，连续淀积掺 P 非晶硅膜 4 以获得预定的厚度(v)。在这种情况下，使整个薄膜的厚度和膜中 P 浓度与在靠近基底薄膜界面处不主动控制 P 浓度时的情况下的相等(vi)。随后，进行用于结晶化的加热处理以形成掺 P 多晶硅膜 5。用这种方法，将形成具有图 15 所示结构的多晶层。

在本例中，由于(311)晶面已经在最初的未掺杂层上开始生长，故在掺 P 层中(311)晶面的生长将继续进行以最终获得具有一个(311)晶面取向的均质多晶硅薄膜。由于这种薄膜是均质的，故这种薄膜通过控制内部应力被稳定化了。此外，可以把 B 或 P 用作掺杂剂来代替 P 。

例 6

本例要参照图 8 和图 15 进行说明。图 15 是 MOS 晶体管中栅极电极的剖视图。上述 MOS 晶体管是用依据本发明淀积的多晶硅薄膜制得的。

如图 8 所示,在本例中,在形成于硅衬底上的硅氧化膜 2 的上边用 SiH_4 气体淀积上一层掺 P 的硅薄膜(i)。首先,在开始之后立即仅仅导入 P 为掺杂物的气体(ii)。在经过预定的时间之后,形成了一个高 P 浓度层 7(iii)。接着,导入用于淀积硅薄膜的原料气体(SiH_4)气体(iv)。继续进行掺 P 的非晶硅薄膜 4 的淀积以得到预定的厚度(v)。在这种情况下,整个薄膜的厚度和膜内平均 P 浓度都被制作成与在靠近基底薄膜的界面处不主动控制 P 浓度的情况下的相等。

使用这种淀积方法,在靠近基底硅氧化膜 2 的界面处制得其中形成有含 P 浓度高且不均匀的层的多晶硅薄膜。通过把高浓度且存在不均匀的 P 作为晶核进行晶体生长,生长出具有(211)晶面取向的晶粒。因此,示于图 5 的掺 P 多晶硅膜 5 在完成结晶化之后交变成一个均质薄膜,这一薄膜在其表面上均匀地具有(211)晶面,并给出一个稳定的内部应力值。

在本例中,可把 B 或 As 用作代替 P 的掺杂剂。

例 7

参照图 8 和图 12 对本例进行说明。在本例中,先淀积一个多晶硅薄膜,然后在多晶硅薄膜中形成晶体管。图 12 是一个半导体器件的剖视图,该半导体器件的一个晶体管形成在多晶硅层中。图 8 是一个流程图,它表明了用于形成多晶硅薄膜的步骤。另外,由于导入杂质的步骤对于形成晶体管没有直接关系,故予以省略。

如图 8 所示,在本例中,在由与硅衬底 1 不同材料形成的衬底 12 上形成了硅氧化膜,在该膜上再形成一个掺 P 的硅薄膜(i)。在开始之后立即先只导入含 P 掺杂剂的气体(ii)。在经过预定的时间

之后，形成一个高 P 浓度层 7 (iii)。接着，导入一种用于淀积硅薄膜的原料气体 (SiH_4) (iv)。连续地进行掺 P 非晶硅膜 4 的淀积以得到预定的厚度 (v)。在这种情况下，整个薄膜的厚度和膜内平均 P 浓度被制成与在靠近基底薄膜界面处不主动控制 P 浓度时的情况下的相等。应用本淀积方法在此处形成多晶硅薄膜，在靠近氧化硅膜 2 的界面处形成了高含 P 浓度层之后，在上述多晶硅膜中形成掺 P 多晶硅膜 5。

通过把以高浓度淀积的 P 用作晶核来进行晶体生长，晶粒在 (211) 晶向上生长。因而，在结晶化反应之后，多晶膜将变成具有均一的 (211) 晶面取向并显示出一个稳定的内部应力值的均质膜。在本例中，可以用 B 或 As 代替 P 来作为掺杂剂。

在本例中，由于形成了一个双极型晶体管，所以就形成了一个基极电极 10、一个发射极电极 9 和一个集电极电极 11 等。这些电极并不总是要求相互靠近地形成，它们的配置顺序也是可任选的。另外，形成于多晶硅薄膜中的晶体管并不局限于双极型晶体管，它可以是二极管、其他类型的晶体管和类似的半导体器件。

在本例中，由于未掺杂层处于靠近基底薄膜界面处掺 P 的非晶硅薄膜的下边，所以在用热处理进行结晶化反应时，(211) 晶面占优势地生长以形成一个均质的多晶硅层。此外，由于制成了具有稳定的内部应力值的掺 P 硅薄膜，所以形成于各个晶粒上的半导体器件(例如晶体管)的性能的差异小，因而是稳定的。

例 8

对于本例我们参照图 16 进行说明。在本例中，本发明被用于高速存储器。图 16 是高速存储器的剖视图。图中数字 27 表示浮置

电极，数字 28 表示多晶硅热氧化膜。高速存储器由下述部分组成：硅衬底 1、形成于上述硅衬底上的硅氧化层 2（一种超薄氧化膜）、一个形成于硅氧化膜上的掺 P 的多晶硅膜 5、一个通过使多晶硅薄膜的表面热氧化而形成的多晶硅热氧化膜 28，以及一个导电性薄膜 27，它将成为形成在多晶硅热氧化膜 28 上边的浮置电极。

掺 P 的多晶硅膜 5 可通过如例 1 所述那样在靠近基底氧化膜的地方制作一个未掺杂层；或者如例 2 所述那样制作一个高 P 浓度掺杂层而制得。不论是哪一种情况，如从前说过的那样，最终制得的掺 P 多晶硅膜都有一个几乎均一的取向。

在采用使掺 P 多晶硅薄膜 5 的表面热氧化的方法来形成硅氧化膜 28 的情况下，由于多晶薄膜具有几近均一的晶面取向，故在单个晶粒上生长起来的热氧化膜的厚度将是均匀的。这是由于没有各向异性的影响的结果，各向异性在硅晶体热氧化的情况下使氧化膜的生长速度在各个晶向上不同。因此，可以制得均匀的膜厚。

在本例中，热氧化膜 28 仅仅形成在掺 P 多晶硅薄膜 5 和浮置电极 27 之间，但是，为了增加介电常数，可以在热氧化膜 28 和浮置电极 27 之间形成一个氮化硅膜或者形成一个氮化硅膜和氧化硅的迭层。还可以用 B 或 As 来代替 P。

在本例中，由于热氧化膜的厚度可以在掺 P 多晶硅膜 5 和浮置电极 28 之间局部地（以每一晶粒为单位）均匀地形成，故可以控制因氧化膜的厚度变化引起的压阻的变化，并可以把氧化膜的厚度设计为尽可能地薄。

例 9

本例参照图 7、8 和 17 进行说明。本例示出了实现本发明的薄

膜淀积结构和淀积工艺的薄膜淀积设备的构造。图 17 是一个化学气相淀积(CVD)设备的原理图。图中数字 20 表示用于淀积薄膜的反应室, 数字 21 表示一个气体导入单元, 数字 22 表示一个气流控制阀, 数字 23 表示用于淀积硅薄膜的气体源(*gas bomb*), 数字 24 表示用于导入杂质元素的气体源, 数字 25 为反应室中的薄膜淀积控制单元, 数字 31 是晶片, 数字 32 是舟。在图 17 中, 画的是一个直立式 CVD 设备(图中没有画出加热器), 但也可以使用卧式 CVD 设备或者采用薄层处理(*sheet treating*)的设备。

在反应室 20 中, 晶片 31 放在舟 32 的上边。薄膜淀积控制单元 25 用于控制反应室中的温度, 它还控制传送其上将要淀积薄膜和衬底。气体源 23 用于存放用于淀积硅薄膜的原料气体(例如 SiH_4 气体或 Si_2H_6 气体)。气体源 24 用于存放如 P、B、As 等作为掺杂剂的杂质气体。

气体导入单元 21 根据图 7 或图 8 所示的工艺控制把每种气体导入反应室 20 的时序和打开或关闭气流控制阀 22 的时序以淀积掺 P 的硅薄膜。

在图 17 中, 画出了导入原料气体和掺杂气体的各自的一条路径, 但是, 也可以用多根管子把这些气体导入反应室 20 中去。不管是哪种情况, 气体导入路径和气体导入时序都要由气体导入单元 21 控制, 在本设备中, 被掺杂的硅薄膜可以是一个非晶硅层, 也可以是一个多晶硅层。

通过应用示于图 17 的设备, 可以在靠近基底薄膜界面处形成未掺杂层或高杂质浓度层。因此, 使得可以控制多晶硅薄膜的结晶取向, 结果以稳定的高成品率制得具有稳定的内部应力值的多

晶硅薄膜。

在上边的各个例子中，说明的是(311)面、(211)面或(111)面的晶体取向，但并不局限于这些。晶面还可以包括(100)面、(110)面等等。

如上所述，可以把多晶硅薄膜和应用此硅薄膜晶体的半导体器件控制为具有几乎均一的晶面取向，因而，可以以高成品率稳定地生产具有稳定的内部应力值的均质多晶硅薄膜。

图 1

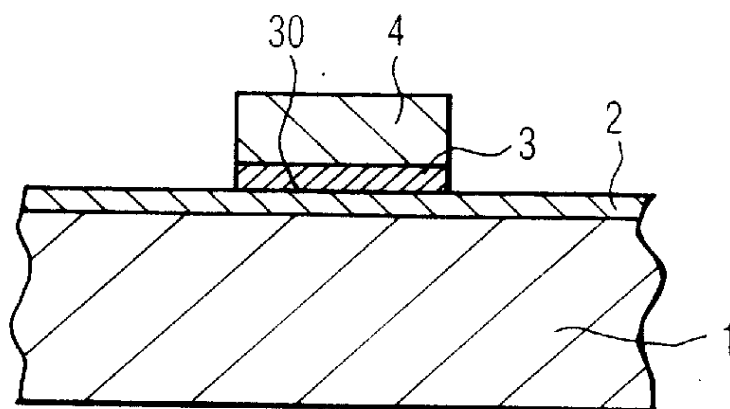
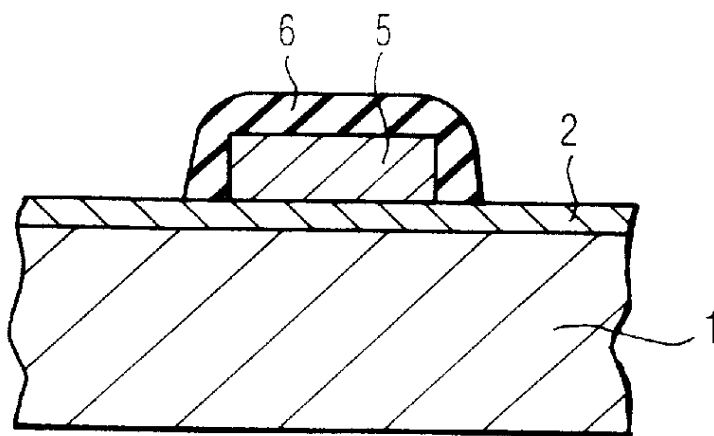


图 2



3
图

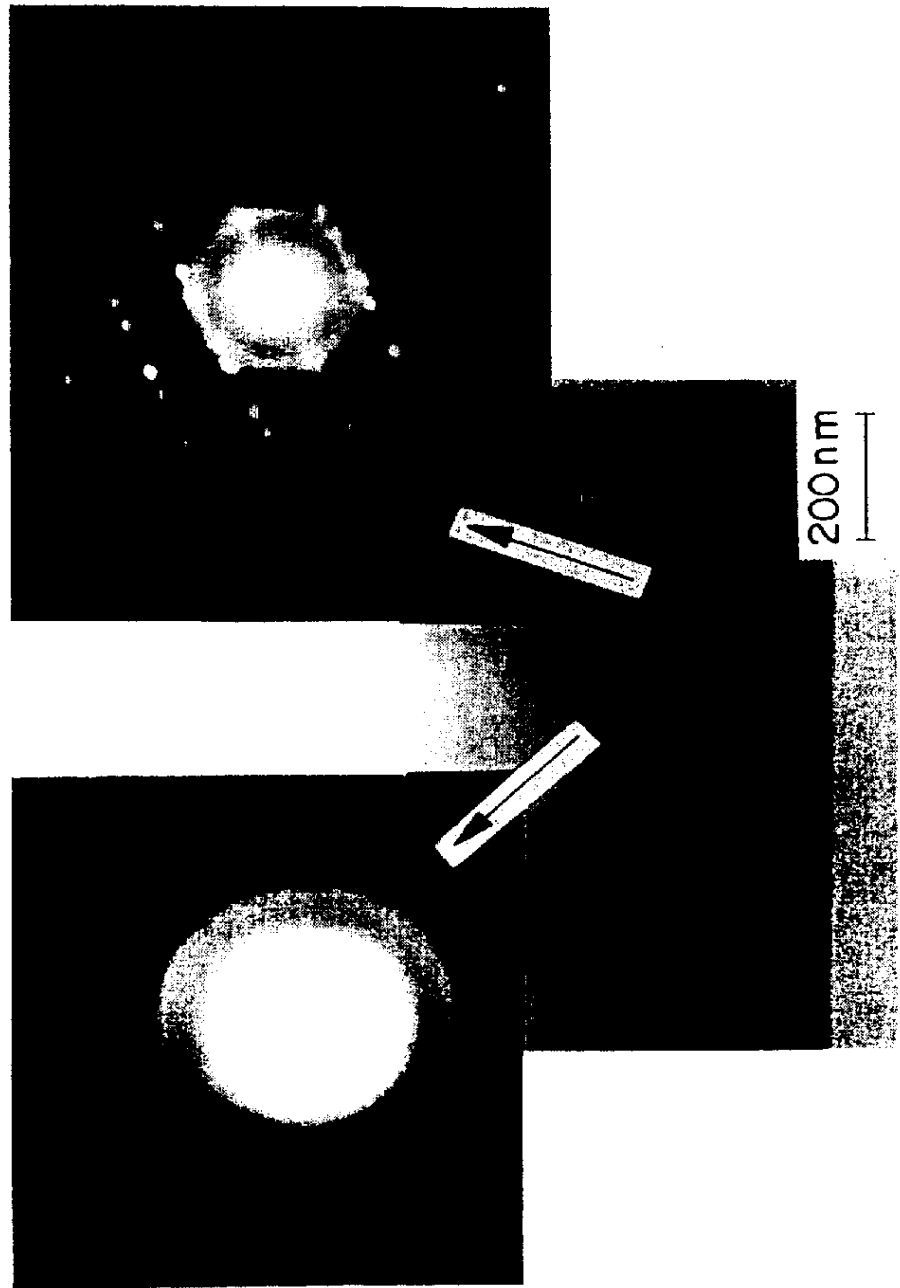


图 4

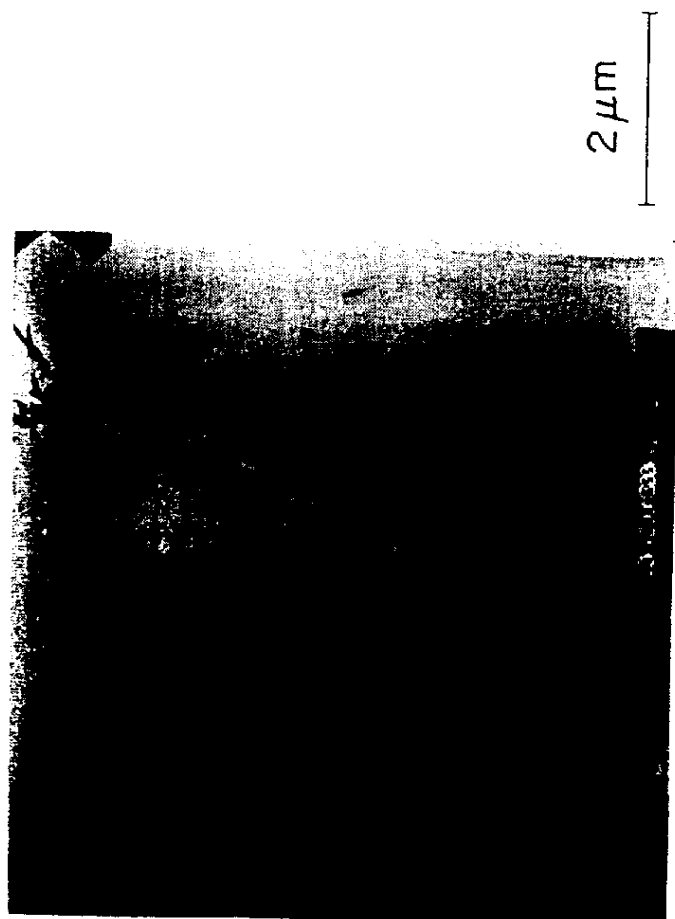


图 5

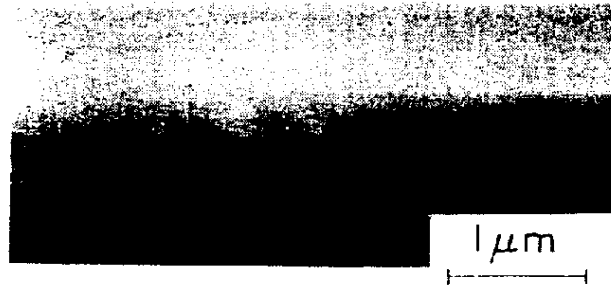


图 6

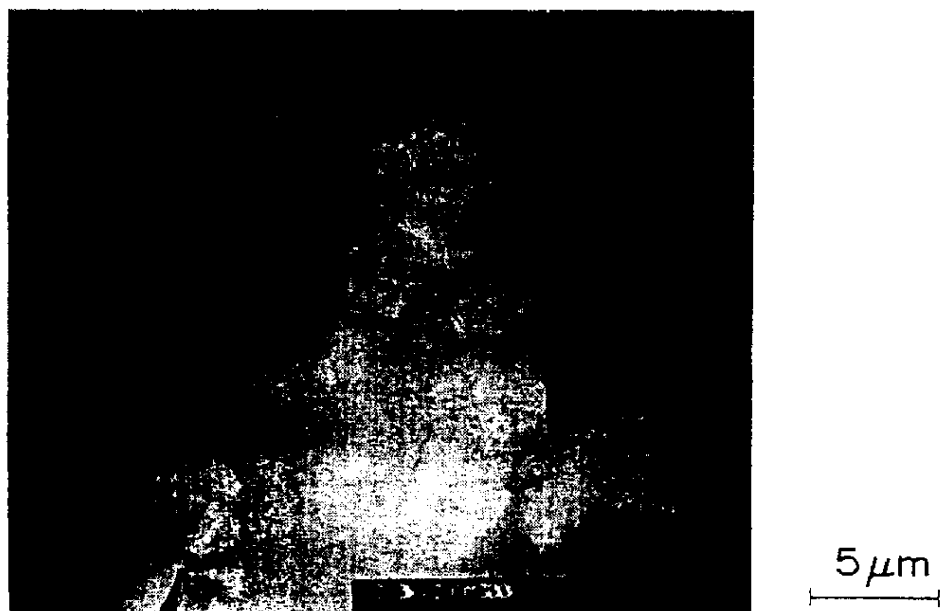


图 7

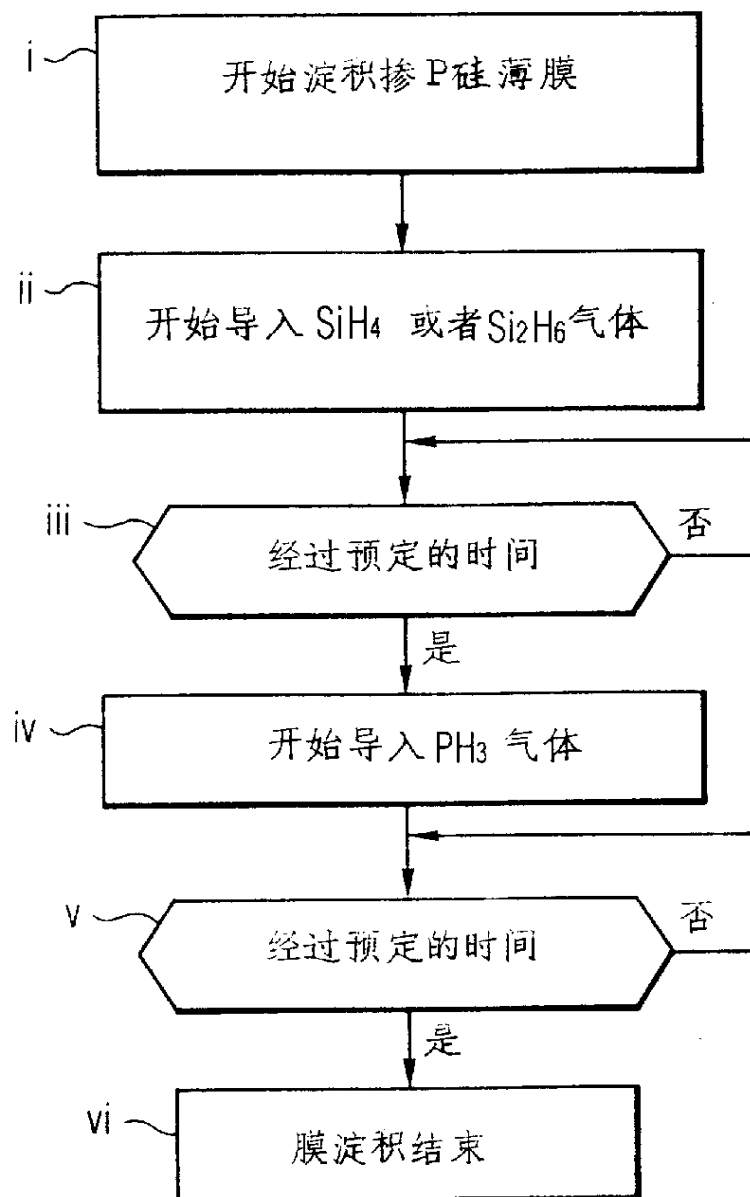


图 8

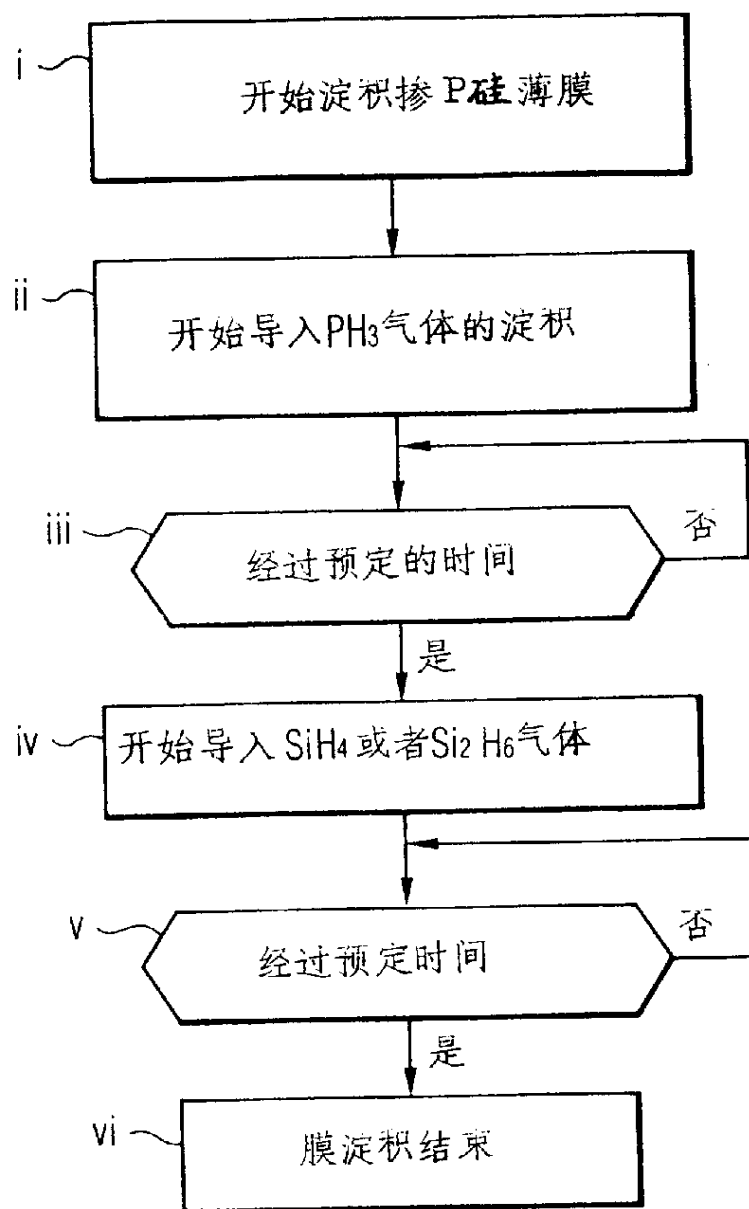


图 9

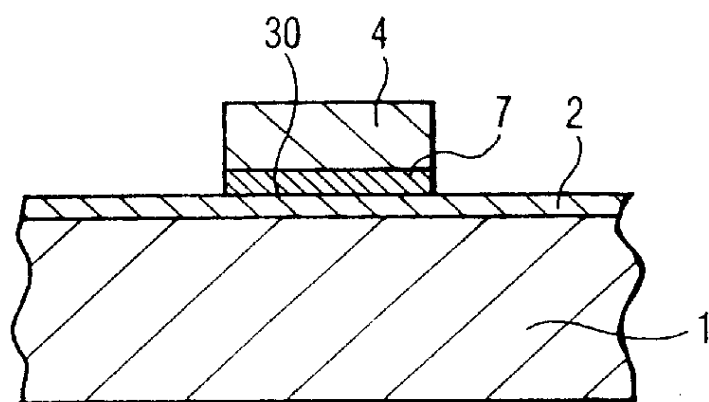


图 10

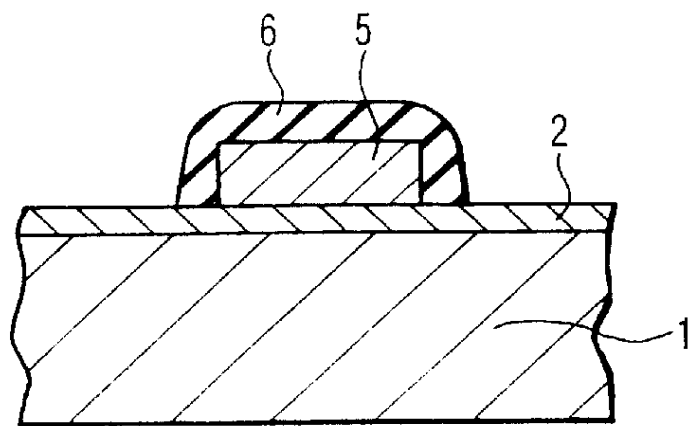


图 11

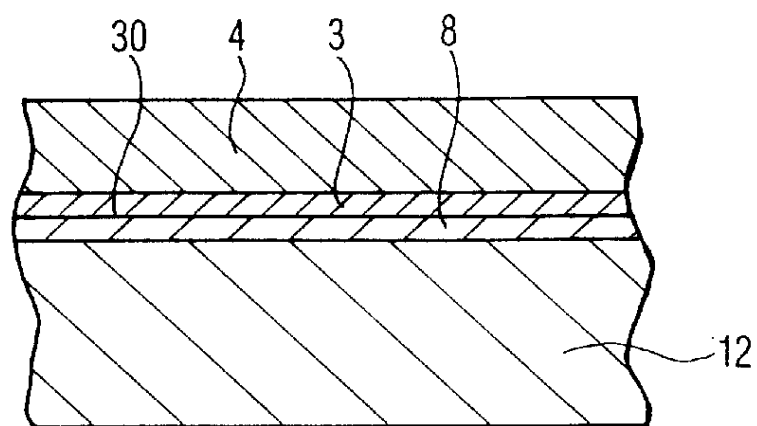


图 12

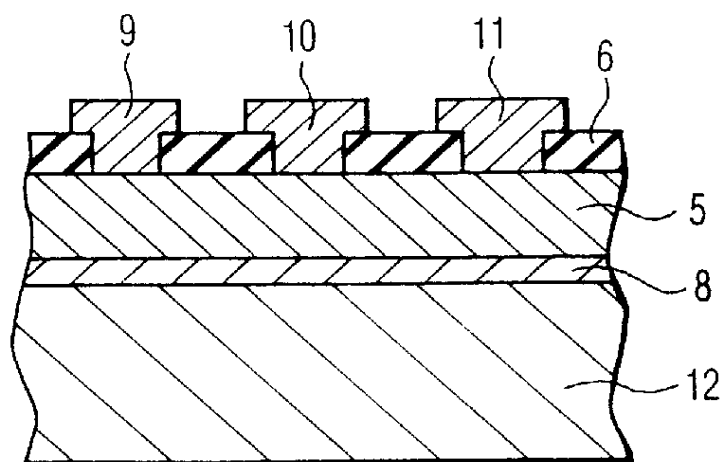


图 13

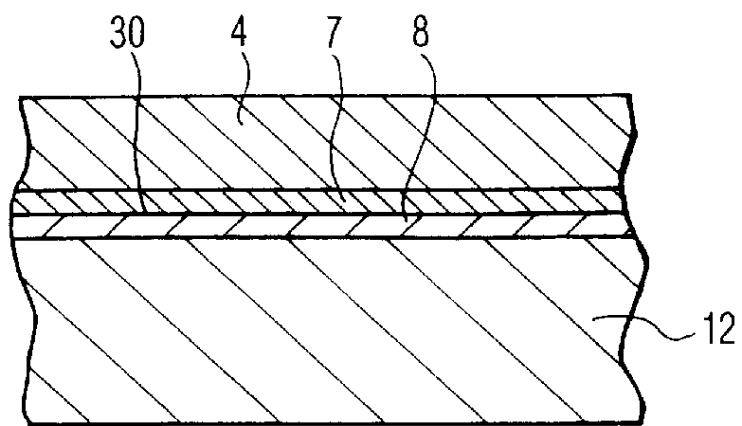


图 14

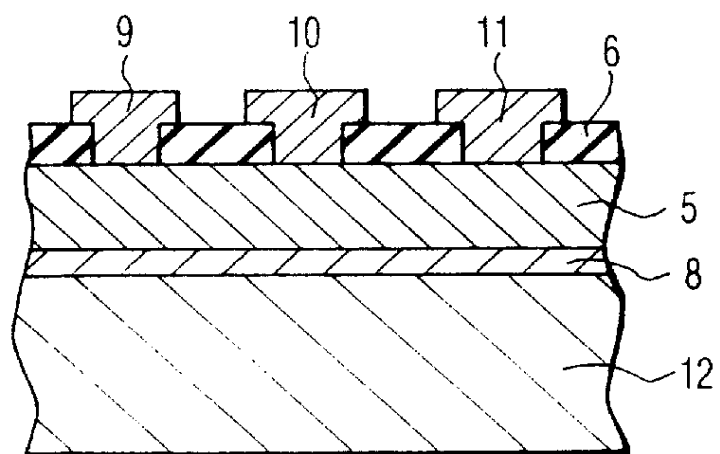


图 15

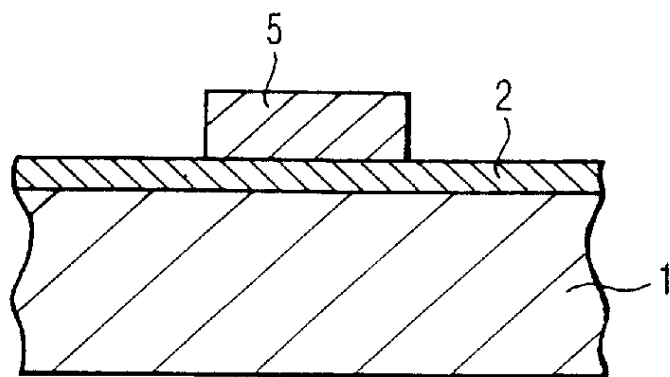


图 16

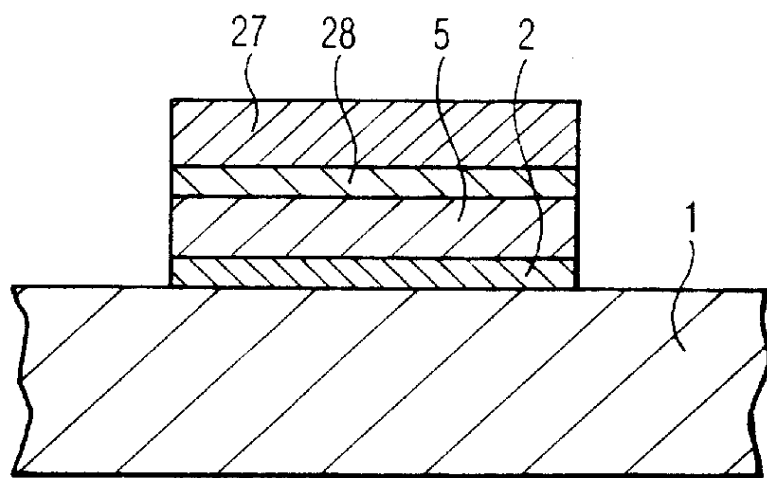


图 17

