



(12) 发明专利

(10) 授权公告号 CN 102012875 B

(45) 授权公告日 2014. 07. 09

(21) 申请号 201010279144. 7

US 5467455 A, 1995. 11. 14,

(22) 申请日 2010. 09. 08

审查员 胡丽丽

(30) 优先权数据

2009-206881 2009. 09. 08 JP

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 光明雅泰 饭塚洋一

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 孙志湧 穆德骏

(51) Int. Cl.

G06F 13/16 (2006. 01)

G06F 13/38 (2006. 01)

(56) 对比文件

US 5467455 A, 1995. 11. 14,

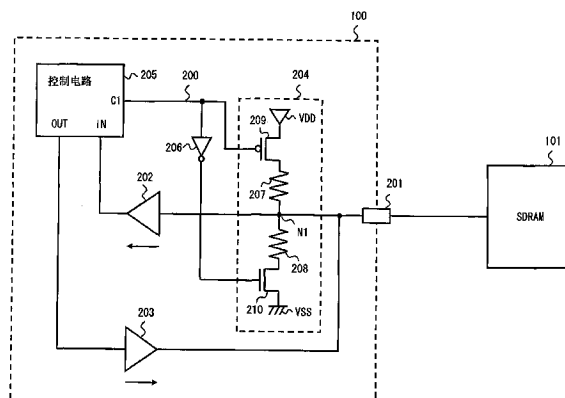
权利要求书2页 说明书6页 附图4页

(54) 发明名称

半导体集成电路

(57) 摘要

提供了一种根据本发明的示例性方面的半导体集成电路,包括:第一收发机和第二收发机,该第一收发机和第二收发机通过信号线执行数据的发送和接收。第一收发机包括:第一终端电路,该第一终端电路包括第一电阻器和第一开关,该第一电阻器被设置在第一电源端子和信号线之间,第一开关控制流过第一电阻器的电流被导通和截止;以及控制电路,该控制电路将第一控制信号输出到第一终端电路,使得当第一收发机接收数据时第一开关被接通,当第一收发机发送数据时第一开关被断开,并且当第一收发机在接收数据之后进一步接收另一数据时,在接收到数据之后的第一预定时段期间第一开关持续接通。



1. 一种半导体集成电路,包括:

第一收发机和第二收发机,所述第一收发机和所述第二收发机通过信号线执行数据的发送和接收,其中

所述第一收发机包括:

第一终端电路,所述第一终端电路包括第一电阻器和第一开关,所述第一电阻器被设置在第一电源端子和所述信号线之间,所述第一开关控制流过所述第一电阻器的电流被导通和截止;以及

控制电路,所述控制电路将第一控制信号输出到所述第一终端电路,使得当所述第一收发机接收数据时,所述第一开关被接通,当所述第一收发机发送数据时,所述第一开关被断开,并且当所述第一收发机在接收数据之后进一步接收另一数据时,在接收到所述数据之后的第一预定时段期间,所述第一开关持续接通,

其中,所述第一预定时段是基于所述第一收发机的数据接收间隔而决定的,

其中,所述控制电路输出所述第一控制信号,使得当所述第一收发机在接收到数据之后进一步接收另一数据时并且当所述数据接收间隔超过预定阈值时,所述第一开关被断开,而不是持续接通。

2. 根据权利要求1所述的半导体集成电路,其中,所述数据接收间隔是基于在所述第一收发机向所述第二收发机输出用于接收数据的命令时的时间与所述第一收发机进一步向所述第二收发机输出用于接收另一数据的命令时的时间之间的时段而决定的。

3. 根据权利要求1所述的半导体集成电路,其中,所述数据接收间隔是基于在所述第一收发机向所述第二收发机输出用于接收数据的命令时的时间与所述第一收发机开始接收数据时的时间之间的时延而决定的。

4. 根据权利要求1所述的半导体集成电路,其中,所述数据接收间隔是基于所述数据的突发长度而决定的。

5. 根据权利要求1所述的半导体集成电路,其中

所述第二收发机包括第二终端电路,所述第二终端电路包括第二电阻器和第二开关,所述第二电阻器被设置在所述第一电源端子和所述信号线之间,所述第二开关控制流过所述第二电阻器的电流被导通和截止;以及

所述控制电路将第二控制信号输出到所述第二终端电路,使得当所述第二收发机接收数据时所述第二开关被接通,当所述第二收发机发送数据时所述第二开关被断开,并且当所述第二收发机在接收数据之后进一步接收另一数据时,在接收到所述数据之后的第二预定时段期间,所述第二开关持续接通。

6. 根据权利要求5所述的半导体集成电路,其中,所述第二预定时段是基于所述第二收发机的数据接收间隔而决定的。

7. 根据权利要求6所述的半导体集成电路,其中,所述第二收发机的所述数据接收间隔是基于在所述第一收发机向所述第二收发机输出用于发送数据的命令时的时间与所述第一收发机进一步向所述第二收发机输出用于发送另一数据的命令时的时间之间的时段而决定的。

8. 根据权利要求6所述的半导体集成电路,其中,所述第二收发机的所述数据接收间隔是基于在所述第一收发机向所述第二收发机输出用于发送数据的命令时的时间与所述

第一收发机开始发送数据时的时间之间的时延而决定的。

9. 根据权利要求 6 所述的半导体集成电路, 其中, 所述第二收发机的所述数据接收间隔是基于所述数据的突发长度而决定的。

10. 根据权利要求 6 所述的半导体集成电路, 其中, 所述控制电路输出所述第二控制信号, 使得当所述第二收发机在接收数据之后进一步接收另一数据时并且当所述数据接收间隔超过预定阈值时, 所述第二开关被断开, 而不是持续接通。

半导体集成电路

[0001] 引用合并

[0002] 本申请基于并且要求 2009 年 9 月 8 日提交的日本专利申请 No. 2009-206881 的优先权的权益,其全部公开内容通过引用合并于此。

技术领域

[0003] 本发明涉及半导体集成电路,并且更具体地,涉及适合于电源噪声降低的半导体集成电路。

背景技术

[0004] 在半导体集成电路中,存在下述问题:当在用于收发机之间的数据传输的信号线上出现电源噪声时,不能准确地执行收发机之间的数据传输。为了降低电源噪声,已经要求降低信号线的阻抗。

[0005] 因此,已经提供了例如 ODT(片上终端)技术的对策来降低用于收发机的数据接收的信号线上的电源噪声(JEDEC 标准,DDR2SDRAM 规范 JESD79-2E(JESD79-2D 版本),2008 年 4 月,JEDEC 固态技术协会)。具体地,用于在收发机之间双向发送数据的双向信号线被装备有终端电路,在每个收发机中,该终端电路在接收数据时切通 ODT 功能,并且不接收数据时切断 ODT 功能。

发明内容

[0006] 然而,在现有技术中,在通过双向信号线在收发机之间进行数据传输的情况下,当作为数据接收侧的接收机电路在接收到数据之后切断 ODT 功能时,由于电源电压的突然波动而导致在双向信号线上出现电源噪声。当在电源噪声收敛之前接收机电路将 ODT 功能从关闭状态切换到开启状态以接收另一数据时,该另一数据受到电源噪声的影响。本发明人已经发现了现有技术中的问题,如上所述,不能准确地执行数据的发送和接收。

[0007] 本发明的第一示例性方面是半导体集成电路,包括:

[0008] 第一收发机和第二收发机,该第一收发机和第二收发机通过信号线执行数据的发送和接收,其中

[0009] 第一收发机包括:

[0010] 第一终端电路,该第一终端电路包括第一电阻器和第一开关,该第一电阻器被设置在第一电源端子和信号线之间,该第一开关控制流过第一电阻器的电流被导通和截止;以及

[0011] 控制电路,该控制电路将第一控制信号输出到第一终端电路,使得当第一收发机接收数据时第一开关被接通,当第一收发机发送数据时第一开关被断开,并且当第一收发机在接收数据之后进一步接收另一数据时,在接收到该数据之后的第一预定时段期间,第一开关持续接通。

[0012] 通过如上所述的电路结构,能够通过降低电源噪声来准确地执行数据的发送和接

收。

[0013] 根据本发明的示例性方面,能够提供一种能够准确地执行数据的发送和接收的半导体集成电路。

附图说明

[0014] 结合附图从特定示例性实施例的以下描述中,以上和其它示例性方面、优点和特征将更加明显,在附图中:

[0015] 图 1 图示了根据本发明的第一示例性实施例的半导体集成电路;

[0016] 图 2 图示了根据本发明的第一示例性实施例的半导体集成电路;

[0017] 图 3 是描绘根据本发明的第一示例性实施例的半导体集成电路的操作的时序图;以及

[0018] 图 4 图示了根据本发明的第二示例性实施例的半导体集成电路。

具体实施方式

[0019] 在下面参考附图来详细地描述本发明的具体示例性实施例。在附图中用相同的附图标记来表示相同的组件,并且为了解释的清楚,适当地省略重复的解释。

[0020] [第一示例性实施例]

[0021] 参考附图,将描述根据本发明的第一示例性实施例的半导体集成电路。本发明能够应用于下述电路,该电路包括第一收发机、第二收发机以及用于在第一收发机和第二收发机之间双向地发送数据的信号线(在下文中,简称为“双向信号线”),并且具有 ODT 功能。在该示例性实施例中,在下文中解释了以下情况,其中,图 1 中示出的电路包括 SoC(片上系统)电路和 SDRAM(同步动态随机存取存储器)电路,并且通过双向信号线在 SoC 电路和 SDRAM 之间执行数据传输。

[0022] 图 1 图示了根据本发明的第一示例性实施例的半导体集成电路。图 1 中示出的电路包括 SoC 电路(第一收发机)100 和 SDRAM 电路(第二收发机)101。以 DDR(双数据速率)模式在 SoC 电路 100 和 SDRAM 电路 101 之间执行数据传输。

[0023] 首先,将描述根据本发明的第一示例性实施例的半导体集成电路的电路结构。SoC 电路 100 向 SDRAM 电路 101 输出 2 比特的时钟信号 CK 和作为时钟信号 CK 的差分信号的 2 比特的时钟信号 CKB。SoC 电路 100 进一步向 SDRAM 电路 101 输出包括用于 SDRAM 电路 101 的每个地址的命令的 16 比特的控制信号 CMD。注意,SDRAM 电路 101 接收与时钟信号 CK 和 CKB 同步的控制信号 CMD。

[0024] 在 SoC 电路 100 和 SDRAM 电路 101 之间双向地发送和接收 32 比特的数据 DQ、4 比特的选通信号 DQS 以及作为选通信号 DQS 的差分信号的 4 比特的选通信号 DQSB 中的每一个。作为 SoC 电路 100 和 SDRAM 电路 101 中的一个的接收机电路接收与选通信号 DQS 和 DQSB 同步的数据 DQ。注意,上述信号名称还表示相应的信号线名称。

[0025] 图 2 中示出的电路示出了作为选通信号线 DQS[3:0] 和 DQSB[3:0] 以及数据信号线 DQ[31:0] 中的一个的 1 比特双向信号线以及图 1 中示出的电路的相应的外围电路。在该示例性实施例中,在下文中解释其中 1 比特双向信号线是数据信号线 DQ[0] 的情况。如上所述,数据信号线 DQ[0] 被连接在 SoC 电路 100 和 SDRAM 101 之间。

[0026] SoC 电路 100 包括外部端子 201、缓冲器 202、缓冲器 203、具有 ODT 功能的终端电路（第一终端电路）204、控制电路 205 以及反相器 206，该控制电路 205 输出控制信号（第一控制信号）200 以控制终端电路 204 的 ODT 功能被接通和断开。终端电路 204 包括电阻器（第一电阻器）207、电阻器 208、开关（第一开关）209 以及开关 210。在该示例性实施例中，解释了其中开关 209 是 P 沟道 MOS 晶体管并且开关 210 是 N 沟道 MOS 晶体管的情况。

[0027] 在 SoC 电路 100 中，数据信号线 DQ[0] 通过外部端子 201 被连接到缓冲器 202 的输入端子和缓冲器 203 的输出端子。

[0028] 终端电路 204 被设置在外端子 201 和缓冲器 202 之间。在终端电路 204 中，将开关 209 和电阻器 207 串联地连接在高电势侧电源端子 VDD 与位于连接外部端子 201 和缓冲器 202 的信号线上的结点 N1 之间。将开关 210 和电阻器 208 串联地连接在低电势侧电源端子 VSS 与结点 N1 之间。换言之，将开关 209 的源极端子连接到高电势侧电源端子 VDD。将开关 209 的漏极端子连接到电阻器 207 的一个端子。将电阻器 207 的另一端子连接到电阻器 208 的一个端子。将电阻器 208 的另一端子连接到开关 210 的漏极端子。将开关 210 的源极端子连接到低电势侧电源端子 VSS。将电阻器 207 的另一端子和电阻器 208 的一个端子共同地连接到结点 N1。注意，可以互换（switch around）在高电势侧电源端子 VDD 和结点 N1 之间串联连接的开关 209 和电阻器 207。类似地，可以互换在低电势侧电源端子 VSS 和结点 N1 之间串联连接的开关 210 和电阻器 208。

[0029] 将缓冲器 202 的输出端子连接到控制电路 205 的输入端子 IN。将缓冲器 203 的输入端子连接到控制电路 205 的输出端子 OUT。将控制电路 205 的输出端子 C1 连接到开关 209 的栅极端子，通过反相器 206 将控制电路 205 的输出端子 C1 连接到开关 210 的栅极端子。在其它的双向信号线中也采用这样的外围电路构造。注意，对这些双向信号线共同地设置控制电路 205。

[0030] 接下来，将描述根据本发明的第一示例性实施例的半导体集成电路的操作。在下文中解释其中 SoC 电路 100 接收（读取）从 SDRAM 101 发送的诸如数据 DQ 以及选通信号 DQS 和 DQSB 的数据的情况。首先，SoC 电路 100 向 SDRAM 电路 101 输出控制信号 CMD。此后，例如，SDRAM 电路 101 向 SoC 电路 100 发送存储在由控制信号 CMD 指定的地址的存储器区域中的数据 DQ 以及选通信号 DQS 和 DQSB。在该情况下，从 SDRAM 电路 101 发送的数据 DQ 具有预定的突发长度。

[0031] SoC 电路 100 通过相应的信号线、外部端子 201 以及缓冲器 202 接收从 SDRAM 电路 101 输出的每个信号。注意，SoC 电路 100 接收与选通信号 DQS 和 DQSB 同步的数据 DQ。将由 SoC 电路 100 接收到的数据 DQ 输入到控制电路 205 和其它的外围电路（未示出）。在 SoC 电路 100 开始发送控制信号 CMD 时的时间与 SoC 电路 100 开始接收相应的数据 DQ 时的时间之间的时段被称为读取时延（RL）。

[0032] 当接收从 SDRAM 电路 101 发送的数据时，SoC 电路 100 控制相应的终端电路 204 的 ODT 功能被接通以降低在数据信号线 DQ 和选通信号线 DQS 和 DQSB 上出现的电源噪声。具体地，SoC 电路 100 基于来自控制电路 205 的控制信号（第一控制信号）200 来控制设置在相应的终端电路 204 中的开关 209 和 210 被接通，并且将相应的信号线上的结点设定成预定电势（例如，高电势侧电源电压 VDD 的一半）。这使得 SoC 电路 100 能够通过降低包括在接收到的数据中的电源噪声来准确地接收数据。

[0033] 在下文中解释其中 SoC 电路 100 向 SDRAM 电路 101 发送（写入）数据的情况。首先，SoC 电路 100 向 SDRAM 电路 101 输出控制信号 CMD。此后，SoC 电路 100 向 SDRAM 电路 101 发送数据 DQ 以及选通信号 DQS 和 DQSB。在该情况下，从 SoC 电路 100 发送的数据 DQ 具有预定的突发长度。

[0034] 然后，SDRAM 电路 101 接收与选通信号 DQS 和 DQSB 同步的数据 DQ。例如，将数据 DQ 写入到由控制信号 CMD 指定的地址的存储器区域。在 SoC 电路 100 开始发送控制信号 CMD 时的时间与 SoC 电路 100 开始发送相应的数据 DQ 时的时间之间的时段被称为写入时延 (WL)。

[0035] 当向 SDRAM 电路 101 发送数据时，SoC 电路 100 控制相应的终端电路 204 的 ODT 功能被断开。具体地，SoC 电路 100 基于来自控制电路 205 的控制信号 200 来控制设置在相应的终端电路 204 中的开关 209 和 210 被断开，从而防止通过缓冲器 203 和外部端子 201 向 SDRAM 电路 101 发送的数据的电势衰减。这使得 SoC 电路 100 能够准确地发送数据。

[0036] 以该方式，SoC 电路 100 基于控制信号 CMD 在 SoC 电路 100 在其中接收从 SDRAM 电路 101 发送的数据的读取模式和 SoC 电路 100 在其中向 SDRAM 电路 101 发送数据的写入模式之间进行切换。注意，SoC 电路 100 以预定的时间间隔输出具有与时钟信号 CK 的一个周期相对应的数据长度的控制信号 CMD。

[0037] 例如，SoC 电路 100 以读取模式接收诸如数据 DQ 的数据或者以写入模式发送数据，并且在预定的时间间隔之后，以相同的模式接收或发送另一数据。替代地，SoC 电路 100 以读取模式接收诸如数据 DQ 的数据或者以写入模式发送数据，并且在预定的时间间隔之后，以不同的模式接收或者发送另一数据。重复如上所述的数据发送和接收。

[0038] 根据该示例性实施例的 SoC 电路 100 展示当 SoC 电路 100 以读取模式接收诸如数据 DQ 的数据，并且在预定的时间间隔之后，以读取模式再次接收另一数据时的特性。将参考图 3 来描述在该情况下的 SoC 电路 100 的操作。

[0039] 首先，SoC 电路 100 向 SDRAM 电路 101 输出控制信号 CMD（由图 3 中所示的“A”指示并且在下文中被称为“读取命令 A”）。然后，在读取时延 RL 的时段（图 3 中所示的“C”）之后，SDRAM 电路 101 向 SoC 电路 100 发送具有预定突发长度的数据 DQ（图 3 中所示的“D”）和相应的选通信号 DQS 和 DQSB。

[0040] 在该情况下，当通过双向数据信号线（数据信号线 DQ 以及选通信号线 DQS 和 DQSB）接收数据时，SoC 电路 100 控制相应的终端电路 204 的 ODT 功能被接通。

[0041] 在输出读取命令 A 之后，在预定的时间间隔的时段（图 3 中所示的“B”）之后，SoC 电路 100 输出读取命令 E（图 3 中所示的“E”）。在读取时延 RL 的时段（图 3 中所示的“F”）之后，SDRAM 电路 101 向 SoC 电路 100 发送具有预定的突发长度的数据 DQ（图 3 中所示的“G”）以及相应的选通信号 DQS 和 DQSB。

[0042] 在该情况下，设置在 SoC 电路 100 中的控制电路 205 基于读取命令（A、E）的时段（B）、读取时延 RL（C、F）以及数据 DQ 的突发长度（D、G）来计算其中没有发送数据 DQ 的时段（H）。基于由此获得的时段，控制电路 205 确定在其中没有发送数据 DQ 的时段（H）期间是否断开终端电路 204 的 ODT 功能。然后，控制电路 205 基于该确定的结果将控制信号 200 输出到终端电路 204。当时段（H）小于或者等于预定阈值时，终端电路 204 使得 ODT 功能在时段（H）（图中所示的“I”）期间持续接通。当时段（H）超过预定阈值时，终端电路 204 在

时段 (H) 期间断开 ODT 功能。

[0043] 在重复读取模式的情况下,当终端电路 204 使得 ODT 功能在其中没有执行数据传输的时段的期间持续接通时,从 ODT 功能的开启状态到关闭状态的切换可能导致出现的电源噪声不会在与终端电路 204 相对应的双向信号线上出现。因此,SoC 电路 100 能够通过降低在现有技术中已经成为问题的电源噪声来准确地接收数据。

[0044] 在重复读取模式的情况下,当其中没有执行数据传输的时段 (H) 超过阈值时,在其中没有执行数据传输的时段期间终端电路 204 将 ODT 功能从开启状态切换到关闭状态。换言之,在足以收敛由于从 ODT 功能的开启状态到关闭状态的切换而导致的电源噪声的时段度过之后,SoC 电路 100 能够再次控制终端电路 204 的 ODT 功能从关闭状态切换到开启状态。这使得 SoC 电路 100 能够通过降低电源噪声的效应来准确地接收数据。注意,只要在下一次数据接收开始时的时间之前电源噪声被收敛,就可以任意地确定从 ODT 功能的开启状态到关闭状态的切换的时序。

[0045] 如上所述,在接收机电路 (例如,SoC 电路 100) 持续接收数据的情况下,根据本发明的该示例性实施例的半导体集成电路基于数据接收间隔控制接收机电路的 ODT 功能被接通和断开。换言之,根据该示例性实施例的半导体集成电路控制接收机电路的 ODT 功能持续开启或者从开启状态切换到关闭状态。这使得根据该示例性实施例的半导体集成电路能够通过降低电源噪声的效应来准确地执行数据的发送和接收。

[0046] [第二示例性实施例]

[0047] 在第一示例性实施例中,已经解释了其中 SoC 电路 100 包括终端电路 204 的情况。同时,在该示例性实施例中,解释了其中 SDRAM 电路也包括终端电路的情况。

[0048] 参考图 4,与图 2 中示出的 SDRAM 电路 101 相对应的 SDRAM 电路 102 进一步包括终端电路 (第二终端电路) 215。图 4 示出了作为选通信号线 DQS[3:0] 和 DQSB[3:0] 以及数据信号线 DQ[31:0] 中的一个的 1 比特双向信号线和对应的外围电路。

[0049] 图 4 中示出的电路包括 SoC 电路 100 和 SDRAM 电路 102。SDRAM 电路 102 包括 SDRAM 单元 211、外部端子 212、缓冲器 213、缓冲器 214、终端电路 215 以及反相器 216。终端电路 215 包括电阻器 (第二电阻器) 217、电阻器 218、开关 (第二开关) 219 以及开关 220。SoC 电路 100 的电路结构和操作与第一示例性实施例的相同,因此省略其描述。关于与 ODT 功能相关联的并且设置在 SDRAM 电路 102 中的电路的连接和操作,将仅描述与 SoC 电路 100 不同的内容。

[0050] 当接收从 SoC 电路 100 发送的数据时,SDRAM 电路 102 控制相应的终端电路 215 的 ODT 功能被接通以降低在数据信号线 DQ 以及选通信号线 DQS 和 DQSB 上出现的电源噪声。具体地,SDRAM 电路 102 基于来自控制电路 205 的控制信号 (第二控制信号) 221 来控制设置在相应的终端电路 215 中的开关 219 和 220 被接通,并且将相应的信号线上的结点设定为预定的电势 (例如,高电势侧电源端子 VDD 的一半)。这使得 SDRAM 电路 102 能够通过降低包括在接收到的数据中的电源噪声来准确地接收数据。

[0051] 当向 SoC 电路 100 发送数据时,SDRAM 电路 102 控制相应的终端电路 215 的 ODT 功能被断开。具体地,SDRAM 电路 102 基于来自控制电路 205 的控制信号 221 来控制设置在相应的终端电路 215 中的开关 219 和 220 被断开,从而防止通过缓冲器 214 和外部端子 212 向 SoC 电路 100 发送的数据的电势被衰减。这使得 SDRAM 电路 102 能够准确地发送数

据。另外,与 ODT 功能相关联的和设置在 SDRAM 电路 102 中的电路的连接和操作与第一示例性实施例的相同,因此省略其描述。

[0052] 通过该电路构造,在通过双向信号在收发机之间进行数据传输的情况下,即使收发机中的任何一个作为接收机电路来操作,根据该示例性实施例的半导体集成电路也能够通过控制接收机电路的 ODT 功能来准确地执行数据的发送和接收。

[0053] 注意,本发明不限于上述示例性实施例,但是在本发明的范围内能够适当地进行修改。例如,尽管上述示例性实施例已经描述了其中半导体集成电路包括单个 SDRAM 电路的示例,但是本发明不限于此。根据本发明的半导体集成电路还适用于包括多个 SDRAM 电路的电路构造。

[0054] 尽管上述示例性实施例已经描述了下述示例,其中,当接收机电路(例如,SoC 电路 100)持续接收数据时,控制电路 205 基于诸如读取命令的地址命令的间隔、读取时延 RL 以及数据 DQ 的突发长度来输出控制信号(例如,控制信号 200),但是本发明不限于此。如果能够基于数据接收间隔来控制 ODT 功能,则本发明还适用于基于上述信息片段中的至少一个(例如,地址命令的间隔)来输出控制信号(例如,控制信号 200)。

[0055] 此外,终端电路不限于在上述示例性实施例中说明的电路。本发明还适用于包括在具有预定的电势(例如,高电势侧电源电压 VDD 的一半)的电源端子(第一电源端子)和相应的双向信号线上的结点之间串联连接的电阻器和开关的电路构造。

[0056] 本领域的普通技术人员能够根据需要组合第一和第二示例性实施例。

[0057] 虽然已经按照若干示例性实施例描述了本发明,但是本领域的技术人员将认识到,可以在所附的权利要求的精神和范围内通过各种修改来实践本发明,并且本发明并不限于上述示例。

[0058] 此外,权利要求的范围不受上述示例性实施例的限制。

[0059] 此外,应当注意,申请人希望涵盖所有权利要求要素的等同形式,即使其在后期的审查过程中被修改。

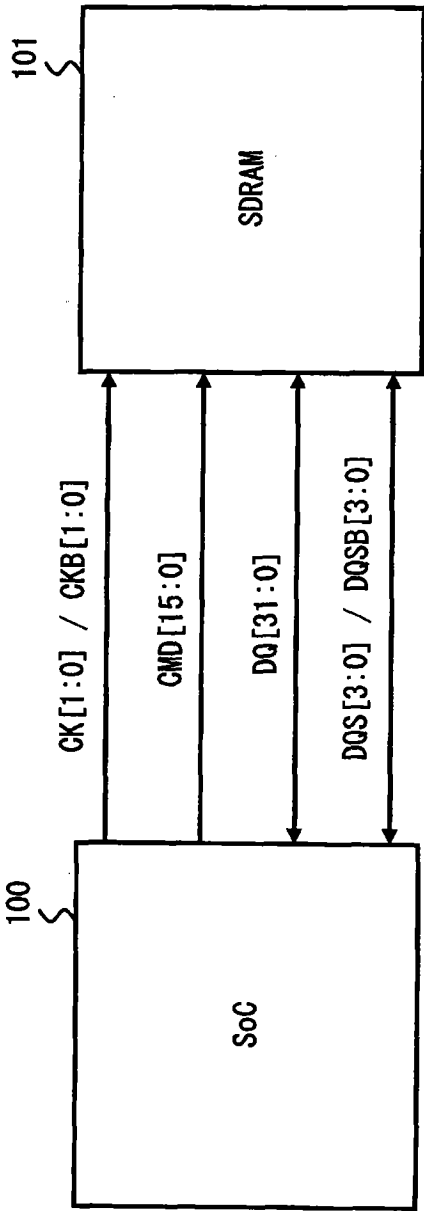


图 1

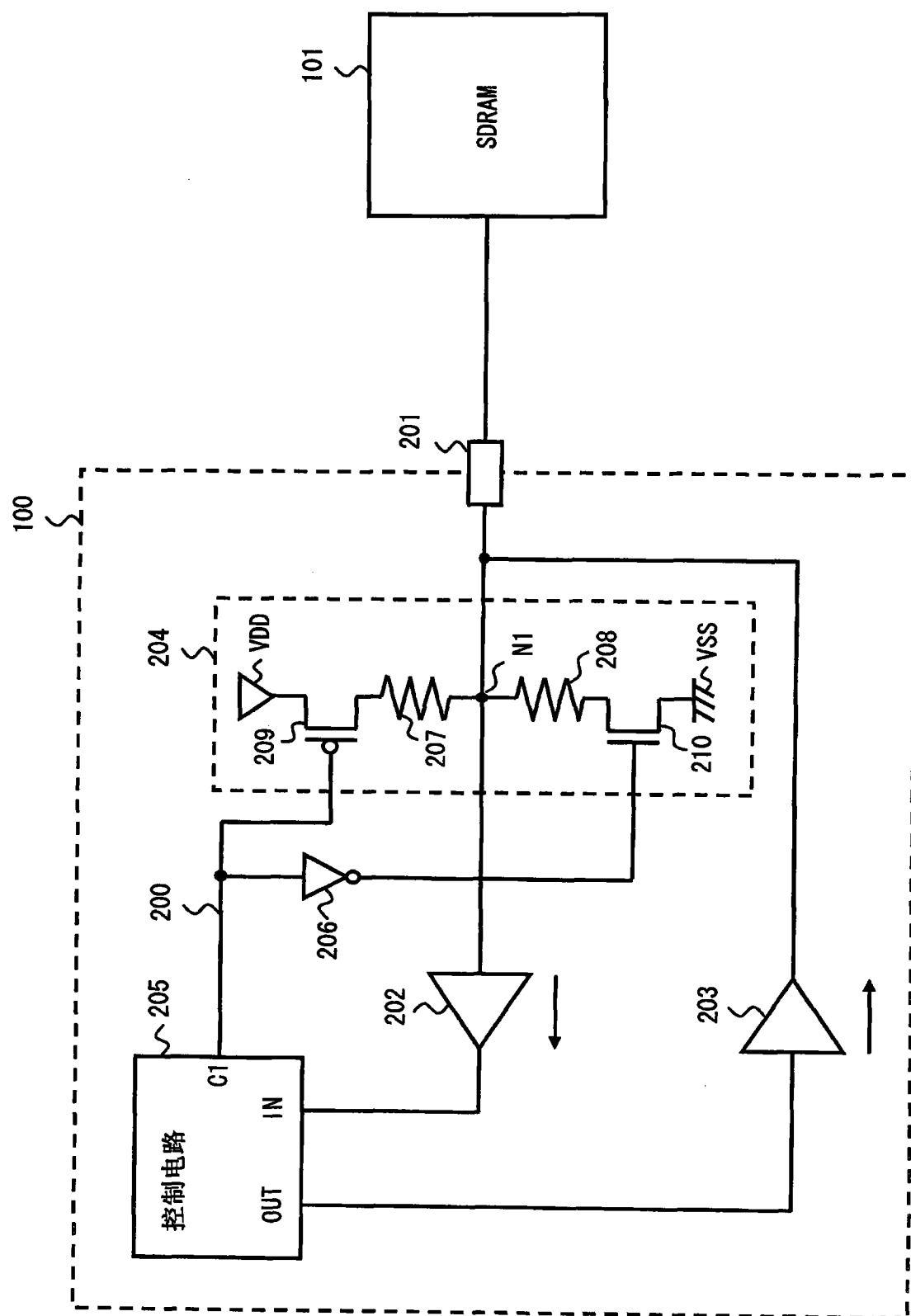


图 2

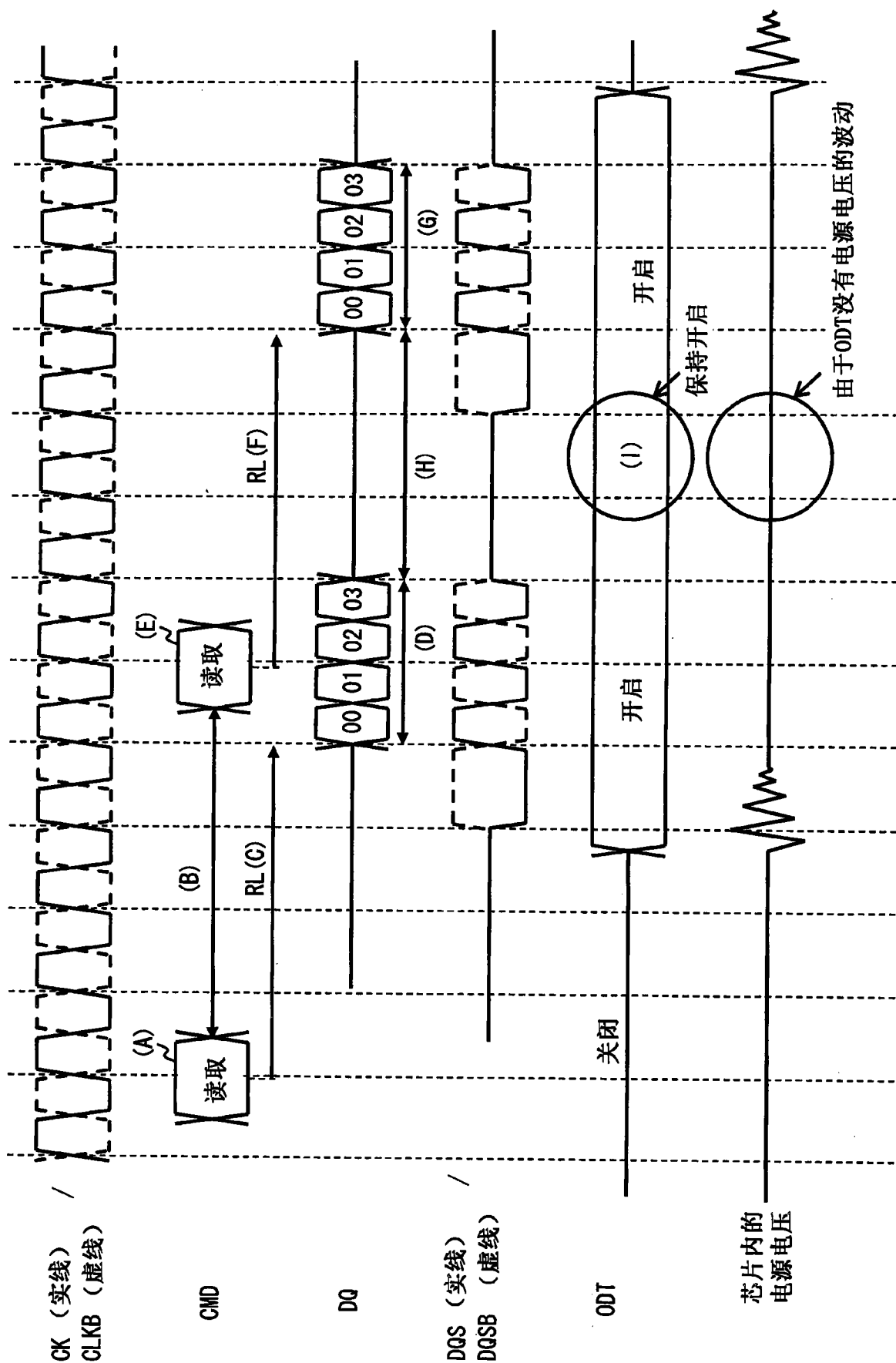


图 3

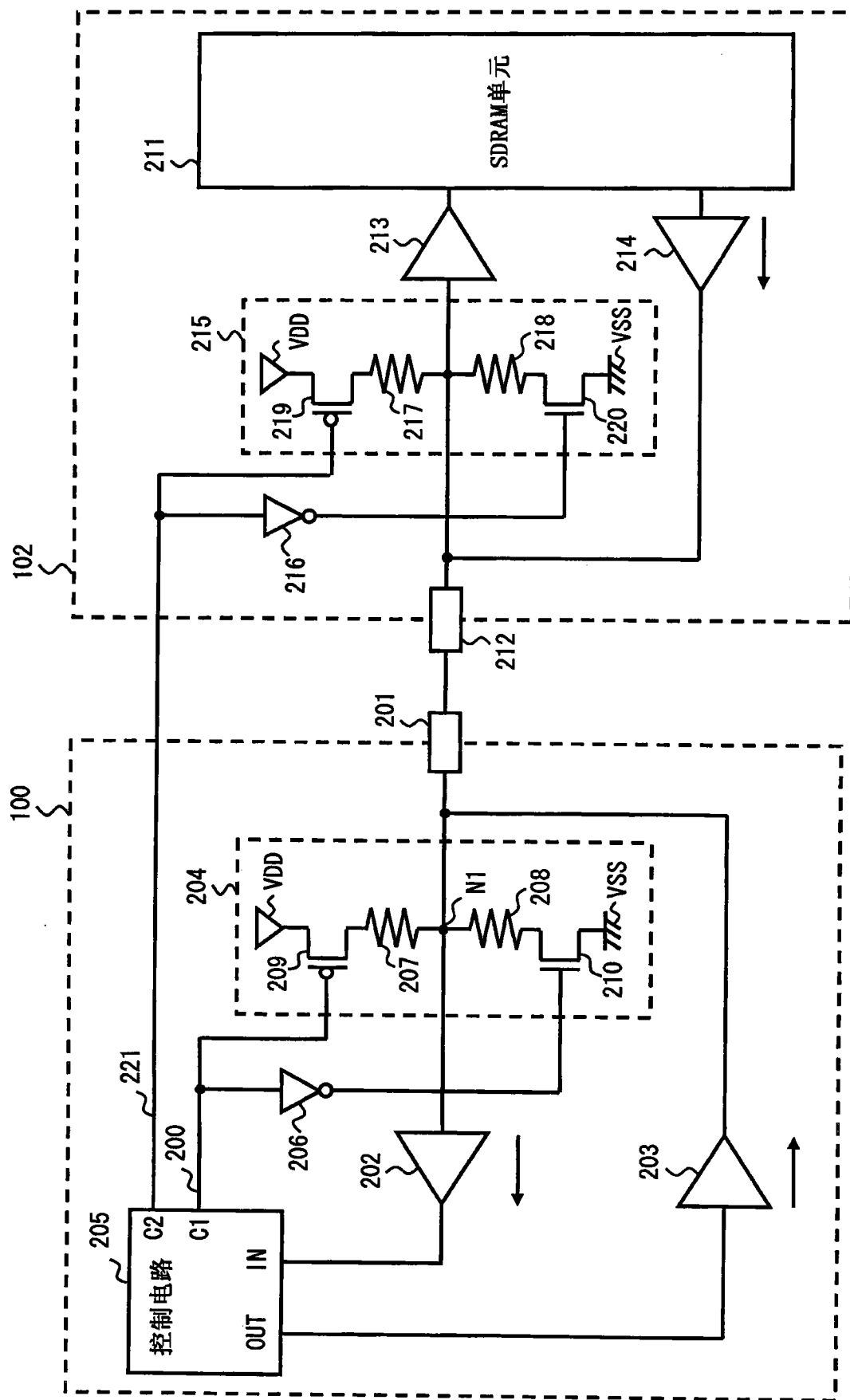


图 4