

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5073694号  
(P5073694)

(45) 発行日 平成24年11月14日(2012.11.14)

(24) 登録日 平成24年8月31日(2012.8.31)

(51) Int.Cl. F I  
 HO 1 L 21/76 (2006.01) HO 1 L 21/76 L  
 HO 1 L 27/08 (2006.01) HO 1 L 27/08 3 3 1 A

請求項の数 9 (全 17 頁)

(21) 出願番号	特願2009-42807 (P2009-42807)	(73) 特許権者	595159677 聯華電子股▲ふん▼有限公司 臺灣新竹科學工業園區新竹市力行二路三號
(22) 出願日	平成21年2月25日(2009.2.25)	(74) 代理人	100070150 弁理士 伊東 忠彦
(62) 分割の表示	特願平10-167264の分割	(74) 代理人	100090273 弁理士 園分 孝悦
原出願日	平成10年6月15日(1998.6.15)	(72) 発明者	江口 公平 東京都千代田区大手町二丁目6番3号 新 日本製鐵株式会社内
(65) 公開番号	特開2009-124178 (P2009-124178A)	(72) 発明者	水尾 有里 東京都千代田区大手町二丁目6番3号 新 日本製鐵株式会社内
(43) 公開日	平成21年6月4日(2009.6.4)	審査官	石坂 博明
審査請求日	平成21年2月26日(2009.2.26)		最終頁に続く
(31) 優先権主張番号	特願平9-173113		
(32) 優先日	平成9年6月13日(1997.6.13)		
(33) 優先権主張国	日本国(JP)		
(31) 優先権主張番号	特願平9-190551		
(32) 優先日	平成9年7月1日(1997.7.1)		
(33) 優先権主張国	日本国(JP)		

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に耐熱性絶縁膜を形成する第1の工程と、  
 前記耐熱性絶縁膜をパターンニングする第2の工程と、  
 前記耐熱性絶縁膜の形状に倣って前記半導体基板の表面を選択的に除去し、該半導体基板に第1のトレンチを形成する第3の工程と、  
 前記第1のトレンチの内壁面を覆うように前記耐熱性絶縁膜上に第1の絶縁膜を形成し、前記第1のトレンチより幅の狭い第2のトレンチを形成する第4の工程と、  
 前記第2のトレンチを充填するように前記第1の絶縁膜上に該第1の絶縁膜より研磨速度選択比の大きい易酸化性膜を形成する第5の工程と、  
 前記易酸化性膜を前記第1の絶縁膜が露出するまで除去し、前記第2のトレンチ内のみ前記易酸化性膜を残す第6の工程と、  
 前記第2のトレンチ内に残された前記易酸化性膜を熱酸化し、該易酸化性膜の上面領域に第1の熱酸化膜を形成する第7の工程と、  
 表面に露出している第1の絶縁膜及び前記第1の熱酸化膜の一部を、前記耐熱性絶縁膜が露出するまで除去する第8の工程と、  
 前記第2のトレンチ内に残された前記易酸化性膜を再び熱酸化し、該易酸化性膜の上面領域に第2の熱酸化膜を形成する第9の工程と、  
 表面に露出している前記耐熱性絶縁膜を除去する第10の工程とを有することを特徴とする半導体装置の製造方法。

## 【請求項 2】

前記易酸化性膜がポリシリコン膜であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【請求項 3】

前記第 1 の絶縁膜がシリコン酸化膜であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【請求項 4】

前記第 1 の工程の前に、前記半導体基板上にパッド絶縁膜を形成する第 1 1 の工程を更に含むと共に、前記第 1 0 の工程の後に、前記パッド絶縁膜を除去する第 1 2 の工程を更に含む、

前記第 1 の工程では前記半導体基板との間に前記パッド絶縁膜を介して前記耐熱性絶縁膜を形成し、前記第 2 の工程では前記耐熱性絶縁膜と共に前記パッド絶縁膜をパターニングすることを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【請求項 5】

前記第 6 の工程において前記易酸化性膜を化学機械研磨法により除去することを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【請求項 6】

前記第 1 の絶縁膜を化学機械研磨法のストッパとして用いることを特徴とする請求項 5 に記載の半導体装置の製造方法。

## 【請求項 7】

前記第 1 の絶縁膜に対する前記易酸化性膜の研磨速度選択比は 2 0 倍以上に設定されていることを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【請求項 8】

前記第 1 の熱酸化膜の膜厚は前記第 1 の絶縁膜の膜厚より大きく設定されていることを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【請求項 9】

前記第 3 の工程と前記第 4 の工程の間に、前記第 1 のトレンチの底面から側壁にかけての表面領域に第 2 の絶縁膜を形成する第 1 3 の工程を更に有することを特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置において半導体基板上の素子形成領域を固定する技術に関し、特に、トレンチ型素子分離法による素子分離構造、例えば S T I (Shallow Trench Isolation) 素子分離構造を備えた半導体装置の製造方法に関する。

## 【背景技術】

## 【0002】

半導体基板上に形成される素子を電気的に分離して素子形成領域を固定する技術として、いわゆる L O C O S 法が一般的に広く知られている。しかしながら L O C O S 法においては、フィールド酸化膜の下層に発生する反転層により寄生デバイスが形成される問題がある。これを防止するためには、フィールド酸化膜を厚くする必要があるが、同時に素子分離端に形成される「バースピーク (bird's beak) 部」によって素子形成領域の微細化が妨げられ、結果として L S I の高集積化にとって大きな障害となっている。

## 【0003】

このような L O C O S 法における欠点を改善する素子分離技術がいくつか提案されている。その 1 つとして、トレンチ型素子分離法による S T I 素子分離構造が知られている。この素子分離構造は、例えばシリコンからなる半導体基板に形成されたトレンチの内部に酸化膜等の絶縁膜を埋め込んで素子形成領域を固定するものである。このような S T I 素子分離構造では、素子を固定する素子分離領域の幅を非常に小さくすることができ、しかも深さ方向も十分に確保できることから、素子分離面積を大幅に縮小することができる。

10

20

30

40

50

現在では幅 1  $\mu\text{m}$  程度、深さ数  $\mu\text{m}$  程度のトレンチからなる素子分離領域の形成が可能となっている。

【0004】

このようなトレンチ型素子分離法による素子分離領域の形成は、一般的に以下のようにして行われる。

【0005】

まず、p型の半導体基板（例えばシリコン基板）上に熱酸化膜を形成し、この熱酸化膜上に低圧CVD法によりシリコン窒化膜を形成する。次に、フォトリソグラフィ及びこれに続くドライエッチングにより、素子分離領域に相当するシリコン窒化膜及び熱酸化膜を選択的に除去する。次に、残されたシリコン窒化膜をマスクとしてドライエッチングを行い、半導体基板上で素子分離領域に対応する領域を所定の深さまで除去し、トレンチを形成する。次に、熱酸化処理により、トレンチの底面及び側壁に熱酸化膜を形成した後、CVD法によってトレンチ内を含む全面にシリコン酸化膜を厚く堆積させる。その後、化学機械研磨法（以下、「CMP法」と略する。）によりシリコン窒化膜が露出するまでシリコン酸化膜を研磨して除去し、熱リン酸によるウエットエッチングによりシリコン窒化膜を除去し、フッ素溶液によるウエットエッチング或いはドライエッチングにより熱酸化膜を除去する。このようにして、トレンチ内にシリコン酸化膜を残して、半導体基板の表面から僅かに突出した素子分離領域が形成される。

【0006】

上述した従来例のプロセスでは、トレンチに埋め込んだシリコン酸化膜はトレンチの側壁に沿って形成されるため、トレンチの中央部においてはシリコン酸化膜の「合わせ目部分（凹部）」が形成されてしまう。すなわち、この部分においては、トレンチの両側の側壁に積層されたシリコン酸化膜の表面同士が密着するため、僅かな隙間が形成されてしまう。これによって、合わせ目部分の近傍のシリコン酸化膜は不完全な積層状態となり、この部分での密度は他の通常に積層されたシリコン酸化膜の密度より小さくなる。従って、シリコン酸化膜のエッチング除去を行う場合には、この合わせ目部分の近傍だけエッチング速度が速くなってしまう。さらに、シリコン窒化膜を除去する際のウエットカッチング或いは後工程でのエッチング、洗浄等の際に、このエッチング速度の違いに起因して、合わせ目部分に対応する部分ではエッチングが速く進行し、凹部が形成されてしまう。これによって、フィールド反転電圧が低下するといった問題が生じる。

【0007】

このように、トレンチの幅方向（半導体基板と平行な方向）の中央位置において充填した絶縁膜に合わせ目部分（凹部）が形成されるという問題は、半導体基板上にトレンチを形成してその内部に絶縁膜を積層して埋め込むプロセスを用いた半導体装置においては、必ず発生する。このようなプロセスを用いた従来技術は、これまでに幾つか提案されており、例えば、特開平3-203349号公報、特開平3-153031号公報、特開平6-68332号公報、特開昭80-161632号公報、特開平1-134947号公報などに開示されている。

【0008】

例えば、特開平3-203349号公報では、半導体基板上に形成されたトレンチ内をシリコン酸化膜で埋め込んだ後、シリコン酸化膜の表面に形成された凹部を含む全面にBPCG膜等のガラス層を積層し、リフロー処理を行うことでガラス層の表面を平坦化する方法が開示されている。

【0009】

しかしながら、この方法でガラス層の表面を平坦化しても、シリコン酸化膜の表面に形成された凹部の近傍の領域は、今までに知られている従来技術と同様、不完全な積層状態であることに変わりはない。従って、その後の工程でガラス層やシリコン窒化膜等をエッチング除去する際には、このシリコン酸化膜の表面に形成された凹部の近傍の領域におけるエッチングの進行速度がその周辺領域よりも速くなるため、前述したように凹部が形成されてしまい、それによってフィールド反転電圧が低下するといった問題が生じる。

## 【 0 0 1 0 】

また、前述した従来技術のようにシリコン窒化膜を熱リン酸等によるウエットエッチングによって除去した場合には、このウエットエッチングは等方性エッチングであるが故に、半導体基板の表面と平行な方向にもエッチングが進行する。このため、半導体基板上から僅かに突出した素子形成領域を固定しているシリコン酸化膜の表面と素子分離端の側面とが同時に除去され、素子分離端においてトレンチの幅方向にえぐられた部分（欠損部）が形成されてしまう。その結果、この欠損部の存在に起因して、寄生デバイスのリーク電流が増加するという問題も発生する。

## 【 0 0 1 1 】

また、特開平 6 - 6 9 3 3 2 号公報に開示された技術では、このような S T I 素子分離構造を埋め込んだ絶縁膜を所定量までエッチングする際に、半導体基板上に形成した酸化膜を、反応性イオンエッチング（R I E）法によるエッチングの際のストッパとして機能させている。そして、エッチング後に全面を犠牲的に酸化し、トレンチ内の酸化膜を含めた全ての酸化膜を所定量まで除去することで、S T I 素子分離構造を形成している。

## 【先行技術文献】

## 【特許文献】

## 【 0 0 1 2 】

【特許文献 1】特開平 3 - 2 0 3 3 4 9 号公報

【特許文献 2】特開平 3 - 1 5 3 0 3 1 号公報

【特許文献 3】特開平 6 - 6 8 3 3 2 号公報

【特許文献 4】特開昭 6 0 - 1 6 1 6 3 2 号公報

【特許文献 5】特開平 1 - 1 3 4 9 4 7 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【 0 0 1 3 】

しかしながら、このような S T I 素子分離構造を形成するに際し、トレンチ内を充填したシリコン酸化膜を C M P 法によって除去した場合、以下のような問題が発生していた。

## 【 0 0 1 4 】

C M P 法によって、シリコン酸化膜はシリコン窒化膜が露出するまで研磨されるが、パターン依存性による研磨速度のばらつきが大きく、ストッパであるシリコン窒化膜に対するシリコン酸化膜の研磨速度選択比を大きくできないため、ストッパとしての機能を十分に果たすことができなかった。従って、シリコン窒化膜が露出した時点で化学機械研磨を停止することは非常に難しく、特定パターン領域でシリコン酸化膜が部分的に残存したり、他のパターン領域でシリコン窒化膜を必要以上に研磨してしまう場合があり、トレンチ内に狙いどおりのシリコン酸化膜を残して、素子分離領域の表面を平坦化することは容易ではなかった。このように素子分離領域の表面の位置が一定しないことに起因して、該工程で上層にパターン形成した際に形成不良が生じ、素子の電気的特性が劣化するという問題があった。

## 【 0 0 1 5 】

また、特開平 6 - 6 9 3 3 2 号公報に開示された方法で S T I 素子分離構造を形成した場合、エッチング除去される積層膜が最初に平坦化されておらず、また表面位置も確定していないため、易酸化膜のエッチング後に絶縁膜表面が半導体基板上から突出した場合には、その突出量を制御することができず、犠牲酸化後のエッチングで表面の位置を制御するにも限界があった。

## 【 0 0 1 6 】

さらに、犠牲酸化後のエッチングで素子分離領域の表面と半導体基板の表面が同一面にされた場合には、素子分離領域の端部に窪みが形成され易く、それによって寄生トランジスタのリーク電流が増加するという問題もあった。

## 【 0 0 1 7 】

本発明は、このような問題を解決するために成されたものであり、本発明の主な目的は

10

20

30

40

50

、トレンチ型素子分離領域の表面に凹凸を生ずることなく平坦に形成可能とし、ひいては電気的特性の向上に寄与することができる半導体装置及びその製造方法を提供することにある。

【0018】

また、本発明の他の目的は、トレンチ型素子分離構造の形成において、トレンチ内を充填した積層膜を除去する際に研磨による除去を確実に停止させることで研磨の過不足を解消し、ひいては、積層膜表面を所望の量だけ除去することで素子分離領域の表面の位置を正確に決定することができる半導体素子及びその製造方法を提供することにある。

【課題を解決するための手段】

【0019】

本発明の半導体装置の製造方法は、半導体基板上に耐熱性絶縁膜を形成する第1の工程と、前記耐熱性絶縁膜をパターニングする第2の工程と、前記耐熱性絶縁膜の形状に倣って前記半導体基板の表面を選択的に除去し、該半導体基板に第1のトレンチを形成する第3の工程と、前記第1のトレンチの内壁面を覆うように前記耐熱性絶縁膜上に第1の絶縁膜を形成し、前記第1のトレンチより幅の狭い第2のトレンチを形成する第4の工程と、前記第2のトレンチを充填するように前記第1の絶縁膜上に該第1の絶縁膜より研磨速度選択比の大きい易酸化性膜を形成する第5の工程と、前記易酸化性膜を前記第1の絶縁膜が露出するまで除去し、前記第2のトレンチ内のみ前記易酸化性膜を残す第6の工程と、前記第2のトレンチ内に残された前記易酸化性膜を熱酸化し、該易酸化性膜の上面領域に第1の熱酸化膜を形成する第7の工程と、表面に露出している第1の絶縁膜及び前記第1の熱酸化膜の一部を除去する第8の工程と、前記第2のトレンチ内に残された前記易酸化性膜を再び熱酸化し、該易酸化性膜の上面領域に第2の熱酸化膜を形成する第9の工程と、表面に露出している前記耐熱性絶縁膜を除去する第10の工程とを有する。

【0020】

本発明の半導体装置の製造方法の一態様では、前記易酸化性膜がポリシリコン膜である。

【0021】

本発明の半導体装置の製造方法の一態様では、前記第1の絶縁膜がシリコン酸化膜である。

【0022】

本発明の半導体装置の製造方法の一態様では、前記第1の工程の前に、前記半導体基板上にパッド絶縁膜を形成する第11の工程を更に含むと共に、前記第10の工程の後に、前記パッド絶縁膜を除去する第12の工程を更に含み、前記第1の工程では前記半導体基板との間に前記パッド絶縁膜を介して前記耐熱性絶縁膜を形成し、前記第2の工程では前記耐熱性絶縁膜と共に前記パッド絶縁膜をパターニングする。

【0023】

本発明の半導体装置の製造方法の一態様では、前記第6の工程において前記易酸化性膜を化学機械研磨法により除去する。

【0024】

本発明の半導体装置の製造方法の一態様では、前記第1の絶縁膜を化学機械研磨法のストッパとして用いる。

【0025】

本発明の半導体装置の製造方法の一態様では、前記第1の絶縁膜に対する前記易酸化性膜の研磨速度選択比は20倍以上に設定されている。

【0026】

本発明の半導体装置の製造方法の一態様では、前記第1の熱酸化膜の膜厚は前記第1の絶縁膜の膜厚より大きく設定されている。

【0027】

本発明の半導体装置の製造方法の一態様では、前記第3の工程と前記第4の工程の間に、前記第1のトレンチの底面から側壁にかけての表面領域に第2の絶縁膜を形成する第1

10

20

30

40

50

3の工程を更に有する。

【発明の効果】

【0028】

本発明によれば、トレンチ型素子分離構造の上面形状を、高い精度で所望の形状に形成することができる。従って、電気的特性を向上させた半導体装置と、その製造方法を提供することができる。

【図面の簡単な説明】

【0029】

【図1】本発明の第1の実施形態に係るnMOSトランジスタの構成を示す概略断面図である。

10

【図2】本発明の第2の実施形態に係るnMOSトランジスタの構成を示す概略断面図である。

【図3】本発明の第3の実施形態に係るnMOSトランジスタの構成を示す概略断面図である。

【図4】本発明の第1の実施形態に係るnMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図5】本発明の第1の実施形態に係るnMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図6】本発明の第1の実施形態に係るnMOSトランジスタの製造方法を工程順に示す概略断面図である。

20

【図7】本発明の第1の実施形態に係るnMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図8】本発明の第2の実施形態に係るnMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図9】本発明の第2の実施形態に係るnMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図10】本発明の第3の実施形態に係るnMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図11】本発明の第3の実施形態に係るnMOSトランジスタの製造方法を工程順に示す概略断面図である。

30

【図12】本発明の第3の実施形態に係るnMOSトランジスタの製造方法を工程順に示す概略断面図である。

【発明を実施するための形態】

【0030】

以下、本発明の好適な実施形態について図面を参照しながら説明する。図1は本発明に係る半導体装置の第1の実施形態としてのnMOSトランジスタの構成を模式的な断面図の形で示したものである。

【0031】

図1において、1はp型半導体基板（本実施形態ではp型シリコン基板）、9は素子分離酸化膜、13はゲート酸化膜、14はゲート電極、16は低濃度n型不純物の拡散領域、18は側壁絶縁膜（本実施形態ではシリコン酸化膜）、19はソース/ドレイン領域として機能する高濃度n型不純物の拡散領域、20は層間絶縁膜（本実施形態ではBPSG膜）、23は金属配線（本実施形態ではアルミニウム配線）を示す。

40

【0032】

以下、第1の実施形態の半導体装置（nMOSトランジスタ）の製造方法について図4(a)～図7(b)を参照しながら説明する。

【0033】

まず、図4(a)に示すように、p型半導体基板（p型シリコン基板）1の表面を熱酸化して厚さ30nm程度の熱酸化膜2（バット絶縁膜）を形成し、更にこの熱酸化膜2上に、低圧CVD法により厚さ200nm程度のシリコン窒化膜3（耐熱性絶縁膜）を形成

50

する。

【0034】

次に、図4(b)に示すように、フォトリソグラフィ及びこれに続くドライエッチングにより、p型シリコン基板1上の素子分離領域に対応する領域を露出させるようにシリコン窒化膜3及び熱酸化膜2を除去する。

【0035】

次に、図4(c)に示すように、シリコン窒化膜3をマスクとして異方性エッチングによりp型シリコン基板1を除去し、トレンチ4(溝)を形成する。トレンチ4は、深さが400nm程度で、側壁のテーパ角度が80°程度となるように形成される。次いで、熱酸化処理により、トレンチ4の底面から側壁にかけて厚さ20nm程度の熱酸化膜5を形成する。この熱酸化膜5は、異方性エッチングによりトレンチ4の内壁表面に形成されたダメージ層を除去するために形成される。

10

【0036】

次に、図4(d)に示すように、トレンチ4を含むp型シリコン基板1上の全面に、CVD法により厚さ400nm程度のシリコン酸化膜6を形成する。このシリコン酸化膜6はトレンチ4内において底面と側壁に沿って形成されるので、シリコン酸化膜6上でトレンチ4の幅方向の中央位置に対応する領域には、V字形の合わせ目部分7が形成される。この後、窒素雰囲気中で温度900、80分間の熱処理を行ってシリコン酸化膜6を高密度化させる。

【0037】

次に、図5(a)に示すように、合わせ目部分7を埋め込むように、CVD法により厚さ400nm程度のシリコン酸化膜8を形成する。この後、同様にして、窒素雰囲気中で温度900、90分間の熱処理を行ってシリコン酸化膜8を高密度化させる。

20

【0038】

このように、先ずシリコン酸化膜6を形成して熱処理を行い、当該シリコン酸化膜6を高密度状態にして安定化させた後、合わせ目部分7を埋め込むようにして更なるシリコン酸化膜8を形成して熱処理を行うことで、2層のシリコン酸化膜6及び8の、合わせ目部分7の近傍領域での充填状態を均一化することができる。その結果、熱酸化膜5、シリコン酸化膜6及びシリコン酸化膜8は、実質的に一体構造の酸化膜を構成する。

【0039】

次に、図5(b)に示すように、この一体構造の酸化膜をCMP法によりシリコン窒化膜3が露出するまで研磨して除去し、素子分離酸化膜9を形成する。この際、シリコン窒化膜3は、CMP法のストッパとして機能する。また、残されたシリコン窒化膜3と熱酸化膜2の厚みの分だけ素子分離酸化膜9の表面をp型シリコン基板1の表面から突出させることができる。

30

【0040】

次に図5(c)に示すように、シリコン窒化膜3を異方性ドライエッチングにより除去し、更に熱酸化膜2をドライエッチング又はフッ化水素によるウエットエッチングにより除去する。これによって、トレンチ4内だけに素子分離酸化膜9を残して、素子分離領域10が形成される。そして、この素子分離領域10によって素子形成領域が固定される。

40

【0041】

次に図5(d)に示すように、熱酸化処理により素子形成領域(素子分離領域10以外の領域)上に熱酸化膜11を形成し、更に熱酸化膜11及び素子分離酸化膜9を覆って、低圧CVD法によりリン(P)等の不純物を添加させながら多結晶シリコン膜(ポリシリコン膜)12を形成する。

【0042】

次に、図6(a)に示すように、フォトリソグラフィ及びこれに続くドライエッチングにより、ポリシリコン膜12及び熱酸化膜11をパターニングして、ゲート酸化膜13及びゲート電極14からなるゲート部15を形成する。

【0043】

50

次に、図6(b)に示すように、素子分離領域10及びゲート部15をマスクとして、n型の不純物である砒素(As)を低濃度でイオン注入し、低濃度の不純物拡散領域16を形成する。

【0044】

次に、図6(c)に示すように、低圧CVD法により全面にシリコン酸化膜を形成した後、フォトリソグラフィ及びこれに続く異方性ドライエッチングにより、ゲート部15の側面に側壁絶縁膜(シリコン酸化膜)18を形成する。

【0045】

次に、図6(d)に示すように、素子分離領域10、ゲート部15及び側壁絶縁膜18をマスクとして、n型の不純物である砒素(As)又はリン(P)を高濃度でイオン注入し、高濃度の不純物拡散領域19を形成する。この後、熱処理を行って低濃度の不純物拡散領域16及び高濃度の不純物拡散領域19の不純物を活性化させる。

【0046】

次に、図7(a)に示すように、全面に亘って層間絶縁膜であるBPSG膜20をCVD方により厚く堆積させた後、リフロー処理を行う。そして、高濃度の不純物拡散領域19(ソース/ドレイン領域)及びゲート電極14に到達するようにそれぞれコンタクトホール21及び22を形成する。

【0047】

最後に、図7(b)に示すように、スパッタ法によりアルミニウム配線23を蒸着してコンタクトホール21及び22内を充填し、BPSG膜20上でパターンニングを行って、図示のようなnMOSトランジスタを完成させる。

【0048】

このように構成された第1の実施形態の半導体装置(nMOSトランジスタ)によれば、素子分離領域10を形成する際に、トレンチ4をシリコン酸化膜6で埋め込んだ後、熱処理を行うことで当該シリコン酸化膜6を高密度化し、トレンチ4内への充填が不十分な合わせ目部分7近傍の積層状態を高密度にすることができる。さらに、このシリコン酸化膜6上に更なるシリコン酸化膜8を形成して合わせ目部分7を完全に埋め込んだ後、当該シリコン酸化膜8に対しても熱処理を行い高密度化することで、合わせ目部分7の近傍における2層のシリコン酸化膜6及び8の充填をより強固なものとするすることができる。

【0049】

これによって、従来技術のように熱処理を行わないで1層のシリコン酸化膜のみでトレンチ4内を充填した場合と比較して、その後のエッチング工程による侵食作用に対して強化された一体構造の素子分離酸化膜9を形成することができる。

【0050】

また、素子分離酸化膜9は全域でほぼ同一のエッチングレートとすることができるので、シリコン窒化膜3を除去するエッチング工程或いはその後のゲート部15を形成する際のパターンニングのエッチング工程等においても、素子分離領域10の中央部又は端部におけるエッチングがその周辺領域におけるエッチングよりも速く進行するといった不都合は生じない。従って、従来技術で見られたようなかかる不都合に起因する凹部の形成を防止することができる。

【0051】

さらに、素子分離領域の端部においては、シリコン窒化膜3の除去を異方性エッチングにより行うことで、側壁25がエッチング除去されることに起因する欠損部の形成を防止することができる。これによって、素子分離領域10の表面の凹凸に起因するフィールド反転電圧の低下或いは寄生デバイスのリーク電流の増加を抑止することができる。

【0052】

図2は本発明に係る半導体装置の第2の実施形態としてのnMOSトランジスタの構成を模式的な断面図の形で示したものである。

【0053】

図2において、図1に用いられた参照番号と同じ参照番号(13, 14, 16, 18

10

20

30

40

50

、19、20及び23)は同じ構成要素を表している。さらに図2において、31はp型半導体基板(本実施形態ではp型シリコン基板)、36及び38はそれぞれシリコン酸化膜を示す。ここに、第1のシリコン酸化膜36は素子分離酸化膜の主要部を構成し、第2のシリコン酸化膜38は、第1のシリコン酸化膜36上に形成された欠損部等を補充するために形成されたものである。

【0054】

以下、第2の実施形態の半導体装置(nMOSトランジスタ)の製造方法について 図8(a)~ 図9(d)を参照しながら説明する。

【0055】

先ず、図8(a)に示すように、p型半導体基板(p型シリコン基板)31の表面を熱酸化して厚さ30nm程度の熱酸化膜32(バット絶縁膜)を形成し、更にこの熱酸化膜32上に、低圧CVD法により厚さ200nm程度のシリコン窒化膜33(耐熱性絶縁膜)を形成する。

【0056】

次に、図8(b)に示すように、フォトリソグラフィ及びこれに続くドライエッチングにより、p型シリコン基板31上の素子分離領域に対応する領域を露出させるようにシリコン窒化膜33及び熱酸化膜32を除去する。

【0057】

次に、図8(c)に示すように、シリコン窒化膜33をマスクとして異方性エッチングによりp型シリコン基板31を除去し、トレンチ34を形成する。トレンチ34は、深さが400nm程度で、側壁のテーパ角度が80°程度となるように形成される。更に、熱酸化処理により、トレンチ34の底面から側壁にかけて厚さ20nm程度の熱酸化膜35を形成する。この熱酸化膜35は、第1の実施形態における熱酸化膜5(図4(c)参照)と同様に、異方性エッチングによってトレンチの内壁表面に形成されたダメージ層を除去するためのものである。

【0058】

次に、図8(d)に示すように、トレンチ34を含むp型シリコン基板31上の全面に、CVD法により厚さ800nm程度のシリコン酸化膜36を形成する。このシリコン酸化膜36はトレンチ34内において底面と側壁に沿って形成されるので、シリコン酸化膜36上でトレンチ34の幅方向の中央位置に対応する領域には、V字形の合わせ目部分37が形成される。このシリコン酸化膜36の合わせ目部分37の近傍においては、トレンチ34の両側壁上に形成されたシリコン酸化膜36の表面同士が完全には一体となって密着しないため、不完全な積層状態となってしまふ。

【0059】

次に、図9(a)に示すように、CMP法によりシリコン酸化膜36をシリコン窒化膜33が露出するまで研磨して除去する。この際、シリコン窒化膜33は、CMP法のストップとして機能する。

【0060】

次に、図9(b)に示すように、熱リン酸によるウエットエッチングを行い、シリコン窒化膜33を除去する。この際、シリコン酸化膜36の合わせ目部分37が形成されていた領域は、上述したようにいわば不完全に充填された状態であるため、エッチングの際の進行が周辺部より速くなってしまふ。従って、このウエットエッチングの際に、シリコン窒化膜33と同時に合わせ目部分37近傍のシリコン酸化膜36が除去されて凹部41が形成される。また、このウエットエッチングは等方向のエッチングであるため、p型シリコン基板31の表面と平行方向にもエッチングが進行し、素子分離領域40の端部において欠損部39も同時に形成される。

【0061】

次に図9(c)に示すように、素子分離領域40を含むp型シリコン基板31上の全面に、厚さ200nm程度のシリコン酸化膜38を形成する。これによって、素子分離領域40上に形成された凹部41及び欠損部39は、シリコン酸化膜38によって充填される

10

20

30

40

50

## 【0062】

次に、図9(d)に示すように、p型シリコン基板31が露出するまでシリコン酸化膜38及び熱酸化膜32をエッチングにより除去し、図示のような素子分離領域40を形成する。この素子分離領域40は素子形成領域を固定する。

## 【0063】

この後、前述した第1の実施形態と同様の製造工程(図5(d)~図7(a))を経て、本実施形態のnMOSトランジスタ(図2参照)を完成させる。

## 【0064】

このように構成された第2の実施形態の半導体装置(nMOSトランジスタ)によれば、シリコン窒化膜33を除去する際の熱リン酸によるウエットエッチングによりシリコン酸化膜36上に形成された凹部41及び欠損部39を、更にその上にシリコン酸化膜38を形成することで埋め込むことができる。

## 【0065】

これによって、凹部41や欠損部39の存在に起因して発生するフィールド反転電圧の低下や寄生デバイスのリーク電流の増加といった問題を解消することが可能となる。

## 【0066】

図3は本発明に係る半導体装置の第3の実施形態としてのnMOSトランジスタの構成を模式的な断面図の形で示したものである。

## 【0067】

図3において、51はp型半導体基板(本実施形態ではp型シリコン基板)、57は絶縁膜(本実施形態では熱酸化膜)、58は絶縁膜(本実施形態ではシリコン酸化膜)、60は易酸化膜(本実施形態ではポリシリコン膜)、62は熱酸化膜、64はゲート酸化膜、65はゲート電極として機能するポリシリコン膜、67及び68はそれぞれソース領域及びドレイン領域として機能するn型不純物の拡散領域、69は層間絶縁膜(本実施形態ではBPSG膜)、70、71及び72はコンタクトホール、73は金属配線(本実施形態ではアルミニウム配線)を示す。

## 【0068】

以下、第3の実施形態の半導体装置(nMOSトランジスタ)の製造方法について図10(a)~図12(e)を参照しながら説明する。

## 【0069】

まず、図10(a)に示すように、p型半導体基板(p型シリコン基板)51の表面を熱酸化して厚さ50nm程度の熱酸化膜52(パッド絶縁膜)を形成し、更にこの熱酸化膜52上に、低圧CVD法によりシリコン窒化膜53(耐熱性絶縁膜)を形成する。

## 【0070】

次に、図10(b)に示すように、通常の写真リソグラフィを用いて、シリコン窒化膜63上に、開口部55を有するフォトレジスト54を形成する。この際、開口部55の幅は300nm程度が適当である。

## 【0071】

次に、図10(c)に示すように、フォトレジスト54をマスクとしてドライエッチングを行い、上層から下層へシリコン窒化膜53、熱酸化膜52及びp型シリコン基板51の表面を選択的に除去し、深さが400nm程度のトレンチ56を形成する。

## 【0072】

次に、図10(d)に示すように、フォトレジスト54を除去した後、トレンチ56の底面から側壁にかけての表面領域を熱酸化処理して厚さ50nm程度の熱酸化膜57を形成する。この熱酸化膜57は、第1の実施形態における熱酸化膜5(図4(c)参照)及び第2の実施形態における熱酸化膜35(図8(c)参照)と同様に、エッチングによってトレンチの内壁表面に形成されたダメージ層を除去するためのものである。

## 【0073】

次に、図10(e)に示すように、トレンチ56の底面及び側壁並びにシリコン窒化膜

10

20

30

40

50

53の上に、低圧CVD法により厚さ100nm程度のシリコン酸化膜(絶縁膜)58を形成する。このシリコン酸化膜58の形成により、その厚さの2倍の分だけトレンチ56の幅は減少し、第2のトレンチ59が形成される。

【0074】

次に、図11(a)に示すように、全面にわたり低圧CVD法によりポリシリコン膜(易酸化性膜)60を形成し、トレンチ59を完全に充填すると共にシリコン酸化膜58上に150nm程度の厚さで積層する。

【0075】

次に、図11(b)に示すように、CMP法によりポリシリコン膜60をシリコン酸化膜58が露出するまで研磨して除去する。これによって、ポリシリコン膜60はトレンチ59内のみ残される。

10

【0076】

この際、ポリシリコン膜60はCMP法によって容易に研磨され、シリコン酸化膜58が露出すると、シリコン酸化膜58のポリシリコン膜60に対する研磨速度選択比は小さく設定されているため、研磨が実質上停止する。従って、この研磨速度の遅いシリコン酸化膜58をCMP法のストッパとして利用することで、種々のパターンが混在しても研磨の停止位置を精度良く決定することができる。

【0077】

本発明者のこれまでの実験結果から、シリコン酸化膜58に対するポリシリコン膜60の研磨速度選択比が20倍以下であると研磨の終点を明確にするのが困難であるため、この研磨速度選択比は20倍以上に設定しておくことが望ましい。

20

【0078】

次に、図11(c)に示すように、トレンチ59内のポリシリコン膜60の露出した表面領域に熱酸化処理を行って、シリコン酸化膜58より膜厚の大きい熱酸化膜61を形成する。この熱酸化膜61の膜厚は具体的には200nm程度が適当である。この熱酸化膜61は、シリコン酸化膜58と共に、表面領域において同等のエッチングレートを有するほぼ同質の膜を構成する。

【0079】

次に、図11(d)に示すように、フッ素を用いたウエットエッチングにより、表面に露出している熱酸化膜61及びシリコン酸化膜58を除去する。上述したようにシリコン酸化膜58及び熱酸化膜61は均質な絶縁膜となっているため、シリコン酸化膜53が露出するまでシリコン酸化膜58を除去すると、トレンチ56内のシリコン酸化膜58及び熱酸化膜61も均一な厚さで除去され、表面位置を精度良く決定することができる。

30

【0080】

また、上述したように熱酸化膜61はシリコン酸化膜58より厚く形成されているので、このウエットエッチングが完了するまでポリシリコン膜60は熱酸化膜61で覆われており、その結果、ポリシリコン膜60が削れてしまうといった不都合を回避することができる。

【0081】

次に、図11(e)に示すように、再びポリシリコン膜60の表面に熱酸化処理を行って、厚さ200nm程度の熱酸化膜62を形成する。

40

【0082】

次に、図12(a)に示すように、熱リン酸を用いたウエットエッチングにより、表面に露出しているシリコン窒化膜53の全部を除去し、続いてフッ素を用いて熱酸化膜52を除去することで、図示のようなトレンチ素子分離構造による素子分離領域63を形成する。

【0083】

次に、図12(b)に示すように、p型シリコン基板51を熱酸化してゲート酸化膜64を形成した後、全面に低圧CVD法によりリン(P)等の不純物を添加させながらポリシリコン膜65を形成する。

50

## 【 0 0 8 4 】

次に、図 1 2 ( c ) に示すように、フォトリソグラフィ及びこれに続くドライエッチングにより、ゲート部 6 6 を残してポリシリコン膜 6 5 及びゲート酸化膜 6 4 をエッチング除去する。

## 【 0 0 8 5 】

次に、図 1 2 ( d ) に示すように、素子分離領域 6 3 及びゲート部 6 6 をマスクとして、n 型の不純物であるリン ( P ) 又は砒素 ( A s ) を加速エネルギー 6 0 ~ 1 0 0 k e V 程度、ドーズ量  $5 \times 1 0^{14} \sim 5 \times 1 0^{14} / \text{cm}^2$  程度の条件で p 型シリコン基板 5 1 内にイオン注入し、次いで、9 0 0 程度の温度条件で熱処理することにより拡散させて、n M O S トランジスタのソース領域 6 7 及びドレイン領域 6 8 を形成する。

10

## 【 0 0 8 6 】

最後に、図 1 2 ( e ) に示すように、全面に亘って B P S G 膜 ( 層間絶縁膜 ) 6 9 を C V D 法により厚く堆積させた後、リフロー処理を行う。そして、ゲート電極として機能するポリシリコン膜 6 5、ソース領域及びドレイン領域 6 8 に到達するようにそれぞれコンタクトホール 7 0、7 1 及び 7 2 を形成する。この後、スパッタ法によりアルミニウム配線 7 3 を蒸着してコンタクトホール 7 0、7 1 及び 7 2 内を充填し、B P S G 膜 6 9 上でパターニングを行って、図示のような n M O S トランジスタを完成させる。

## 【 0 0 8 7 】

このように構成された第 3 の実施形態の半導体装置 ( n M O S トランジスタ ) によれば、トレンチ 5 6 を充填したシリコン酸化膜 5 8 の上に、このシリコン酸化膜 5 8 に比べて研磨速度選択比の大きいポリシリコン膜 6 0 を形成し、更に C M P 法によりこのポリシリコン膜 6 0 を除去することで、研磨不良を生じることなく容易に除去することができる。さらに、ポリシリコン膜 6 0 が完全に除去されると、ポリシリコン膜 6 0 より研磨速度選択比の小さいシリコン酸化膜 5 8 が露出するため、この時点で研磨を確実に停止させることができる。従って、研磨の不良を最小限に抑えることが可能となる。

20

## 【 0 0 8 8 】

また、研磨後に露出したポリシリコン膜 6 0 の表面領域を熱酸化処理して、シリコン酸化膜 5 8 よりも厚い膜厚で熱酸化膜 6 1 を形成することにより、シリコン酸化膜 5 8 をエッチングする際に、完全に除去されるまでポリシリコン膜 6 0 の表面を熱酸化膜 6 1 で覆う ( つまり保護する ) ことができる。従って、ポリシリコン膜 6 0 が不要にエッチングされることを阻止することができる。

30

## 【 0 0 8 9 】

さらに、このエッチングの際、熱酸化膜 6 1 はシリコン酸化膜 5 8 と同質の絶縁膜であるため、シリコン酸化膜 5 8 と共に均一な厚みで除去される。シリコン酸化膜 5 8 及び熱酸化膜 6 1 は、上述したように C M P 法によって精度良く研磨されているので、結果として素子分離領域 6 3 の表面を精度良く形成することができる。従って、素子分離領域 6 3 上でのパターン形成を安定して行うことができ、パターンの形成不良を最小限に抑えることが可能となる。

## 【 産業上の利用可能性 】

## 【 0 0 9 0 】

本発明によれば、トレンチ型素子分離構造の上面形状を、高い精度で所望の形状に形成することができる。従って、電気的特性を向上させた半導体装置と、その製造方法を提供することができる。

40

## 【 符号の説明 】

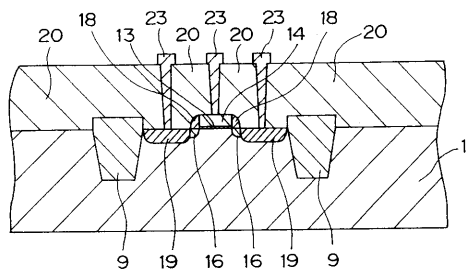
## 【 0 0 9 1 】

- 1 , 3 1 , 5 1 p 型半導体基板
- 2 , 5 , 1 1 , 3 2 , 3 5 , 5 2 , 5 7 , 6 1 , 6 2 熱酸化膜
- 3 , 3 3 , 5 3 , 6 3 シリコン窒化膜
- 4 , 3 4 , 5 6 , 5 9 トレンチ ( 溝 )
- 6 , 8 , 3 6 , 3 8 , 5 8 シリコン酸化膜

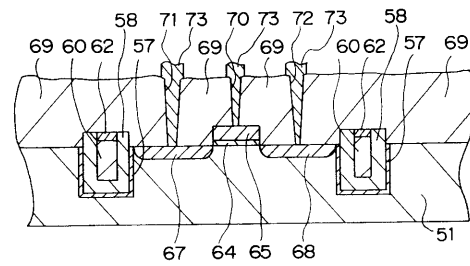
50

- 7, 37 合わせ目部分
- 9 素子分離酸化膜
- 10, 40, 63 素子分離領域
- 12, 60, 65 多結晶シリコン膜
- 13, 64 ゲート酸化膜
- 14, 65 ゲート電極
- 15, 66 ゲート部
- 16 低濃度 n 型不純物の拡散領域
- 18 側壁絶縁膜
- 19 高濃度 n 型不純物の拡散領域
- 20, 69 層間絶縁膜
- 21, 22, 70, 71, 72 コンタクトホール
- 23, 73 金属配線
- 39 欠損部
- 41 凹部
- 54 フォトレジスト
- 55 開口部
- 67, 68 n 型不純物の拡散領域

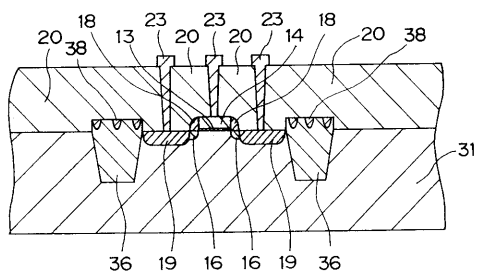
【図 1】



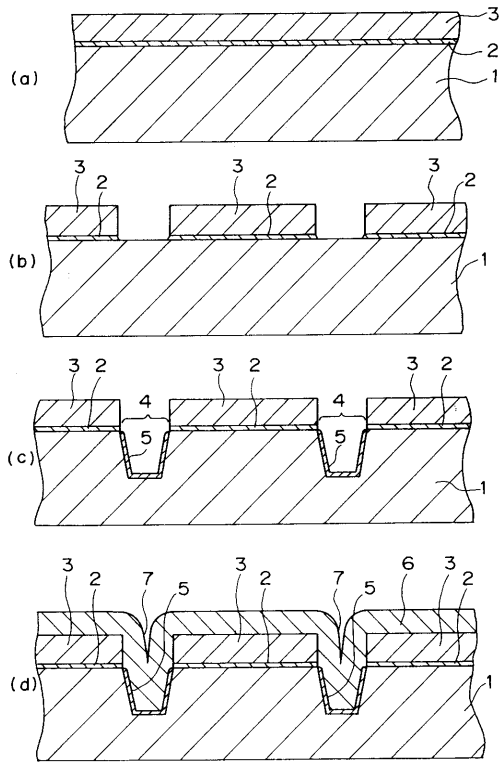
【図 3】



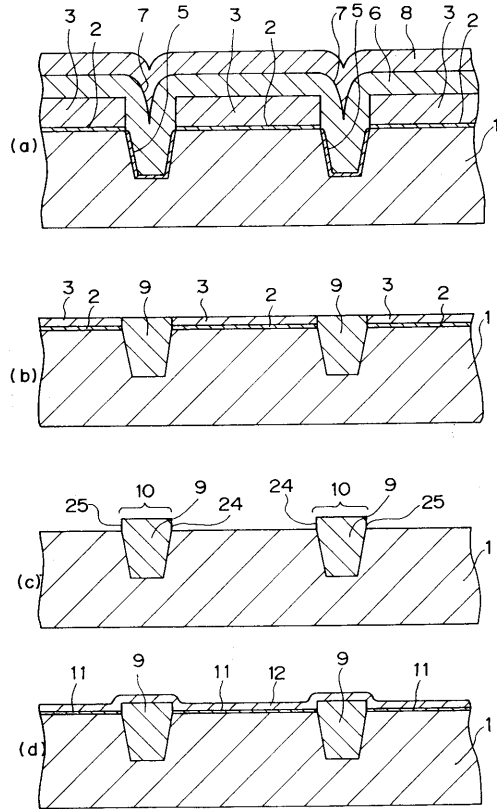
【図 2】



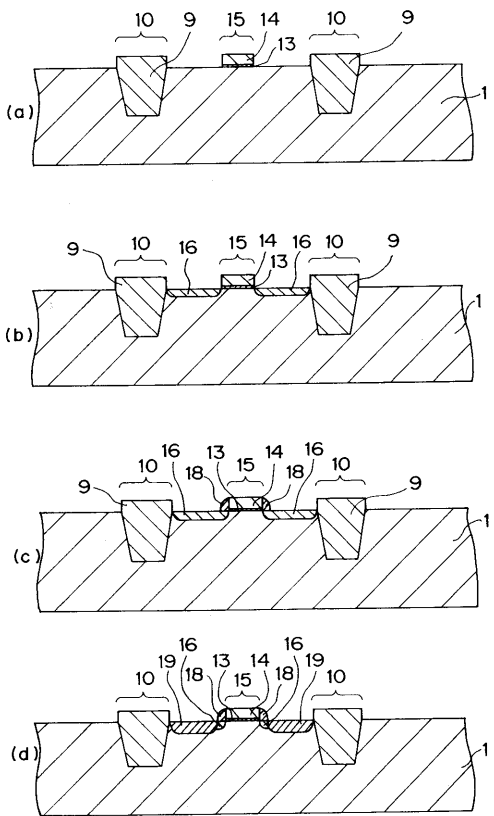
【図4】



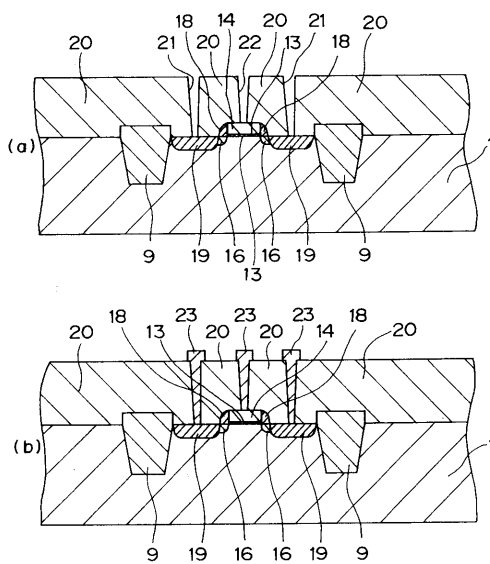
【図5】



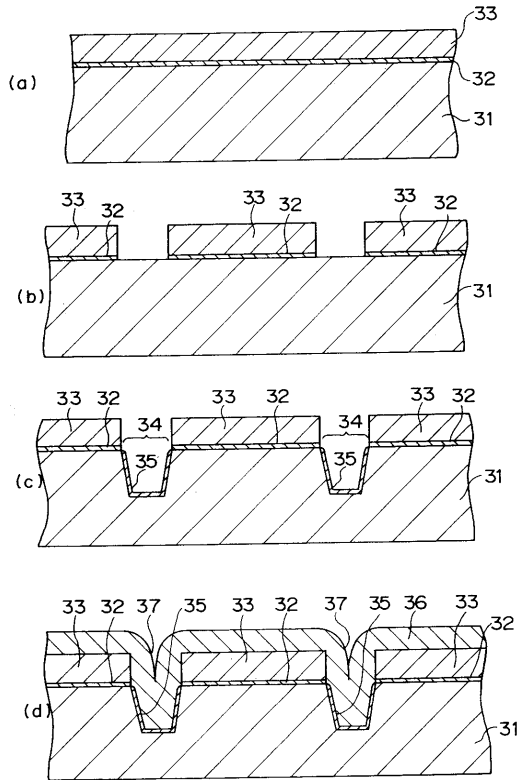
【図6】



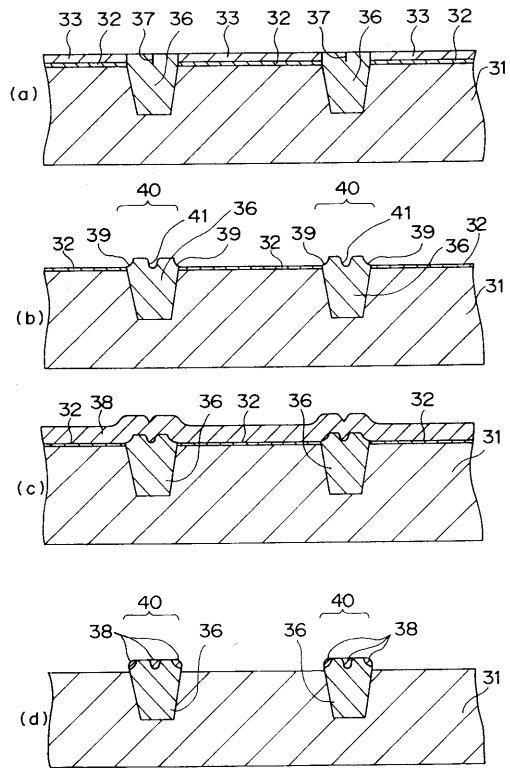
【図7】



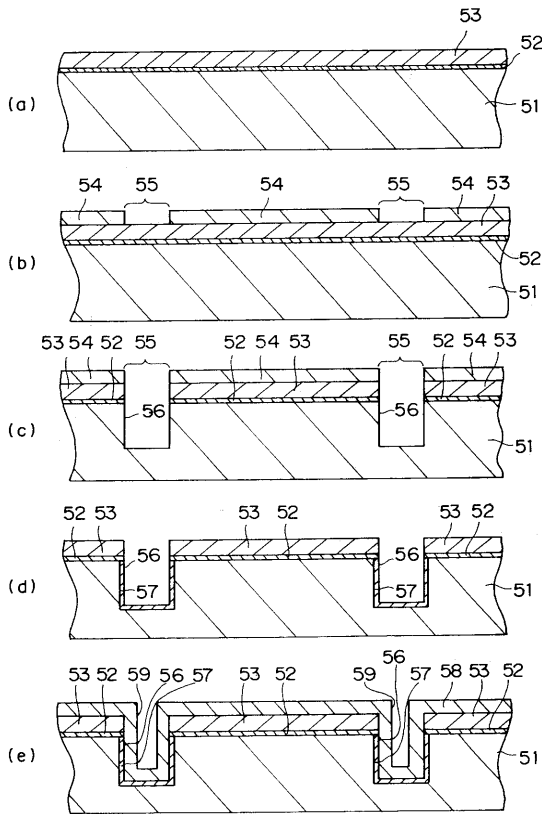
【図 8】



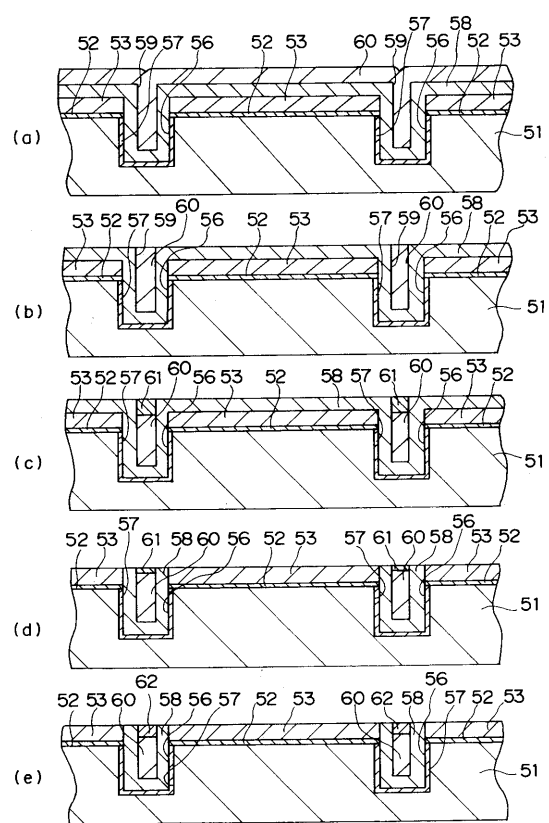
【図 9】



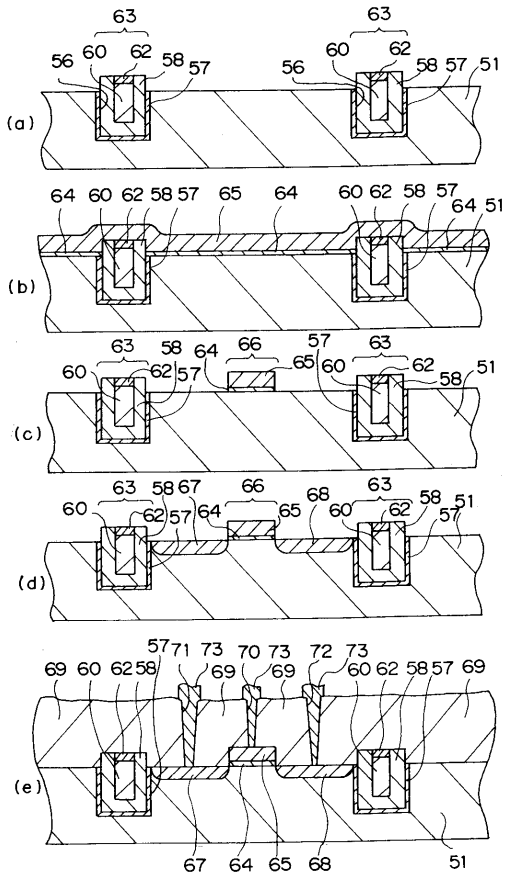
【図 10】



【図 11】



【図 12】



---

フロントページの続き

- (56)参考文献 特開平02-125443(JP,A)  
特開平06-232248(JP,A)  
特開平08-017909(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/76  
H01L 21/316