



(21)申請案號：112102689

(22)申請日：中華民國 112 (2023) 年 01 月 19 日

(51)Int. Cl. : **G09G3/36 (2006.01)****H03M1/68 (2006.01)**

(30)優先權：2022/01/19 美國

63/300,975

2022/03/08 美國

63/317,746

2022/07/21 美國

63/391,226

(71)申請人：美商 H Y P H Y 美國公司 (美國) HYPHY USA, INC. (US)

美國

(72)發明人：弗里德曼 埃亞爾 FRIEDMAN, EYAL (AU)；洛克夫 托德 E ROCKOFF, TODD

E. (US)

(74)代理人：蔡清福；蔡駁理

(56)參考文獻：

TW 202046283A

TW 202126114A

US 2006/0080711A1

US 2011/0037574A1

審查人員：林建宏

申請專利範圍項數：83 項 圖式數：28 共 106 頁

(54)名稱

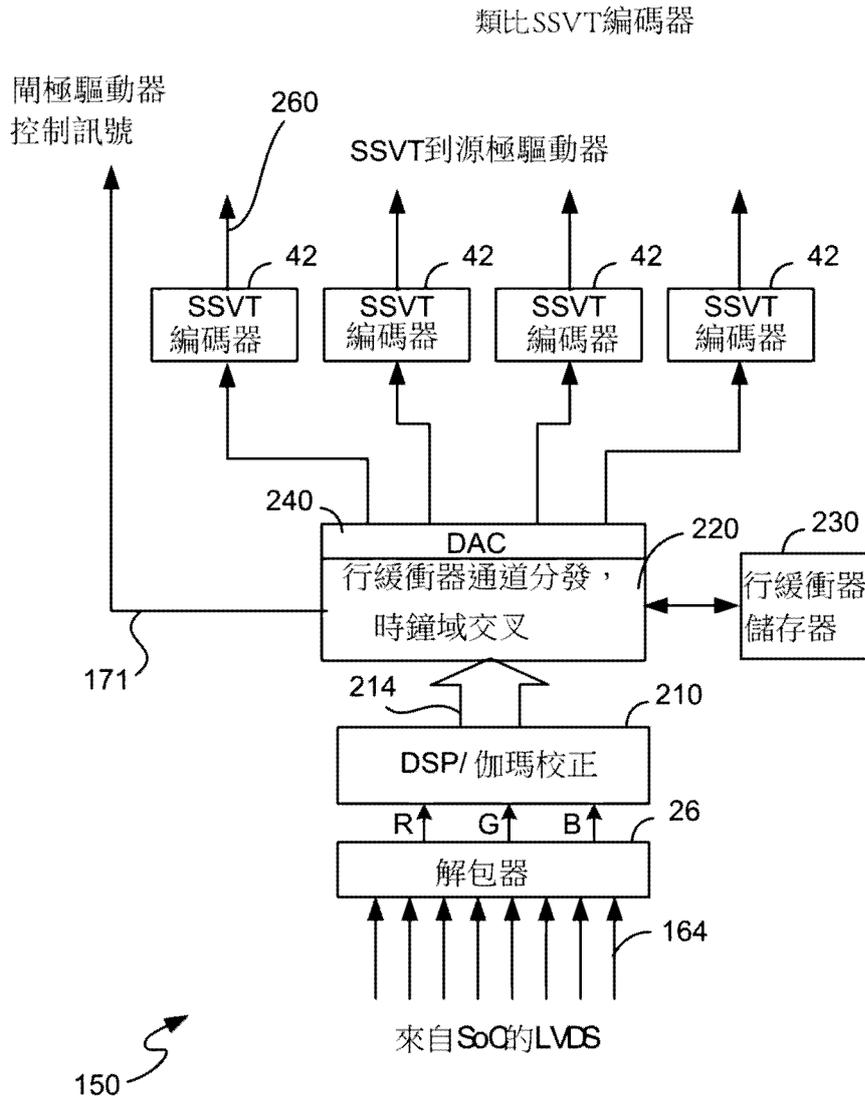
具有時序控制器的展頻視訊傳輸整合

(57)摘要

顯示裝置的時序控制器與編碼器整合，用於在顯示面板的顯示控制器和源極驅動器之間傳輸類比訊號。時序控制器和整合的編碼器位於積體電路內，並且是晶片組的一部分。積體電路緊接著位於顯示裝置的 SoC 之後或整合在 SoC 內。發送到時序控制器晶片的視訊訊號被解包為樣本值，這些樣本值被排列為樣本的向量，每個編碼器一個向量。每個向量被轉換成類比的、被編碼，並且類比電位準被發送到源極驅動器，源極驅動器將其解碼為類比樣本。或者，每個數位向量被編碼，然後被轉換成類比的。行緩衝器使用記憶體將一行像素資訊呈現給編碼器。行動電話具有帶 SSVT 發送器的整合 TCON。

A timing controller of a display set is integrated with an encoder for transport of analog signals between a display controller and source drivers of the display panel. The timing controller and integrated encoder are within an integrated circuit and are part of a chipset. The integrated circuit is located immediately after the SoC of a display set or is integrated within the SoC. A video signal sent to the timing controller chip is unpacked into sample values which are permuted into vectors of samples, one vector per encoder. Each vector is converted to analog, encoded and the analog levels are sent to the source drivers which decode into analog samples. Or, each digital vector is encoded and then converted to analog. A line buffer uses a memory to present a row of pixel information to the encoders. A mobile telephone has an integrated TCON with SSVT transmitter.

指定代表圖：



符號簡單說明：

- 26:解包器
- 42:編碼器
- 150:SSVT 發送器和時序控制器
- 164:訊號
- 171:時序訊號
- 210:DSP 和伽瑪校正
- 214:內部傳遞
- 220:塊
- 230:行緩衝器記憶體
- 240、DAC:數位類比轉換器
- 260:類比訊號
- DSP:數位訊號處理
- LVDS:低電壓差分指令
- SoC:片上系統
- SSVT:展頻視訊傳輸

圖4



公告本

I856494

【發明摘要】

【中文發明名稱】 具有時序控制器的展頻視訊傳輸整合

【英文發明名稱】 Spread-Spectrum Video Transport Integration With Timing

Controller

【中文】

顯示裝置的時序控制器與編碼器整合，用於在顯示面板的顯示控制器和源極驅動器之間傳輸類比訊號。時序控制器和整合的編碼器位於積體電路內，並且是晶片組的一部分。積體電路緊接著位於顯示裝置的SoC之後或整合在SoC內。發送到時序控制器晶片的視訊訊號被解包為樣本值，這些樣本值被排列為樣本的向量，每個編碼器一個向量。每個向量被轉換成類比的、被編碼，並且類比電位準被發送到源極驅動器，源極驅動器將其解碼為類比樣本。或者，每個數位向量被編碼，然後被轉換成類比的。行緩衝器使用記憶體將一行像素資訊呈現給編碼器。行動電話具有帶SSVT發送器的整合TCON。

【英文】

A timing controller of a display set is integrated with an encoder for transport of analog signals between a display controller and source drivers of the display panel. The timing controller and integrated encoder are within an integrated circuit and are part of a chipset. The integrated circuit is located immediately after the SoC of a display set or is integrated within the SoC. A video signal sent to the timing controller chip is unpacked into sample values which are permuted into vectors of samples, one vector

per encoder. Each vector is converted to analog, encoded and the analog levels are sent to the source drivers which decode into analog samples. Or, each digital vector is encoded and then converted to analog. A line buffer uses a memory to present a row of pixel information to the encoders. A mobile telephone has an integrated TCON with SSVT transmitter.

【指定代表圖】 圖4

【代表圖之符號簡單說明】

26：解包器

42：編碼器

150：SSVT發送器和時序控制器

164：訊號

171：時序訊號

210：DSP和伽瑪校正

214：內部傳遞

220：塊

230：行緩衝器記憶體

240、DAC：數位類比轉換器

260：類比訊號

DSP：數位訊號處理

LVDS：低電壓差分信令

SoC：片上系統

SSVT：展頻視訊傳輸

【發明說明書】

【中文發明名稱】 具有時序控制器的展頻視訊傳輸整合

【英文發明名稱】 Spread-Spectrum Video Transport Integration With Timing

Controller

【技術領域】

相關申請案的交叉引用

【0001】本申請要求於2022年1月19日提交的美國臨時專利申請No.63/300,975 (HYFYP013P)、於2022年3月8日提交的No.63/317,746 (案卷號HYFYP013P2)、於2022年7月21日提交的No.63/391,226 (案卷號HYFYP013P3)的優先權，所有這些均藉由引用併入本文。

【0002】本申請還藉由引用併入於2018年3月19日提交的美國申請No.15/925,123 (案卷號HYFYP001)、於2019年9月17日提交的美國申請No.16/494,901 (案卷號HYFYP002)、於2022年8月2日提交的美國申請No.17/879,499 (案卷號HYFYP003)、於2022年3月4日提交的美國申請No.17/686,790 (案卷號HYFYP004AX1)、於2022年8月15日提交的美國申請No.17/887,849 (案卷號HYFYP006)、於2022年6月28日提交的美國申請No.17/851,821 (案卷號HYFYP007)、於2022年8月16日提交的美國臨時申請No.63/398,460 (案卷號HYFYP008P)、於2022年8月31日提交的美國申請No.17/900,570 (案卷號HYFYP009)和於2022年5月26日提交的美國臨時申請No.63/346,064 (案卷號HYFYP014P2)。

【0003】本發明一般而言涉及在顯示裝置的顯示面板上顯示視訊。更具體而言，本發明涉及一種與編碼器整合的時序控制器，該編碼器將數位訊號編碼成類比訊號以用於顯示器。

【先前技術】

【0004】影像感測器、顯示面板和視訊處理器不斷競相實現更大的格式、更大的色深、更高的畫面播放速率和更高的解析度。本地網站視訊傳輸包括性能縮放瓶頸，這些瓶頸限制輸送量並損害性能，同時消耗更多的成本和功率。消除這些瓶頸可以提供優勢。

【0005】例如，隨著顯示解析度的增加，從視訊源傳送到顯示幕的視訊資訊的資料速率呈指數增加：從十年前的用於全HD的3Gbps到用於新的8K螢幕的160Gbps。通常，具有4K顯示解析度的顯示器在60Hz時要求大約20Gbps的頻寬，而在120Hz時要求40Gbps。而且，8K顯示器在60Hz時要求80Gbps，在120Hz時要求160Gbps。

【0006】目前，常規的列（或源極）驅動器依賴於顯示裝置內的接線器（wiring loom），出於多種原因，該接線器可以限制縮放到更大的格式和更高的畫面播放速率。一方面，複雜接線器所需的面積和體積變得太大，這意味著實現接線器的印刷電路的尺寸和成本超出了實際限制。另外，源極驅動器的DAC限於8位的解析度；進一步的增加將導致過高的資料速率並消耗過多的功率。這些限制迫使顯示裝置行業出現體系架構中斷，從而增加成本和風險。

【0007】到目前為止，使用低電壓差分信令（LVDS）資料傳送的變體以數位方式傳送資料，使用每個訊號對16Gbps的位元速率（取決於體系架構），

並並行化訊號對以實現所需的總位元速率。然後需要在顯示器的源極驅動器處使用數位類比轉換將這個數位資訊動態轉換成類比像素資訊。

【0008】 如今，大多數源極驅動器數位類比轉換器要求8位；很快，數位類比轉換可能需要10位元甚至12位元，然後維持足夠快的資料速率將變得非常困難。因此，顯示器必須在非常短的時間內對數位資料進行計時，從而導致數位訊號傳輸的不穩定。由於現有數位傳輸的限制引起的另一個問題是並非每個樣本的所有12位元或10位甚至8位元都在顯示面板內被輸送；現代顯示器內壓縮方案每個樣本僅攜帶6位元，從而限制了顯示器的色深。

【0009】 因而，期望新的裝置和技術來消除在顯示器的源極驅動器處進行數位類比轉換的需要，增加頻寬，並利用在顯示單元內產生的類比視訊訊號。

【發明內容】

【0010】 為了實現前述，並且根據本發明的目的，顯示裝置的時序控制器與具有至少一個編碼器的SSVT發送器整合以允許在顯示裝置的顯示控制器與顯示面板的源極驅動器之間傳輸類比訊號。

【0011】 認識到像素亮度水平的數位表示（例如，8位元或10位元數位）是視訊資料的差的表示，尤其是在視訊傳輸期間，而表示那些亮度水平的類比電壓是更好的表示並具有更大的解析度。因此，本發明提出使用表示像素亮度水平的電壓在類比域中在顯示裝置內傳輸視訊資料。

【0012】 本發明的優點包括降低功耗。在先前技術中，功耗顯著地制約了顯示性能；使用本發明，顯示電子裝置消耗的功率更少。下面描述的本發明的實施例可以縮放到任意大的格式和畫面播放速率，面板驅動消耗的功率減少多

達50%，並提供大於十倍的雜訊抑制。另外，實施例提供抗噪性和EM隱蔽性，因為顯示裝置的EMI/RFI發射將遠低於規定的限制。還有，新型類比訊號的傳輸距離可以遠大於常規的乙太網或HDBaseT訊號的傳輸距離。並且，雖然常規的傳輸對高速數位電路使用昂貴的混合訊號處理，但本發明的實施例利用成熟的類比處理以獲得更大的靈活性和更低的生產成本。另外，接線器的尺寸減小，因此在顯示面板的邊緣區域中佔用更少的空間。

【0013】 另外，使用展頻視訊傳輸（SSVT）在顯示面板的顯示控制器和源極驅動器之間的顯示裝置內進行資料傳送可以減小矽面積，從而減少與視訊傳輸相關聯的晶片成本，對於4K 60Hz面板可減少高達3倍，而對於8K 120Hz面板可減少高達10倍。

【0014】 在具體實施例中，SSVT發送器（及其編碼器）和整合的時序控制器在單個積體電路內。這種整合的主要優點是數位視訊傳送發生在晶片上，因此將數位訊號從TCON帶到編碼器並不困難。也會有功率和成本益處。另一個優點是，由於節省引腳和共用部件，組合的晶片面積將會更小。在變體中，發送器、TCON和SoC都在積體電路中。將SSVT發送器整合到TCON中也符合現有的行業慣例，其中TCON具有整合的數位視訊傳輸（如CEDs）。在另一個具體實施例中，SSVT發送器和時序控制器晶片（或發送器、TCON和SoC）是顯示面板驅動晶片組的一部分，一個或多個其它半導體晶片接收SSVT訊號並實現顯示器的源極驅動器。

【圖式簡單說明】

【0015】

本發明及其進一步的優點可以藉由參考以下結合附圖的描述來更好地理解，

其中：

圖1圖示了數位訊號到常規顯示裝置內的顯示面板的先前技術傳遞。

圖2圖示了在顯示裝置的SoC之後立即使用編碼的類比視訊訊號到顯示面板的傳遞。

圖3是由分發器實現的一種可能排列的圖，用於建構如圖所示的四個向量 V_0 、 V_1 、 V_2 和 V_3 。

圖4更詳細地圖示了具有類比編碼器的整合的SSVT發送器。

圖5A更詳細地圖示了圖4的行緩衝器控制器、分發器、時鐘域交叉、DAC和編碼器。

圖5B圖示了對類比值進行編碼的編碼器的一個特定實施例。

圖6更詳細地圖示了具有數位編碼器的整合的SSVT發送器。

圖7是示出類比電壓值如何在編碼器內被編碼然後藉由電磁通路被發送的示例。

圖8示出了適用於數位值的編碼技術。

圖9示出了經由EM通路發送的SSVT波形的類比。

圖10圖示了使用與顯示裝置的SoC整合的編碼將類比視訊訊號傳遞到顯示面板。

圖11圖示了具有整合的SSVT發送器和時序控制器的8K顯示裝置。

圖12圖示了具有整合的SSVT發送器、時序控制器和SoC的8K顯示裝置。

圖13圖示了使用數位編碼的整合模組的一個特定實施例。

圖14A更詳細地圖示了用於圖13的分發器的一種可能的實施方式。

圖14B更詳細地圖示了用於圖13的分發器的另一種可能的實施方式。

圖15圖示了使用類比編碼的整合模組的一個特定實施例。

圖16更詳細地圖示了來自圖13的數位編碼器中的一個。

圖17更詳細地圖示了來自圖15的類比編碼器中的一個。

圖18圖示了具有整合的SSVT發送器、時序控制器和SoC的8K120顯示裝置。

圖19圖示了顯示源極驅動器。

圖20圖示了源極驅動器的解碼單元的更詳細視圖。

圖21圖示了用於實現源極驅動器的陣列的替代實施例。

圖22是來自圖21的解碼器中的一個的框圖。

圖23是來自圖21的收集器的框圖，並示出了來自圖20的分級庫的更多細節。

圖24是用於四個解碼器中的一個的邏輯圖。

圖25是如圖所示的代表性解碼器軌道電路的圖。

圖26圖示了使用編碼器編碼的類比輸入電位準的解碼。

圖27A圖示了類比編碼器和對應的類比解碼器的使用。

圖27B圖示了數位編碼器和對應的類比解碼器的使用

圖27C圖示了使用數位解碼器來解碼已經藉由傳輸介質上的電磁通路到達的編碼的類比訊號。

圖28是使用SSVT在行動電話內傳輸視訊樣本的框圖。

【實施方式】

【0016】 在視訊系統中，入射光到訊號的變換一般由源元件或圖形處理單元（GPU）執行，並且預定的變換將確定要藉由一個或多個電磁通路從源元件傳輸到匯點元件的有效載荷的格式，匯點元件可以是顯示器或視訊處理器，其接收預定格式並將接收到的有效載荷變換成與合適的輸出裝置一起使用的訊號，以創建適合由人類觀看的輻射光。

【0017】 認識到，視訊訊號的數位化發生在系統的訊號源處（通常在GPU處），然後通常使用高性能佈線系統的組合將數位訊號傳送到顯示驅動器，在那裡數位訊號再次返回類比訊號，以被載入到顯示像素上。因此，數位化的唯一目的是將資料從視訊源傳送到顯示像素。因此，我們認識到（盡可能）完全避免數位化並直接將類比資料從視訊源（或從顯示控制器）傳送到顯示驅動器更為有益。這可以使用我們的新穎編碼來完成，從而在源極驅動器中再次解碼準確的類比電壓。解碼的類比資料是每個樣本的高位深度近似，無需確切地再現預定數量的位位置。這意味著取樣速率至少比數位傳送的情況低十倍，從而為擴展留出了更多的頻寬。

【0018】 另外，認識到，在需要較少功率的點執行數位類比轉換（如果需要的話）比在要求更多功率的顯示面板被驅動的端點處更容易。因此，我們不是將數位訊號從視訊源（或從顯示控制器）一直傳輸到需要產生類比訊號的位置，而是使用比數位化通常需要的低得多的取樣速率將類比訊號傳輸到顯示面板。這意味著我們現在不必藉由多條線路每秒發送十億位元，而只需每秒發送幾兆類比樣本，從而減少必須使用的通道的頻寬。另外，利用先前技術的數位傳輸，每個位元將佔據訊號線中的大約半英寸，而傳輸類比資料導致可用空間量增加十倍，這意味著額外的可用頻寬。另外，必須明確定義數位資料中的位

元。這個定義對誤差和雜訊相當敏感，並且需要能夠非常準確地檢測高點和低點，而提出的類比傳輸則不那麼敏感。這意味著電纜的品質（例如，在顯示裝置中從一側到另一側）不需要高。

【0019】本發明尤其適用於電腦系統、電視、監視器、遊戲顯示器、家庭影院顯示器、零售標牌、戶外標牌等中使用的高解析度、高動態範圍顯示器。

數位傳輸

【0020】圖1圖示了常規顯示裝置內數位訊號到顯示面板的先前技術傳遞10。出於本揭露的目的，“顯示面板”是指顯示裝置的實現產生用於觀看的光的像素的內部部分，而“顯示裝置”是指包括用於接收、傳輸和顯示視訊影像的顯示面板、面板組件、框架、驅動器、電纜和相關聯的電子裝置控制項的整個（通常）矩形外殼。

【0021】所示出的是數位視訊訊號32經由HDMI連接器（或經由LVDS、HDBaseT、MIPI、IP視訊等）到顯示裝置的片上系統（SoC）63的輸入。SoC 63執行諸如顯示控制器、反向壓縮和將視訊訊號64輸出到常規TCON（時序控制器）50的功能。進而，時序控制器將數位訊號66傳輸到顯示面板30。（數位傳輸也可以使用MLVDS、DDI等）。顯示面板30在顯示面板的列驅動器68內包括任何數量的DAC（數位類比轉換器），這些DAC將數位訊號轉換成類比訊號以輸入到顯示面板的像素中。高速移位暫存器69使用“級聯”技術將數位訊號從列驅動器傳遞到列驅動器。還示出了由時序控制器50輸出的為閘極驅動器35提供時序和成框的時序和成框訊號72。

【0022】除了上述缺點之外，由於依賴於高速數位電路，常規顯示裝置內的這種數位傳輸導致更高的EMI/RFI問題，並且它必須使用相對昂貴的積體電路

製程來實現。另外，例如，8K V-by-One HS在3.5Gbps下要求48個線對。而且，高速位序列介面也將具有同步問題。

【0023】 認識到，盡可能靠近SoC執行數位視訊訊號從數位到類比的轉換將不僅消除顯示面板的列驅動器內對DAC的需要，而且還將消除上述缺點並將實現在顯示裝置內傳輸類比訊號而不是傳輸數位訊號的優點。

顯示裝置內的類比傳輸

【0024】 圖2圖示了在顯示裝置120的SoC 163之後立即使用轉換和編碼的類比視訊訊號到顯示面板130的傳遞100。在這個實施例中，數位視訊訊號到類比SSVT訊號167的轉換和編碼發生在顯示裝置本身內，因此改進了顯示器連线性。所示出的是數位視訊訊號162經由HDMI連接器（或經由LVDS、HDBaseT、MIPI、IP視訊等）輸入到片上系統163，該片上系統163執行諸如顯示控制器、反向壓縮、亮度、對比度、覆蓋等功能。然後使用LVDS、V-by-one等將經修改的數位視訊訊號164傳遞到整合的SSVT發送器和時序控制器150。在這個實施例中，時序控制器與發送器整合並且兩者都在電路內實現，較佳地是半導體晶片上的積體電路。顯示面板130可以是任何尺寸的顯示面板。注意的是，發送器和時序控制器晶片150緊接在SoC晶片163之後，因此使數位訊號的傳輸（在那個點處）更容易。較佳地，晶片150位於距SoC晶片大約10cm或更近的位置。在一個實施例中，晶片150距SoC大約5cm或更近，在另一個實施例中，大約2cm或更近。LVDS的物理特性將最大晶片間通訊距離限制到大約幾英寸。整合的優點還包括具有整合的TCON的SoC。因此，下面討論的另一個實施例是與SoC和TCON整合的SSVT分發器、編碼器和行驅動器。

【0025】 在一個實施例中，發送器和時序控制器晶片150是顯示面板驅動器晶片組中的兩個半導體晶片之一，另一個半導體晶片（“SSVT源極驅動器”晶片）接收訊號167並包含源極驅動器169。取決於顯示面板的尺寸，可以有多於一個SSVT源極驅動器晶片。通常，晶片150和源極驅動器169之間的距離在大約5cm至大約1.5m的範圍內，這取決於面板尺寸。

【0026】 發送器150將接收到的數位視訊訊號轉換成展頻視訊傳輸（SSVT）訊號167，該訊號167被傳輸到顯示面板130。較佳地，訊號167使用差分導線對（例如，每個源極驅動器一對或兩對）被傳送到源極驅動器169。顯示面板130具有對應的SSVT解碼器（通常在每個源極驅動器169內），然後解碼器將每個類比SSVT訊號解碼為顯示面板期望的類比訊號。注意的是，在顯示面板和源極驅動器內都不需要DAC（數位類比轉換器）。時序訊號171控制閘極驅動器174，使得與源極驅動器169同步地啟用顯示器的正確行。在一個特定實施例中，新穎的源極驅動器169如本文和上述美國專利申請No.17/900,570（HYFY009）中所描述的來實施。

【0027】 有利地，藉由在顯示器內使用SSVT訊號而不是使用數位傳輸，EMI/RFI發射遠低於強制極限，並且8K顯示器將在680Mbps處僅要求24個線對。相比之下，先前技術在顯示裝置內從片上系統（SoC）（例如）到顯示面板的數位視訊訊號傳輸必須以高解析度實現，因此IC製程相對昂貴，並且EMI/RFI輻射由於對高速數位電路的依賴性而將成為問題，並且8K顯示器將在3.5Gbps處要求48個線對。

【0028】 即使輸入訊號162不是SSVT，即，它是數位視訊訊號，在顯示裝置內部使用SSVT訊號也有顯著的優點。在先前技術的顯示裝置中，解壓縮HDMI

訊號，然後獲得完整的全位元速率數位資料，然後必須將這些資料從顯示裝置的接收端傳送到顯示裝置內的所有位置。對於64或80英寸的顯示裝置來說，這些連接可以相當長；必須將數位資料從時序控制器所在的裝置的一側傳送到最終顯示源極驅動器所在的另一側。因此，在SoC處或附近將數位訊號內部轉換成SSVT，然後將SSVT訊號發送到源極驅動器所在的顯示裝置的所有位置是有益的。具體而言，數位傳輸的距離將更短並且SSVT傳輸的距離將更長，從而降低數位傳輸實施的成本和複雜性，同時增加系統整合的靈活性。

【0029】圖10圖示了使用與顯示裝置120的SoC 140'整合的轉換和編碼的類比視訊訊號到顯示面板130的傳遞100'。在這個實施例中，數位視訊訊號162到類比SSVT訊號167的轉換和編碼發生在單個晶片140'內，其將SSVT發送器和時序控制器整合在SoC 140'內。

【0030】所示出的是數位視訊訊號162經由HDMI連接器（或經由LVDS、HDBaseT、MIPI、IP視訊等）輸入顯示裝置120中，然後在內部傳輸162'到SoC 140'。片上系統（SoC）140'執行其傳統功能，諸如顯示控制器、反向壓縮、亮度、對比度、覆蓋等，以及用作時序控制器和SSVT發送器。在SoC執行其傳統功能之後，經修改的數位視訊訊號（未示出）然後使用合適的協定（諸如LVDS、V-by-one等）在內部遞送到整合的SSVT發送器和時序控制器。在這個實施例中，時序控制器和SSVT發送器都與SoC整合，並且所有三個都在單個電路中實現，較佳地是半導體晶片上的積體電路。

【0031】因為SoC 140'執行編碼，對應的一個或多個半導體晶片（“SSVT源極驅動器”晶片）接收訊號167並包含源極驅動器169。取決於顯示面板的尺

寸，可以有多於一個SSVT源極驅動器晶片。通常，晶片140'和源極驅動器169之間的距離在大約5cm至大約1.5m的範圍內，這取決於面板尺寸。

【0032】 晶片140'內的SSVT發送器將經修改的數位視訊訊號轉換成展頻視訊傳輸（SSVT）訊號167，該訊號167被傳輸到顯示面板130。較佳地，訊號167使用差分導線對（例如，每個源極驅動器一對或兩對）被傳遞到源極驅動器169。顯示面板130具有對應的SSVT解碼器（通常在每個源極驅動器169內），其隨後將類比SSVT訊號解碼為顯示面板期望的類比訊號。注意的是，顯示面板和源極驅動器內都不需要DAC（數位類比轉換器）。時序訊號171控制閘極驅動器174，使得與源極驅動器169同步地啟用顯示器的正確行。

【0033】 整合的SoC晶片140'可以如本文所述實現，即，如圖4或圖6中所示，記住SSVT發送器、時序控制器和SoC的功能都整合在同一晶片上。圖10的這個實施例具有上面關於圖2列出的相同優點。此外，藉由將SSVT發送器和時序控制器與SoC晶片本身整合，獲得進一步的優點，諸如更少的晶片、更低的複雜性、所需的更小面積和所需的更少功率。

SSVT類比編碼器和時序控制器

【0034】 圖4更詳細地圖示了SSVT發送器和時序控制器150。如圖2中所示，SSVT發送器和時序控制器150經由傳輸介質連接到顯示器的源極驅動器169。首先描述分發和編碼，然後詳細描述時序控制器。進一步的細節在圖5A中示出。

【0035】 簡言之，輸入數位視訊樣本流在晶片150處被接收，輸入數位視訊樣本被重複地（1）藉由根據預定的排列將輸入視訊樣本分配到編碼器輸入向量（在這個示例中為四個）來分發和（2）使用編碼器42進行編碼以產生多個複合類比EM訊號260。然後，類比EM訊號（3）藉由傳輸介質被傳輸到包含源極

驅動器的一個或多個對應晶片。在接收側，(4)使用對應的解碼器對傳入的類比EM訊號進行解碼，以便將樣本重建為輸出向量，然後(5)藉由使用預定排列的逆將來自輸出向量的重建的視訊樣本分配給輸出流來收集輸出向量。因此，包含顏色和像素相關資訊的按時間排序的視訊樣本的原始流從視訊源輸送到視訊宿。

【0036】 訊號164通常是來自SoC的LVDS數位訊號，其中像素值藉由連續視訊訊框以行優先次序出現。一次可能到達多於一個像素值（例如，兩個、四個等）；在像素組從行的一側逐漸傳輸到另一側的意義上，它們是串列的。解包器26將這些串列像素值解包（或暴露）為並行RGB值。每組像素樣本中的輸出樣本值的數量S由視訊源所應用的顏色空間確定。對於RGB， $S=3$ ，對於YCbCr4:2:2， $S=2$ 。在其它情況下，每個樣本組中的樣本值S可以只是一個或多於三個。解包器26還從數位訊號164解包與像素值一起到來的成框標誌27（圖5A中所示）形式的訊框資訊。基本上，成框標誌指示特定視訊訊框中像素的位置；它們標記行的開始、行的結束、活動視訊部分、水平和垂直消隱部分等，如本領域中已知的。成框標誌27告訴閘極驅動器目前將哪行發送到顯示面板，並且還將控制閘極驅動器的動作的時序。成框標誌被輸入到行緩衝器290，這將在下面的圖5A中更詳細地描述。

【0037】 塊220的分發器40（在圖5A中詳細示出）被佈置為接收在輸入樣本集合中暴露的像素顏色資訊（例如，R、G和B值）。分發器40獲取暴露的顏色資訊並根據預定義的排列建構多個編碼器輸入向量。在所示實施例中，有四個編碼器輸入向量（ V_0 、 V_1 、 V_2 和 V_3 ），分別用於傳輸介質上的四個EM通路中的每一個。在各種實施例中，傳輸介質可以是諸如HDMI或光纖之類的電纜，或

者可以是無線的。多個編碼器42中的一個被分別分配給四個向量 V_0 、 V_1 、 V_2 和 V_3 中的一個。每個編碼器42負責對包含在對應編碼器輸入向量中的樣本值進行編碼並產生藉由傳輸介質上的並行通路之一發送的EM訊號。

【0038】 在所示的這個特定實施例中，有四個EM通路，並且每個編碼器42分別為四個通路中的每個產生EM訊號。但是，應當理解的是，本發明決不當應限於四個通路。傳輸介質上的通路的數量範圍可以很廣，從一大於一的任何數量。

【0039】 在接收側，提供SSVT接收器（未示出）。SSVT接收器的功能是發送側的SSVT發送器和時序控制器150的補充。即，SSVT接收器（a）從傳輸介質的多條EM通路接收EM訊號的序列，（b）藉由應用SSVT解調來解碼每個序列以重建多個輸出向量中的視訊樣本，以及（c）使用用於在發送側將輸入樣本分發到輸入向量中的相同排列來從多個輸出向量收集樣本。更具體地，輸出向量在源極驅動器的輸出引腳上朝向顯示面板以其空間正確位置被重新排列。然後將收集的輸出樣本變換成適合視訊宿顯示的格式，以便以時移模式顯示。

【0040】 如本文所述，調變和解調可以在類比或數位域中執行，如下面在圖7至圖9中所解釋的。如下面更詳細地解釋的，輸入樣本的集合的流以第一時脈速率（像素時鐘或“pix-clk”）被分發以根據預定排列創建編碼器輸入向量。然後將調變應用於每個編碼器輸入向量，從而為每個編碼器輸入向量產生編碼的EM訊號。然後，EM訊號以第二時脈速率（SSVT時鐘或“SSVT_clk”）藉由平行傳輸被發送。將擴展（SSDS）應用於編碼器輸入向量中的每個樣本提供電彈性，但以犧牲每個樣本的頻寬為代價。但是，藉由使用一組相互正交的碼進行調變並同時發送所有得到的EM訊號，可以恢復部分或全部丟失的頻寬。

【0041】如前面所提到的，經修改的數位視訊訊號164經由LVDS對(例如)從SoC 163到達；通常，對的數量是特定於實施方式的，並且取決於每對的資料速率以及面板解析度、畫面播放速率、頻寬等。數位訊號處理(DSP)在DSP和伽瑪校正210中執行，並且包括逐訊框反轉和其它處理，諸如伽瑪校正、LCD驅動優化、伽瑪校正、LCD驅動優化、HDR實施、對特定EM路徑電特性的補償。伽瑪校正將樣本從線性顏色空間轉換到非線性顏色空間，以便充分利用個體顯示器的物理亮度特性。伽瑪校正是高視訊品質系統的基本要求。對EM通路特性的補償包括預先校正EM通路中的電路元件的測量參數的任何訊號處理功能。

【0042】在DSP和伽瑪校正210之後，數位視訊訊號在內部傳遞214到塊220，塊220包括行緩衝器(和行緩衝器控制器)、通道分發(經由分發器40)、時鐘域交叉和閘極驅動器控制訊號171的產生。行緩衝器記憶體230在分發給編碼器之前為一行像素資訊提供臨時儲存。通常，用於顯示面板的一行的像素資訊從SoC串列到達，但是，由於閘極驅動器將使一行像素資訊能夠被同時顯示，因此源極驅動器169將需要整行的像素電壓同時做好準備。因此，行緩衝器記憶體230為從SoC串列到達的一行像素資訊提供儲存；一旦儲存了整行像素資訊，它就可以被塊220用於稍後的轉換、編碼、傳輸和顯示面板的適當行中的顯示。此外，有時在顯示面板上，閘極驅動器在任何給定時間僅使能像素行的一半，因此必須將一半的行資訊發送到源極驅動器，然後再發送另一半；行緩衝器記憶體有助於促進這一點。例如，一行儲存在行緩衝器記憶體中，然後一半一半地提取以進行傳輸，同時儲存新的一行。取決於具體實施方式，行緩衝器記憶體230可以在積體電路150內或可以在外部。

【0043】 然後使用中頻DAC 240轉換數位視訊樣本，然後使用任何數量的SSVT編碼器42進行類比編碼，編碼器的數量與期望在傳輸介質上使用的EM訊號（EM通路）的數量對應，如在下面將更詳細描述的。然後將類比訊號260各自發送到源極驅動器169以解碼成顯示面板130預期的電壓電位準。

【0044】 現在參考圖3，示出了由分發器40實現的用於建構四個向量 V_0 、 V_1 、 V_2 和 V_3 的一種可能排列的圖。每個向量包括N個暴露的顏色資訊樣本。在這個示例中，來自樣本的集合的暴露的RGB樣本從左到右被分配給向量 V_0 、 V_1 、 V_2 和 V_3 。換句話說，最左邊樣本的“R”、“G”和“B”值以及下一個樣本的集合的“R”訊號被分配給向量 V_0 ，而接下來的（從左到右）“G”、“B”、下一個樣本的“R”和“G”值被分配給向量 V_1 ，接下來的（從左到右）“B”、“R”、“G”和“B”值被分配給向量 V_2 ，接下來的（從左到右）“R”、“G”、“B”和“R”值被分配給向量 V_3 。一旦第四個向量 V_3 被分配了其訊號，就重複上述過程，直到四個向量 V_0 、 V_1 、 V_2 和 V_3 中的每一個具有N個樣本。

【0045】 在各種實施例中，N個樣本的數量可以廣泛變化。作為示例，考慮具有 $N = 60$ 的實施例。在這種情況下，包括在四個向量 V_0 、 V_1 、 V_2 和 V_3 中的N個樣本的總數是240（ $60 \times 4 = 240$ ）。四個編碼器輸入向量 V_0 、 V_1 、 V_2 和 V_3 在完全建立時包括80個不同的樣本的集合22（ $240/3 = 80$ ）的樣本（其中 $S = 3$ ）。換句話說：

- 向量 V_0 包括樣本 P_0, N_0 至 $P_0, NN-1$ ；
- 向量 V_1 包括樣本 P_1, N_0 至 $P_1, NN-1$ ；
- 向量 V_2 包括樣本 P_2, N_0 至 $P_2, NN-1$ ；以及
- 向量 V_3 包括樣本 P_3, N_0 至 $P_3, NN-1$ 。

【0046】 應當理解的是，以上示例僅僅是說明性的並且不應當被解釋為限制性的。樣本的數量 N 可以多於或少於60個。而且，應當理解的是，（a）每個樣本的集合的暴露的顏色資訊可以是任何顏色資訊（例如，Y、C、Cr、Cb等）並且不限於RGB。傳輸介質上的EM通路的數量也可以廣泛地變化。因而，向量 V 的數量和編碼器42的數量也可以從僅一個到大於一的任何數量廣泛地變化。還應當理解的是，可以使用用於構造向量的任何排列方案，僅受在發送側使用的任何排列方案也在接收側使用（作為反排列）的要求的限制。

整合的SSVT發送器和時序控制器

【0047】 圖5A更詳細地圖示了圖4的行緩衝器及其控制器290、行緩衝器記憶體230、分發器40、時鐘域交叉180、DAC 62和編碼器42。分發器40可以包括組裝庫50、分級庫52、表示庫54和訊框控制器56。編碼器塊60包括數位類比轉換器（DAC）62的庫和四個編碼器42，一個用於傳輸介質上的每條EM通路。

【0048】 分發器40被佈置為從行緩衝器控制器290接收暴露的顏色資訊（例如，RGB），行緩衝器控制器290進而從解包器26接收此資訊（在DSP和伽瑪校正之後）。作為回應，組裝庫50從用於傳入的樣本集合的流的暴露的顏色資訊（例如，RGB）建構四個向量 V_0 、 V_1 、 V_2 和 V_3 。當接收到樣本的集合時，它們根據預定排列被儲存在組裝庫50中。再次，當建構各自包含 N 個樣本的向量時，分發器40可以使用任何數量的不同排列。

【0049】 分級庫52有助於四個向量 V_0 、 V_1 、 V_2 和 V_3 中的每一個的 N 個樣本從解包器26使用的第一時鐘頻率（或像素時鐘域）到用於所得的EM訊號的編碼和在傳輸介質上的傳輸的第二時鐘頻率（或SSIV時鐘域）的交叉。如前面在上

述示例中關於 $N=60$ 和 $S=3$ 討論的，恰好表示RGB樣本的80個集合的樣本被包含在四個編碼器輸入向量中 V_0 、 V_1 、 V_2 和 V_3 中。

【0050】 邊界180示出像素時鐘域和SSVT時鐘域之間的時鐘域交叉。像素時鐘域記錄到邊界180的左側的像素值的上班時間，而SSVT時鐘域記錄進入DAC和編碼器中的樣本值的下班時間。本質上，像素時鐘允許分級庫52中的訊號穩定足夠長的時間以供表示庫54在SSVT時鐘域中對那些訊號進行取樣。控制器56將使用分級庫中的像素時鐘和表示庫中的SSVT時鐘。

【0051】 在各種實施例中，像素時鐘頻率可以更快、更慢或與SSVT時鐘頻率相同。第一時鐘頻率 f_{pix} 由任何合適的視訊源選擇的視訊格式確定。第二時鐘頻率 f_{ssvt} 是 f_{pix} 、傳輸介質中EM通路的數量 P 、輸入/輸出樣本的每個集合中樣本的數量 S 、以及SSVT變換參數 N （輸入/輸出向量位置的數量）和 L （每個SSDS碼的長度）的函數，其中 $f_{\text{ssvt}} = (f_{\text{pix}} * S * L) / (P * N)$ 。藉由這種佈置，輸入時鐘（ pix_clk ）以一個速率振盪，而SSVT時鐘（ ssvt_clk ）以不同的速率振盪。這些時脈速率可以相同或者可以不同。

【0052】 表示庫54將四個編碼器輸入向量 V_0 、 V_1 、 V_2 和 V_3 中的每一個的 N 個樣本（0至 $N-1$ ）呈現給編碼器塊60。通常， N 個輸入樣本（單獨的顏色分量）被分配給輸入向量；然後編碼器在準備下一個輸入向量的同時執行前向變換（調變）。

【0053】 控制器56控制組裝庫50、分級庫52和表示庫54的操作和時序。特別地，控制器負責定義在建構四個編碼器輸入向量 V_0 、 V_1 、 V_2 和 V_3 時使用的排列和樣本的數量 N 。控制器56還負責協調如由分級庫52執行的從第一時鐘頻率到第二時鐘頻率的時鐘域交叉。控制器56還負責協調表示庫54何時向編碼器塊60

呈現四個編碼器輸入向量 V_0 、 V_1 、 V_2 和 V_3 中的每個的 N 個樣本（0至 $N-1$ ）的時序。控制器56還可以包括排列控制器，其控制RGB樣本到編碼器的輸入向量中的位置的分發。

【0054】在編碼器塊60內，提供了多個數位類比轉換器（DAC）62，每個數位類比轉換器被佈置為接收被共同分配給四個編碼器輸入向量 V_0 、 V_1 、 V_2 和 V_3 的 $P*N$ 個樣本（ P_0, N_0 至 P_3, N_{N-1} ）中的一個。每個DAC 62將其從數位域接收的樣本轉換成具有與其傳入的數位值成比例的幅度的電壓訊號的差分對。在一個實施例中，DAC 62的輸出範圍從最大電壓到最小電壓。在這個示例中，每個訊號對有一個DAC（即，每個編碼器有 N 個低速DAC，每個DAC輸出在整個編碼間隔內向編碼器呈現一個樣本）。在這種配置中，也可以使用每個編碼器一個DAC（從而在 F_{ssvt} 將電位準驅動到線對中）並將樣本多工到一個DAC上。這種多工要求快速準確的DAC在一個SSVT時鐘週期內進行 N 次轉換。

【0055】四個編碼器42被分別提供四個編碼器輸入向量 V_0 、 V_1 、 V_2 和 V_3 。每個編碼器42接收用於其編碼器輸入向量的 N 個樣本（0至 $N-1$ ）中的每一個的差分訊號對，使用本文討論的唯一正交碼調變 N 個差分電壓訊號對中的每一個，累積經調變的值，然後產生差分EM訊號，這是累積的經調變的樣本值。由於在這個示例中有四個編碼器42，因此有四個同時藉由傳輸介質被傳輸的EM訊號（訊號 $_0$ 至訊號 $_3$ ）。下文圖7和圖8中更詳細地討論調變和編碼。

【0056】定序器電路65協調DAC 62和編碼器42的操作的時序。定序器電路65負責控制DAC 62和編碼器42的時鐘。如下文詳細描述的，定序器電路65還負責產生兩個時鐘相位訊號“clk 1”和“clk 2”，它們負責控制編碼器42的操作。

【0057】如前面所提到的，行緩衝器控制器290協調將像素值儲存到行緩衝器記憶體230中以及從行緩衝器記憶體230中檢索像素值。行緩衝器控制器將用於顯示的一行像素儲存在行緩衝器記憶體中，然後在該行完成時將該行檢索到行緩衝器中，以便顯示器的源極驅動器可以同時發送該行的像素值（經由分發器、編碼器、EM路徑等）用於顯示。行緩衝器記憶體230可以是在SSVT發送器和時序控制器晶片150內實現的記憶體或者可以是與晶片150分離的記憶體。

【0058】如前面所提到的，成框標誌27來自解包器26並被輸入到行緩衝器控制器290中，該控制器290使用這些標誌來瞭解一行中的像素的位置，以便儲存並且然後將它們放入正確的編碼器。在成框標誌從行緩衝器控制器輸出（通常被延遲）之後，它們被輸入到閘極驅動器控制器280中，閘極驅動器控制器280然後將產生多個閘極驅動器控制訊號171以用於控制閘極驅動器的時序。這些訊號171將包括至少一個時鐘訊號、至少一個訊框選通訊號和至少一個行選通訊號。一旦像素值已被推入特定行的源極驅動器，行選通訊號就被用於已由面板閘極驅動器控制器啟用的特定行。因此，行選通訊號在正確的時間驅動所選擇的行。可以如本領域技術人員已知的那樣執行閘極驅動器的時序的控制。還示出了控制器56和閘極驅動器控制器280之間的雙向通訊57；這種通訊被用於源極和閘極驅動器之間的時序管理。

【0059】圖5B圖示了對類比值進行編碼的編碼器42的一個特定實施例。圖示了用於輸入向量V之一的編碼器42的電路圖。編碼器電路42包括具有多個乘法器級70的乘法器級71和包括差分放大器74的累加器級72。

【0060】每個乘法器級70被佈置為分別在第一（+）和第二（-）端子接收來自DAC 62之一的取樣訊號差分對（+Sample_{N-1} / -Sample_{N-1} 到 +Sample₀ / -

Sample₀)。每個乘法器級70還包括從碼接收晶片的端子、逆變器73、開關組S1-S1、S2-S2和S3-S3、由clk1和clk2驅動的開關組、以及相等值的存放裝置C1和C2，當經受到各種開關時，每個存放裝置儲存電壓樣本，從而根據開關順序在不同時間儲存跨每個裝置的不同電壓。

【0061】 在操作期間，每個乘法器級70藉由根據接收到的晶片的值有條件地乘以(+1)或(-1)來調變其接收到的類比訊號差分對。如果晶片為(+1)，那麼當clk 1處於活動狀態時，開關對S1-S1和S3-S3閉合，而開關對S2-S2保持打開。因此，+/-樣本的差分對都分別儲存在存放裝置C1和C2上而沒有任何反向(即，乘以+1)。另一方面，如果晶片碼為(-1)，那麼發生上述的互補。換句話說，當clk 1處於活動時，開關對S1-S1打開並且開關對S2-S2閉合，並且開關對S3-S3閉合。因此，樣本的差分對被切換並分別儲存在C1和C2上，從而實現乘以-1。

【0062】 累加器級72操作以在用於所有乘法器級70的存放裝置C1和C2上累加電荷。當clk 1過渡到不活動且clk 2過渡到活動時，所有clk 1控制的開關(S3-S3、S4-S4)打開並且clk 2控制的開關(S5-S5、S6-S6)閉合。因此，所有乘法器級70的第一存放裝置C1上的所有電荷被放大器78放大並累積在差分放大器74的第一輸入上，而所有乘法器級70的第二存放裝置C2上的所有電荷被放大器78放大並累積在差分放大器74的第二輸入上。作為回應，差分放大器74產生一對差分電磁(EM)電位準訊號。放大器74可以使用與其左側緊鄰的放大器78相同的V_{cm}。取決於實施方式，為每個放大器78和74示出的電阻器R1可以相同或不同，並且放大器74的電阻器R1可以與放大器78的電阻器相同或不同。電容器C1、C2、C3和C4應當具有相同的尺寸。

【0063】對所有四個向量 V_0 、 V_1 、 V_2 和 V_3 執行上述過程。此外，只要SSVT發送器28接收到樣本的集合22的流，就不斷重複上述過程。作為回應，差分EM輸出電位準訊號的四個流藉由傳輸介質被傳輸。

SSVT數位編碼器和時序控制器

【0064】圖6更詳細地圖示了SSVT發送器和時序控制器150'。如前面所提到的，本發明可以調變類比或數位像素值。在這個實施例中，編碼器42'對來自分發器的數位樣本進行調變和編碼，而不是如圖4中所示對類比樣本進行調變和編碼。

【0065】元件26、210-230和171如先前在圖4中討論的那樣實現和執行。SSVT編碼器42'相對於先前描述的編碼器250-256進行如下修改。現在轉向示出整合發送器28的圖5A，這個電路將被修改為不包括DAC 62。換句話說，從表示庫54輸出的樣本被直接輸出到它們相應的編碼器42中用於數位編碼。下面圖8中解釋有關數位編碼的更多細節。在每個數位編碼器42'之後，其輸出數位EM訊號將藉由對應的高頻DAC 460-466被轉換成類比EM訊號，然後藉由其相應的EM通路被發送到源極驅動器。

SSVT解碼和與源極驅動器的整合

【0066】在接收側，每個源極驅動器的解碼器負責將藉由傳輸介質接收的差分EM訊號的流解碼回適合顯示的格式。一旦採用合適的格式，包含在樣本中的視訊內容就可以逐訊框呈現在視訊顯示器上。因此，由任何視訊源捕獲的視訊可以由視訊宿重新創建。可替代地，可以儲存解碼的視訊資訊以供稍後以時移模式顯示。

SSVT訊號、編碼和解碼、結果波形

【0067】如前面所提到的，本發明的各種實施例揭露了類比訊號用於在顯示裝置內傳輸視訊資訊以便免除在源極驅動器內對DAC的需要，以及其它優點。

【0068】為了本揭露的目的，電磁訊號（EM訊號）是表示為振幅隨時間改變的電磁能的變數。EM訊號藉由EM路徑（諸如線對（或電纜）、自由空間（或無線）和光學或波導（光纖））從發送器終端向接收器終端傳播。EM訊號可以在時間和振幅兩個維度中的每一個上獨立地被表徵為連續的或離散的。

“純類比”訊號是連續時間、連續振幅EM訊號；“數位”訊號是離散時間、離散振幅EM訊號；並且“取樣的類比”訊號是離散時間、連續振幅的EM訊號。本揭露揭露了一種新穎的離散時間、連續振幅EM訊號，稱為“展頻視訊傳輸”（SSVT）訊號，其是對現有SSDS-CDMA訊號的改進。SSVT是指使用改進的基於直接序列展頻（SSDS）的調變藉由一條或多條EM通路對電磁訊號的傳輸。

【0069】分碼多重存取（CDMA）是眾所周知的通道存取協定，其通常用於無線電通訊技術，包括蜂巢電話。CDMA是多址存取的示例，其中幾個不同的發送器可以藉由單個通訊通道同時發送資訊。在電信應用中，CDMA允許多個用戶共用給定的頻帶，而不受其他用戶的干擾。CDMA採用直接序列展頻（SSDS）編碼，這種編碼依賴於唯一的碼來編碼每個使用者的資料。藉由使用唯一碼，可以將多個使用者的傳輸組合並發送，而不會在用戶之間產生干擾。在接收側，每個用戶使用相同的唯一碼來解調傳輸，從而分別恢復每個使用者的資料。

【0070】SSVT訊號與CDMA不同。當在編碼器處接收到輸入視訊（例如）樣本的流時，藉由對多個編碼器輸入向量中的每一個應用基於SSDS的調變來對

它們進行編碼以產生SSVT訊號。然後藉由傳輸介質傳輸SSVT訊號。在接收側，傳入的SSVT訊號藉由應用對應的基於SSDS的解調進行解碼，以重建已編碼的樣本。因此，包含顏色和像素相關資訊的按時間排序的原始視訊樣本流從單個視訊源輸送到單個視訊宿，這與將資料從多個使用者傳遞到多個接收器的CDMA不同。

【0071】 圖7圖示了一個簡單的示例，該示例示出了訊號樣本（在這種情況下為類比值）如何在編碼器內被編碼，然後藉由電磁通路被發送。所示出的是N個類比值902-908的輸入向量，它們表示視訊訊框內各個像素的電壓。這些電壓可以表示黑白影像的光度或像素中特定顏色值（例如，像素的R、G或B顏色值）的光度，即，每個值表示指定顏色空間中感測到的或測得的光量。雖然在這個示例中使用像素電壓，但這種編碼技術可以與表示來自感測器的各種訊號（諸如LIDAR值、聲音值、觸覺值、氣溶膠值等）中的任何一種的電壓一起使用，並且類比值可以表示諸如電流等其它樣本。作為數位值的訊號樣本也可以被編碼並且下面解釋這種數位編碼。另外，即使示出了一個編碼器和一條EM通路，本發明的實施例也適用於多個編碼器，每個編碼器藉由EM通路進行傳輸。

【0072】 較佳地，為了效率，這些電壓的範圍是從0到1V，但是不同的範圍是可能的。這些電壓通常以特定次序取自訊框的一行中的像素，但可以使用另一種約定來選擇和排序這些像素。無論使用哪種約定來選擇這些像素並對它們進行排序以進行編碼，解碼器都將在接收端處使用相同的約定，以便以相同的次序解碼這些電壓，然後將它們放置在它們所屬的結果訊框中。同樣，如果訊框是彩色的並使用RGB，那麼這個編碼器中的約定可以是首先編碼所有R像素

電壓，然後編碼G和B電壓，或者約定可以是電壓902-906是該行中像素的RGB值，並且接下來的三個電壓908-912表示下一個像素的RGB值，等等。再次，由這個編碼器用來排序和編碼電壓的相同約定將被接收端處的解碼器使用。只要解碼器使用相同的約定，可以使用對類比值902-908進行排序的任何特定約定（無論是按顏色值、按行等）。如圖所示，可以使用碼簿920一次呈現任何數量的N個類比值902-908用於編碼，僅受碼簿中條目的數量的限制。

【0073】 如上面所提到的，碼簿920具有任何數量的N個碼932-938；在這個簡單的示例中，碼簿有四個碼，這意味著一次對四個類比值902-908進行編碼。可以使用更多的碼，諸如127個碼、255個碼等，但是由於諸如電路複雜性的實際考慮，較佳地使用更少的碼。如本領域中所知，碼簿920包括N個相互正交的碼，每個碼的長度為L；在這個示例中， $L = 4$ 。通常，每個碼是SSDS碼，但不一定是本文討論的擴展碼。如圖所示，每個碼被劃分為L個時間間隔（也稱為“晶片”），並且每個時間間隔包括該碼的二進位值。如碼表示942所示，碼934可以以傳統的二進位形式“1100”表示，但同樣的碼也可以表示為“1 1 -1 -1”，如碼表示944所示，以便於在調變值時使用，如將在下面解釋的。碼932和936-938也可以被表示為942或944。注意的是，長度為L的每個碼不如CDMA中那樣與不同的運算裝置（諸如電話）、不同的人或不同的發送器相關聯。

【0074】 因此，為了藉由傳輸介質將四個類比值902-908發送到接收器（具有對應的解碼器），使用以下技術。每個類比值將由其對應碼的表示944中的每個晶片調變；例如，值902（即，.3）由碼932的表示944中的每個晶片在時間上順序地調變948。調變948可以是乘法運算子。因此，用碼932調變.3產生序列“.3, .3, .3, .3”。用碼934調變.7變為“.7, .7, -.7, -.7”；值“0”變為“0，

0, 0, 0”；值“1”變為“1, -1, 1, -1”。通常，每個碼的第一個晶片調變其對應的類比值，然後每個碼的下一個晶片調變其類比值，但是實施方式也可以在行動到下一個類比值之前藉由其碼的所有晶片調變特定類比值。

【0075】每個時間間隔，然後將經調變的類比值求和951（在這個圖中垂直感知）以獲得類比輸出電位準952-958；例如，這些時間間隔的調變值的求和導致輸出電位準為2、0、.6、-1.4。這些類比輸出電位準952-958可以進一步被歸一化或放大以與傳輸線的電壓限制對準，然後可以如在傳輸介質的電磁通路（例如差分雙絞線）上按順序產生而按時間順序發送。然後接收器以那個次序接收那些輸出電位準952-958，然後使用相同的碼簿920使用與此處所示的編碼方案的逆對它們進行解碼。所得的像素電壓902-908然後可以根據所使用的約定在接收端的顯示器的訊框中顯示。因此，類比值902-908被有效地同步編碼，並在L個類比輸出電位準952-958的順序序列中藉由單個電磁通路發送。如本文所示和描述的，也可以使用許多編碼器和電磁通路。另外，可以以這種方式編碼的N個樣本的數量取決於碼簿中使用的正交碼的數量。

【0076】有利地，即使使用穩健的SSDS技術（諸如展頻碼）導致頻寬顯著下降，但使用相互正交的碼、藉由其對應碼的晶片對每個樣本調變、求和以及使用L個輸出電位準對N個樣本的平行傳輸導致顯著的頻寬增益。與其中二進位數字位元被串列編碼然後求和的傳統CDMA技術相比，本發明首先藉由對應的碼中的每個晶片調變整個樣本（即，整個類比或數位值，而不是單個位），然後在碼的每個時間間隔對這些調變求和以獲得每個特定時間間隔的結果類比電壓電位準，從而利用結果波形的振幅。藉由傳輸介質發送的是這些類比輸出電位準，而不是二進位數字的表示。另外，本發明促進將類比電壓從一個視訊源

發送到另一個視訊宿，即，從端點到端點，這與CDMA技術不同，CDMA技術允許不同的人、不同的裝置或不同的源的多次訪問，並發送到多個宿。而且，樣本值的傳輸不要求壓縮。

【0077】圖8將這種新穎的編碼技術圖示為適用於作為數位值的訊號樣本。在此，數位值902'-908'是電壓的數位表示。使用電壓的不同示例，值902'是“1101”，值904'是“0011”，值906'是“0001”，並且值908'是“1000”。每個數位值由每個碼的表示944調變（數位相乘），即，乘以“1”或“-1”，這取決於與要調變的數位值對應的碼的晶片。僅考慮每個碼的第一時間間隔940，並添加作為符號位元的最高有效位元(MSB)，調變“1101”產生“01101”（MSB“0”表示正值），調變“0011”產生“00011”，調變“0001”產生“00001”，並且調變“1000”產生“01000”。這些經調變的值在第一時間間隔上被標注示出。（雖然未示出，但由-1晶片調變產生負值，該負值可以使用針對負值的合適二進位表示以二進位進行表示。）

【0078】以數位方式求和，第一時間間隔中的這些經調變的值產生數位值952'“011001”（再次，MSB是符號位元）；其它數字值954'-958'未在這個示例中示出，但以相同的方式計算。考慮以10為底的求和，可以核實經調變的值13、3、1和8的總和確實為25。雖然在這個示例中未示出，但通常附加的MSB將可用於結果所得的電位準952'-958'，因為總和可能要求超過5位。例如，在有64個碼的情況下，如果值902'-908'使用4位表示，那麼電位準952'-958'可以使用多達10位表示（添加64位的 \log_2 ）。或者，如果將32個經調變的值求和，那麼將再添加五個位。輸出電位準所需的位數將取決於碼的數量。

【0079】輸出電位準950'可以首先被歸一化以適應DAC的輸入要求，然後順序地饋送到DAC 959中以用於將每個數位值轉換成其對應的類比值，以便在EM通路上傳輸。DAC 959可以是MAX5857 RF DAC（包括時鐘倍增PLL/VCO和14位元RF DAC核心，並且可以繞過複雜路徑以直接訪問RF DAC核心），並且可以後跟帶通濾波器和然後是可變增益放大器（VGA），未示出。在一些情況下，電位準950'中使用的位數大於DAC 959允許的位數，例如，電位準952'由10位表示，但DAC 959是8位DAC。在這些情況下，適當數量的LSB將被丟棄，而剩餘的MSB則由DAC處理，而不會損失顯示器上結果所得影像的視覺品質。

【0080】有利地，整個數位值被調變，然後這些整個經調變的數位值被數位地求和以產生用於轉換和傳輸的數位輸出電位準。這種技術不同於調變數位值的每個二進位數字位元並且然後將這些經調變的位元相加以產生輸出的CDMA。例如，假設每個數位值中有B個位，使用CDMA，將總共有B*L個輸出電位準要發送，而利用這種新穎的數位（或類比）編碼技術，將總共只有L個輸出電位準要發送，因此具有優勢。

【0081】圖9示出了SSVT訊號602在從類比編碼器輸出之後（或在數位編碼、然後由DAC轉換之後）經由電磁通路發送（諸如從編碼器250-256之一或從DAC 460-466之一）的類比（類似於理想化的示波器軌跡）。垂直刻度是電壓，水平刻度是100 ps示波器測量時間間隔。注意的是，SSVT訊號602是類比波形而不是數位訊號（即，訊號不表示二進位數字位元）並且在這個實施例中可以傳輸從大約-15V至大約+15V的電壓範圍。類比波形的電壓值是（或至少可以是）完全類比的。而且，電壓不限於某個最大值，但是高值是不切實際的。

【0082】如前面所解釋的，類比電壓電位準在電磁通路上被順序發送，每個電位準是每個時間間隔的經調變的樣本的總和，諸如上面的類比輸出電位準952-958或上面的數位輸出電位準952'-958'（在藉由DAC之後）。當被發送時，這些輸出電位準然後看起來是諸如SSVT訊號602的波形。特別地，電壓電位準980表示經調變的樣本的特定時間間隔中的總和（即，輸出電位準）。使用簡單的示例，順序電壓電位準980-986表示四個輸出電位準的傳輸。在這個示例中，使用32個碼，這意味著可以平行傳輸32個樣本；因此，電壓電位準980-986（隨後是多個後續電壓電位準，這取決於碼中晶片的數量L）形成32個編碼的樣本（諸如來自視訊源的像素電壓）的平行傳輸。在該傳輸之後，SSVT訊號602的接下來的L個電壓電位準的集合表示接下來的32個樣本的傳輸。一般而言，SSVT訊號602表示將類比或數位值編碼為類比輸出電位準，以及以離散時間間隔傳輸那些電位準以形成複合類比波形。

【0083】圖26圖示了使用編碼器編碼的類比輸入電位準的解碼。如圖所示，已經藉由傳輸介質的單條電磁通路接收到L個輸入電位準950。如本文所述和早先指出的，碼簿920包括N個正交碼932-938，他們將被用於對輸入電位準950進行解碼以產生N個類比值902-908的輸出向量，即，上面編碼的相同的類比值902-908。為了執行解碼，如垂直箭頭所指示的，每個輸入電位準952-958由與輸出向量902-908中的特定索引對應的每個碼的每個晶片調變961。考慮到第一個碼932對電位準952-958的調變，這種調變產生一系列經調變的值“2, 0, .6, -1.4”。藉由第二個碼934對電位準952-958的調變產生一系列經調變的值“2, 0, -.6, 1.4”。藉由第三個碼936的調變產生“2, 0, -.6, -1.4”，並且藉由第四個碼938的調變產生“2, 0, .6, 1.4”。

【0084】 接下來，如水平箭頭所指示的，將每個系列的經調變的值相加以便產生類比值902-908中的一個。例如，第一個系列相加產生類比值“1.2”（使用比例因數“4”歸一化之後變為“.3”）。以類似的方式，將其它三個系列的調變值相加以產生類比值“2.8”、“0”和“4”，並且在歸一化之後產生類比值902-908的輸出向量。每個碼可以調變輸入電位準，然後可以對該系列求和，或者，所有碼可以在對每個系列求和之前調變輸入電位準。因此，N個類比值902-908的輸出向量已經使用L個輸出電位準被並行運輸。這些示例中未示出對數字輸入電位準進行解碼的示例，但是本領域技術人員會發現在閱讀上述描述中數位值的編碼後執行這種解碼是直截了當的。

【0085】 圖27A、圖27B和圖27C圖示了編碼器和解碼器可以對類比樣本或數位樣本進行操作；上面已經描述了各種類比和數位編碼器和解碼器。如上面所解釋的，視情況而定，可以存在多於一條EM通路34以及相應地多於一個編碼器/解碼器對和對應數量的DAC或ADC。

【0086】 圖27A圖示了類比編碼器和對應的類比解碼器的使用。輸入到類比編碼器900中的是類比樣本970或已經由位於類比編碼器處的DAC 972轉換成類比的數位樣本971。以這種方式，可以對到達類比編碼器的類比或數位樣本進行編碼以藉由傳輸介質上的電磁通路進行傳輸。類比解碼器900'對編碼的類比樣本進行解碼以產生用於輸出的類比樣本970。類比樣本970可以被原樣使用或者可以使用ADC（未示出）被轉換成數位樣本。

【0087】 圖27B圖示了數位編碼器和對應的類比解碼器的使用。輸入到數位編碼器901中的是數位樣本971或已經由位於數位編碼器處的ADC 973轉換成數位的類比樣本970。由於編碼器是數位的，因此位於編碼器處的DAC 959在藉

由電磁通路傳輸之前將編碼的樣本轉換成類比的。以這種方式，可以對到達數位編碼器的類比或數位樣本進行編碼以藉由傳輸介質上的電磁通路進行傳輸。類比解碼器900對編碼的類比樣本進行解碼以產生用於輸出的類比樣本970。類比樣本970可以被原樣使用或者可以使用ADC（未示出）被轉換成數位樣本。

【0088】圖27C圖示了使用數位解碼器來解碼已經藉由傳輸介質上的電磁通路到達的編碼的類比訊號。可以使用上面剛剛描述的類比編碼器或數位編碼器來傳輸編碼的類比訊號。位於數位解碼器976處的ADC 974接收經由電磁通路發送的編碼的類比樣本並將樣本轉換成數位的。然後，這些編碼的數位樣本由數位解碼器976解碼成數位樣本978（與在藉由電磁通路傳輸之前最初編碼的樣本的輸入向量的值對應）。數位樣本978可以被原樣使用或者可以使用DAC被轉換成類比樣本。

【0089】由於衰減、阻抗失配引起的反射和撞擊侵入訊號等現象，每條電磁通路都會使藉由它傳播的電磁訊號降級，因此在接收終端處對輸入電位準進行的測量關於在發送終端處可用的對應輸出電位準總是會出現誤差。因此，可以執行接收器處的輸入電位準的縮放（或發送器處的輸出電位準的歸一化或放大）以進行補償，如本領域中已知的。另外，由於過程增益（即，由於L的增加，這也增加了電彈性），解碼器處的解碼的輸入電位準藉由使用碼長的比例因數歸一化以恢復所傳輸的輸出電位準，如本領域中已知的。另外，如本文所描述的，雖然較佳的是 $L \geq N \geq 2$ ，但在一些情況下L可以小於N，即， $N > L \geq 2$ 。

具體實施例

【0090】 以上概括地描述了SSVT發送器與時序控制器的整合以及SSVT發送器與時序控制器和片上系統的整合。下面是示出這種整合的示例的具體實施例。

【0091】 圖11圖示了具有整合的SSVT發送器和時序控制器的8K顯示裝置。示出的是具有LCD/OLED顯示器328的8K144顯示裝置的相關部分。輸入到顯示裝置的SoC 308的是壓縮的數位視訊訊號302，其可以經由HDMI連接器303或RJ-45連接器305以及其它合適類型的連接器輸入。SoC解壓縮這個數位資料（並執行本領域中已知和如上所述的其它處理）並使用合適的V-by-One格式作為流310和所示速度將這個經修改的數位資料傳送到整合的時序控制器和SSVT發送器模組320。從SoC到整合模組320的一個或多個控制訊號311可以具有許多功能，諸如攜帶用於下游部件的配置資訊或成框訊號。一個功能可以是將伽瑪曲線從SDR調整到HDR（“標準動態範圍”到“高動態範圍”）或類似調整。其它功能包括設置TCON指令引數，諸如解析度、背光類型等。

【0092】 整合模組320可以採用不同的形式，諸如單個積體電路或在印刷電路板上的實施方式，並且可以包括單個TCON或兩個或更多個TCON。模組320可以如圖2、圖4、圖5A、圖6、圖10所示或以本領域技術人員在閱讀本揭露之後將理解的類似方式來實現。在模組320內示出的是藉由匯流排316連接的TCON 314和SSVT發送器318。匯流排316作為輸入向SSVT Tx 318傳遞例如24或48個並行數位訊號（這通常是TCON的正常輸出）。但這些數位可以因實施方式而異。基本上，在SSVT Tx輸入時鐘的每個間隔期間發送大量像素。例如，這個匯流排的寬度（以像素為單位）在行速率下最多為一行（約23,000個子像素），或者在行速率的對應倍數下為那個數位的一小部分。

【0093】 然後，SSVT發送器的編碼器各自將SSVT訊號322發送到顯示器328的對應源極驅動器324。在這個示例中，存在24個編碼器，意味著24個SSVT訊號和24個源極驅動器。如上面所提到的，每個源極驅動器較佳地如本文和美國申請No.17/900,570 (HYFYP009) 中所描述的那樣實現並且將SSVT接收器（具有對應的解碼器）與傳統源極驅動器的元件整合。

【0094】 未示出的是8K120顯示裝置的示例，其可以如圖11中所示實現，但從SoC到整合模組320的傳送將使用2.3GHz的64個Vx1-HS並且24個SSVT訊號對將以634MHz操作。還有未示出的是模組320如何可以替換四個先前技術TCON，每個具有來自SoC 308的16x Vx1-HS 4GHz流。這四個流可以保持原樣並分開輸入到模組320中，或者可以如圖所示組合到流310中。還有未示出的是從模組320到顯示器328的閘極驅動器的時序和成框控制訊號。

【0095】 圖12圖示了具有整合的SSVT發送器、時序控制器和SoC的8K顯示裝置。所示出的是具有LCD/OLED顯示器358的8K144顯示裝置的相關部分。輸入到顯示裝置的SoC、TCON和SSVT發送器的整合模組350的是壓縮的數位視訊訊號332，其可以經由HDMI連接器333或RJ-45連接器335以及其它合適類型的連接器輸入。SoC解壓縮這個數位資料（並執行本領域已知和如上所述的其它處理）並將這個經修改的數位資料內部傳送到整合的時序控制器和SSVT發送器。

【0096】 整合模組350可以採取不同的形式，諸如單個積體電路或在印刷電路板上的實施方式，並且可以包括單個TCON或兩個或更多個TCON。TCON和SSVT發送器的整合可以如圖2、圖4、圖5A、圖6、圖10中所示或以本領域技術人員在閱讀本揭露後將認識到的類似方式來實現；與SoC的整合是藉由將訊號164從SoC內部傳遞到解包器26來執行。預期整合實施方式是單個晶片；可替代

地，可以有多个並排的晶片，或者可以是多晶片包裝（看起來像單個晶片，但實際上包含兩個或三個晶片）。在一個特定實施例中，圖11的流310的64x Vx1訊號被發送更多位元的定製晶片內介面匯流排代替。由於不要求晶片引腳，因此匯流排可以以較低的速率加寬10倍。

【0097】 然後，SSVT發送器的編碼器各自將SSVT訊號352發送到顯示器358的對應源極驅動器354。在這個示例中，存在24個編碼器，意味著24個SSVT訊號和24個源極驅動器。如上面所提到的，每個源極驅動器較佳地如本文和美國申請No.17/900,570 (HYFYP009) 中所描述的那樣實現並且將SSVT接收器（具有對應的解碼器）與傳統源極驅動器的元件整合。在這種源極驅動器中不需要DAC。

【0098】 未示出的是8K120顯示裝置的示例，其可以如圖12中所示實現，但24個SSVT訊號對將在634MHz下操作。同樣未示出的是從模組350到顯示器358的閘極驅動器的時序和成框控制訊號。

【0099】 圖13圖示了使用數位編碼的整合模組320的一個特定實施例。如圖所示，在對應的64個Vx1接收器364處接收到Vx1樣本362的64個流，每個接收器將每個顏色通道8位元（每個像素24位元）的RGB樣本的流365傳遞到分發器366。分發器366可以如圖5A中的40處所示實現或者可以如圖14A或圖14B中所示實現。總共24條平行匯流排368然後各自將64個樣本（N=64）傳遞到24個編碼器370中的一個，每個編碼器370對其N個樣本進行數位編碼並輸出數位訊號，該數位訊號由24個數位類比轉換器372中的一個轉換成SSVT EM訊號374以用於傳遞到顯示器的源極驅動器。“每電位準15+位”的標記法意味著每個類比電位準輸出將反映15+位元的資訊。

【0100】圖14A更詳細地圖示了圖13的分發器的一種可能的實施方式。如圖所示，存在來自Vx1接收器364的64個流輸入365，每個輸入包括RGB樣本的串列流。這些流的樣本被儲存到行緩衝器376中。然後使用任何特定排列將行緩衝器的樣本排列成24個輸入向量378的集合（每個編碼器一個輸入向量）。如圖所示，每個輸入向量將從行緩衝器的64個相繼位置接收其64個樣本，但是在將樣本放入每個輸入向量時可以按期望的任何次序排列樣本。一旦輸入向量被填滿，樣本就全都被並行地傳遞到編碼器進行編碼。在這個示例中，24個輸入向量中的每一個將對8Kx3個輸入行的1/24進行編碼，即，對於每個編碼器，960行。每個輸入向量一次計時64（或60）個樣本，但計時到那個輸入向量的後續塊加起來為960。例如，輸入向量378接收來自列0-959的輸入，下一個輸入向量接收來自列960-1919的輸入，等等。更具體地，在一個編碼間隔期間，來自行緩衝器的64個位置經由一個64位置輸入向量被編碼。編碼器發送60個樣本和4個子帶訊號。編碼過程在每個行間隔期間反覆運算16次，以輸送每行的所有960個樣本。在這個簡化圖中的這個實施方式中未示出組裝庫、分級庫和表示庫；它們可以如圖5A中所示用於實現排列。

【0101】圖14B更詳細地圖示了圖13的分發器的另一種可能的實施方式。在這個實施方式中沒有使用行緩衝器；樣本被直接排列為來自流輸入的輸入向量。如圖所示，有來自Vx1接收器364的64個流輸入365，每個輸入包括RGB樣本的串列流。來自任何流輸入的傳入樣本可以根據預定排列被分配給任何輸入向量中的任何位置。舉例來說，輸入向量378中的前兩個位置來自第一和第二流輸入，接下來的兩個位置來自第三和第一流輸入，而第五位置來自第二流輸入。

在這個示例中，輸入向量379中的位置中的三個來自最後三個流輸入，因此示出任何排列都是可能的。

【0102】 圖15圖示了使用類比編碼的整合模組320的一個特定實施例。如圖所示，在對應的64個Vx1接收器384處接收到Vx1樣本382的64個流，每個接收器將每個顏色通道8位元（每個像素24位元）的RGB樣本的流385傳遞到分發器386。分發器386可以如圖5A中的40處所示實現或者可以如圖14A或圖14B中所示實現。總共24條平行匯流排388然後各自將64個樣本（N=64）傳遞到數位類比轉換器392（或者，每個並行傳遞到64個DAC），之後轉換的樣本被並行傳遞到24個編碼器390中的一個，每個編碼器使用類比編碼以便對它們的N個樣本進行編碼，然後輸出SSVT EM訊號394以傳遞到顯示器的源極驅動器。“每電位準15+位”的標記法意味著每個類比電位準輸出將反映15+位元的資訊。

【0103】 圖16更詳細地圖示了來自圖13的數位編碼器中的一個。如上面參考圖8（和別處）所解釋的，碼簿397包括與每個傳入的樣本相關聯的碼，並且晶片計數器396被用於在調變期間步進藉由碼的每個晶片。在操作中，每個調變器371藉由相關聯的碼的目前晶片調變其對應的數位樣本，所有這些被加法器373相加以產生輸出電位準中的一個。對碼中的每個晶片重複這個操作以產生L個輸出電位準，然後將其轉換成類比的並作為SSVT訊號374輸出。

【0104】 圖17更詳細地圖示了來自圖15的類比編碼器中的一個。如上面參考圖7（和別處）所解釋的，碼簿397包括與每個傳入的樣本相關聯的碼，並且晶片計數器396用於在調變期間逐步藉由碼的每個晶片。在操作中，每個調變器391藉由相關聯的碼的目前晶片調變其對應的類比樣本，所有這些被加法器393

求和以產生輸出電位準中的一個。對碼中的每個晶片重複這個操作以產生L個輸出電位準，然後將其作為SSVT訊號394輸出。

【0105】圖18圖示了具有整合的SSVT發送器、時序控制器和SoC在模組450中的8K120顯示裝置。除了每個源極驅動器多工任何數量的傳入SSVT訊號之外，這個實施方式與圖12中所示的相似。所示出的是具有LCD/OLED顯示器458的顯示裝置的相關部分。未示出的是從模組450到顯示器458的閘極驅動器的時序和成框控制訊號。

【0106】輸入到顯示裝置的整合的SoC、TCON和SSVT發送器的模組450的是壓縮的數位視訊訊號432，其可以經由HDMI連接器433或RJ-45連接器435以及其它合適類型的連接器輸入。SoC解壓縮這個數位資料（並執行本領域中已知和如上所述的其它處理）並將這個經修改的數位資料內部傳送到整合的時序控制器和SSVT發送器。

【0107】整合模組450可以採取不同的形式，諸如單個積體電路或在印刷電路板上的實施方式，並且可以包括單個TCON或兩個或更多個TCON。TCON和SSVT發送器的整合可以如圖2、圖4、圖5A、圖6、圖10中所示或以本領域技術人員在閱讀本揭露後將認識到的類似方式來實現；與SoC的整合是藉由將訊號164從SoC內部傳遞到解包器26來執行的。

【0108】然後，SSVT發送器的編碼器各自向顯示器458的源極驅動器354發送SSVT訊號452，每個源極驅動器接收三個SSVT訊號，即， $317 \times 3M$ 樣本/s的 $3 \times$ SSVT對。在這個示例中，存在48個編碼器，意味著48個SSVT訊號，並且由於多工而只需要16個源極驅動器。如上面所提到的，每個源極驅動器較佳地如本文和美國申請No.17/900,570（HYFYP009）中所描述的那樣實現並且將SSVT接

收器（具有對應的解碼器）與傳統源極驅動器的元件整合。在這種源極驅動器中不需要DAC。可以如本領域技術人員已知的那樣將三個傳入SSVT訊號多工到每個源極驅動器中。有利地，多工極大地減少了源極驅動器的數量和成本。

SSVT接收器與顯示器的源極驅動器的整合

【0109】 如上面所提到的，本文各個實施例中所示的來自整合的SSVT發送器和時序控制器150或者來自整合的SSVT發送器、時序控制器和SoC 140'的SSVT訊號167被傳輸到顯示面板的源極驅動器169。以下是如何將SSVT接收器與此類一個或多個源極驅動器整合的描述。

【0110】 圖19圖示了顯示器源極驅動器586。多個源極驅動器可以如圖所示並如本領域已知的那樣級聯；然後這些多個源極驅動器驅動顯示面板。如圖所示，源極驅動器586不要求先前技術源極驅動器中所需的DAC（在用於將數位樣本轉換成類比樣本以供顯示的訊號路徑中）。每個源極驅動器的解碼單元610的輸入是類比SSVT訊號592，其已經在顯示單元本身內或顯示單元外部被上游編碼，如本文所述。如圖所示，SSVT訊號592以菊輪鍊方式連結在源極驅動器之間。在替代實施例中，每個源極驅動器將具有其自己的SSVT訊號並且TCON向每個源極驅動器晶片提供時序資訊。

【0111】 解碼單元610可以具有任何數量（P）的解碼器並且僅具有單個解碼器也是可能的。單元610對一個或多個SSVT訊號進行解碼（下文更詳細地描述）並輸出大量重建的類比樣本流612，即，類比電壓（樣本的數量與源極驅動器的輸出的數量對應）。因為這些類比輸出612可能不在顯示面板所要求的電壓範圍內，因此它們可以要求縮放並且可以被輸入到位準移位器620中，位準移位器620使用類比變換將電壓移位元到用於驅動顯示面板的電壓範圍內。可以使用

本領域已知的任何合適的位準移位器，諸如鎖存型或反相器型。位準移位器也可以被稱為放大器。

【0112】舉例來說，來自解碼單元的電壓範圍可以是0至1V並且來自電位準移位元器的電壓範圍可以是-8到+8V（使用反轉訊號622以通知位準移位器每隔一訊框翻轉一次電壓，即，一訊框的範圍為-8至0V，下一訊框的範圍為0V至+8V）。以這種方式，SSVT訊號不需要每訊框翻轉它們的電壓；解碼單元提供正電壓範圍（例如），並且電位準移位元器按照顯示面板的預期每隔一訊框翻轉一次電壓。解碼單元還可以實現行反轉和點反轉。反轉訊號告訴電位準移位元器要切換哪些電壓。一些顯示面板（諸如OLED）不要求這個每隔一訊框翻轉一次電壓，在這種情況下不需要反轉訊號並且電位準移位元器不會每隔一訊框翻轉一次電壓。諸如LCD的顯示面板確實要求這種電壓翻轉。反轉訊號622從解碼單元恢復，如下面將解釋的。

【0113】輸入到位準移位器620的還可以是增益和伽瑪值；增益確定應用多少放大，並且伽瑪曲線將光通量與感知到的亮度相關聯，從而使人類對光通量的光學感知線性化。通常，在先前技術的源極驅動器中，增益和伽瑪都是由顯示面板的製造特性確定的設定值。在類比位準移位器620中，增益和伽瑪可以如下實現。在一個實施例中，伽瑪在系統的數位部分中實現，並且電位準移位和增益藉由設置輸出級放大在驅動器中實現。在伽瑪的情況下，也可以藉由實現非線性放大特性在輸出驅動器中實現。一旦移位元，樣本被輸出到輸出634，如本領域已知的，輸出634用於驅動顯示面板的對應列中的源極電極。

【0114】為了適當地對SSVT訊號進行編碼以最終顯示在特定顯示面板上（無論是在顯示單元本身內還是在那個顯示單元外部更遠的上游編碼），GPU

(或其它顯示控制器)或執行SSVT編碼的任何實體需要那個顯示面板的各種物理特性或屬性。這些物理特性被標記為608，並且尤其包括解析度、曲面細分、背光佈局、顏色簡檔、縱橫比和伽瑪曲線。對於特定的顯示面板，解析度是常數；曲面細分是指將面板的平面以規則的、預定的方式分割成區域的方式並且以像素為單位；背光佈局是指背光面板的解析度和擴散特性；顏色簡檔是所有原色的精確亮度回應，為影像提供準確的顏色；並且顯示面板的縱橫比將具有離散的已知值。

【0115】 可以以各種方式將特定顯示面板的這些物理特性傳遞到、硬連線到或提供給特定顯示控制器。在一個示例中，訊號608將這些物理特性的值直接從顯示面板（或從顯示單元內的另一個位置）傳遞到SSVT發送器。或者，嵌入特定顯示單元內的SSVT發送器帶有硬編碼在發送器內的這些值。或者，特定的顯示控制器僅用於特定類型的顯示面板，並且其特徵值被硬編碼到該顯示控制器中。

【0116】 顯示面板的輸入也可以是背光訊號604，其指示背光的LED，即，何時開啟以及在哪個電位準開啟。換句話說，它通常是影像的低解析度表示，這意味著背光LED在顯示器需要明亮的地方點亮，而在顯示器需要變暗的地方變暗。背光訊號是單色訊號，其也可以嵌入SSVT訊號中，即，它可以是與其它並行視訊訊號（例如，R、G和B）一起行進的另一個並行且獨立的視訊訊號，並且可以是低或高解析度。

【0117】 來自解碼單元610的輸出是閘極驅動器控制訊號606，其與顯示面板的左邊緣上的閘極驅動器共用時序控制資訊，以便使閘極驅動器與源極驅動器同步。通常，每個解碼單元包括時序採集電路，該電路為閘極驅動器獲取相

同的時序控制資訊，並且一個或多個源極驅動器柔性箔片（通常是最左邊和/或最右邊的源極驅動器）會將時序控制資訊傳送到閘極驅動器。閘極驅動器的時序控制資訊嵌入在SSVT訊號中，並使用已建立的展頻技術從該訊號中恢復。

【0118】 注意的是，圖19示出閘極驅動器控制訊號起源於源極驅動器的解碼單元（圖20具有更多細節並且示出底部的閘極驅動器控制訊號606起源於與解碼器相關聯的通道對準器787）。還要注意的是，圖2和10示出時序訊號171不與SSVT訊號一起行進。

【0119】 提供閘極控制訊號的許多變體是可能的。閘極訊號最初是一個獨立的訊號（起始脈衝+時鐘+控制），但可以與SSVT訊號一起傳輸，如圖20中所示（但不需要被編碼）。它也可以從SSVT訊號的嵌入式時鐘訊號中提取（解碼器-->成框-->對準器）。但是，對於現代“閘極驅動電路基板（gate on array）”面板，需要藉由專用時鐘產生積體電路將閘極訊號修改為多個時鐘脈衝，從而不太可能從SSVT時鐘訊號中提取（但仍然可以使用適當的對準器功能）。如圖2、圖4、圖6和圖10中所示，閘極訊號171不與SSVT訊號一起行進。通常，源極驅動器輸入時序藉由上游的TCON與閘極驅動器時序協調。在一種特定實施方式中，接線器與源極驅動器訊號並行發送閘極驅動器控制訊號，但是閘極驅動器控制訊號不進入源極驅動器並且不由源極驅動器產生。不過，訊號171可以藉由連接源極驅動器的柔性箔傳播，或者在另一個實施例中甚至可以藉由源極驅動器本身傳播。

【0120】 通常，常規的顯示驅動器使用“COF”（柔性晶片或箔上晶片）IC包裝直接連接到玻璃；常規的COG（玻璃上晶片）也是可能的，但在大型顯示器上並不常見。可以用圖19和圖20的新型源極驅動器替換這些驅動器，從而

將現有的顯示面板變成支援SSVT的面板。這些IC的輸入通常藉由PCBA連接在一起，從而提供來自視訊源和時序控制器的輸入訊號。它們可以靠近或遠離顯示面板，藉由廉價的導線傳送視訊和控制訊號。

SSVT解碼和與源極驅動器的整合細節

【0121】 在接收側，每個源極驅動器的解碼器負責將藉由傳輸介質接收的差分EM電位準訊號的流解碼回適合顯示的格式。一旦採用了合適的格式，樣本中包含的視訊內容可以逐訊框顯示在視訊顯示器上。因此，視訊宿可以重新創建由任何視訊源捕獲的視訊。可替代地，解碼的視訊資訊可以被儲存以用於稍後以時移模式顯示。

【0122】 圖20圖示了源極驅動器的解碼單元610的更詳細視圖。P表示輸入電磁對的數量，每對攜帶獨立於其它電磁對的SSVT訊號，除了它們是等時訊號之外，已知由發送側的編碼器彼此同步產生。源極驅動器包含P個解碼器780和收集器（塊782、786）。解碼器780在發送側執行其配對的編碼器的逆變換並將其輸入差分EM電位準訊號重建為N個重建的樣本的輸出向量（但是可以使用單端輸入而不是差分輸入）。收集器將解碼器輸出向量樣本（或“重建的樣本”）分配給它們在源極驅動器輸入612中的預定位置。源極驅動器輸入612包括對應於顯示面板中被驅動的列組的S個重建樣本。重計時器功能包括在收集器中。

【0123】 P個解碼器780（標記為0至P-1）被佈置為分別接收差分EM電位準訊號Level₀至Level_{P-1}，702-704。作為響應，解碼器780中的每一個產生N個重建的樣本的差分對（Sample₀至Sample_{N-1}）。在有四個解碼器780（P=4）的情況下，分別構造四個向量V₀、V₁、V₂和V₃。樣本數N恰好等於用於早前編碼的正交碼的數量，即，使用N個正交碼，意味著來自碼簿的N個碼。

【0124】重建庫782分別在每個解碼間隔結束時對四個解碼器輸出向量 V_0 、 V_1 、 V_2 和 V_3 中的每一個的 N 個重建的樣本（ Sample_0 至 Sample_{N-1} ）的差分對中的每一個進行取樣和保持。然後，這些接收到的差分電壓訊號對分別作為四個向量 V_0 、 V_1 、 V_2 和 V_3 中的每一個的樣本（ Sample_{N-1} 至 Sample_0 ）輸出。本質上，每個重建庫從差分對重建為單個電壓。分級庫786接收用於四個解碼器輸出向量 V_0 、 V_1 、 V_2 和 V_3 中的每一個的所有重建的樣本（ N_{n-1} 至 N_0 ），並用作類比輸出緩衝器，如下面將更詳細描述的。一旦樣本被行動到分級庫786中，它們被從解碼的SSVT訊號得出的鎖存訊號632觸發。鎖存訊號可以在源極驅動器之間進行菊輪鍊連結。一旦樣本從分級庫中釋放出來，它們被發送到位準移位器620。

【0125】解碼單元610還包括通道對準器787和分級控制器789，其從每個解碼器780接收成框資訊和孔徑資訊。作為回應，分級控制器789協調分級庫786的時序以確保所有樣本來自SSVT發送器發送電位準訊號的公共時間間隔。因此，傳輸介質的各個通道不必都具有相同的長度，因為通道對準器787和分級控制器789補償任何時序差異。閘極驅動器控制訊號606向閘極驅動器（或中間電路）提供時序資訊，從而向閘極驅動器提供正確的時序和控制訊號，並且可以源自通道對準器787。注意的是，圖20揭露了一種解碼器，它在分級庫786中緩衝樣本，然後移位元電位準（放大）；也可以移位元電位準然後緩衝樣本以供輸出。

顯示面板源極驅動器陣列

【0126】圖21圖示了用於實現源極驅動器的陣列的替代實施例。陣列650適合與具有8K解析度和144Hz刷新率的顯示面板（即，“8K144”面板）一起使用。圖8示出在這個實施例中，每個源極驅動器包括單個解碼器（即，一個解碼

器的解碼單元) 後跟收集器和放大器，而圖19和圖20示出每個源極驅動器在源極驅動器的解碼單元內可以有許多解碼器。可以使用任一種方法。

【0127】 所示出的是24個720MHz SSVT訊號652-654，每個訊號來自SSVT發送器的絞合線對，即，每個絞合線對起源於發送器的編碼器。每對被輸入到解碼器656-658中的一個，每個解碼器以11.25MHz的頻率輸出64個類比樣本。這些樣本各自輸入到24個收集器662-664中的一個，每個收集器收集這些樣本的15個集合，然後每15個解碼間隔更新一次其輸出，如下面更詳細示出的。如上面所提到的，每個收集器由重建庫和分級庫組成（圖中未明確示出）。進而，來自每個收集器的這960個類比樣本隨後以750kHz的頻率輸入放大器666-668中的一個進行放大，然後以750kHz（ $11.25\text{MHz} \times 64/960$ ）的頻率作為放大的類比電位準670輸出到顯示面板的顯示列上。為了清楚起見，未示出圖19和圖20中所示的訊號604、606、608、622、632。

【0128】 理論上，如果編碼的SSVT訊號是更高的電壓並且解碼的訊號產生顯示器所需的取樣電壓，那麼可以省去放大器或位準移位器。但是，由於SSVT訊號通常為低電壓（並且顯示器要求更高的電壓輸出），因此放大是有必要的。注意的是，圖21揭露了一個解碼器，它在收集器664中緩衝樣本，然後放大；也可以放大然後收集（緩衝）樣本以供輸出。可以使用任一個實施例。

【0129】 圖22是來自圖21的解碼器656之一的框圖。所示出的是輸入到解碼器的SSVT訊號652之一。解碼器包括晶片計數器680、通常儲存在RAM中的包含用於編碼和解碼的正交碼的碼簿682、以及用於64個輸出類比樣本688中的每一個的每個解碼電路的框圖684。每組64個類比樣本在11.25MHz下每L個週期中的1個輸出“有效”。下面連同特定的電路圖更詳細地解釋解碼。

【0130】圖23是來自圖21的收集器的框圖並且示出了來自圖20的分級庫786的更多細節。基本上，個體收集器對分區的行緩衝器執行串列到平行轉換。示出的到每個收集器662-664的輸入是來自每個解碼器的64個類比樣本690-692的集合，頻率為11.25MHz（未示出的是重建庫782）。如圖所示，在每個解碼間隔期間，新的傳入的64個重建的樣本的集合儲存在收集器內，每個收集器每15個解碼間隔被填充一次。在每15個解碼間隔之後，來自每個收集器的960個儲存的樣本698被輸出到它們對應的放大器666-668，然後被遞送到顯示面板的對應列，如圖所示。在一個特定實施例中，圖21的每個源極驅動器（例如，解碼器658、收集器664和放大器668）在積體電路內實現並且每個這樣的積體電路可以安裝在柔性PCB 584上。

解碼器詳細實施例

【0131】圖24是四個解碼器780之一的邏輯圖。解碼器780包括差分放大器1092及取樣和保持電路1094，其被佈置為接收、取樣和保持藉由傳輸介質接收的四個差分EM電位準訊號之一。也可以使用被佈置為接收、取樣和保持輸入EM電位準訊號的其它類型的電路（接收器）。然後將取樣的EM電位準訊號提供給N個解碼器軌道電路1096（ N_{n-1} 至 N_0 ）中的每一個。定序器控制器1098向分別應用在發送側的N個解碼器軌道電路1096中的每一個提供相同的SSDS晶片。因此，樣本輸出（ N_{n-1} 至 N_0 ）被提供給重建庫782。由於每個解碼器軌道電路1096使用在發送側使用的相同SSDS晶片，因此解調的樣本 N_{n-1} 至 N_0 與發送側調變之前相同。

【0132】每個解碼器780的控制器1098還產生多個控制訊號，包括選通訊號、庫結束（EOB）訊號、孔徑訊號和成框訊號。EOB訊號被提供給重建庫782

並且表示分級庫786何時完全充滿樣本的時序。當這種情況發生時，EOB訊號被斷言，在預期下一組重建樣本（ N_{n-1} 到 N_0 ）的情況下清除解碼器軌道1096和分級庫786。孔徑控制訊號被提供給取樣和保持電路1094，並且成框訊號被提供給通道對準器787並且還被提供給分級控制器789。

【0133】 參考圖25，圖示了代表性解碼器軌道電路1096的圖。解碼器軌道電路1096包括乘法器部分和累加器部分。乘法器部分包括第一對開關S1-S1、第二對開關S2-S2、第三對開關S3-S3以及分別在第一（正）和第二（負）電源軌上的一對電容器C1-C1。累加器部分包括電晶體的附加對S4-S4、S5-S5、S6-S6和S7-S7、運算放大器以及分別位於第一（正）和第二（負）電源軌上的一對電容器 C_F 和 C_F 。對於每個解調週期，差分EM電位準訊號對在第一電位準輸入（電位準+）端和第二電位準輸入（電位準-）端被接收。差分EM電位準訊號對在乘法器部分藉由乘以正（1）或負（-1）進行有條件反轉來解調，具體取決於接收到的SSDS晶片的值。

【0134】 如果SSDS晶片具有（+1）的值，那麼，當clk1活動時，電晶體對S1-S1和S3-S3閉合，而S2-S2保持打開。因此，第一電位準輸入（level+）端子和第二電位準輸入（level-）的電壓值分別被傳遞到正和負軌上的兩個電容器C1和C1並儲存。換句話說，輸入值乘以（+1）並且不發生反轉。

【0135】 如果SSDS晶片的值為-1，當clk1活動時，S1-S1開關均斷開，而開關S2-S2和S3-S3均接通。因此，在正極或第一（+）端子和負或第二（-）端子處接收到的電壓值被交換。換句話說，在第一或正端子處提供的輸入電壓值被指引到並儲存在下負軌上的電容器C1，而在第二或（-）端子處提供的電壓值被切

換到並儲存在正上軌上的電容器C1。在輸入端子處接收到的電壓值由此被反轉或乘以(-1)。

【0136】當clk1過渡到不活動時，C1和C1上的累積電荷保持。當clk2過渡到活動時，電晶體對S4-S4打開，而電晶體對S5-S5和S6-S6閉合。然後將上部或正軌上的電容器C1和下部或負軌上的C1上的累積的電荷提供給運算放大器的差分輸入。運算放大器的輸出是在發送側編碼之前的原始+/-樣本對。

【0137】當Clk2活動時，兩個電容器C1和C1上的累積的電荷也被傳遞到上部或正軌和下部或負軌上的電容器CF和CF。在每個解調週期中，上軌和下軌上的電容器C1和C1上的電荷分別累積到上軌和下軌上的兩個電容器CF和CF上。當clk1和EOB訊號都活動時，電晶體對S7-S7都閉合，使電容器CF和CF中的每一個的極板短路。因此，累積的電荷被移除，並且兩個電容器CF和CF被復位並為下一個解調週期做好準備。

【0138】由於每個解碼器780具有N個解碼器軌道電路1096，因此在每個解調週期重新創建N個解碼的或原始的+/-樣本對。這些N個+/-樣本對然後被提供給重建庫782，然後提供給分級庫786。因此，用其原始顏色內容資訊重新創建原始樣本集合（例如，對於RGB，S=3）。

【0139】解碼器軌道1096在連續的L個週期上重建傳入電位準樣本，用那個軌道的代碼的相繼SSDS晶片解調每個相繼的輸入電位準。L個解調中的每一個的結果累積在回饋電容器CF上。當EOB在與解碼週期的第一個解調週期對應的clk1期間被斷言時，CF在EOB之後被清除，以便它可以再次從零伏或某個其它重定電壓開始累積。在各種非排他性實施例中，L的值是預定參數。一般而言，參數L越高，SSDS過程增益越大，並且SSVT訊號在傳輸介質上傳輸的電彈性越

好。另一方面，參數 L 越高，應用SSVT調變所需的頻率越高，這可以由於傳輸介質造成的插入損耗而損害訊號品質。上述解調週期對每個解碼器一遍又一遍地重複。最終結果是恢復原始的按時間排序的樣本集，每個樣本集有其原始顏色內容資訊（即， S 個樣本的集合）。

行動電話具體實施例

【0140】 圖28是使用SSVT在行動電話內傳輸視訊樣本的框圖。由於4K智慧型電話顯示器的高刷新率、MIPI接收器、SRAM、數位影像處理以及要求大約1,000個數位類比轉換器的類比訊號的大量使用，現有OLED DDIC裝置（諸如行動電話）上的先前技術顯示器需要改進。

【0141】 我們提出了一種拆分式OLED DDIC體系架構，其將具有以下優點：啟用最優的DDIC-TCON和DDIC-SD分區；提供來自SoC的短距離MIPI傳輸；優化用於SRAM和影像處理的數位DDIC-TCON；提供簡化的全類比的DDIC；並且只要求在與SSVT發送器整合的DDIC-TCON中使用少量數位類比轉換器。

【0142】 所示出的是行動電話（或智慧型電話）500，其可以用於影像或視訊的通訊和顯示的任何類似的手持行動裝置。裝置500包括顯示面板510、傳統行動SoC 520、整合的DDIC-TCON（顯示驅動IC-時序控制器）和SSVT發送器模組530，以及整合的類比DDIC-SD（DDIC-源極驅動器）和SSVT接收器540。雖然行動SoC 520和模組530是電話的內部部件，但為了便於解釋，行動SoC 520和模組530被示為在行動電話外部。

【0143】 行動SoC 520是行動裝置中使用的任何標準SoC，並且以類似於上面討論的Vxl輸入訊號的方式經由MIPI DSI 524（行動工業處理器介面顯示序列介面）將數位視訊樣本遞送到模組530。模組530內包括與SSVT發送器整合的

DDIC-TCON。在閱讀本揭露之後並參考之前的附圖，本領域技術人員將理解如何實現SSVT發送器以輸出任意數量的類比SSVT訊號534。在這個示例中，SSVT發送器以380Msps輸出12對SSVT訊號。未示出從模組530到顯示面板510的閘極驅動器的時序和成框控制訊號。通常，對於行動電話，DDIC位於電話的底部窄邊，而SoC大約位於裝置的中間。因而，整合的DDIC-TCON/SSVT發送器位於靠近SoC的位置，大約10cm或更短，甚至大約1-2cm或更短。由於數位資料的傳輸處於極端頻率，因此保持導體長度盡可能短是有利的。對於臺式電腦，距離約為25-30cm或更短。

【0144】 這些類比SSVT訊號在整合的類比DDIC-SD和SSVT接收器540處被接收。關於如何將源極驅動器與SSVT接收器整合以便接收任何數量的類比SSVT訊號並產生用於驅動顯示面板的電壓的描述可以在本文和上面引用的申請No.17/900,570 (HYFYP009) 中找到。有利地，僅需要單個源極驅動器來驅動顯示面板510並且SSVT接收器540不需要任何數位類比轉換器。

其它實施例

【0145】 本發明包括以下的其它實施例。

【0146】 1. 一種將時序控制器與編碼器整合的裝置，該裝置包括：

行緩衝器控制器，接收源自顯示裝置的片上系統的數位樣本的至少一個媒體訊號；

行緩衝器，與該行緩衝器控制器通訊，被佈置為儲存一行該數位樣本；

至少一個DAC，接收該數位樣本的該行的子集並輸出類比樣本的子集；

至少一個編碼器，對來自該至少一個DAC的類比樣本的該輸出子集進行編碼並輸出呈現給與該至少一個編碼器對應的電磁通路的一系列類比輸出值；以及

閘極驅動器控制器，被佈置為從該行緩衝器控制器接收成框標誌並且向該顯示裝置的閘極驅動器輸出閘極驅動器控制訊號。

【0147】 2. 如實施例1中所述的裝置，其中該裝置整合在該顯示裝置的單個積體電路內。

【0148】 3. 如實施例1中所述的裝置，其中該輸出值藉由該電磁通路被傳遞到與該顯示裝置的源極驅動器相關聯的對應解碼器。

【0149】 4. 如實施例3中所述的裝置，其中該輸出值是從該編碼器傳遞到該解碼器的一系列類比值。

【0150】 5. 如實施例1中所述的裝置，還包括：

解包器，從該片上系統接收數位視訊訊號並產生該至少一個媒體訊號。

【0151】 6. 如實施例1中所述的裝置，其中該至少一個媒體訊號是多個媒體訊號，該多個媒體訊號是R、G、B訊號。

【0152】 7. 如實施例1中所述的裝置，其中該行緩衝器控制器接收三個媒體訊號R、G和B，將該樣本儲存在該行緩衝器中並將該樣本的該子集傳遞到該DAC。

【0153】 8. 如實施例2中所述的裝置，其中該積體電路位於該片上系統的大約10cm內。

【0154】 9. 一種將時序控制器與編碼器整合的裝置，該裝置包括：

行緩衝器控制器，接收源自顯示裝置的片上系統的數位樣本的至少一個媒體訊號；

行緩衝器，與該行緩衝器控制器通訊，被佈置為儲存一行該樣本；

至少一個編碼器，輸入該數位樣本的子集並輸出一系列數位輸出值；

DAC，接收該一系列數位輸出值並輸出一系列類比輸出值，該一系列類比輸出值被呈現給與該至少一個編碼器對應的電磁通路；以及

閘極驅動器控制器，被佈置為從該行緩衝器控制器接收成框標誌並且向該顯示裝置的閘極驅動器輸出閘極驅動器控制訊號。

【0155】 10. 如實施例9中所述的裝置，其中該裝置整合在該顯示裝置的單個積體電路內。

【0156】 11. 如實施例9中所述的裝置，其中該類比輸出值藉由該電磁通路被傳遞到與該顯示裝置的源極驅動器相關聯的至少一個對應解碼器。

【0157】 12. 如實施例11中所述的裝置，其中該輸出值是從該編碼器傳遞到該解碼器的一系列類比值。

【0158】 13. 如實施例9中所述的裝置，還包括：

解包器，從該片上系統接收數位視訊訊號並產生該至少一個媒體訊號。

【0159】 14. 如實施例9中所述的裝置，其中該至少一個媒體訊號是多個媒體訊號，該多個媒體訊號是R、G、B訊號。

【0160】 15. 如實施例9中所述的裝置，其中該行緩衝器控制器接收三個媒體訊號R、G和B，將該樣本儲存在該行緩衝器中並將該樣本的該子集遞送到該DAC。

【0161】 16. 如實施例10中所述的裝置，其中該積體電路位於該片上系統的大約10cm內。

【0162】 17. 一種將時序控制器和編碼器與顯示裝置的片上系統整合的裝置，該裝置包括：

行緩衝器控制器，接收源自該片上系統的數位樣本的至少一個媒體訊號，其中該時序控制器、該編碼器和該片上系統整合在積體電路內；

行緩衝器，與該行緩衝器控制器通訊，被佈置為儲存一行該數位樣本；

至少一個DAC，接收該數位樣本的該行的子集並輸出類比樣本的子集；

至少一個編碼器，對來自該至少一個DAC的類比樣本的該輸出子集進行編碼並輸出呈現給與該至少一個編碼器對應的電磁通路的一系列類比輸出值；以及

閘極驅動器控制器，被佈置為從該行緩衝器控制器接收成框標誌並且向該顯示裝置的閘極驅動器輸出閘極驅動器控制訊號。

【0163】 18. 一種將時序控制器和編碼器與顯示裝置的片上系統整合的裝置，該裝置包括：

行緩衝器控制器，接收源自該片上系統的數位樣本的至少一個媒體訊號，其中該時序控制器、該編碼器和該片上系統整合在積體電路內；

行緩衝器，與該行緩衝器控制器通訊，被佈置為儲存一行該樣本；

至少一個編碼器，輸入該數位樣本的字集並輸出一系列數位輸出值；

DAC，接收該一系列數位輸出值並輸出一系列類比輸出值，該一系列類比輸出值被提供給與該至少一個編碼器對應的電磁通路；以及

閘極驅動器控制器，被佈置為從該行緩衝器控制器接收成框標誌並且向該顯示裝置的閘極驅動器輸出閘極驅動器控制訊號。

【0164】雖然為了清楚理解的目的已經對前述發明進行了一些詳細描述，但是顯然可以在所附申請專利範圍的範圍內實踐某些改變和修改。因此，所描述的實施例應當被視為說明性而非限制性的，並且本發明不應當限於本文給出的細節，而應當由所附申請專利範圍及其等同物的全部範圍限定。

【符號說明】

【0165】

10：數位訊號到顯示面板的先前技術傳遞

26：解包器

27：成框標誌

28：發送器

30、130、510：顯示面板

32、162、302、332、432：數位視訊訊號

34：EM通路

35、174：閘極驅動器

40、366、386：分發器

42、42'：編碼器

50、314：TCON（時序控制器）

52：分級庫

54：表示庫

- 56：控制器
- 57：雙向通訊
- 60：編碼器塊
- 64：視訊訊號
- 65：定序器電路
- 66：數位訊號
- 68：列驅動器
- 69：高速移位暫存器
- 71：乘法器級
- 72：累加器級
- 73：逆變器
- 74、1092：差分放大器
- 78、666、668：放大器
- 100、100'：傳遞
- 120：顯示裝置
- 150、150'：發送器和時序控制器晶片
- 162'：內部傳輸
- 164、167、604、606、608、622、632：訊號
- 169、324、354、586：源極驅動器
- 171：時序訊號
- 180：時鐘域交叉
- 210：DSP和伽瑪校正

- 214：內部傳遞
- 220：塊
- 230：行緩衝器記憶體
- 260：類比訊號
- 280：閘極驅動器控制器
- 290：行緩衝器控制器
- 303、333、433：HDMI連接器
- 305、335、435：RJ-45連接器
- 310：流
- 311：控制訊號
- 316、388：匯流排
- 318：SSVT發送器
- 320、350、450：整合模組
- 322、352、452、592、652、654：SSVT訊號
- 328、358、458：顯示器
- 362、698：樣本
- 364、384：Vx1接收器
- 365、385：流
- 368：匯流排
- 370、390：編碼器
- 371、391：調變器
- 373、393：加法器

374、394：SSVT EM訊號

376：行緩衝器

378、379：輸入向量

382：Vx1樣本

396、680：晶片計數器

397、682、920：碼簿

500：行動電話（或智慧型電話）

520：傳統行動SoC

524：MIPI DSI

530：SSVT發送器模組

534：類比SSVT訊號

540：SSVT接收器

602：SSVT訊號

606：閘極驅動器控制訊號

610：解碼單元

612：類比樣本流

620：位準移位器

622：反轉訊號

632：鎖存訊號

634：輸出

656、658、780：解碼器

662、664：收集器

670：類比電位準

684：框圖

688、690、692、970：類比樣本

702、703、704：差分EM電位準訊號

782：重建庫

786：協調分級庫

787：通道對準器

789：分級控制器

900：類比編碼器

900'：類比解碼器

901：數位編碼器

902、904、906、908、902'、904'、906'、908'、952'、954'、956'、958'：值

932、934、936、938：碼

940：第一時間間隔

942、944：碼表示

948：調變

950、952、954、956、958：輸出電位準

950'、952'：電位準

951：類比值求和

961：晶片調變

971：數位樣本

973、974：ADC

976：數位解碼器

978：數位樣本

1094：取樣和保持電路

1096：解碼器軌道電路

1098：定序器控制器

DAC、62、240、372、392、460、462、464、466、959、972：數位類比轉換器

DDIC-TCON：顯示驅動器積體電路-時序控制器

DSP：數位訊號處理

EM：差分電磁

eob：庫結束

LVDS：低電壓差分信令

SoC、63、140'、163、308：片上系統

SSVT：展頻視訊傳輸

【發明申請專利範圍】

【請求項1】 一種將時序控制器與發送器整合的裝置，該裝置包括：

至少一個接收器，被佈置為接收源自顯示裝置的一片上系統的一數位視訊樣本的多個流；

一分發器，被佈置為根據預定排列將該流的該數位視訊樣本分發到多個輸入向量中；

用於每個輸入向量的多個數位類比轉換器（DAC），將該每個輸入向量的該數位視訊樣本並行地轉換成一類比視訊樣本；

用於每個輸入向量的一編碼器，被佈置為將該每個輸入向量的該類比視訊樣本編碼成一系列類比值，並經由與每個該編碼器對應的電磁通路將該一系列類比值傳輸到該顯示裝置的顯示器；以及

一閘極驅動器控制器，被佈置為向該顯示裝置的該顯示器的閘極驅動器輸出一閘極驅動器控制訊號。

【請求項2】 如請求項1所述的裝置，其中該裝置被整合在該顯示裝置的一單個積體電路內。

【請求項3】 如請求項1所述的裝置，其中每個該編碼器的該一系列類比值被傳遞到該顯示裝置的源極驅動器的一對應解碼器。

【請求項4】 如請求項1所述的裝置，還包括：

一行緩衝器，被佈置為接收該流的該數位視訊樣本，並且其中該分發器將來自該行緩衝器的該數位視訊樣本分配到該輸入向量中。

【請求項5】 如請求項1所述的裝置，其中該裝置位於該片上系統的大約10cm內。

【請求項6】如請求項1所述的裝置，其中該閘極驅動器控制器還被佈置為接收源自一解包器的成框標誌並基於該成框標誌輸出該閘極驅動器控制訊號。

【請求項7】如請求項6所述的裝置，其中該解包器從該片上系統接收一數位視訊訊號並產生該數位視訊樣本的該多個流。

【請求項8】如請求項1所述的裝置，其中該分發器以一第一時鐘頻率輸入該流的該數位視訊樣本並以比該第一時鐘頻率慢的一第二時鐘頻率將該輸入向量輸出到該輸入向量的該DAC，從而影響一時鐘域交叉。

【請求項9】如請求項1所述的裝置，其中每個輸入向量具有長度N，其中每個編碼器參考每個長度為L的N個相互正交的碼的預定碼集將該編碼器對應的N個類比視訊樣本的輸入向量編碼成一系列L個類比值，該碼中的每個碼用於對該N個類比視訊樣本中的一個進行編碼。

【請求項10】如請求項1所述的裝置，其中每個該編碼器的多個該一系列類比值在該顯示器的源極驅動器處被多工。

【請求項11】如請求項1所述的裝置，其中該片上系統（SoC）與該裝置內的該時序控制器和該發送器整合，並且其中該SoC接收該顯示裝置外部的一數位視訊訊號，數位視訊樣本的該流從該數位視訊訊號得出。

【請求項12】如請求項9所述的裝置，其中 $L \geq N \geq 2$ 。

【請求項13】如請求項9所述的裝置，其中 $N > L \geq 2$ 。

【請求項14】如請求項1所述的裝置，其中該顯示器包括至少一個源極驅動器，該源極驅動器被佈置為從每個該編碼器接收該一系列類比值並且解碼該一系列類比值以產生多個類比樣本用於在該源極驅動器的輸出端上輸出，從而數位視訊樣本的該流被顯示在該顯示裝置的該顯示器上。

【請求項15】 一種將時序控制器與發送器整合的裝置，該裝置包括：

至少一個接收器，被佈置為接收源自顯示裝置的片上系統的數位視訊樣本的多個流；

一分發器，被佈置為根據預定排列將該流的該數位視訊樣本分發到多個輸入向量中；

用於每個輸入向量的一編碼器，被佈置為將該每個輸入向量的該數位視訊樣本編碼成一系列數位值；

用於每個編碼器的一數位類比轉換器（DAC），將該一系列數位值轉換成一系列類比值，該一系列類比值經由與該每個編碼器對應的電磁通路傳輸到該顯示裝置的顯示器；以及

一閘極驅動器控制器，被佈置為向該顯示裝置的該顯示器的閘極驅動器輸出閘極驅動器控制訊號。

【請求項16】 如請求項15所述的裝置，其中該裝置被整合在該顯示裝置的一單個積體電路內。

【請求項17】 如請求項15所述的裝置，其中該每個編碼器的該一系列類比值被傳遞到該顯示裝置的源極驅動器的一對應解碼器。

【請求項18】 如請求項15所述的裝置，還包括：

一行緩衝器，被佈置為接收該流的該數位視訊樣本，並且其中該分發器將來自該行緩衝器的該數位視訊樣本分發到該輸入向量中。

【請求項19】 如請求項15所述的裝置，其中該裝置位於該片上系統的大約10cm內。

【請求項20】 如請求項15所述的裝置，其中該閘極驅動器控制器還被佈置為接收源自一解包器的成框標誌並基於該成框標誌輸出該閘極驅動器控制訊號。

【請求項21】 如請求項20所述的裝置，其中該解包器從該片上系統接收數位視訊訊號並產生該數位視訊樣本的該多個流。

【請求項22】 如請求項15所述的裝置，其中該分發器以第一時鐘頻率輸入該流的該數位視訊樣本並以比該第一時鐘頻率慢的第二時鐘頻率將該輸入向量輸出到該編碼器，從而影響一時鐘域交叉。

【請求項23】 如請求項15所述的裝置，其中每個輸入向量具有長度 N ，其中每個編碼器參考每個長度為 L 的 N 個相互正交的碼的預定碼集將該編碼器對應的 N 個數位視訊樣本的輸入向量編碼成一系列 L 個數位值，該碼中的每個碼用於對該 N 個數位視訊樣本中的一個進行編碼。

【請求項24】 如請求項15所述的裝置，其中該每個編碼器的多個該一系列類比值在該顯示器的源極驅動器處被多工。

【請求項25】 如請求項15所述的裝置，其中該片上系統（SoC）與該裝置內的該時序控制器和該發送器整合，並且其中該SoC接收該顯示裝置外部的一數位視訊訊號，數位視訊樣本的該流從該數位視訊訊號得出。

【請求項26】 如請求項23所述的裝置，其中 $L \geq N \geq 2$ 。

【請求項27】 如請求項23所述的裝置，其中 $N > L \geq 2$ 。

【請求項28】 如請求項15所述的裝置，其中該顯示器包括至少一個源極驅動器，該源極驅動器被佈置為從該每個編碼器接收該一系列類比值並且解碼該一系列類比值以產生多個類比值用於在該源極驅動器的輸出端上輸出，從而數位視訊樣本的該流被顯示在該顯示裝置的該顯示器上。

【請求項29】 一種將DDIC-TCON（顯示驅動器積體電路-時序控制器）與發送器整合的裝置，該裝置包括：

至少一個接收器，被佈置為接收源自一行動電話的行動片上系統的數位視訊樣本的至少一個流；

一分發器，被佈置為根據預定排列將該至少一個流的該數位視訊樣本分發到至少一個輸入向量中；

一數位類比轉換器（DAC），將該至少一個輸入向量的該數位視訊樣本並行地轉換成類比視訊樣本；

至少一個編碼器，被佈置為將該類比視訊樣本編碼為一系列類比值，並經由電磁通路將該一系列類比值傳輸到該行動電話的一顯示面板；以及

一閘極驅動器控制器，被佈置為向該行動電話的該顯示面板的閘極驅動器輸出閘極驅動器控制訊號。

【請求項30】 如請求項29所述的裝置，其中該裝置被整合在該行動電話的單個積體電路內。

【請求項31】 如請求項29所述的裝置，其中該一系列類比值被傳遞到該行動電話的源極驅動器的對應解碼器。

【請求項32】 如請求項29所述的裝置，還包括：

一行緩衝器，被佈置為接收該數位視訊樣本，並且其中該分發器將來自該行緩衝器的該數位視訊樣本分發到該輸入向量中。

【請求項33】 如請求項29所述的裝置，其中該裝置位於該片上系統的大約2cm內。

【請求項34】如請求項29所述的裝置，其中該閘極驅動器控制器還被佈置為接收源自一解包器的成框標誌並基於該成框標誌輸出該閘極驅動器控制訊號。

【請求項35】如請求項34所述的裝置，其中該解包器從該片上系統接收數位視訊訊號並產生該數位視訊樣本的該至少一個流。

【請求項36】如請求項29所述的裝置，其中該分發器以第一時鐘頻率輸入該數位視訊樣本並以比該第一時鐘頻率慢的第二時鐘頻率將該輸入向量輸出到該DAC，從而影響一時鐘域交叉。

【請求項37】如請求項29所述的裝置，其中該輸入向量具有長度N，其中該編碼器參考每個長度為L的N個相互正交的碼的預定碼集將N個類比視訊樣本的該輸入向量編碼成一系列L個類比值，該碼中的每個碼用於對該N個類比視訊樣本中的一個進行編碼。

【請求項38】如請求項37所述的裝置，其中 $L \geq N \geq 2$ 。

【請求項39】如請求項37所述的裝置，其中 $N > L \geq 2$ 。

【請求項40】如請求項29所述的裝置，其中該顯示面板包括一源極驅動器，該源極驅動器被佈置為從該每個編碼器接收該一系列類比值並且解碼該一系列類比值以產生多個類比樣本以用於在該源極驅動器的輸出端上輸出，從而數位視訊樣本的該流被顯示在該行動電話的該顯示面板上。

【請求項41】一種將DDIC-TCON（顯示驅動器積體電路-時序控制器）與發送器整合的裝置，該裝置包括：

至少一個接收器，被佈置為接收源自一行動電話的行動片上系統的數位視訊樣本的至少一個流；

一分發器，被佈置為根據預定排列將該至少一個流的該數位視訊樣本分發到至少一個輸入向量中；

至少一個編碼器，被佈置為將該輸入向量的該數位視訊樣本編碼為一系列數位值；

一數位類比轉換器（DAC），將該一系列數位值轉換成一系列類比值，該一系列類比值經由電磁通路被傳輸到該行動電話的一顯示面板；以及

一閘極驅動器控制器，被佈置為向該行動電話的該顯示面板的閘極驅動器輸出閘極驅動器控制訊號。

【請求項42】 如請求項41所述的裝置，其中該裝置被整合在該行動電話的單個積體電路內。

【請求項43】 如請求項41所述的裝置，其中該一系列類比值被傳遞到該行動電話的一源極驅動器的一對應解碼器。

【請求項44】 如請求項41所述的裝置，還包括：

一行緩衝器，被佈置為接收該數位視訊樣本，並且其中該分發器將來自該行緩衝器的該數位視訊樣本分發到該輸入向量中。

【請求項45】 如請求項41所述的裝置，其中該裝置位於該片上系統的大約2cm內。

【請求項46】 如請求項41所述的裝置，其中該閘極驅動器控制器還被佈置為接收源自一解包器的一成框標誌並基於該成框標誌輸出該閘極驅動器控制訊號。

【請求項47】 如請求項46所述的裝置，其中該解包器從該片上系統接收數位視訊訊號並產生該數位視訊樣本的該至少一個流。

【請求項48】如請求項41所述的裝置，其中該分發器以第一時鐘頻率輸入該數位視訊樣本並以比該第一時鐘頻率慢的第二時鐘頻率將該輸入向量輸出到該編碼器，從而影響一時鐘域交叉。

【請求項49】如請求項41所述的裝置，其中該輸入向量具有長度 N ，其中該編碼器參考每個長度為 L 的 N 個相互正交的碼的預定碼集將 N 個數位視訊樣本的該輸入向量編碼成一系列 L 個類比值，該碼中的每個碼用於對該 N 個數位視訊樣本中的一個進行編碼。

【請求項50】如請求項49所述的裝置，其中 $L \geq N \geq 2$ 。

【請求項51】如請求項49所述的裝置，其中 $N > L \geq 2$ 。

【請求項52】如請求項41所述的裝置，其中該顯示面板包括一源極驅動器，該源極驅動器被佈置為從該每個編碼器接收該一系列類比值並且解碼該一系列類比值以產生多個類比樣本用於在該源極驅動器的輸出端上輸出，從而數位視訊樣本的該流被顯示在該行動電話的該顯示面板上。

【請求項53】一種用於將視訊傳輸到顯示裝置的顯示面板的系統，該系統包括：

一發送器，與時序控制器整合，接收源自該顯示裝置的片上系統的數位視訊樣本的多個流，該發送器被佈置為將該數位視訊樣本編碼成多個一系列類比值並將該多個一系列類比值按照每一系列類比值經由電磁通路傳輸到該顯示面板，該發送器包括被佈置為向該顯示面板的閘極驅動器輸出閘極驅動器控制訊號的閘極驅動器控制器；以及

至少一個源極驅動器，該源極驅動器被佈置為從該發送器接收該多個一系列類比值並且解碼每個該一系列解碼值以產生多個類比樣本用於在該源極驅動

器的輸出端上輸出，從而數位視訊樣本的該流能夠被顯示在該顯示裝置的該顯示面板上。

【請求項54】 如請求項53所述的系統，其中該發送器還包括：

至少一個數位類比轉換器（DAC），在該編碼之前將該數位視訊樣本轉換成類比視訊樣本，並且其中該編碼是類比編碼。

【請求項55】 如請求項53所述的系統，其中該編碼是數位編碼，並且其中該發送器還包括將該編碼的輸出轉換成該多個一系列類比值的至少一個數位類比轉換器（DAC）。

【請求項56】 如請求項53所述的系統，其中該發送器還包括：

一分發器，被佈置為根據預定排列將該流的該數位視訊樣本分發到多個輸入向量中；

用於每個輸入向量的至少一個數位類比轉換器（DAC），將該每個輸入向量的該數位視訊樣本轉換成類比視訊樣本；以及

用於每個輸入向量的一編碼器，被佈置為將該每個輸入向量的該類比視訊樣本編碼成該一系列類比值，並經由與該每個編碼器對應的電磁通路將該一系列類比值傳輸到該顯示面板。

【請求項57】 如請求項53所述的系統，其中該發送器還包括：

一分發器，被佈置為根據預定排列將該流的該數位視訊樣本分發到多個輸入向量中；

用於每個輸入向量的一編碼器，被佈置為將該每個輸入向量的該數位視訊樣本編碼成一系列數位值；以及

用於每個編碼器的一數位類比轉換器（DAC），將該一系列數位值轉換成該一系列類比值，該一系列類比值經由與該每個編碼器對應的電磁通路被傳輸到該顯示面板。

【請求項58】 一種用於將視訊傳輸到行動電話的一顯示面板的系統，該系統包括：

一發送器，與時序控制器整合，接收源自該行動電話的片上系統的數位視訊樣本的多個流，該發送器被佈置為將該數位視訊樣本編碼成多個一系列類比值並將該多個一系列類比值按照每一系列類比值經由電磁通路傳輸到該顯示面板，該發送器包括被佈置為向該顯示面板的閘極驅動器輸出閘極驅動器控制訊號的閘極驅動器控制器；以及

一源極驅動器，該源極驅動器被佈置為從該發送器接收多個一系列類比值並且解碼每個該一系列類比值以產生多個類比樣本用於在該源極驅動器的輸出端上輸出，從而數位視訊樣本的該流能夠被顯示在該行動電話的該顯示面板上。

【請求項59】 如請求項58所述的系統，其中該發送器還包括：

至少一個數位類比轉換器（DAC），在該編碼之前將該數位視訊樣本轉換成類比視訊樣本，並且其中該編碼是類比編碼。

【請求項60】 如請求項58所述的系統，其中該編碼是數位編碼，並且其中該發送器還包括將該編碼的輸出轉換成該多個一系列類比值的至少一個數位類比轉換器（DAC）。

【請求項61】 如請求項58所述的系統，其中該發送器還包括：

一分發器，被佈置為根據預定排列將該流的該數位視訊樣本分發到多個輸入向量中；

用於每個輸入向量的至少一個數位類比轉換器（DAC），將該每個輸入向量的該數位視訊樣本轉換成類比視訊樣本；以及

用於每個輸入向量的編碼器，被佈置為將該每個輸入向量的該類比視訊樣本編碼成該一系列類比值，並經由與該每個編碼器對應的電磁通路將該一系列類比值傳輸到該顯示面板。

【請求項62】 如請求項58所述的系統，其中該發送器還包括：

一分發器，被佈置為根據預定排列將該流的該數位視訊樣本分發到多個輸入向量中；

用於每個輸入向量的編碼器，被佈置為將該每個輸入向量的該數位視訊樣本編碼成一系列數位值；以及

用於每個編碼器的一數位類比轉換器（DAC），將該一系列數位值轉換成該一系列類比值，該一系列類比值經由與該每個編碼器對應的電磁通路傳輸到該顯示面板。

【請求項63】 一種將一時序控制器與一發送器整合的裝置，該裝置包括：

至少一個接收器，被佈置為接收源自一顯示裝置的一片上系統的數位視訊樣本的多個流；

一分發器，被佈置為根據一預定排列將該流的該數位視訊樣本分發到多個輸入向量中，每個輸入向量具有N個數位視訊樣本；

用於每個輸入向量的多個數位類比轉換器（DAC），將每個輸入向量的數位視訊樣本並行地轉換成類比視訊樣本；

用於每個輸入向量的一行驅動器，接收該N個類比視訊樣本作為L個類比輸出值的有序序列，其中 $L \geq N \geq 2$ ，並經由與該行驅動器對應的一電磁通路將L個數位類比值的序列發送至該顯示裝置的一顯示器；以及

一閘極驅動器控制器，被佈置為向該顯示裝置的該顯示器的閘極驅動器輸出閘極驅動器控制訊號。

【請求項64】 如請求項63所述的裝置，其中 $L=N$ 。

【請求項65】 如請求項64所述的裝置，還包括：

用於每個輸入向量的一編碼器，參考由每個長度為L的N個碼組成的一預定碼集將每個輸入向量的N個類比樣本編碼成該L個數位類比輸出值的有序序列，N個碼中的每個與樣本中的一個相關聯，其中碼集是一單位矩陣，並且碼集中的晶片值被約束為“+1”或“0”。

【請求項66】 如請求項63所述的裝置，還包括：

用於每個輸入向量的一編碼器，參考由每個長度為L的N個相互正交的碼組成的一預定碼集將該輸入向量的N個類比樣本編碼成該L個數位類比輸出值的有序序列，其中N個碼中的每個與樣本中的一個相關聯。

【請求項67】 如請求項63所述的裝置，其中該裝置被整合在該顯示裝置的單個積體電路內。

【請求項68】 如請求項63所述的裝置，其中該分發器以一第一時鐘頻率輸入該流的該數位視訊樣本並以比該第一時鐘頻率慢的一第二時鐘頻率將該輸入向量輸出到該輸入向量的該DAC，從而影響時鐘域交叉。

【請求項69】如請求項63所述的裝置，其中該片上系統（SoC）與該裝置內的該時序控制器和該發送器整合，並且其中該SoC接收該顯示裝置外部的一數位視訊訊號，數位視訊樣本的該流從該數位視訊訊號得出。

【請求項70】一種將一時序控制器與一發送器整合的裝置，該裝置包括：
至少一個接收器，被佈置為接收源自一顯示裝置的一片上系統的數位視訊樣本的多個流；

一分發器，被佈置為根據一預定排列將該流的該數位視訊樣本分發到多個輸入向量中，每個輸入向量具有N個數位視訊樣本；

用於每個輸入向量的一數位類比轉換器（DAC），接收該N個數位視訊樣本的每個作為一系列L個數位值，並將一系列L個數位值轉換為一系列L個類比值，該一系列L個數位類比值經由與每個DAC相對應的電磁通路傳輸到該顯示裝置的一顯示器；以及

一閘極驅動器控制器，被佈置為向該顯示裝置的該顯示器的閘極驅動器輸出閘極驅動器控制訊號。

【請求項71】如請求項70所述的裝置，其中 $L=N$ 。

【請求項72】如請求項71所述的裝置，還包括：

用於每個輸入向量的一編碼器，參考由每個長度為L的N個碼組成的一預定碼集將每個輸入向量的N個數位樣本編碼成L個數位值的有序序列，N個碼中的每個與樣本中的一個相關聯，其中碼集是一單位矩陣，並且碼集中的晶片值被約束為“+1”或“0”。

【請求項73】如請求項70所述的裝置，還包括：

用於每個輸入向量的一編碼器，參考由每個長度為L的N個相互正交的碼組成的一預定碼集將每個輸入向量的N個數位樣本編碼成L個數位值的有序序列，N個碼中的每個與樣本中的一個相關聯。

【請求項74】如請求項70所述的裝置，其中該裝置被整合在該顯示裝置的單個積體電路內。

【請求項75】如請求項70所述的裝置，其中該分發器以一第一時鐘頻率輸入該流的該數位視訊樣本並以比該第一時鐘頻率慢的一第二時鐘頻率將該輸入向量輸出到該輸入向量的該DAC，從而影響時鐘域交叉。

【請求項76】如請求項70所述的裝置，其中該片上系統（SoC）與該裝置內的該時序控制器和該發送器整合，並且其中該SoC接收該顯示裝置外部的一數位視訊訊號，數位視訊樣本的該流從該數位視訊訊號得出。

【請求項77】一種用於將視訊傳輸到一顯示裝置的一顯示面板的系統，該系統包括：

一發送器，與一時序控制器整合，接收源自該顯示裝置的一片上系統的數位視訊樣本的多個流，該發送器包括被佈置為根據一預定排列將該流的該數位視訊樣本分發到每個長度為N的多個輸入向量中的一分發器，該發送器被佈置為將N個數位視訊樣本的輸入向量中的每個作為一系列L個數位類比值經由每一系列L個數位類比值的一電磁通路發送到該顯示面板，該發送器包括被佈置為向該顯示面板的一閘極驅動器輸出閘極驅動器控制訊號的閘極驅動器控制器，其中 $L \geq N \geq 2$ ；以及

多個源極驅動器，每個源極驅動器被佈置為從該發送

器接收多個一系列L個數位類比值中的一個，並產生用於在該源極驅動器的輸出端上輸出的N個類比樣本，從而數位視訊樣本的該流能夠被顯示在該顯示裝置的該顯示面板上。

【請求項78】如請求項77所述的系統，其中 $L=N$ 。

【請求項79】如請求項78所述的系統，還包括：

用於每個輸入向量的一編碼器，參考由每個長度為L的N個碼組成的一預定碼集將每個輸入向量的N個樣本編碼成L個類比值的有序序列，N個碼中的每個與樣本中的一個相關聯，其中碼集是一單位矩陣，並且碼集中的晶片值被約束為“+1”或“0”。

【請求項80】如請求項77所述的系統，還包括：

用於每個輸入向量的一編碼器，參考由每個長度為L的N個相互正交的碼組成的一預定碼集將輸入向量的N個樣本編碼成L個類比值的有序序列，N個碼中的每個與樣本中的一個相關聯。

【請求項81】如請求項77所述的系統，其中該分發器以一第一時鐘頻率輸入該流的該數位視訊樣本並以比該第一時鐘頻率慢的一第二時鐘頻率將該輸入向量輸出到該輸入向量的該DAC，從而影響時鐘域交叉。

【請求項82】如請求項77所述的系統，其中該片上系統（SoC）與該時序控制器和該發送器整合，並且其中該SoC接收該顯示裝置外部的一數位視訊訊號，數位視訊樣本的該流從該數位視訊訊號得出。

【請求項83】如請求項77所述的系統，其中該發送器還包括：

至少一個數位類比轉換器（DAC），將該數位視訊樣本轉換成該L個類比視訊值。

【發明圖式】

10

常規顯示裝置

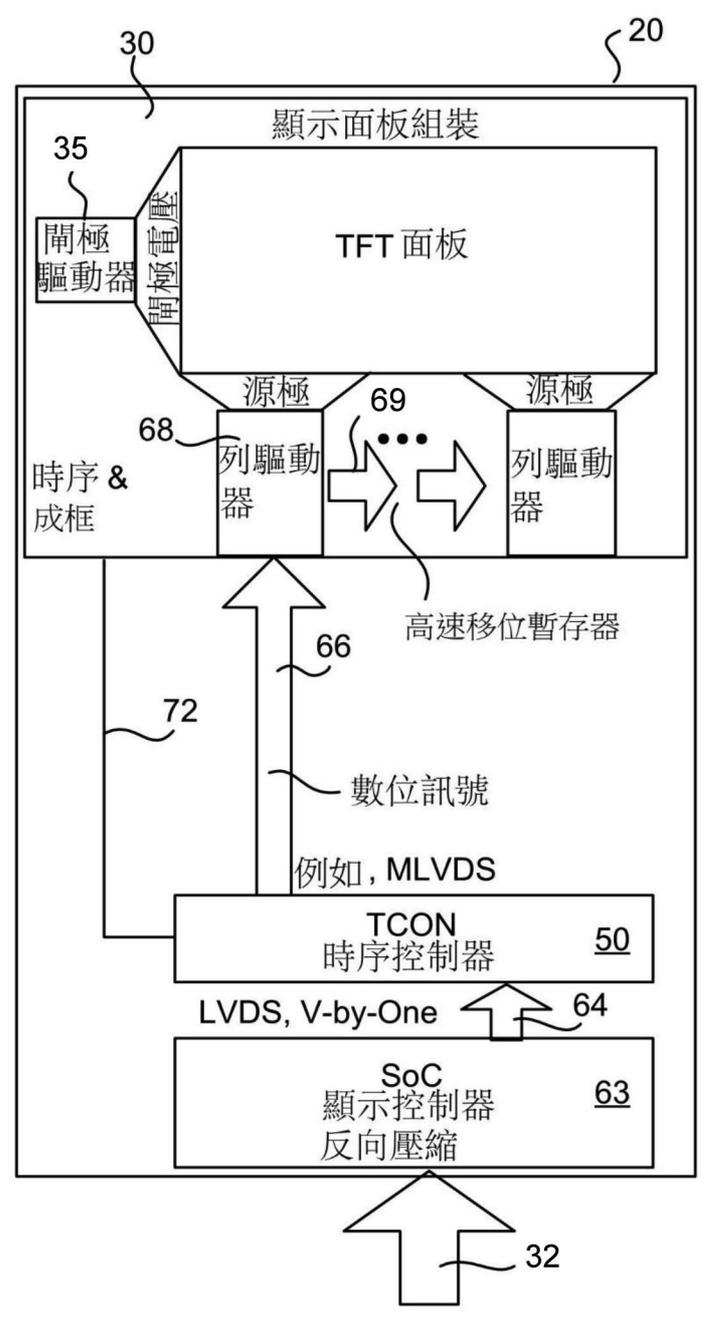


圖 1

排列示例

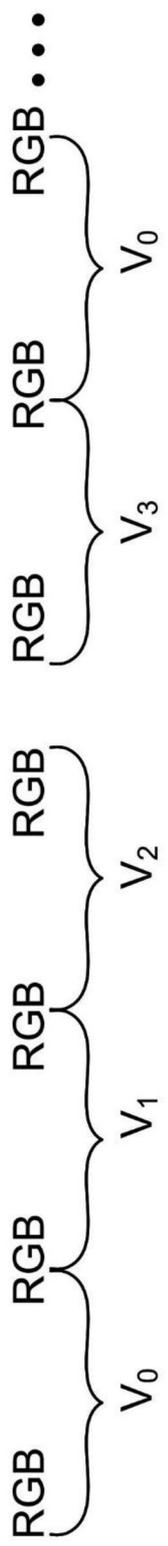


圖3

類比SSVT編碼器

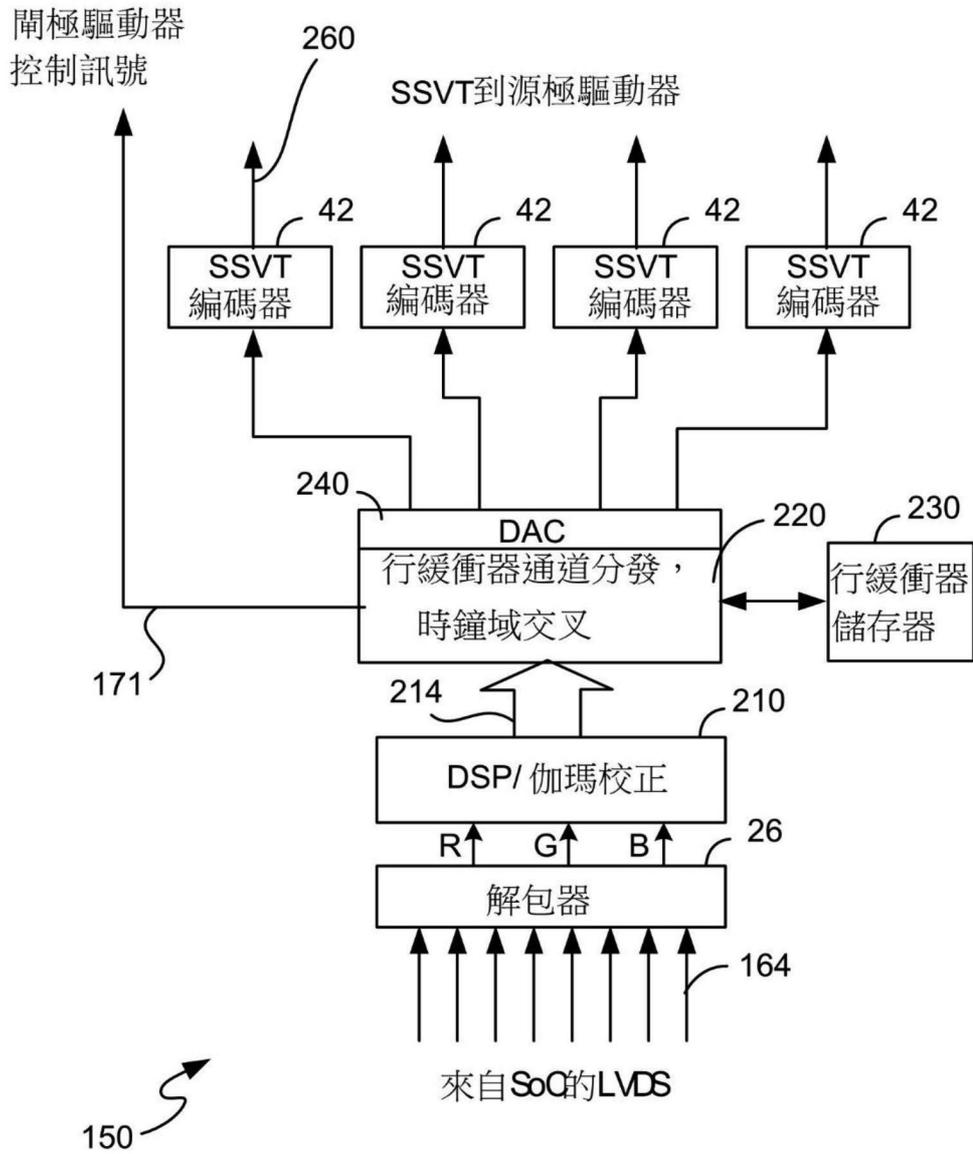


圖4

整合的SSVT發送器和時序控制器

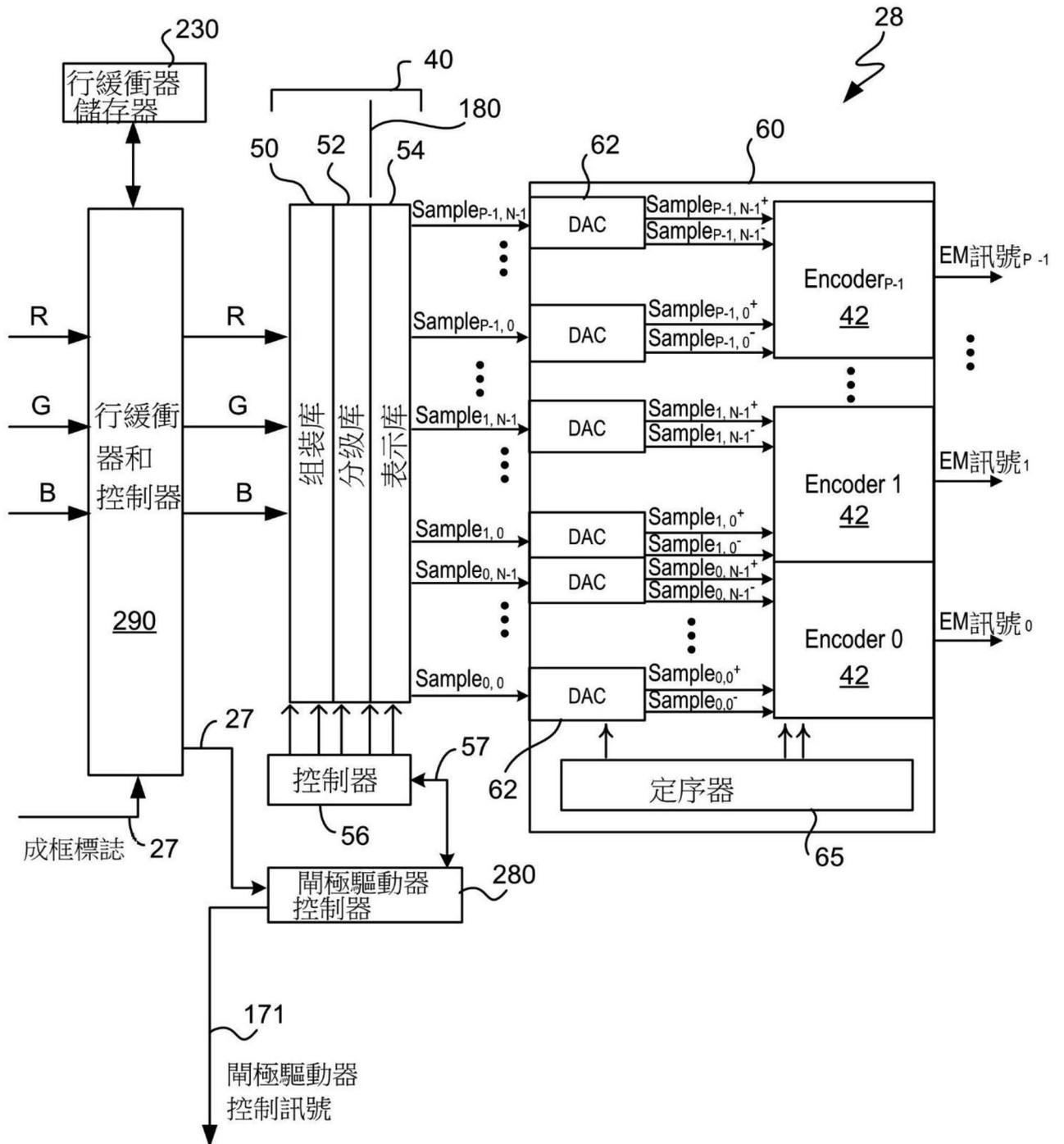


圖5A

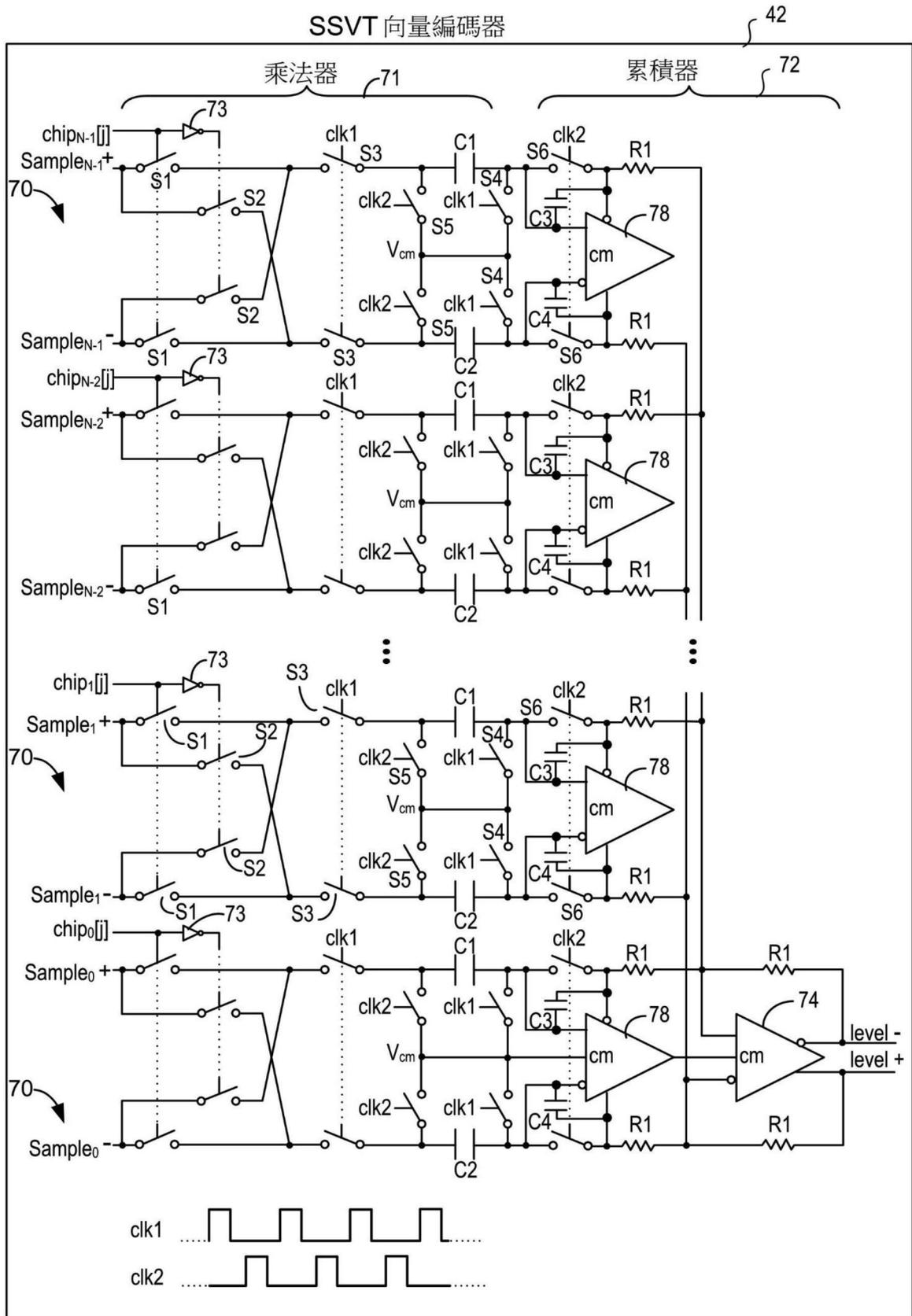


圖5B

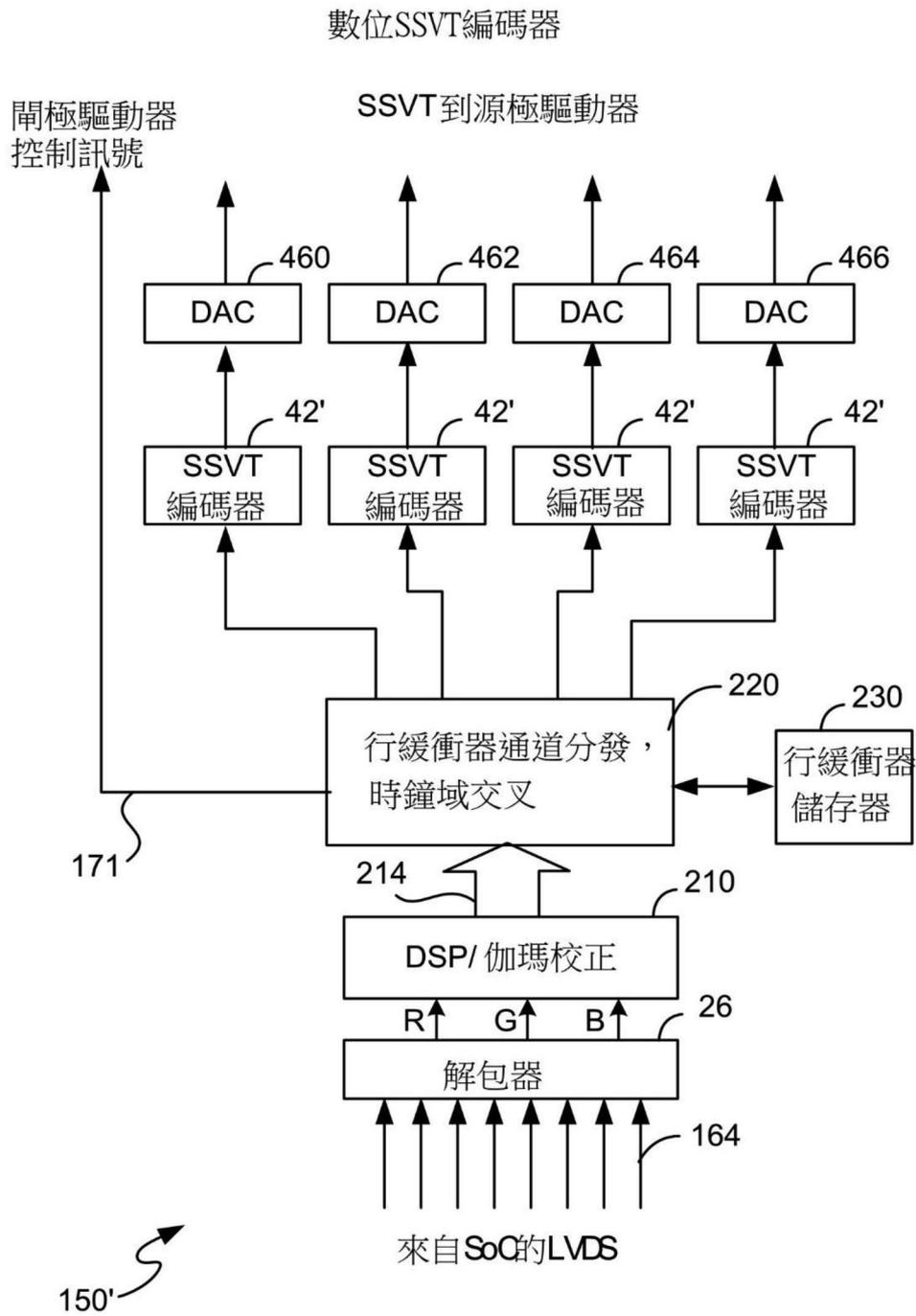


圖6

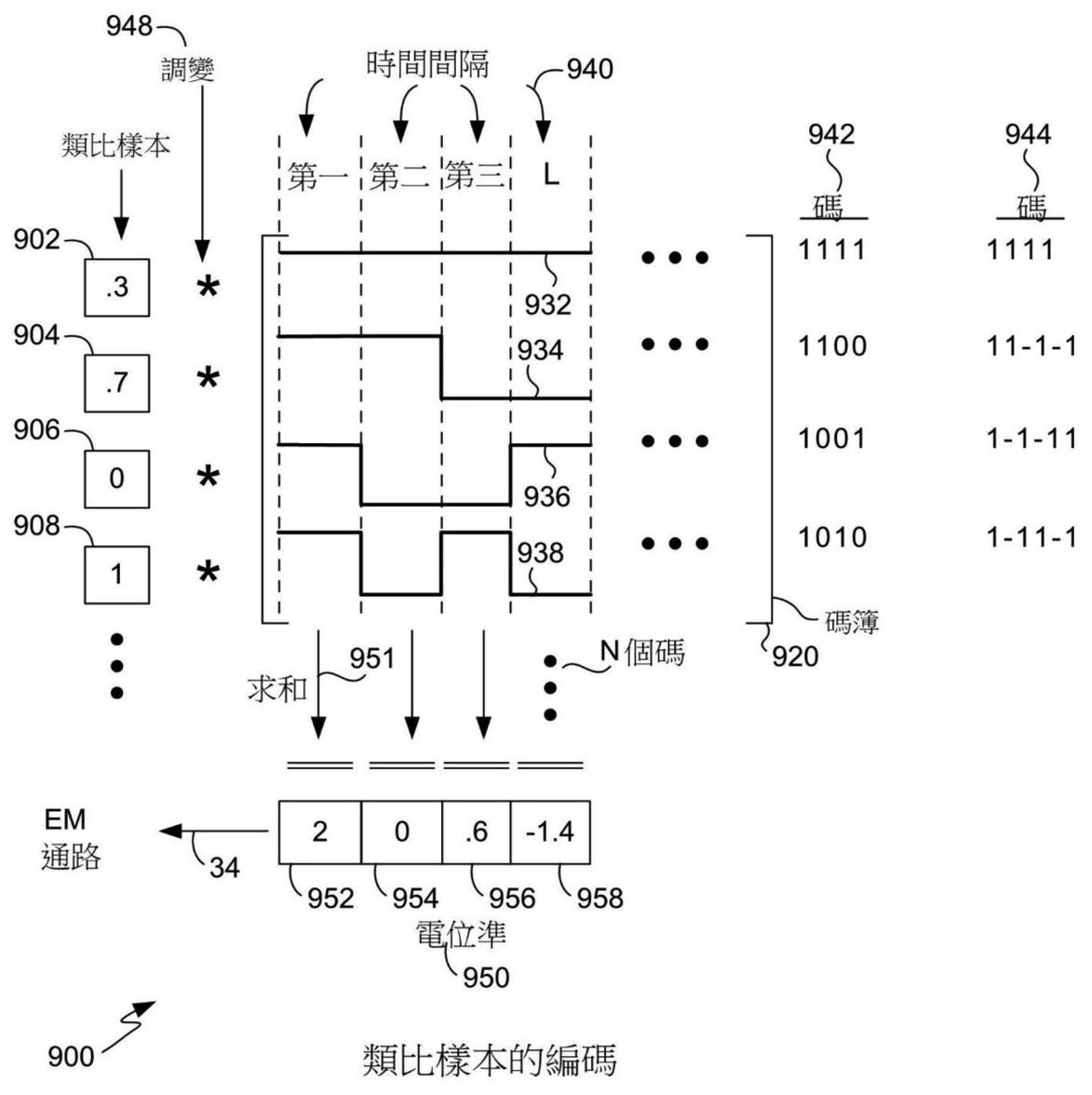
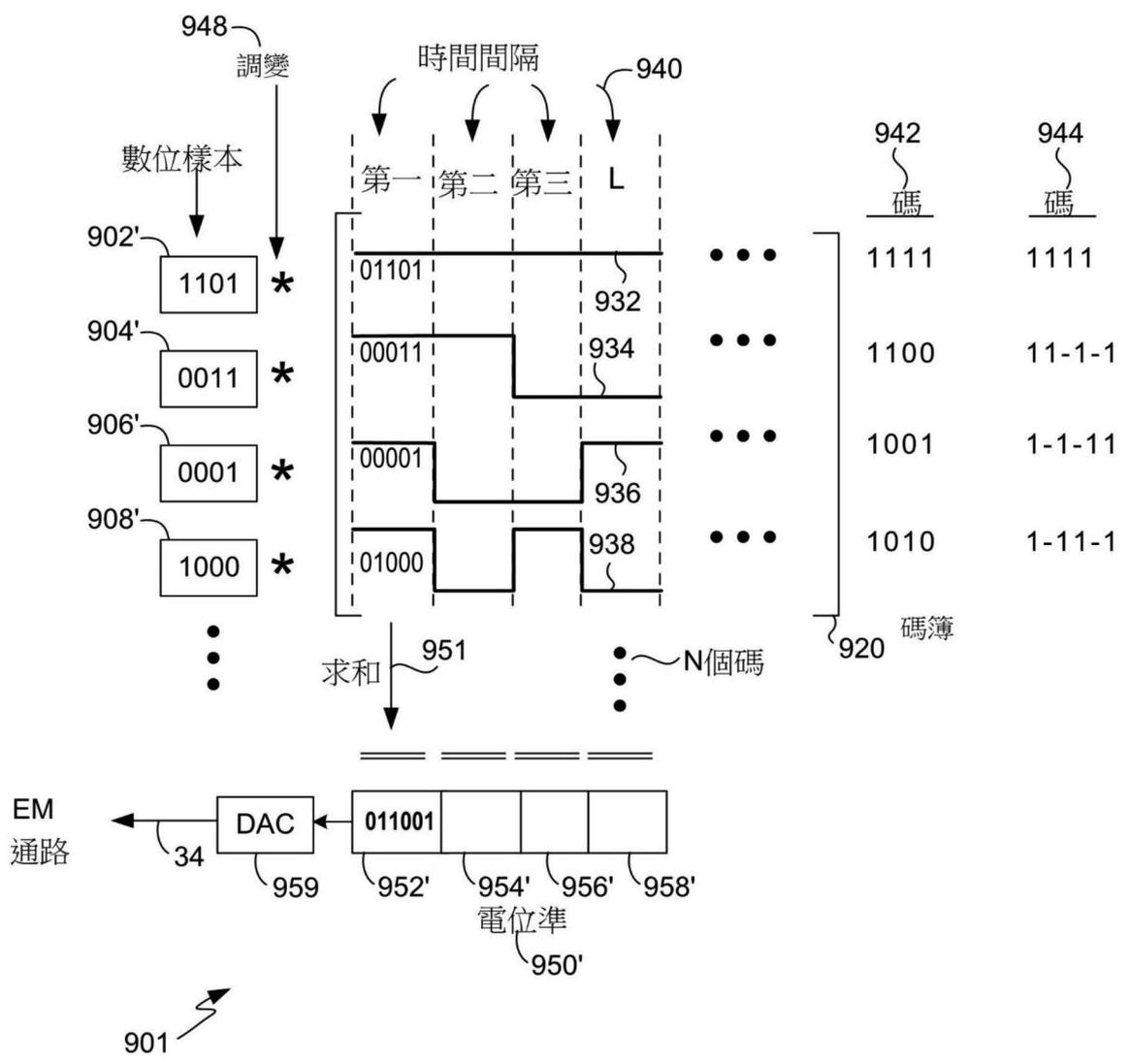


圖7



數位樣本的編碼

圖8

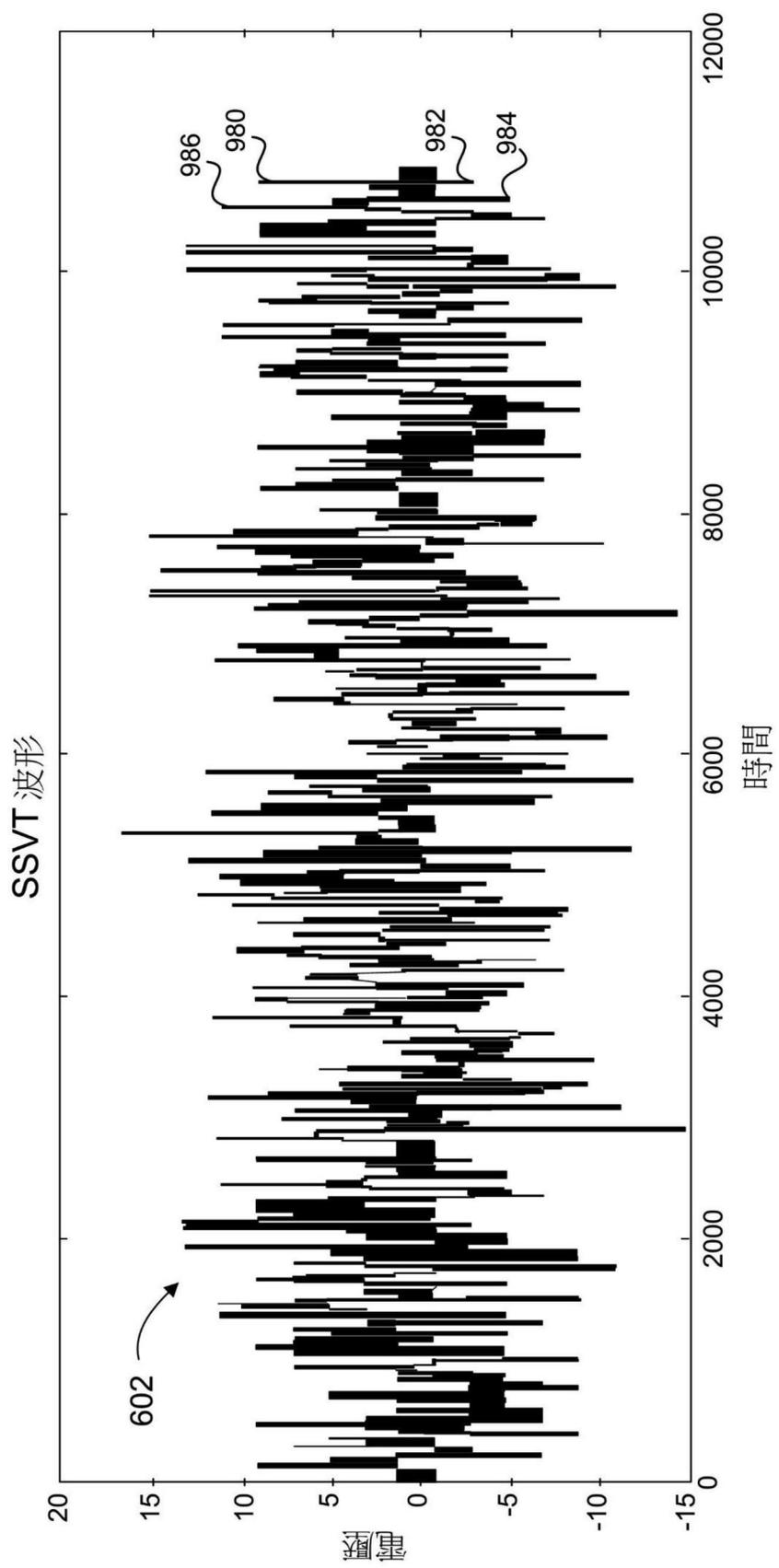
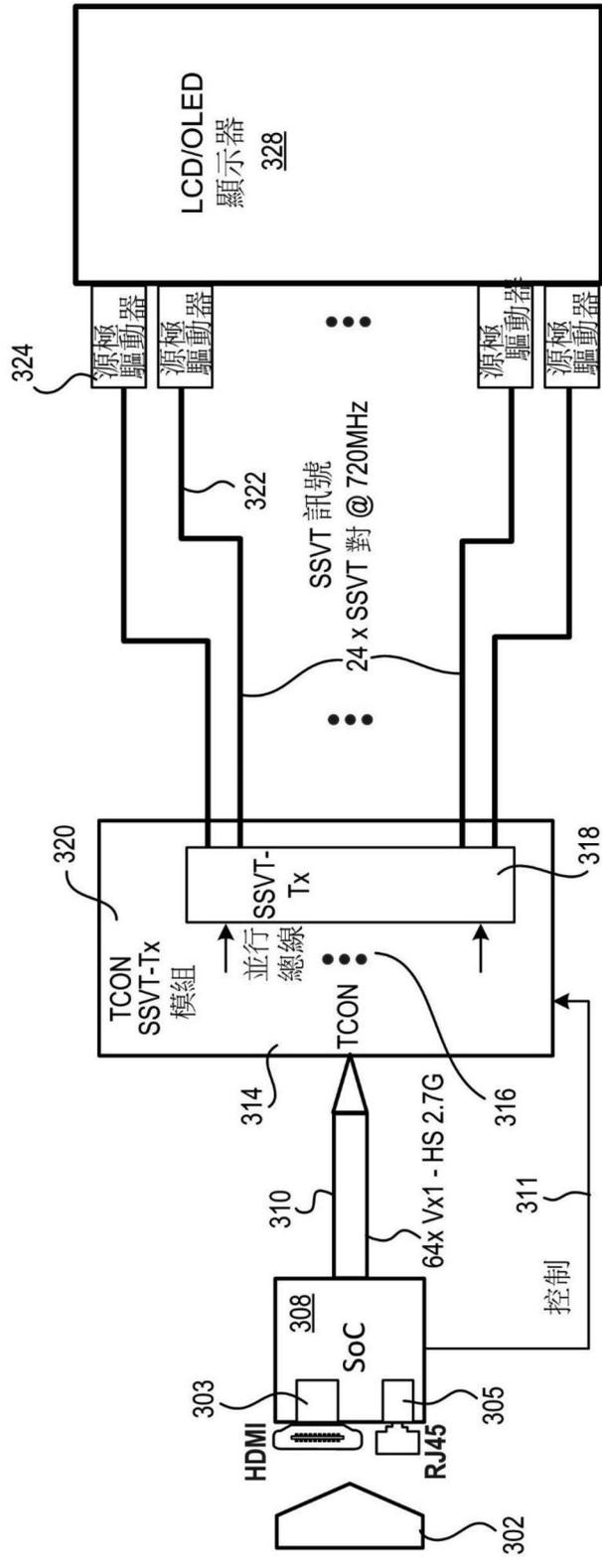
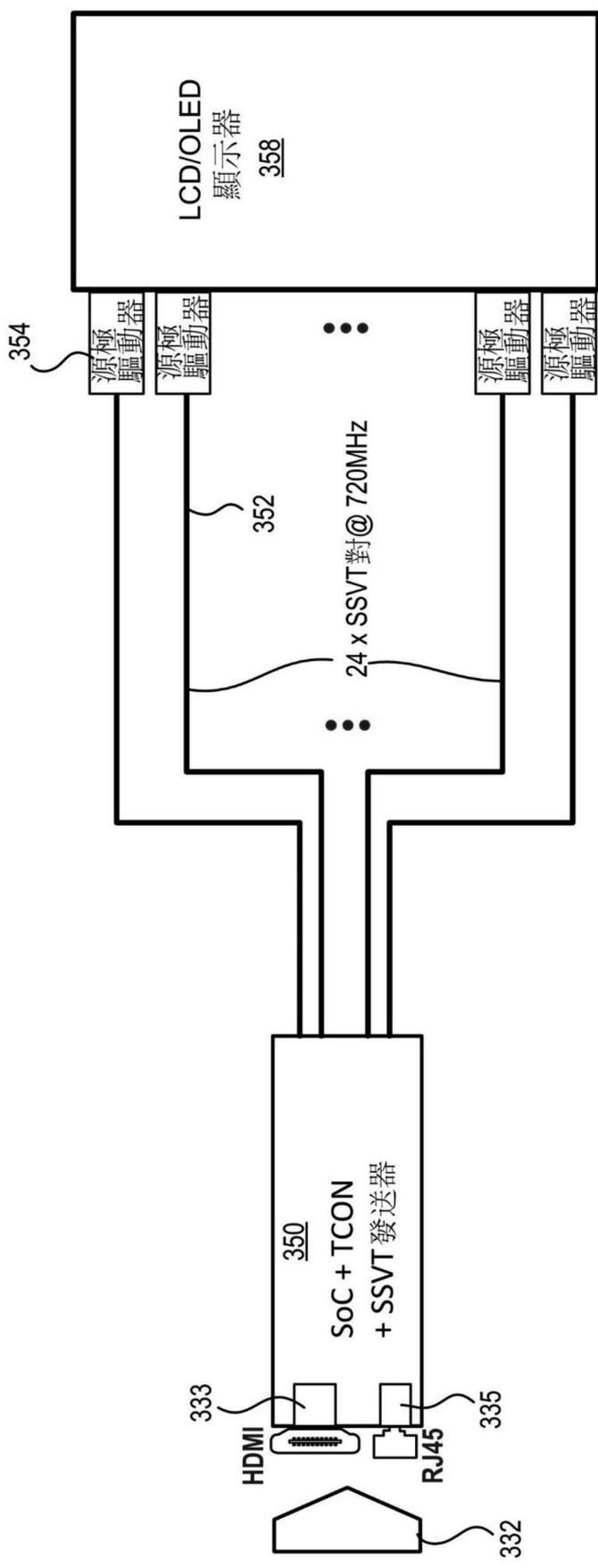


圖9



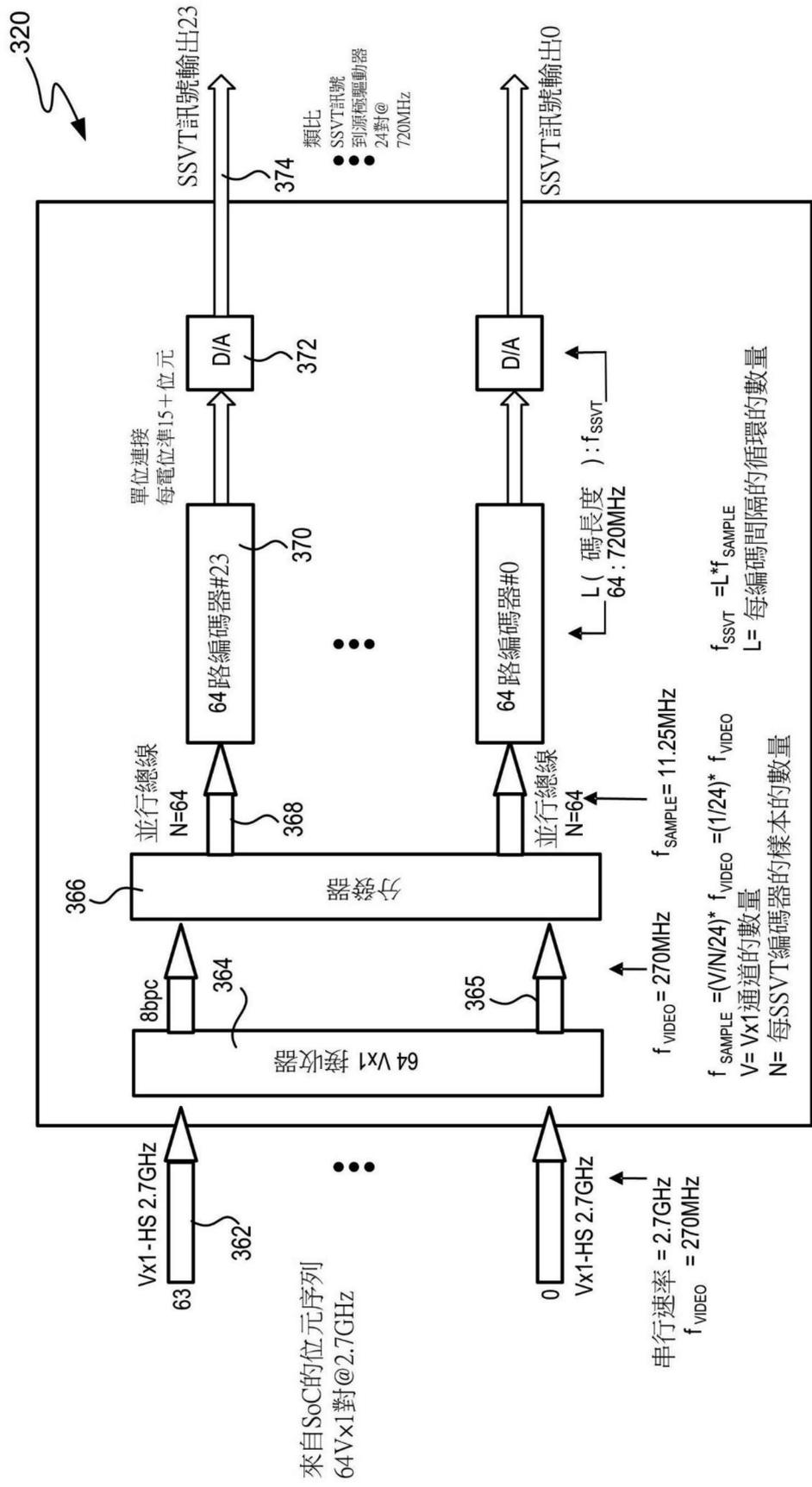
具有整合的SSVT發送器和時序控制器的8K顯示裝置

圖11



具有整合的SSVT發送器、時序控制器和SoC的8K顯示裝置

圖12



整合TCON，SSVT發送器模組

圖13

366

分發器：行緩衝器和排列

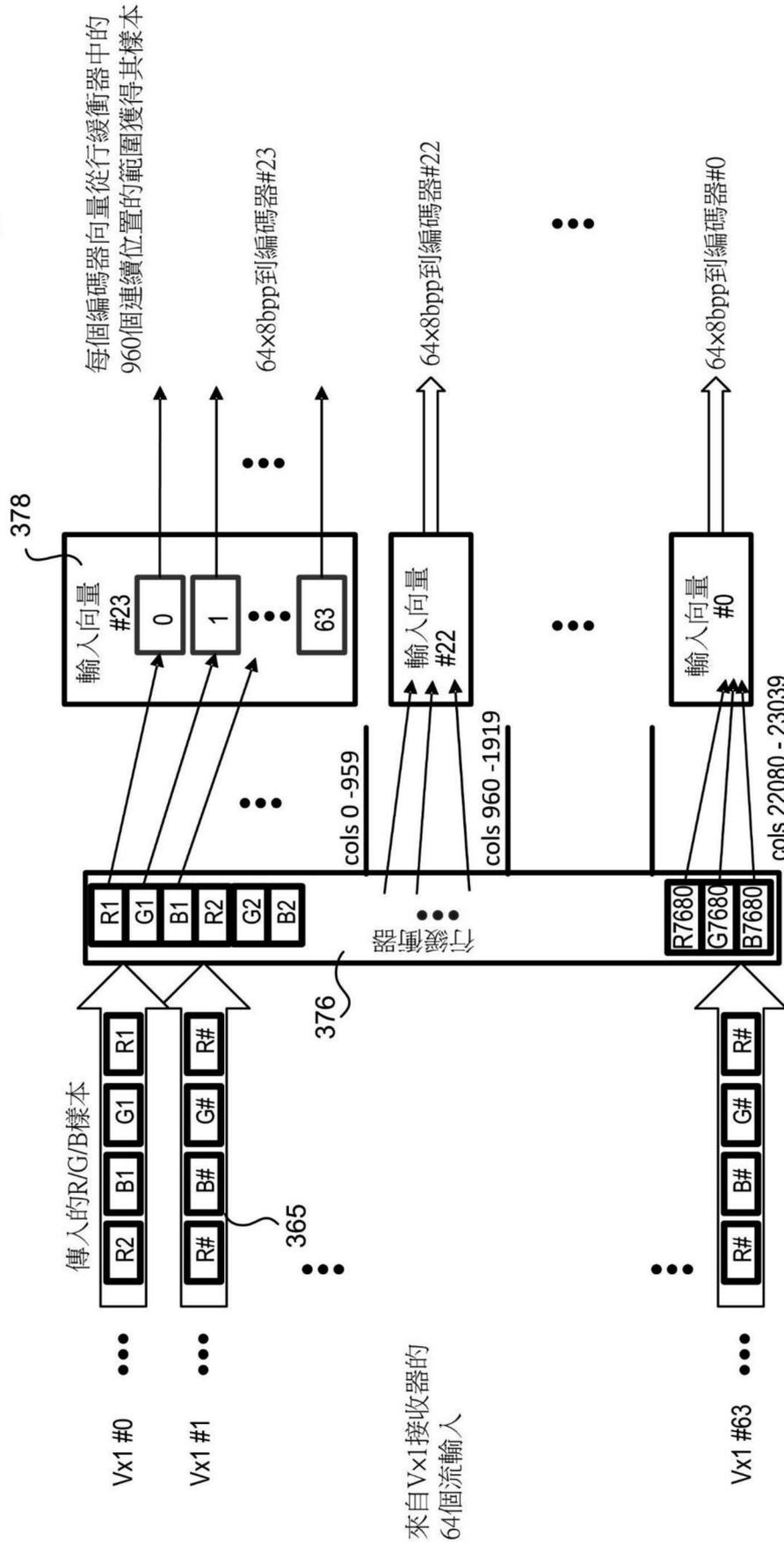


圖14A

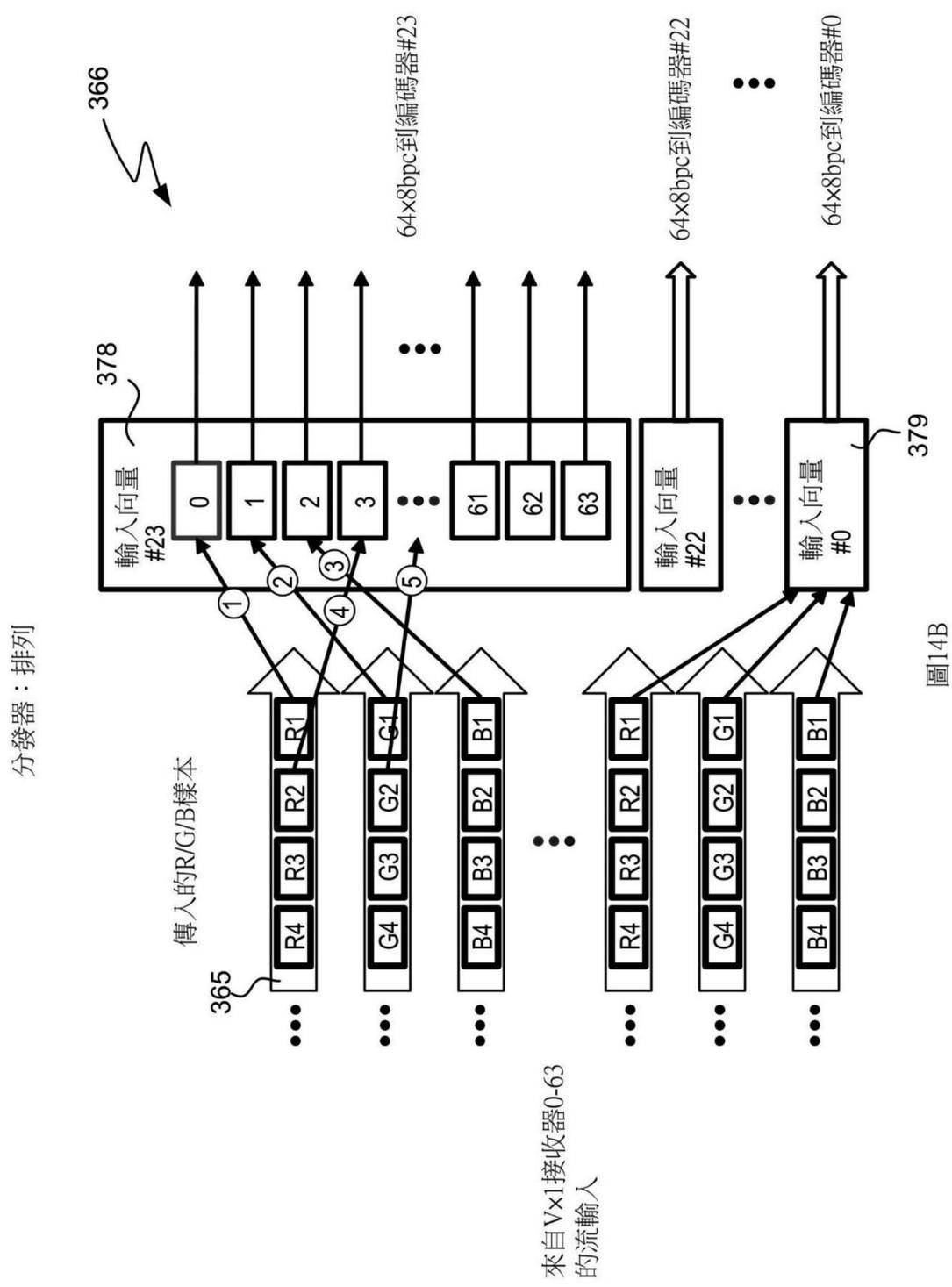
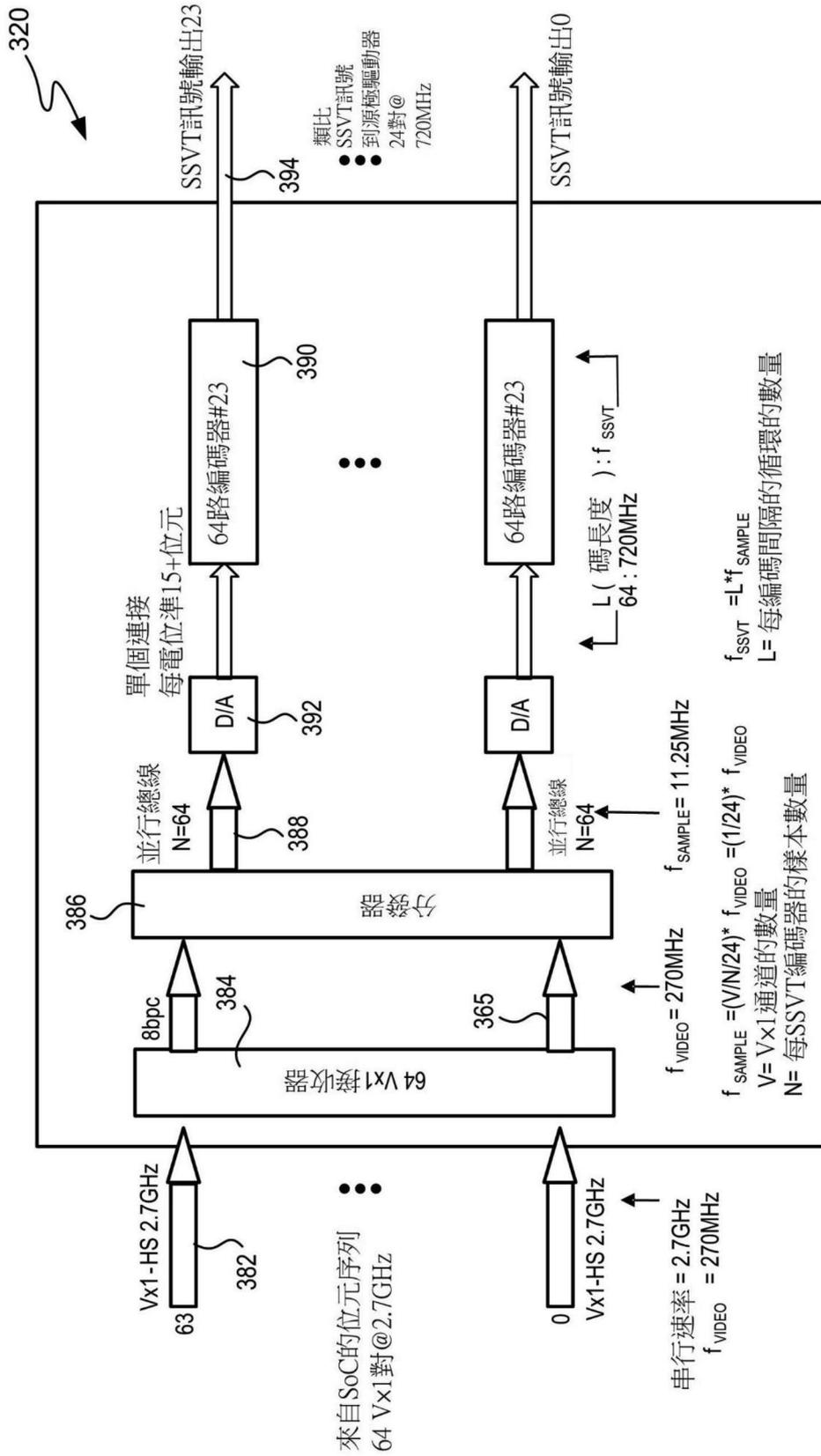


圖14B



整合TCOON，SSVT發送器模組

圖15

SSVT數位編碼器框圖

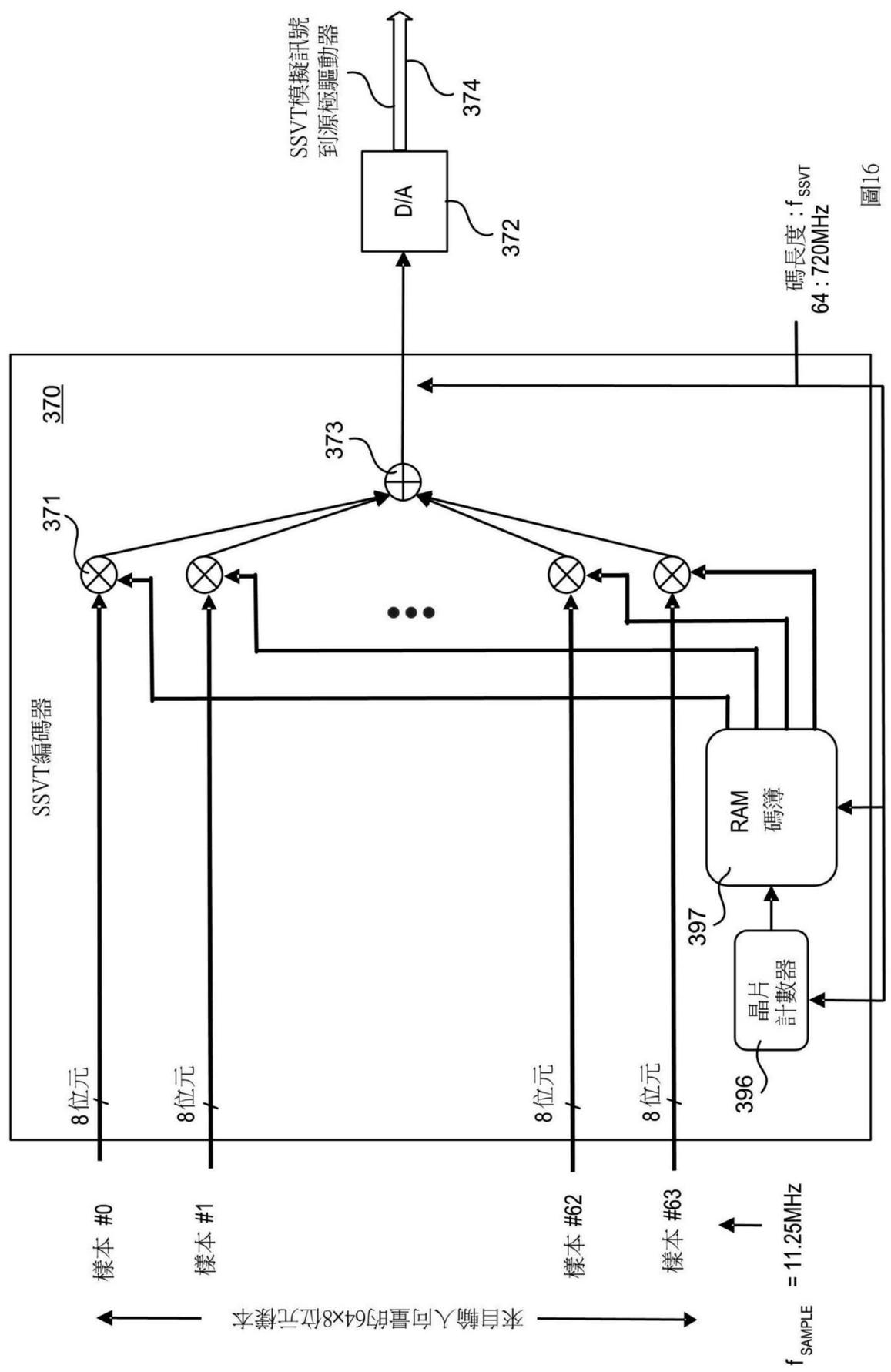
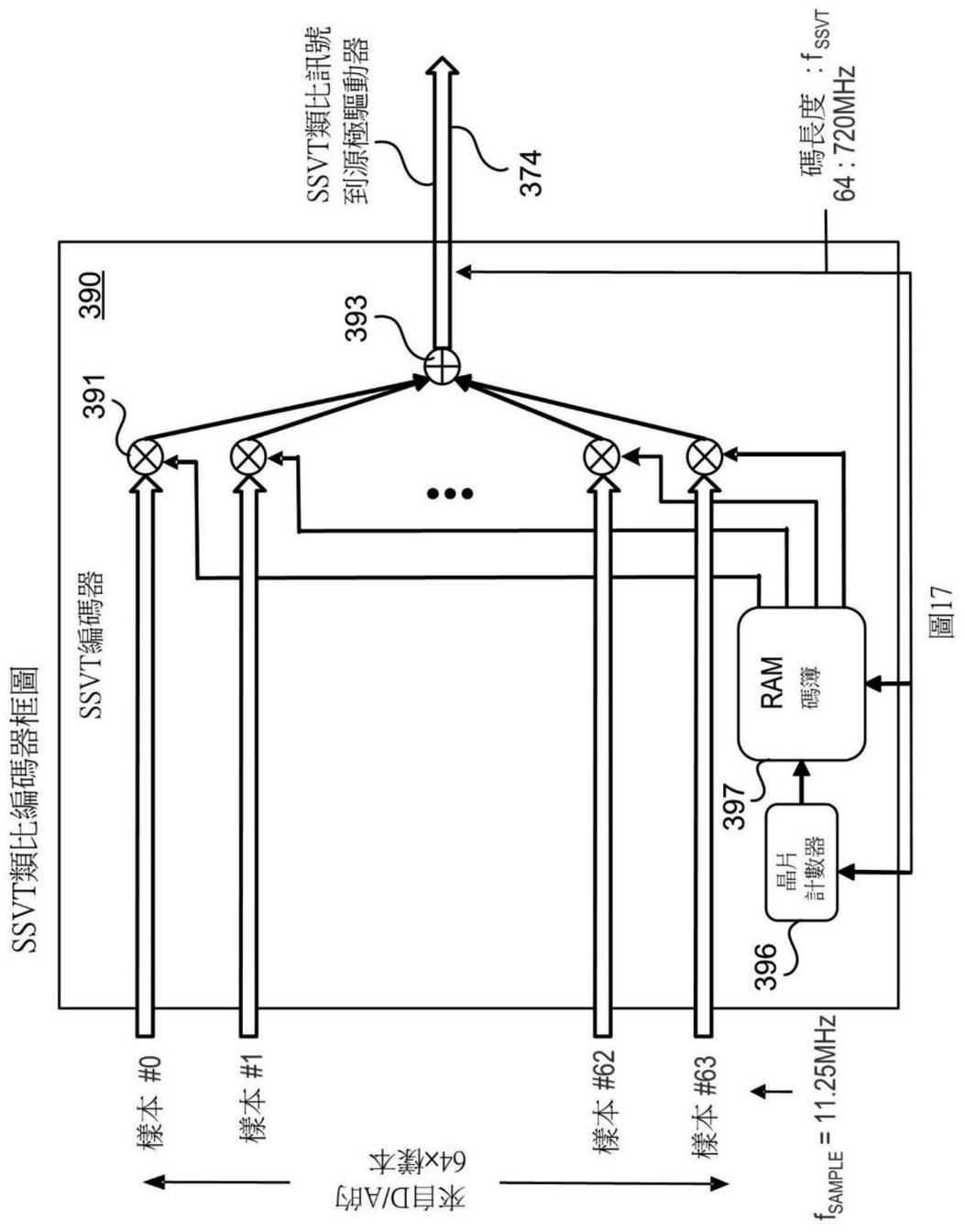
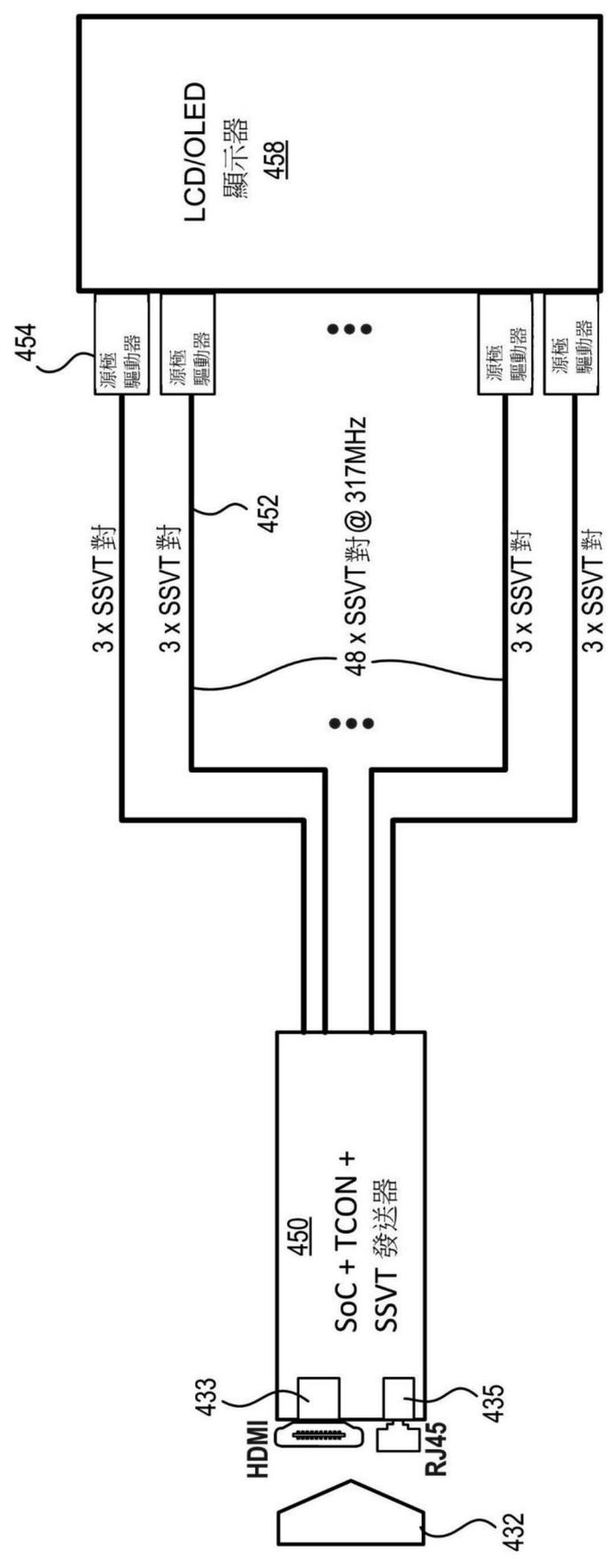


圖16



SSVT類比編碼器框圖

圖17



具有整合的SSVT發送器、時序控制器和SoC，
具有多工的源極驅動器的8k120顯示裝置

圖18

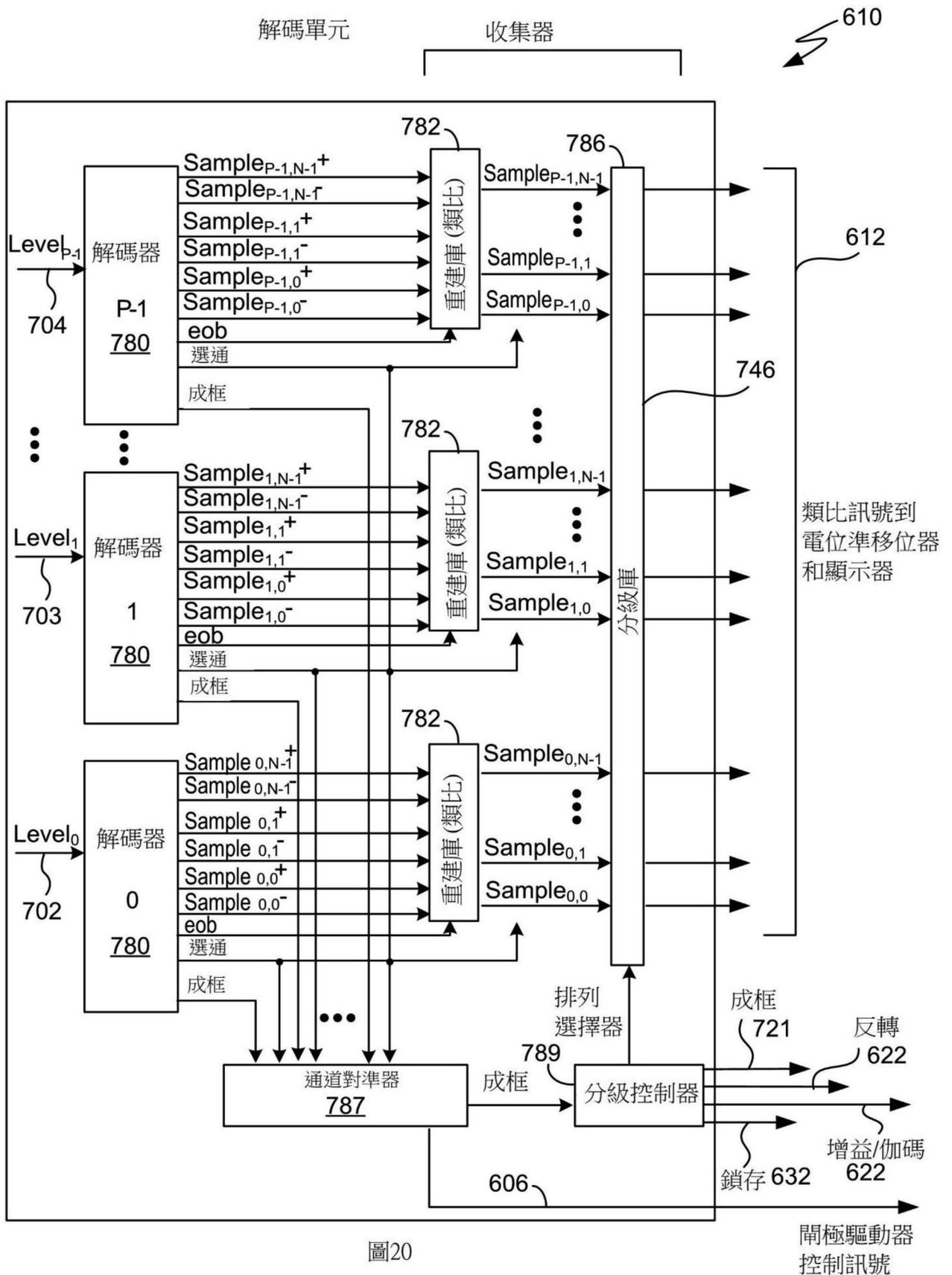


圖20

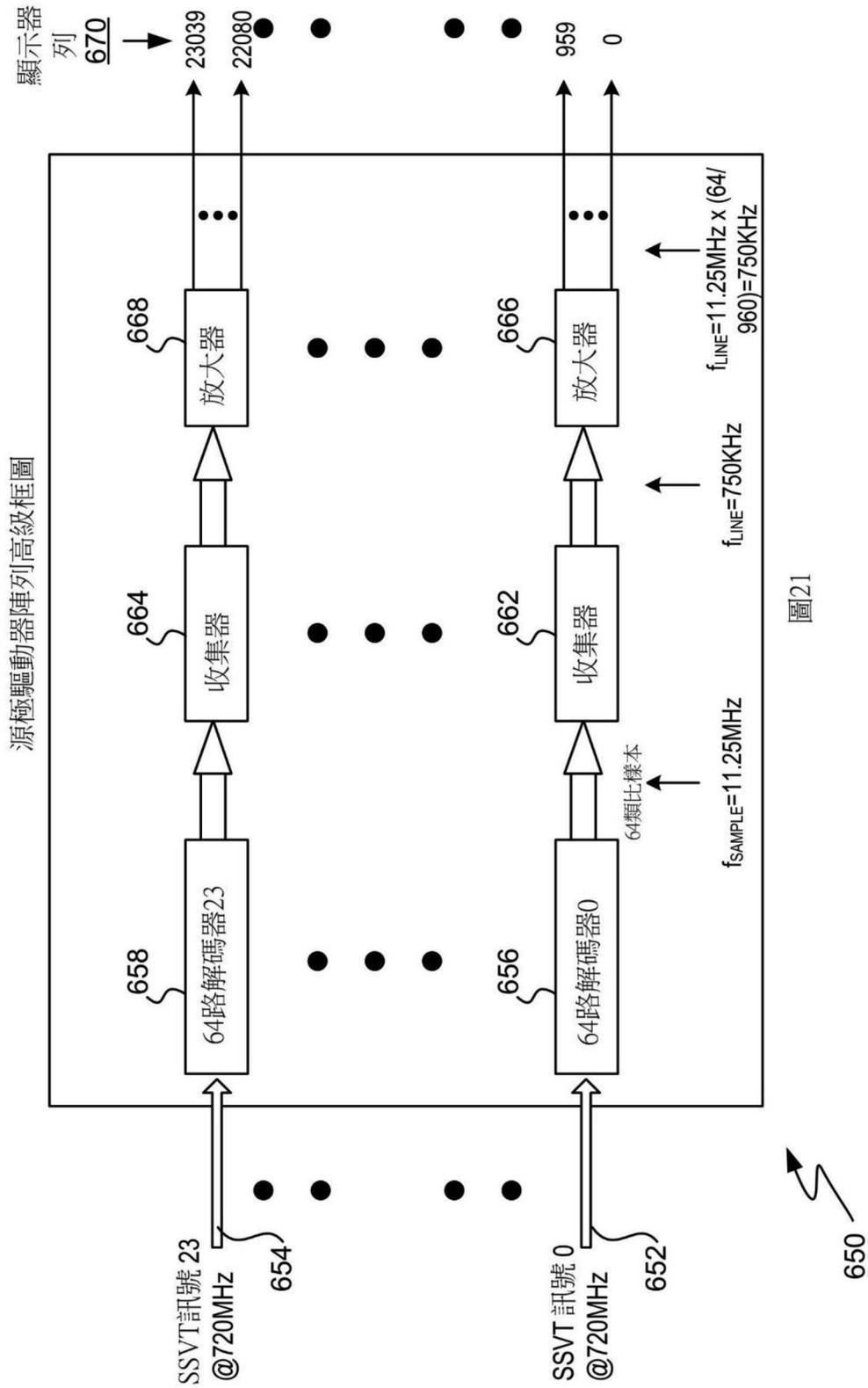
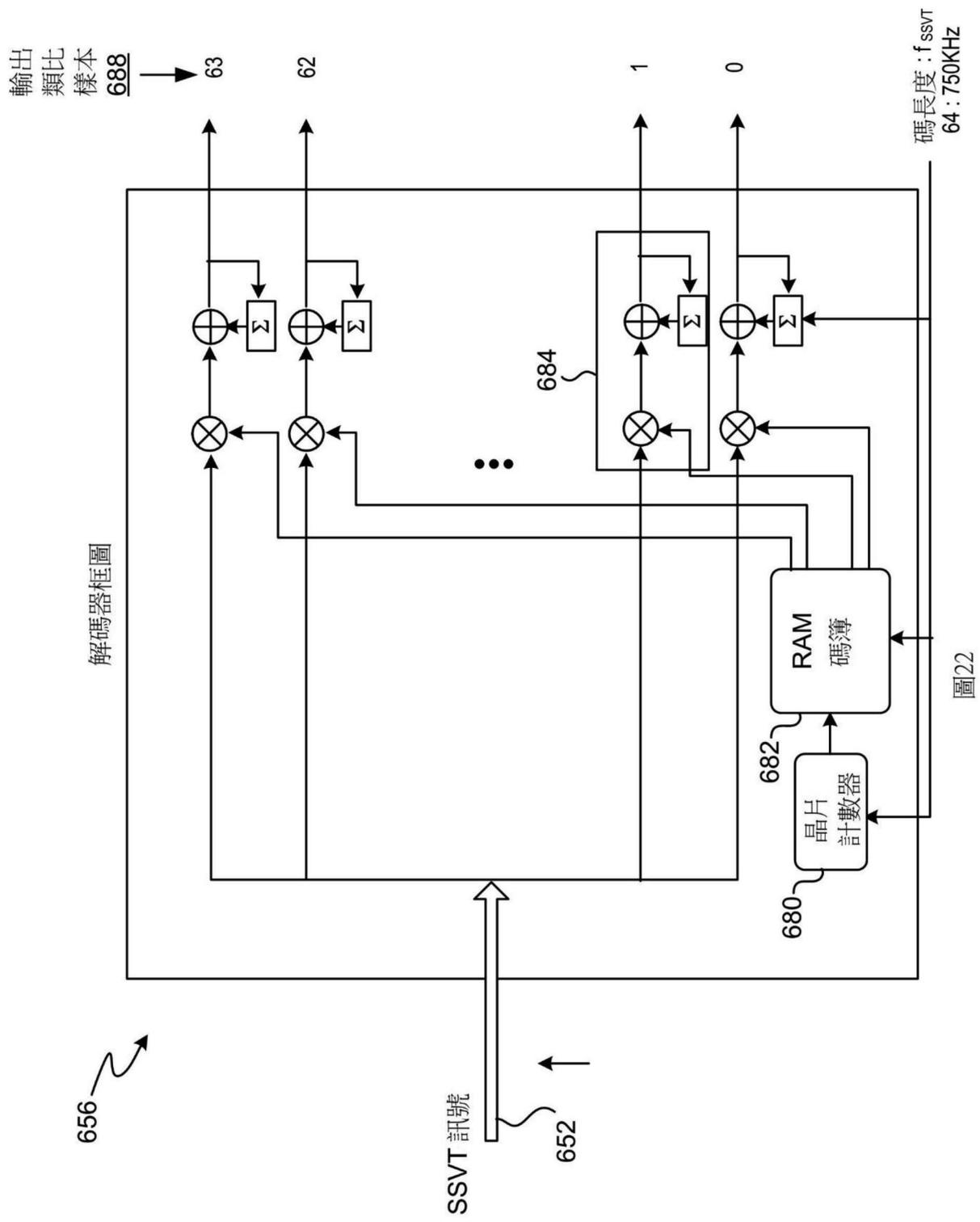


圖21



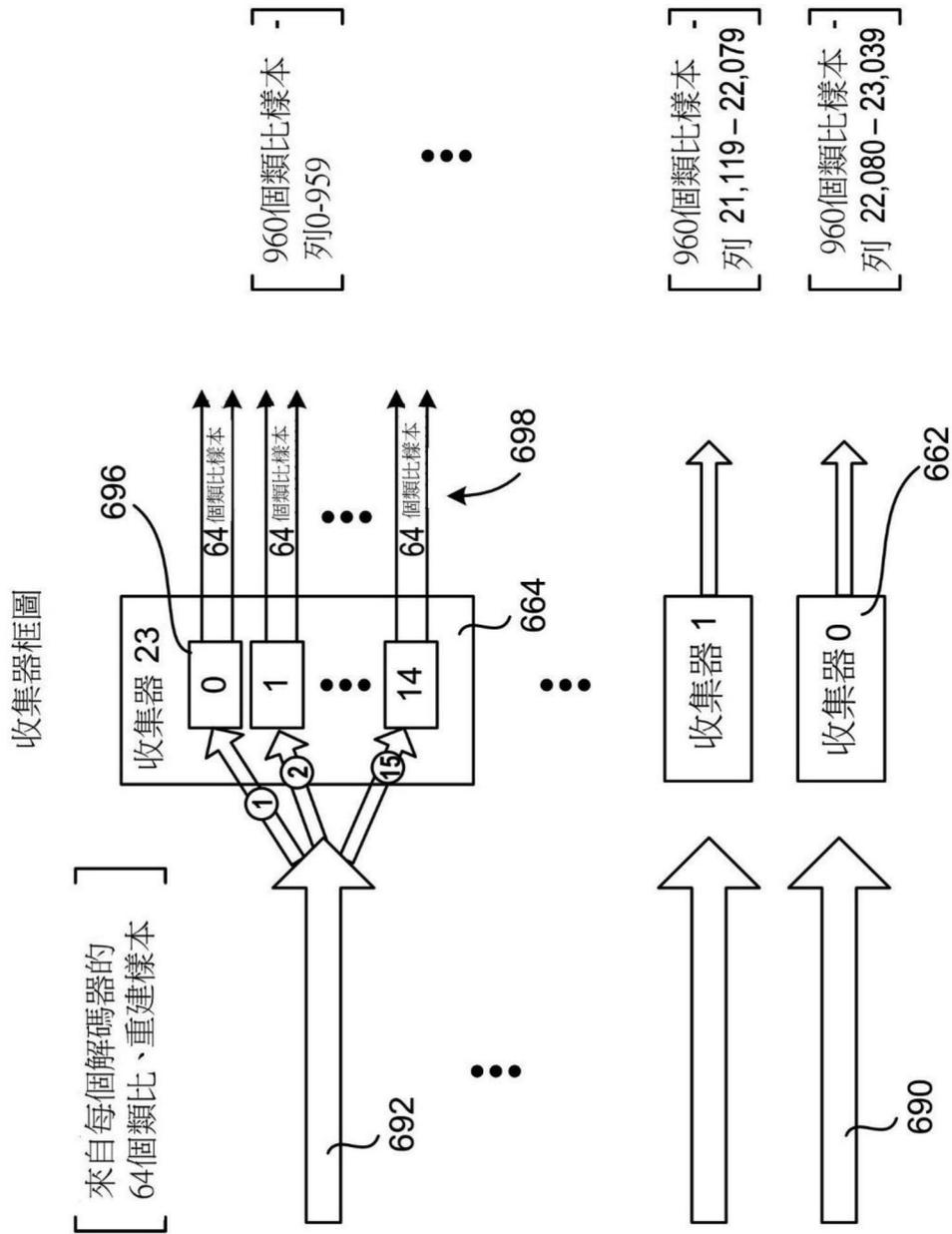


圖23

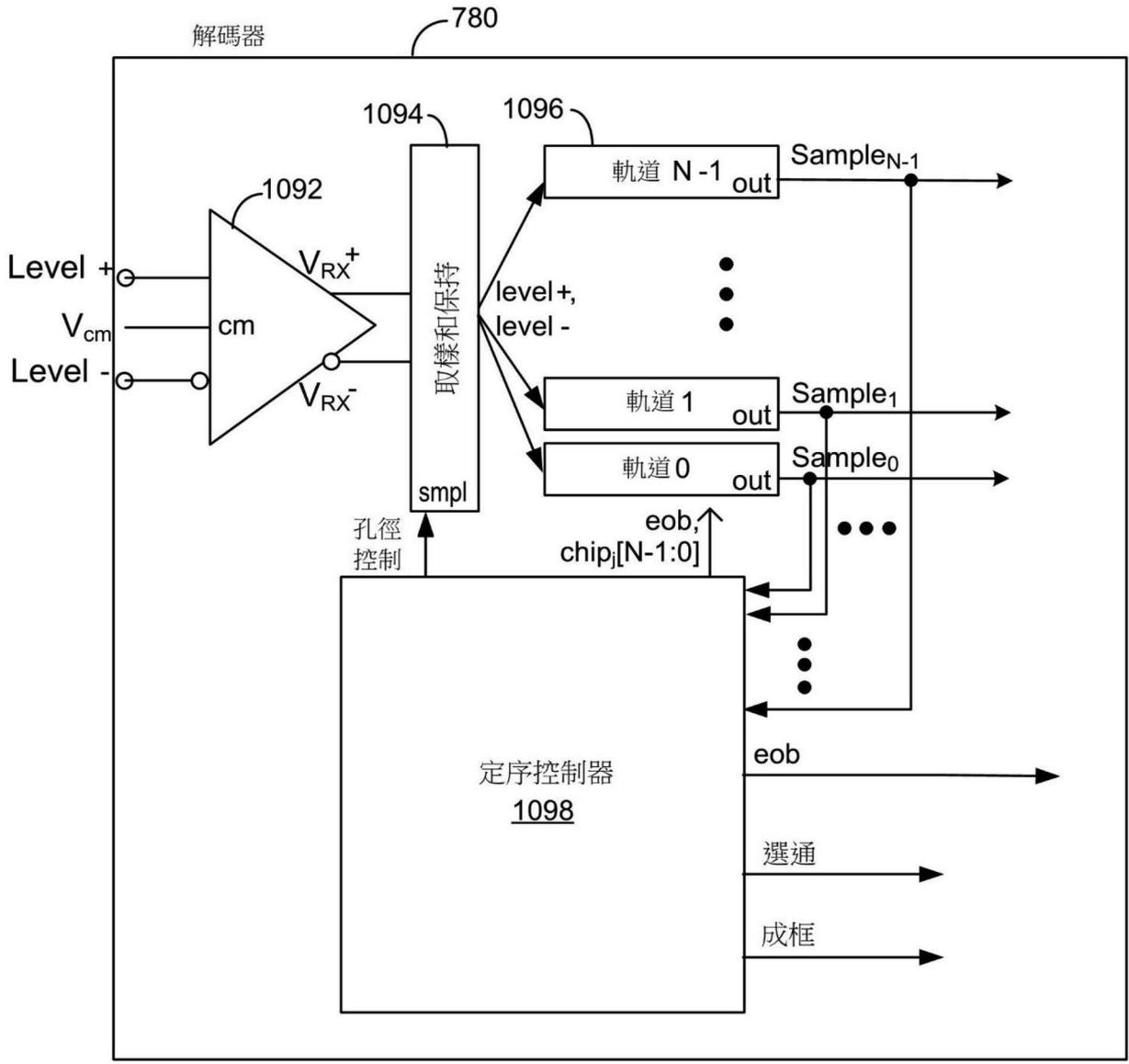


圖24

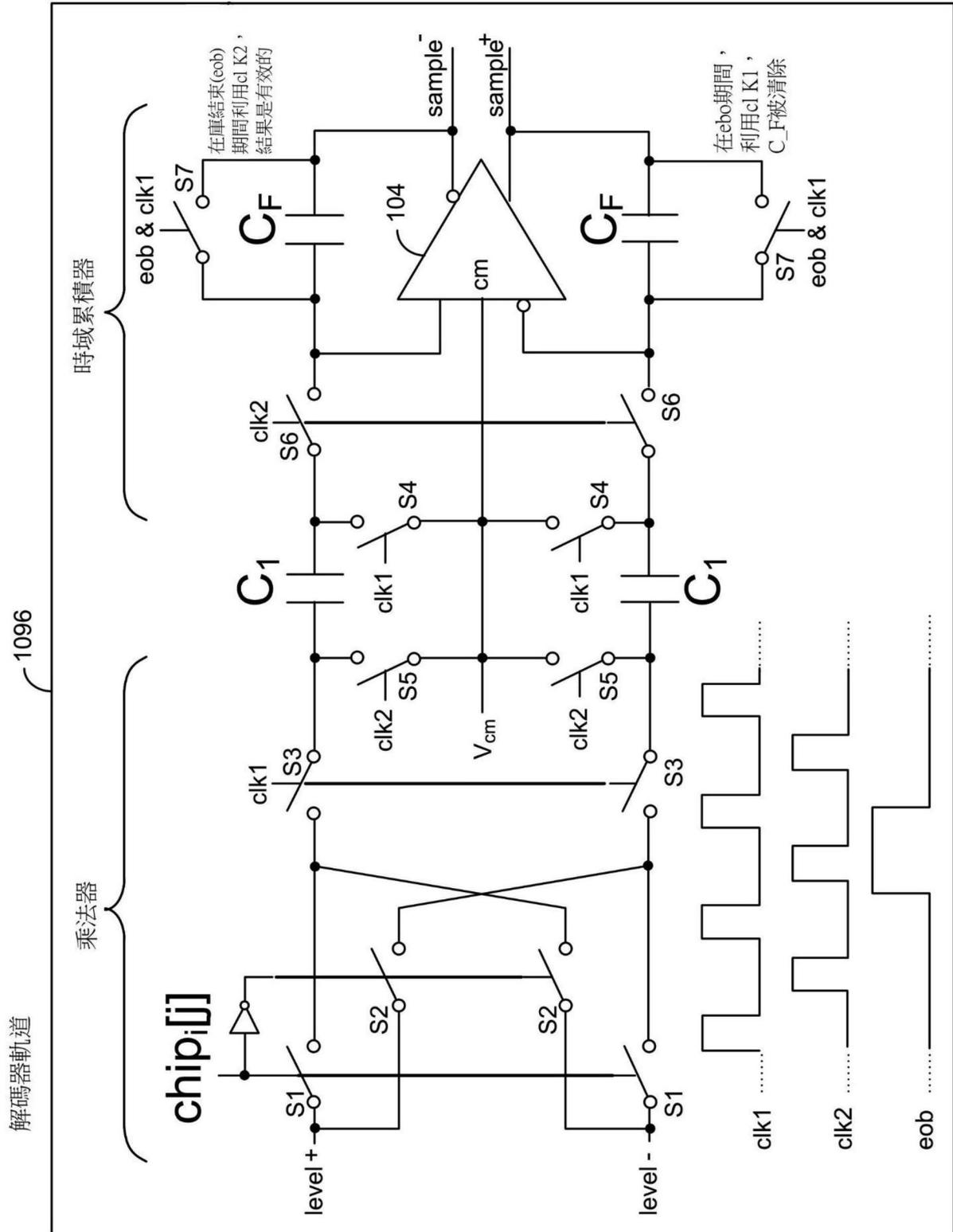


圖25

1096

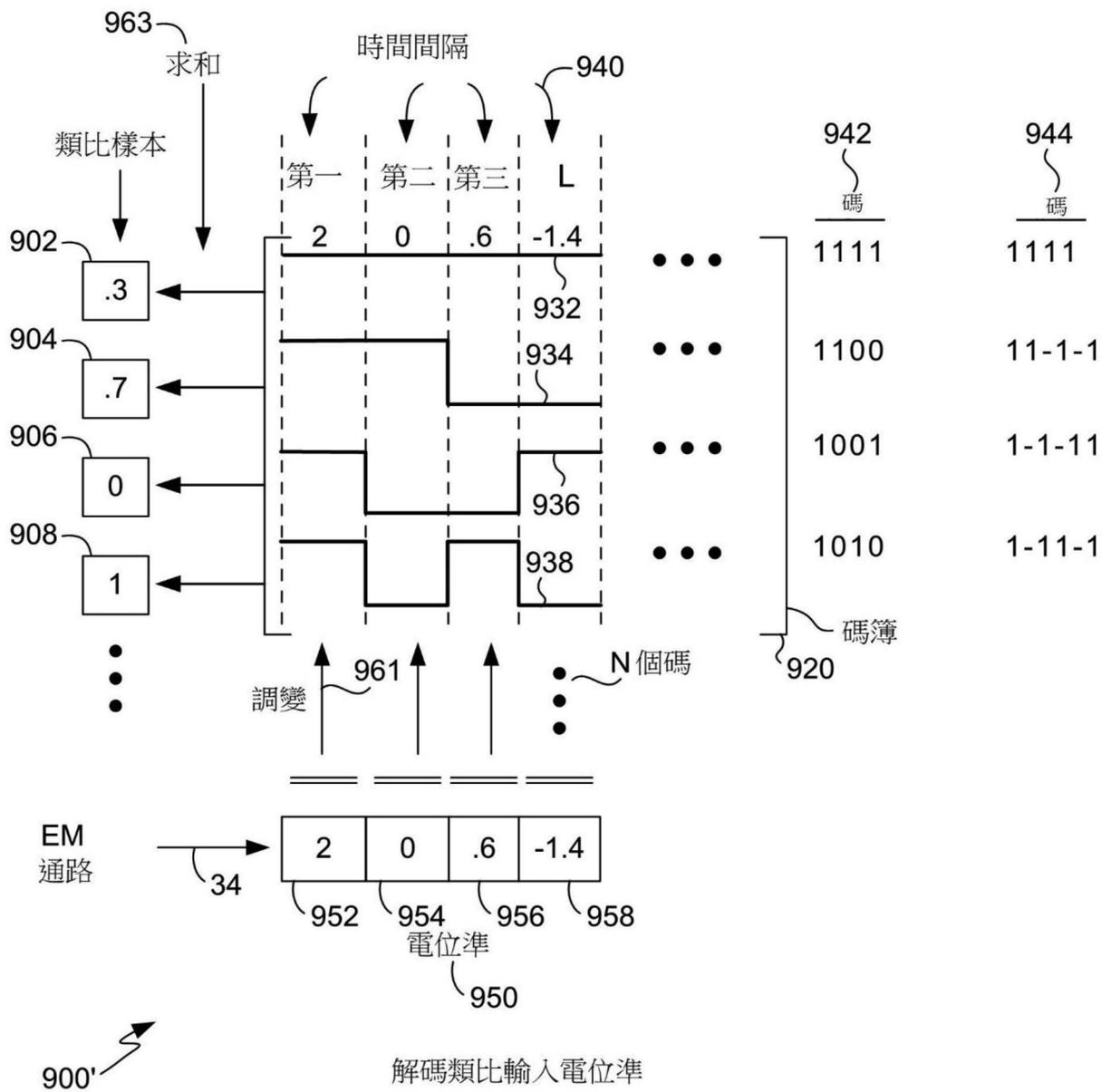
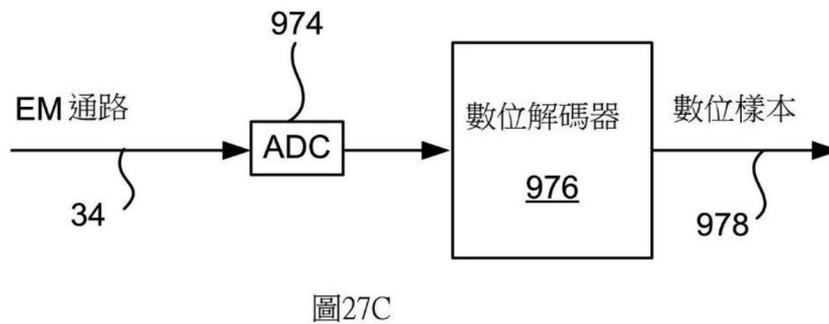
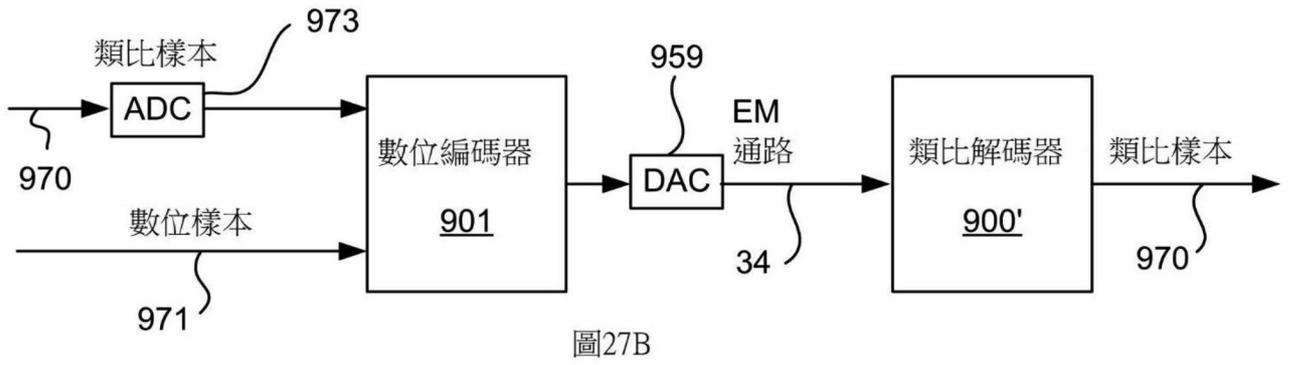
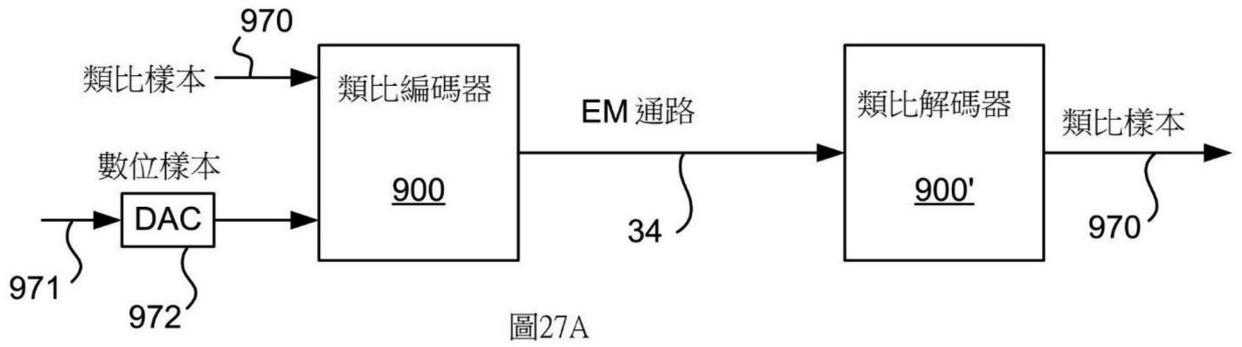
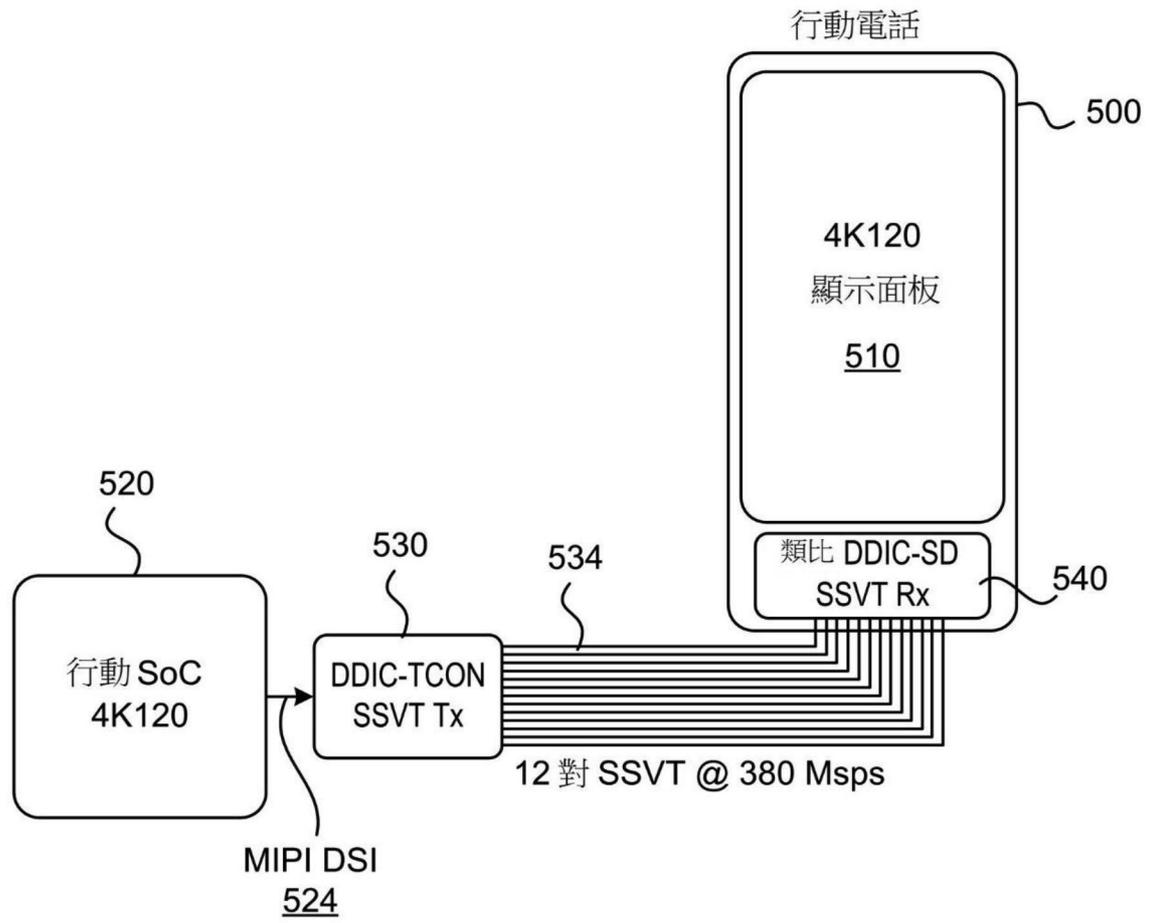


圖26





具有SSVT智慧型電話顯示器

圖28